

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 6 月 9 日 (09.06.2016)



(10) 国际公布号
WO 2016/086431 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2014/093351
- (22) 国际申请日: 2014 年 12 月 9 日 (09.12.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410737063.5 2014 年 12 月 5 日 (05.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 虞晓江 (YU, Xiaojiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 张鑫 (ZHANG, Xin); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 夏军 (XIA, Jun); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL

PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: LIQUID-CRYSTAL DISPLAY DEVICE AND SHIFT REGISTER THEREOF

(54) 发明名称: 液晶显示装置及其移位寄存器

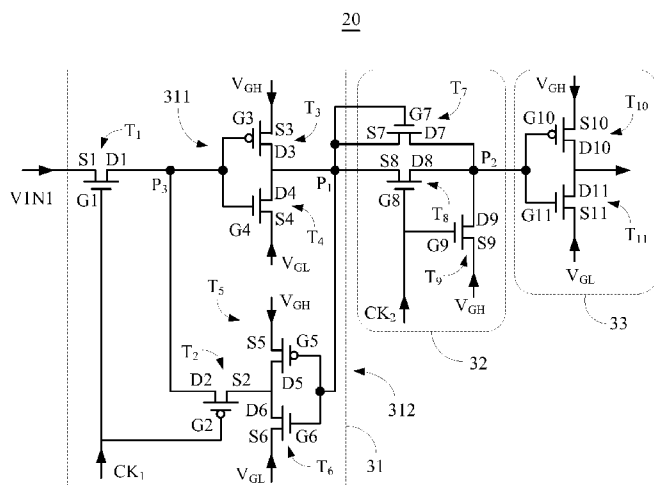


图 2 / Fig. 2

(57) Abstract: A liquid-crystal display device and a shift register thereof are provided. Each shift register unit of the shift register comprises a storage circuit (31), an electric potential control circuit (32) and a phase-inverter circuit (33), wherein the storage circuit (31) is used for receiving and temporarily storing a preceding stage signal, and the phase-inverter circuit (33) is used for charging and discharging a scanning line. A first node (P2) is arranged between the electric potential control circuit (32) and the phase-inverter circuit (33). A second node (P1) is arranged between the storage circuit (31) and the electric potential control circuit (32). The storage circuit (31) is used for selectively inverting a received level signal (VIN1) and outputting the inverted received level signal to the second node (P1). The electric potential control circuit (32) is used for providing a low level signal for the first node (P2). The phase-inverted circuit (33) is used for selectively inverting the low level signal provided by the electric potential control circuit (32) and outputting the inverted low level signal. Due to the shift register, a liquid-crystal display panel can be designed with a narrow frame or without a frame, and the

process yield is improved.

(57) 摘要:

[见续页]

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种液晶显示装置及其移位寄存器。该移位寄存器的每一移位寄存单元包括接收并暂时存储前级讯号的存储电路(31)、电位控制电路(32)以及为扫描线充电和放电的反相电路(33)，电位控制电路(32)和反相电路(33)之间具有第一节点(P2)，存储电路(31)和电位控制电路(32)之间具有第二节点(P1)，存储电路(31)用于选择性将接收的电平信号(V_{IN1})反相后输出至第二节点(P1)，电位控制电路(32)用于为第一节点(P2)提供低电平信号，反相电路(33)用于选择性将电位控制电路(32)提供的低电平信号反相后输出。该移位寄存器有利于液晶显示面板的窄边框或无边框设计，并提升制程良率。

液晶显示装置及其移位寄存器

【技术领域】

本发明涉及液晶显示驱动技术领域，具体而言涉及一种液晶显示装置及其移位寄存器。

【背景技术】

液晶显示装置需要具有适当的驱动电路，驱动电路一般包括数据驱动电路和扫描驱动电路。其中，扫描驱动电路常应用移位寄存器作为核心电路元件。

通常，移位寄存器由多个移位寄存单元串联而成，并且上一级移位寄存单元的输出信号作为后一级移位寄存单元的输入信号。然而，当前多数单个移位寄存单元的结构较为复杂，多个移位寄存单元串联后所占区域较大，不利于液晶显示面板的窄边框或无边框设计，并且复杂的结构极易降低液晶显示面板的制程良率。

【发明内容】

有鉴于此，本发明实施例所要解决的技术问题是提供一种液晶显示装置及其移位寄存器，有利于液晶显示面板的窄边框或无边框设计，并提升液晶显示面板的制程良率。

为解决上述技术问题，本发明采用的一个技术方案是：提供一种移位寄存器，具有多个移位寄存单元，每一移位寄存单元包括接收并暂时存储前级讯号的存储电路、电位控制电路和为液晶显示面板的扫描线充电和放电的反相电路，电位控制电路和反相电路之间具有第一节点，存储电路和电位控制电路之间具有第二节点，存储电路用于在第一时序信号的控制下选择性将接收的电平信号反相后输出至第二节点，电位控制电路用于为第一节点提供低电平信号，反相电路用于在第二时序信号的控制下选择性将电位控制电路提供的低电平信号反相后输出；

其中，存储电路包括输入端、第一开关管、第二开关管、第一反相器和第二反相器，第一开关管连接输入端，第一开关管和第一反相器之间具

有第三节点,第二开关管连接第二反相器,电位控制电路包括第七开关管、第八开关管和第九开关管,第七开关管和第九开关管连接第二节点,第八开关管连接第一节点,反相电路包括第十开关管、第十一开关管和输出端,第十开关管和所述第十一开关管连接第一节点,第十一开关管的第二端连接输出端。

其中,第一开关管的控制端连接外部电路以接收第一时序信号,第一开关管的第一端连接输入端以接收上一级移位寄存单元的输出信号,第一开关管的第二端连接第三节点,第二开关管的控制端连接外部电路以接收第一时序信号,第二开关管的第一端连接第二反相器,第二开关管的第二端连接第三节点。

其中,第一开关管为 N 型 MOS 管,第一开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极,第二开关管为 P 型 MOS 管,第二开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极。

其中,第一反相器包括第三开关管和第四开关管,第二反相器包括第五开关管和第六开关管,第三开关管的控制端连接第三节点,第三开关管的第一端连接外部电路以接收高电平信号,第三开关管的第二端连接第二节点,第四开关管的控制端连接第三节点,第四开关管的第一端连接外部电路以接收低电平信号,第四开关管的第二端连接第二节点,第五开关管的控制端连接第二节点,第五开关管的第一端连接外部电路以接收高电平信号,第五开关管的第二端连接第二开关管的第二端,第六开关管的控制端连接第二节点,第六开关管的第一端连接外部电路以接收低电平信号,第六开关管的第二端连接第二开关管的第二端。

其中,第三开关管为 P 型 MOS 管,第三开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极,第四开关管为 N 型 MOS 管,第四开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极,第五开关管为 P 型 MOS 管,第五开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极,第六开关管为 N 型 MOS 管,第六开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极。

其中，第七开关管的控制端连接第二节点，第七开关管的第一端连接第二节点，第七开关管的第二端连接第一节点，第八开关管的控制端连接外部电路以接收第二时序信号，第八开关管的第一端连接第二节点，第八开关管的第二端连接第一节点，第九开关管的控制端连接外部电路以接收第二时序信号，第九开关管的第一端连接第二节点，第九开关管的第二端连接外部电路以接收高电平信号。

其中，第七开关管为 N 型 MOS 管或 P 型 MOS 管，第七开关管的控制端、第一端和第二端分别为 N 型 MOS 管或 P 型 MOS 管的栅极、源极和漏极，第八开关管为 N 型 MOS 管，第八开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极，第九开关管为 P 型 MOS 管，第九开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极。

其中，第十开关管的控制端连接第一节点，第十开关管的第一端连接输入端以接收上一级移位寄存单元的输出信号，第十开关管的第二端连接外部电路以接收高电平信号，第十一开关管的控制端连接第一节点，第十一开关管的第一端连接外部电路以接收低电平信号，第十一开关管的第二端连接输出端。

其中，第十开关管为 P 型 MOS 管，第十开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极，第十一开关管为 N 型 MOS 管，第十一开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极。

为解决上述技术问题，本发明采用的另一个技术方案是：提供一种移位寄存器，具有多个移位寄存单元，每一移位寄存单元包括接收并暂时存储前级讯号的存储电路、电位控制电路和为液晶显示面板的扫描线充电和放电的反相电路，电位控制电路和反相电路之间具有第一节点，存储电路和电位控制电路之间具有第二节点，存储电路用于在第一时序信号的控制下选择性将接收的电平信号反相后输出至第二节点，电位控制电路用于为第一节点提供低电平信号，反相电路用于在第二时序信号的控制下选择性将电位控制电路提供的低电平信号反相后输出。

其中，存储电路包括输入端、第一开关管、第二开关管、第一反相器和第二反相器，第一开关管和第一反相器之间具有第三节点，第一开关管

的控制端连接外部电路以接收第一时序信号，第一开关管的第一端连接输入端以接收上一级移位寄存单元的输出信号，第一开关管的第二端连接第三节点，第二开关管的控制端连接外部电路以接收第一时序信号，第二开关管的第一端连接第二反相器，第二开关管的第二端连接第三节点。

其中，第一开关管为 N 型 MOS 管，第一开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极，第二开关管为 P 型 MOS 管，第二开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极。

其中，第一反相器包括第三开关管和第四开关管，第二反相器包括第五开关管和第六开关管，第三开关管的控制端连接第三节点，第三开关管的第一端连接外部电路以接收高电平信号，第三开关管的第二端连接第二节点，第四开关管的控制端连接第三节点，第四开关管的第一端连接外部电路以接收低电平信号，第四开关管的第二端连接第二节点，第五开关管的控制端连接第二节点，第五开关管的第一端连接外部电路以接收高电平信号，第五开关管的第二端连接第二开关管的第二端，第六开关管的控制端连接第二节点，第六开关管的第一端连接外部电路以接收低电平信号，第六开关管的第二端连接第二开关管的第二端。

其中，第三开关管为 P 型 MOS 管，第三开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极，第四开关管为 N 型 MOS 管，第四开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极，第五开关管为 P 型 MOS 管，第五开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极，第六开关管为 N 型 MOS 管，第六开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极。

其中，电位控制电路包括第七开关管、第八开关管和第九开关管，第七开关管的控制端连接第二节点，第七开关管的第一端连接第二节点，第七开关管的第二端连接第一节点，第八开关管的控制端连接外部电路以接收第二时序信号，第八开关管的第一端连接第二节点，第八开关管的第二端连接第一节点，第九开关管的控制端连接外部电路以接收第二时序信号，第九开关管的第一端连接第二节点，第九开关管的第二端连接外部电路以

接收高电平信号。

其中，第七开关管为 N 型 MOS 管或 P 型 MOS 管，第七开关管的控制端、第一端和第二端分别为 N 型 MOS 管或 P 型 MOS 管的栅极、源极和漏极，第八开关管为 N 型 MOS 管，第八开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极，第九开关管为 P 型 MOS 管，第九开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极。

其中，反相电路包括第十开关管、第十一开关管和输出端，第十开关管的控制端连接第一节点，第十开关管的第一端连接输入端以接收上一级移位寄存单元的输出信号，第十开关管的第二端连接外部电路以接收高电平信号，第十一开关管的控制端连接第一节点，第十一开关管的第一端连接外部电路以接收低电平信号，第十一开关管的第二端连接输出端。

其中，第十开关管为 P 型 MOS 管，第十开关管的控制端、第一端和第二端分别为 P 型 MOS 管的栅极、源极和漏极，第十一开关管为 N 型 MOS 管，第十一开关管的控制端、第一端和第二端分别为 N 型 MOS 管的栅极、源极和漏极。

为解决上述技术问题，本发明采用的又一个技术方案是：提供一种液晶显示装置，包括液晶显示面板、为液晶显示面板提供数据信号的数据驱动电路以及为液晶显示面板提供扫描信号的扫描驱动电路，数据驱动电路和扫描驱动电路分别包括移位寄存器，以控制数据信号和扫描信号的输出时序，移位寄存器具有多个移位寄存单元，每一移位寄存单元包括接收并暂时存储前级讯号的存储电路、电位控制电路和为液晶显示面板的扫描线充电和放电的反相电路，电位控制电路和反相电路之间具有第一节点，存储电路和电位控制电路之间具有第二节点，存储电路用于在第一时序信号的控制下选择性将接收的电平信号反相后输出至第二节点，电位控制电路用于为第一节点提供低电平信号，反相电路用于在第二时序信号的控制下选择性将电位控制电路提供的低电平信号反相后输出。

通过上述技术方案，本发明实施例所产生的有益效果是：本发明实施例通过设计每一移位寄存单元仅包括存储电路、电位控制电路和反相电路，其中电位控制电路和反相电路之间具有第二节点，存储电路和电位控制电路之间具有第二节点，存储电路用于在第一时序信号的控制下选择性将接

收的电平信号反相后输出至第二节点，电位控制电路用于为第一节点提供低电平信号，反相电路用于在第二时序信号的控制下选择性将电位控制电路提供的低电平信号反相后输出，由于单个移位寄存单元的结构较为简单，使得多个移位寄存单元串联后形成的移位寄存器所占区域较大，因此有利于液晶显示面板的窄边框或无边框设计，并且简答的结构比较容易确保液晶显示面板的制程良率。

【附图说明】

图 1 是本发明优选实施例的液晶显示装置的结构示意图；

图 2 是本发明第一实施例的移位寄存单元的电路示意图；

图 3 是本发明第二实施例的移位寄存单元的电路示意图；

图 4 是图 2 所示移位寄存单元一优选实施例的连接示意图；

图 5 是施加于图 4 所示移位寄存单元的一实施例的讯号时序图。

【具体实施方式】

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，本发明以下所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

图 1 是本发明优选实施例的液晶显示装置的结构示意图，如图 1 所示，液晶显示装置 10 包括液晶显示面板 11、为液晶显示面板 11 提供数据信号的数据驱动电路 12 以及为液晶显示面板 11 提供扫描信号的扫描驱动电路 13，液晶显示装置 10 采用 GOA（Gate Driver on Array）技术制得数据驱动电路 12 和扫描驱动电路 13 分别对应通过多根数据线和多根扫描线与液晶显示面板 11 连接。

扫描驱动电路 13 包括移位寄存器，并通过移位寄存器控制数据信号和扫描信号的输出时序。其中，扫描驱动电路 13 在移位寄存器的控制下依序输出高电平信号至多根扫描线，以逐列控制呈矩阵排布的薄膜晶体管的导通与关闭，从而实现显示画面。

移位寄存器具有多个结构相同且串联的移位寄存单元 20, 请参阅图 2 所示, 每一移位寄存单元 20 包括接收并暂时存储前级讯号的存储电路 31、电位控制电路 32 以及为液晶显示面板 11 的扫描线充电和放电的反相电路 33。存储电路 31 和电位控制电路 32 之间具有第二节点 P_2 , 电位控制电路 32 和反相电路 33 之间具有第一节点 P_1 , 存储电路 31 用于在第一时序信号 CK_1 的控制下选择性将接收的电平信号反相后输出至第二节点 P_2 , 电位控制电路 32 用于为第一节点 P_1 提供低电平信号 V_{GL} , 反相电路 33 用于在第二时序信号 CK_2 的控制下选择性将电位控制电路 32 提供的低电平信号 V_{GL} 反相后输出。在本实施例中:

存储电路 31 包括输入端 V_{IN1} 、第一开关管 T_1 、第二开关管 T_2 、第一反相器 311 和第二反相器 312。第一开关管 T_1 和第一反相器 311 之间具有第三节点 P_3 , 第一开关管 T_1 的控制端 G_1 连接外部电路以接收第一时序信号 CK_1 , 第一开关管 T_1 的第一端 S_1 连接输入端 V_{IN1} 以接收上一级移位寄存单元 20 的输出信号, 第一开关管 T_1 的第二端 D_1 连接第三节点 P_3 , 第二开关管 T_2 的控制端 G_2 连接外部电路以接收第一时序信号 CK_1 , 第二开关管 T_2 的第一端 S_2 连接第二反相器 312, 第二开关管 T_2 的第二端 D_2 连接第三节点 P_3 。其中, 第一开关管 T_1 的控制端 G_1 和第二开关管 T_2 的控制端 G_2 连接同一或不同的外部电路。

其中, 第一开关管 T_1 为 N 型 MOS 管, 第一开关管 T_1 的控制端 G_1 、第一端 S_1 和第二端 D_1 分别为 N 型 MOS 管的栅极、源极和漏极, 第二开关管 T_2 为 P 型 MOS 管, 第二开关管 T_2 的控制端 G_2 、第一端 S_2 和第二端 D_2 分别为 P 型 MOS 管的栅极、源极和漏极。

本实施例优选第一反相器 311 由第三开关管 T_3 和第四开关管 T_4 构成, 第二反相器 312 由第五开关管 T_5 和第六开关管 T_6 构成。其中:

第三开关管 T_3 的控制端 G_3 连接第三节点 P_3 , 第三开关管 T_3 的第一端 S_3 连接外部电路以接收高电平信号 V_{GH} , 第三开关管 T_3 的第二端 D_3 连接第二节点 P_2 。第四开关管 T_4 的控制端 G_4 连接第三节点 P_3 , 第四开关管 T_4 的第一端 S_4 连接外部电路以接收低电平信号 V_{GL} , 第四开关管 T_4 的第二端 D_4 连接第二节点 P_2 。第五开关管 T_5 的控制端 G_5 连接第二节点 P_2 , 第五开关管 T_5 的第一端 S_5 连接外部电路以接收高电平信号 V_{GH} , 第五开关管 T_5

的第二端 D_5 连接第二开关管 T_2 的第二端 D_2 。第六开关管 T_6 的控制端 G_6 连接第二节点 P_2 ，第六开关管 T_6 的第一端 S_6 连接外部电路以接收低电平信号 V_{GL} ，第六开关管 T_6 的第二端 D_6 连接第二开关管 T_2 的第二端 D_2 。

本实施例优选地，第三开关管 T_3 为 P 型 MOS 管，第三开关管 T_3 的控制端 G_3 、第一端 S_3 和第二端 D_3 分别为 P 型 MOS 管的栅极、源极和漏极，第四开关管 T_4 为 N 型 MOS 管，第四开关管 T_4 的控制端 G_4 、第一端 S_4 和第二端 D_4 分别为 N 型 MOS 管的栅极、源极和漏极，第五开关管 T_5 为 P 型 MOS 管，第五开关管 T_5 的控制端 G_5 、第一端 S_5 和第二端 D_5 分别为 P 型 MOS 管的栅极、源极和漏极，第六开关管 T_6 为 N 型 MOS 管，第六开关管 T_6 的控制端 G_6 、第一端 S_6 和第二端 D_6 分别为 N 型 MOS 管的栅极、源极和漏极。

并且，第三开关管 T_3 的第一端 S_3 、第四开关管 T_4 的第一端 S_4 、第五开关管 T_5 的第一端 S_5 和第六开关管 T_6 的第一端 S_6 可以对应连接不同的外部电路，也可以组合连接不同的外部电路。

电位控制电路 32 包括第七开关管 T_7 、第八开关管 T_8 和第九开关管 T_9 。第七开关管 T_7 的控制端 G_7 连接第二节点 P_2 ，第七开关管 T_7 的第一端 S_7 连接第二节点 P_2 ，第七开关管 T_7 的第二端 D_7 连接第一节点 P_1 ，第八开关管 T_8 的控制端 G_8 连接外部电路以接收第二时序信号 CK_2 ，第八开关管 T_8 的第一端 S_8 连接第二节点 P_2 ，第八开关管 T_8 的第二端 D_8 连接第一节点 P_1 ，第九开关管 T_9 的控制端 G_9 连接外部电路以接收第二时序信号 CK_2 ，第九开关管 T_9 的第一端 S_9 连接第二节点 P_2 ，第九开关管 T_9 的第二端 D_9 连接外部电路以接收高电平信号 V_{GH} 。

本实施例优选地，第七开关管 T_7 为 N 型 MOS 管，第七开关管 T_7 的控制端 G_7 、第一端 S_7 和第二端 D_7 分别为 N 型 MOS 管的栅极、源极和漏极，第八开关管 T_8 为 N 型 MOS 管，第八开关管 T_8 的控制端 G_8 、第一端 S_8 和第二端 D_8 分别为 N 型 MOS 管的栅极、源极和漏极，第九开关管 T_9 为 P 型 MOS 管，第九开关管 T_9 的控制端 G_9 、第一端 S_9 和第二端 D_9 分别为 P 型 MOS 管的栅极、源极和漏极。

反相电路 33 包括第十开关管 T_{10} 、第十一开关管 T_{11} 和输出端 V_{OUT} ，第十开关管 T_{10} 的控制端 G_{10} 连接第一节点 P_1 ，第十开关管 T_{10} 的第一端 S_{10}

连接输入端 VIN1 以接收上一级移位寄存单元的输出信号, 第十开关管 T_{10} 的第二端 D_{10} 连接外部电路以接收高电平信号, 第十一开关管 T_{11} 的控制端 G_{11} 连接第一节点 P_1 , 第十一开关管 T_{11} 的第一端 S_{11} 连接外部电路以接收低电平信号, 第十一开关管 T_{11} 的第二端 D_{11} 连接输出端 VOUT。

本实施例优选地, 第十开关管 T_{10} 为 P 型 MOS 管, 第十开关管 T_{10} 的控制端 G_{10} 、第一端 S_{10} 和第二端 D_{10} 分别为 P 型 MOS 管的栅极、源极和漏极, 第十一开关管 T_{11} 为 N 型 MOS 管, 第十一开关管 T_{11} 的控制端 G_{11} 、第一端 S_{11} 和第二端 D_{11} 分别为 N 型 MOS 管的栅极、源极和漏极。

在本实施例中, 第十开关管 T_{10} 和第十一开关管 T_{11} 配合构成反相器, 用于给液晶显示面板 11 的扫描线充电和放电, 存储电路 31 用于暂时接收并存储自输入端 VIN1 接入的电量。第一时序信号 CK_1 为高电位时第一开关管 T_1 导通而第二开关管 T_2 关闭, 自输入端 VIN1 接入的高电位可以传至第三节点 P_3 。第三节点 P_3 为高电位后, 由第三开关管 T_3 和第四开关管 T_4 构成的第一反相器 311 可将第二节点 P_2 拉至低电位。当第一时序信号 CK_1 由高电位变为低电位后, 第二开关管 T_2 导通而第一开关管 T_1 关闭, 由第三开关管 T_3 、第四开关管 T_4 、第五开关管 T_5 、第六开关管 T_6 、第二开关管 T_2 组成的闭合回路可稳定维持第三节点 P_3 的高电位和第二节点 P_2 的低电位。

对于电位控制电路 32, 第二时序信号 CK_2 为高电位时第八开关管 T_8 导通而第九开关管 T_9 关闭, 第一节点 P_1 可被第二节点 P_2 拉低至低电位, 第一节点 P_1 经第十开关管 T_{10} 和第十一开关管 T_{11} 构成的反相器的反相作用后输出高电位至与移位寄存单元 20 连接的扫描线。第二时序信号 CK_2 变为低电位后, 第八开关管 T_8 关闭而第九开关管 T_9 导通, 第一节点 P_1 被高电平信号 V_{GH} 拉高电位, 输出低电位至与移位寄存单元 20 连接的扫描线。在非充电期间, 第二节点 P_2 处于高电位, 第七开关管 T_7 导通, 第一节点 P_1 连接第二节点 P_2 而稳定处于高电位, 可稳定输出低电位至与移位寄存单元 20 连接的扫描线。在充电期间, 第二节点 P_2 处于低电位, 第七开关管 T_7 断开, 不影响第一节点 P_1 的电位以及与移位寄存单元 20 连接的扫描线的充电。

需要说明的是, 在本发明的其它实施例中, 第七开关管 T_7 还可以为图 3 所示的 P 型 MOS 管, 此时第七开关管 T_7 的控制端 G_7 、第一端 S_7 和第二

端 D_7 分别为 N 型 MOS 管的栅极、源极和漏极。与图 2 所示实施例的不同之处在于,在非充电期间,第三节点 P_3 处于低电位而第二节点 P_2 处于高电位,第七开关管 T_7 导通,可确保在非充电期间第一节点 P_1 连接第二节点 P_2 而处于高电位,从而可稳定输出低电位至与移位寄存单元 20 连接的扫描线。在充电期间,第三节点 P_3 处于高电位,第七开关管 T_7 关闭,不影响充电。

图 4 是图 2 所示移位寄存单元 20 一优选实施例的连接示意图。如图 3 所示,与第 1,3,5...,n-1 条等奇数项的扫描线连接的移位寄存单元 20 分布于液晶显示面板 11 的左侧,与第 2,4,6...,n 条等偶数项的扫描线连接的移位寄存单元 20 分布于液晶显示面板 11 的右侧。每一移位寄存单元 20 控制一条水平扫描线的电位,例如与第 n 条扫描线 G_n 连接的移位寄存单元 20 控制扫描线 G_n 的电位。液晶显示面板 11 两侧的移位寄存单元 20 与位于液晶显示面板 11 下部的驱动 IC 连接,以获得驱动讯号,相邻两个移位寄存单元 20 之间也通过讯号线连接,从而保证各个移位寄存单元 20 能逐列控制扫描线的充电和放电。

图 5 是施加于图 4 所示移位寄存单元的一实施例的讯号时序图。如图 5 所示,接通直流高电压源获得高电平信号 V_{GH} , 接通直流低电压源获得低电平信号 V_{GL} , CK_{1_L} 和 CK_{2_L} 为驱动液晶显示面板 11 左侧移位寄存单元 20 的时钟信号, CK_{1_R} 和 CK_{2_R} 为液晶显示面板 11 右侧移位寄存单元 20 的时钟信号。

结合图 2、图 4 和图 5 所示, $t_1 \sim t_3$ 为第 n-2 条扫描线 G_{n-2} 在充电前的准备时间, $t_3 \sim t_4$ 为扫描线 G_{n-2} 的充电时间, $t_3 \sim t_5$ 为第 n 条扫描线 G_n 在充电前的准备时间, $t_5 \sim t_6$ 为扫描线 G_n 的充电时间。 t_1 时刻, CK_{2_L} 和扫描线 G_{n-4} 的电位开始提升,与扫描线 G_{n-2} 连接的移位寄存单元 20 的第三节点 P_3 被充至高电位,第二节点 P_2 被拉至低电位。 t_2 时刻, CK_{2_L} 和扫描线 G_{n-4} 的电位下降,但移位寄存单元 20 中存储电路 31 存储的电量可使得扫描线 G_{n-2} 连接的移位寄存单元 20 的第三节点 P_3 和第二节点 P_2 的电位可暂时保存直至下一次 CK_{2_L} 的电位抬升。 t_3 时刻, CK_{1_L} 的电位抬升,与扫描线 G_{n-2} 连接的移位寄存单元 20 的第八开关管 T_8 导通且第九开关管 T_9 关闭,此时该移位寄存单元 20 的第一节点 P_1 被第二节点 P_2 至低电位,经第十开

关管 T_{10} 和第十一开关管 T_{11} 的反相后从输出端 VOUT 输出高电位至扫描线 G_{n-2} 。t4 时刻, CK_{1_L} 的电位降低, 与扫描线 G_{n-2} 连接的移位寄存单元 20 的第八开关管 T_8 关闭且第九开关管 T_9 导通, 此时, 该移位寄存单元 20 的第一节点 P_1 被拉至高电位, 扫描线 G_{n-4} 被拉至低电位。t5 时刻, CK_{2_L} 的电位开始提升, 但此时扫描线 G_{n-4} 已为低电位, 与扫描线 G_{n-2} 连接的移位寄存单元 20 的第三节点 P_3 被拉至低电位, 其第二节点 P_2 被拉至高电位。

同理, 如图 5 所示, t3 时刻, CK_{1_L} 和扫描线 G_{n-4} 的电位开始提升, 与扫描线 G_n 连接的移位寄存单元 20 的第三节点 P_3 被拉至高电位, 其第二节点 P_2 被拉至低电位。t5 时刻, CK_{2_L} 的电位抬升, 与扫描线 G_n 连接的移位寄存单元 20 的第八开关管 T_8 导通且第九开关管 T_9 关闭, 该移位寄存单元 20 的第一节点 P_1 被第二节点 P_2 拉至低电位, 经第十开关管 T_{10} 和第十一开关管 T_{11} 的反相后从输出端 VOUT 输出高电位至扫描线 G_{n-2} 。t6 时刻, CK_{2_L} 的电位降低, 与扫描线 G_n 连接的移位寄存单元 20 的第八开关管 T_8 关闭且第九开关管 T_9 导通, 该移位寄存单元 20 的第一节点 P_1 被拉至高电位, 扫描线 G_n 被拉至低电位。

依据上述原理, 与扫描线 $G_1, G_2, \dots, G_{n-1}, G_n$ 对应连接的各个移位寄存单元 20 可在时钟信号的适当驱动下逐列为扫描线 $G_1, G_2, \dots, G_{n-1}, G_n$ 充电和放电, 使得液晶显示面板 11 正常显示画面。

综上所述, 本发明实施例通过设计每一移位寄存单元仅包括接收并暂时存储前级讯号的存储电路、电位控制电路以及为液晶显示面板的扫描线充电和放电的反相电路, 其中电位控制电路和反相电路之间具有第一节点, 存储电路和电位控制电路之间具有第二节点, 存储电路用于在第一时序信号的控制下选择性将接收的电平信号反相后输出至第二节点, 电位控制电路用于为第一节点提供低电平信号, 反相电路用于在第二时序信号的控制下选择性将电位控制电路提供的低电平信号反相后输出, 由于单个移位寄存单元的结构较为简单, 使得多个移位寄存单元串联后形成的移位寄存器所占区域较大, 因此有利于液晶显示面板的窄边框或无边框设计, 并且简答的结构比较容易确保液晶显示面板的制程良率。

再次说明, 以上所述仅为本发明的实施例, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变

换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

1. 一种移位寄存器，具有多个移位寄存单元，其中，每一所述移位寄存单元包括接收并暂时存储前级讯号的存储电路、电位控制电路以及为液晶显示面板的扫描线充电和放电的反相电路，所述电位控制电路和所述反相电路之间具有第一节点，所述存储电路和所述电位控制电路之间具有第二节点，所述存储电路用于在第一时序信号的控制下选择性将接收的电平信号反相后输出至所述第二节点，所述电位控制电路用于为所述第一节点提供低电平信号，所述反相电路用于在第二时序信号的控制下选择性将所述电位控制电路提供的低电平信号反相后输出；

其中，所述存储电路包括输入端、第一开关管、第二开关管、第一反相器和第二反相器，所述第一开关管连接所述输入端，所述第一开关管和所述第一反相器之间具有第三节点，所述第二开关管连接所述第二反相器，所述电位控制电路包括第七开关管、第八开关管和第九开关管，所述第七开关管和所述第九开关管连接所述第二节点，所述第八开关管连接所述第一节点，所述反相电路包括第十开关管、第十一开关管和输出端，所述第十开关管和所述第十一开关管连接所述第一节点，所述第十一开关管的第二端连接所述输出端。

2. 根据权利要求 1 所述的移位寄存器，其中，所述第一开关管的控制端连接外部电路以接收所述第一时序信号，所述第一开关管的第一端连接所述输入端以接收上一级移位寄存单元的输出信号，所述第一开关管的第二端连接所述第三节点，所述第二开关管的控制端连接所述外部电路以接收所述第一时序信号，所述第二开关管的第一端连接所述第二反相器，所述第二开关管的第二端连接所述第三节点。

3. 根据权利要求 2 所述的移位寄存器，其中，所述第一开关管为 N 型 MOS 管，所述第一开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极，所述第二开关管为 P 型 MOS 管，所述第二开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极。

4. 根据权利要求 2 所述的移位寄存器，其中，所述第一反相器包括第三开关管和第四开关管，所述第二反相器包括第五开关管和第六开关管，

所述第三开关管的控制端连接所述第三节点，所述第三开关管的第一端连接外部电路以接收高电平信号，所述第三开关管的第二端连接所述第二节点，所述第四开关管的控制端连接所述第三节点，所述第四开关管的第一端连接外部电路以接收低电平信号，所述第四开关管的第二端连接所述第二节点，所述第五开关管的控制端连接所述第二节点，所述第五开关管的第一端连接外部电路以接收高电平信号，所述第五开关管的第二端连接所述第二开关管的第二端，所述第六开关管的控制端连接所述第二节点，所述第六开关管的第一端连接外部电路以接收低电平信号，所述第六开关管的第二端连接所述第二开关管的第二端。

5. 根据权利要求 4 所述的移位寄存器，其中，所述第三开关管为 P 型 MOS 管，所述第三开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极，所述第四开关管为 N 型 MOS 管，所述第四开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极，所述第五开关管为 P 型 MOS 管，所述第五开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极，所述第六开关管为 N 型 MOS 管，所述第六开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极。

6. 根据权利要求 1 所述的移位寄存器，其中，所述第七开关管的控制端连接所述第二节点，所述第七开关管的第一端连接所述第二节点，所述第七开关管的第二端连接所述第一节点，所述第八开关管的控制端连接外部电路以接收所述第二时序信号，所述第八开关管的第一端连接所述第二节点，所述第八开关管的第二端连接所述第一节点，所述第九开关管的控制端连接所述外部电路以接收所述第二时序信号，所述第九开关管的第一端连接所述第二节点，所述第九开关管的第二端连接外部电路以接收高电平信号。

7. 根据权利要求 6 所述的移位寄存器，其中，所述第七开关管为 N 型 MOS 管或 P 型 MOS 管，所述第七开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管或所述 P 型 MOS 管的栅极、源极和漏极，所述第八开关管为 N 型 MOS 管，所述第八开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极，所述第九开关管为 P 型 MOS 管，所

述第九开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极。

8. 根据权利要求 1 所述的移位寄存器, 其中, 所述第十开关管的控制端连接所述第一节点, 所述第十开关管的第一端连接所述输入端以接收上一级移位寄存单元的输出信号, 所述第十开关管的第二端连接外部电路以接收高电平信号, 所述第十一开关管的控制端连接所述第一节点, 所述第十一开关管的第一端连接外部电路以接收低电平信号, 所述第十一开关管的第二端连接所述输出端。

9. 根据权利要求 8 所述的移位寄存器, 其中, 所述第十开关管为 P 型 MOS 管, 所述第十开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极, 所述第十一开关管为 N 型 MOS 管, 所述第十一开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极。

10. 一种移位寄存器, 具有多个移位寄存单元, 其中, 每一所述移位寄存单元包括接收并暂时存储前级讯号的存储电路、电位控制电路以及为液晶显示面板的扫描线充电和放电的反相电路, 所述电位控制电路和所述反相电路之间具有第一节点, 所述存储电路和所述电位控制电路之间具有第二节点, 所述存储电路用于在第一时序信号的控制下选择性将接收的电平信号反相后输出至所述第二节点, 所述电位控制电路用于为所述第一节点提供低电平信号, 所述反相电路用于在第二时序信号的控制下选择性将所述电位控制电路提供的低电平信号反相后输出。

11. 根据权利要求 10 所述的移位寄存器, 其中, 所述存储电路包括输入端、第一开关管、第二开关管、第一反相器和第二反相器, 所述第一开关管和所述第一反相器之间具有第三节点, 所述第一开关管的控制端连接外部电路以接收所述第一时序信号, 所述第一开关管的第一端连接所述输入端以接收上一级移位寄存单元的输出信号, 所述第一开关管的第二端连接所述第三节点, 所述第二开关管的控制端连接所述外部电路以接收所述第一时序信号, 所述第二开关管的第一端连接所述第二反相器, 所述第二开关管的第二端连接所述第三节点。

12. 根据权利要求 11 所述的移位寄存器, 其中, 所述第一开关管为 N

型 MOS 管, 所述第一开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极, 所述第二开关管为 P 型 MOS 管, 所述第二开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极。

13. 根据权利要求 11 所述的移位寄存器, 其中, 所述第一反相器包括第三开关管和第四开关管, 所述第二反相器包括第五开关管和第六开关管, 所述第三开关管的控制端连接所述第三节点, 所述第三开关管的第一端连接外部电路以接收高电平信号, 所述第三开关管的第二端连接所述第二节点, 所述第四开关管的控制端连接所述第三节点, 所述第四开关管的第一端连接外部电路以接收低电平信号, 所述第四开关管的第二端连接所述第二节点, 所述第五开关管的控制端连接所述第二节点, 所述第五开关管的第一端连接外部电路以接收高电平信号, 所述第五开关管的第二端连接所述第二开关管的第二端, 所述第六开关管的控制端连接所述第二节点, 所述第六开关管的第一端连接外部电路以接收低电平信号, 所述第六开关管的第二端连接所述第二开关管的第二端。

14. 根据权利要求 13 所述的移位寄存器, 其中, 所述第三开关管为 P 型 MOS 管, 所述第三开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极, 所述第四开关管为 N 型 MOS 管, 所述第四开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极, 所述第五开关管为 P 型 MOS 管, 所述第五开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极, 所述第六开关管为 N 型 MOS 管, 所述第六开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极。

15. 根据权利要求 10 所述的移位寄存器, 其中, 所述电位控制电路包括第七开关管、第八开关管和第九开关管, 所述第七开关管的控制端连接所述第二节点, 所述第七开关管的第一端连接所述第二节点, 所述第七开关管的第二端连接所述第一节点, 所述第八开关管的控制端连接外部电路以接收所述第二时序信号, 所述第八开关管的第一端连接所述第二节点, 所述第八开关管的第二端连接所述第一节点, 所述第九开关管的控制端连接所述外部电路以接收所述第二时序信号, 所述第九开关管的第一端连接

所述第二节点，所述第九开关管的第二端连接外部电路以接收高电平信号。

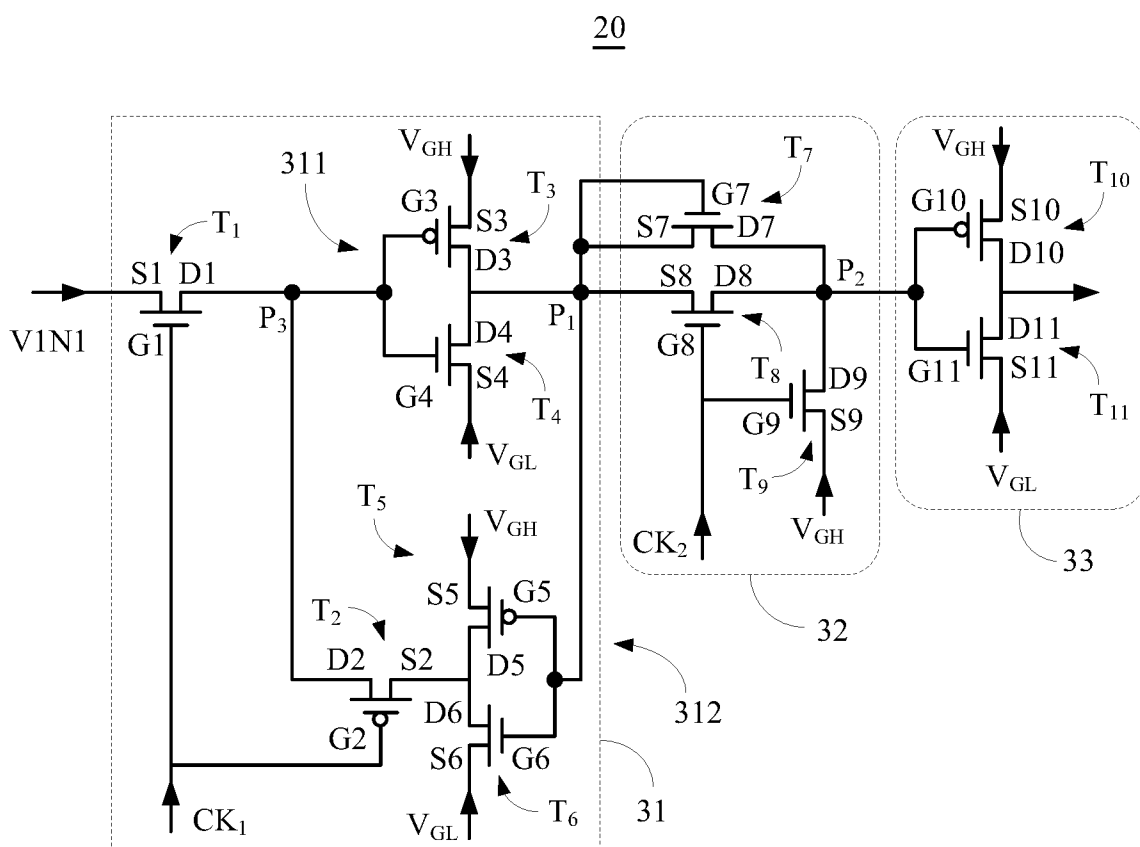
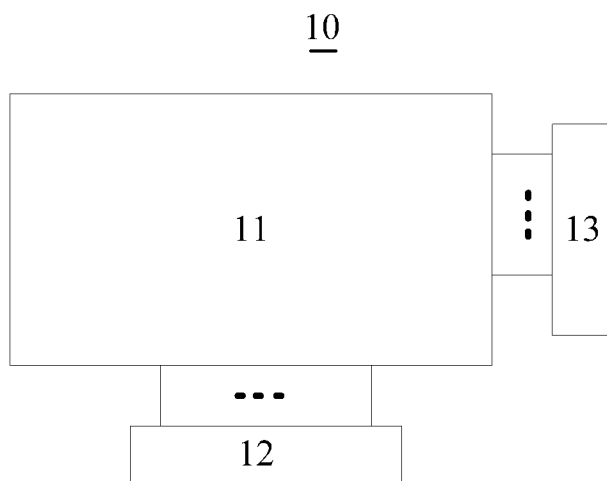
16. 根据权利要求 15 所述的移位寄存器，其中，所述第七开关管为 N 型 MOS 管或 P 型 MOS 管，所述第七开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管或所述 P 型 MOS 管的栅极、源极和漏极，所述第八开关管为 N 型 MOS 管，所述第八开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极，所述第九开关管为 P 型 MOS 管，所述第九开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极。

17. 根据权利要求 10 所述的移位寄存器，其中，所述反相电路包括第十开关管、第十一开关管和输出端，所述第十开关管的控制端连接所述第一节点，所述第十开关管的第一端连接所述输入端以接收上一级移位寄存单元的输出信号，所述第十开关管的第二端连接外部电路以接收高电平信号，所述第十一开关管的控制端连接所述第一节点，所述第十一开关管的第一端连接外部电路以接收低电平信号，所述第十一开关管的第二端连接所述输出端。

18. 根据权利要求 17 所述的移位寄存器，其中，所述第十开关管为 P 型 MOS 管，所述第十开关管的控制端、第一端和第二端分别为所述 P 型 MOS 管的栅极、源极和漏极，所述第十一开关管为 N 型 MOS 管，所述第十一开关管的控制端、第一端和第二端分别为所述 N 型 MOS 管的栅极、源极和漏极。

19. 一种液晶显示装置，包括液晶显示面板、为所述液晶显示面板提供数据信号的数据驱动电路以及为所述液晶显示面板提供扫描信号的扫描驱动电路，其中，所述数据驱动电路和所述扫描驱动电路分别包括移位寄存器，以控制所述数据信号和所述扫描信号的输出时序，所述移位寄存器具有多个移位寄存单元，每一所述移位寄存单元包括接收并暂时存储前级讯号的存储电路、电位控制电路以及为液晶显示面板的扫描线充电和放电的反相电路，所述电位控制电路和所述反相电路之间具有第一节点，所述存储电路和所述电位控制电路之间具有第二节点，所述存储电路用于在第一时间序信号的控制下选择性将接收的电平信号反相后输出至所述第二节点，所述电位控制电路用于为所述第一节点提供低电平信号，所述反相电路用

于在第二时序信号的控制下选择性将所述电位控制电路提供的低电平信号反相后输出。



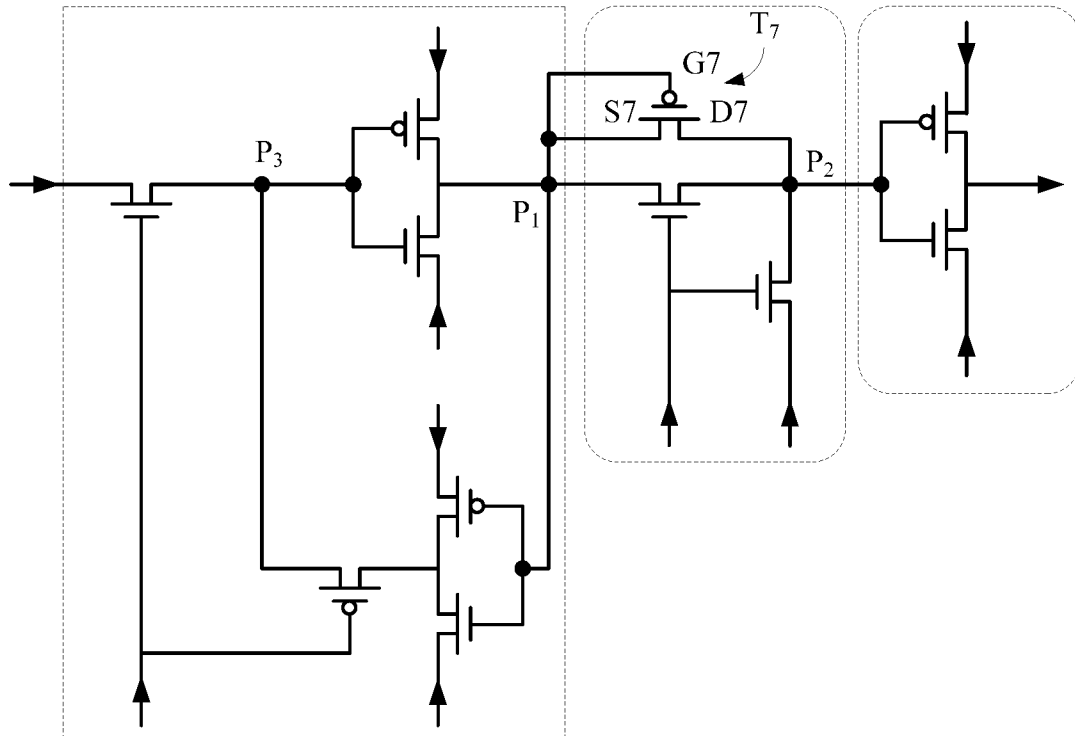


图 3

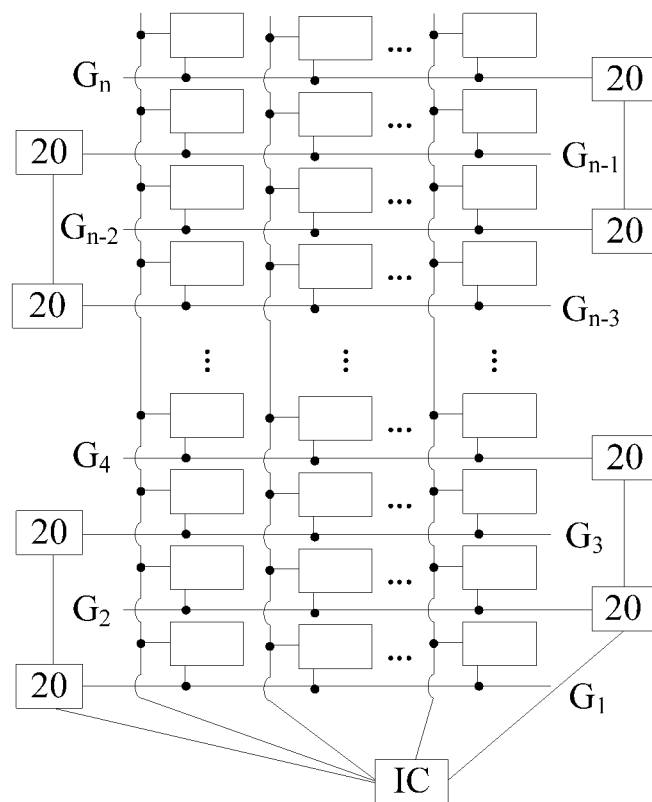


图 4

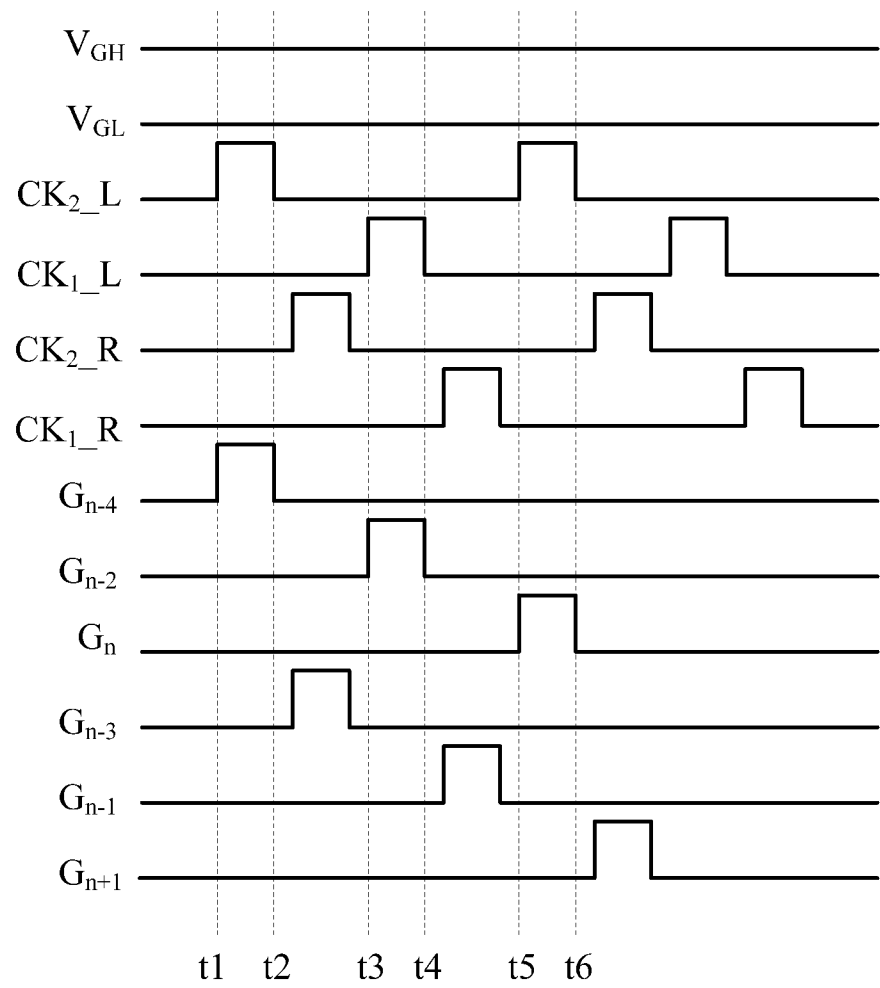


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/093351

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI: inverter, negater, not circuit, not gate, clock, COMOS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103280176 A (XIAMEN TIANMA MICRO-ELECTRONICS CO LTD) 04 September 2013 (04.09.2013) description paragraphs [0001]-[0068], figures 1-10	10, 19
A	CN 101017656 B (HITACHI DISPLAYS LTD) 15 December 2010 (15.12.2010) the whole document	1-19
A	CN 103208251 A (BOE TECHNOLOGY GROUP CO LTD et al.) 17 July 2013 (17.07.2013) the whole document	1-19
A	CN 103985362 A (SHANGHAI AVIC OPTOELECTRONICS CO LTD et al.) 13 August 2014 (13.08.2014) the whole document	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 02 September 2015	Date of mailing of the international search report 11 September 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LUO, Yun Telephone No. (86-10) 62085874

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/093351

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104103244 A (HANNSTAR DISPLAY CORP.) 15 October 2014 (15.10.2014) the whole document	1-19
A	CN 102270434A (HYDIS TECHNOLOGIES CO LTD) 07 December 2011(07.12.2011) the whole document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/093351

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103280176 A	04 September 2013	None	
CN 101017656 B	15 December 2010	US 2007194973 A1	23 August 2007
		JP 2007212559 A	23 August 2007
		CN 101017656 A	15 August 2007
		JP 4993917 B2	08 August 2012
		TWI 357058 B	21 January 2012
		US 7800575 B2	21 September 2010
		KR 100856632 B1	03 September 2008
		KR 20070080585 A	10 August 2007
		TW 200746025 A	16 December 2007
CN 103208251 A	17 July 2013	WO 2014169626 A1	23 October 2014
		CN 103208251 B	29 July 2015
CN 103985362 A	13 August 2014	None	
CN 104103244 A	15 October 2014	None	
CN 102270434 A	07 December 2011	KR 101170241 B1	31 July 2012
		TW 201145243 A	16 December 2011
		US 8542178 B2	24 September 2013
		JP 2011253169 A	15 December 2011
		JP 5696923 B2	08 April 2015
		US 2011298771 A1	08 December 2011
		KR 20110132738 A	09 December 2011

国际检索报告

国际申请号

PCT/CN2014/093351

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN, CNKI: 移位寄存器, 反相器, 反相电路, 非门, 非电路, 反相放大器, 第二, 时钟, 时序, 奇, 偶, inverter, negater, not circuit, not gate, clock, CMOS

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103280176 A (厦门天马微电子有限公司) 2013年 9月 4日 (2013 - 09 - 04) 说明书[0001]-[0068]段, 图1-10	10, 19
A	CN 101017656 B (株式会社日立显示器) 2010年 12月 15日 (2010 - 12 - 15) 全文	1-19
A	CN 103208251 A (京东方科技集团股份有限公司 等) 2013年 7月 17日 (2013 - 07 - 17) 全文	1-19
A	CN 103985362 A (上海中航光电子有限公司 等) 2014年 8月 13日 (2014 - 08 - 13) 全文	1-19
A	CN 104103244 A (瀚宇彩晶股份有限公司) 2014年 10月 15日 (2014 - 10 - 15) 全文	1-19
A	CN 102270434 A (海帝士科技公司) 2011年 12月 7日 (2011 - 12 - 07) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 2日

国际检索报告邮寄日期

2015年 9月 11日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

罗赟

电话号码 (86-10)62085874

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/093351

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103280176	A	2013年 9月 4日	无			
CN	101017656	B	2010年 12月 15日	US	2007194973	A1	2007年 8月 23日
				JP	2007212559	A	2007年 8月 23日
				CN	101017656	A	2007年 8月 15日
				JP	4993917	B2	2012年 8月 8日
				TW	I357058	B	2012年 1月 21日
				US	7800575	B2	2010年 9月 21日
				KR	100856632	B1	2008年 9月 3日
				KR	20070080585	A	2007年 8月 10日
				TW	200746025	A	2007年 12月 16日
CN	103208251	A	2013年 7月 17日	WO	2014169626	A1	2014年 10月 23日
				CN	103208251	B	2015年 7月 29日
CN	103985362	A	2014年 8月 13日	无			
CN	104103244	A	2014年 10月 15日	无			
CN	102270434	A	2011年 12月 7日	KR	101170241	B1	2012年 7月 31日
				TW	201145243	A	2011年 12月 16日
				US	8542178	B2	2013年 9月 24日
				JP	2011253169	A	2011年 12月 15日
				JP	5696923	B2	2015年 4月 8日
				US	2011298771	A1	2011年 12月 8日
				KR	20110132738	A	2011年 12月 9日

表 PCT/ISA/210 (同族专利附件) (2009年7月)