(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月4日(04.01.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/003669 A1

(51) 国際特許分類:
G09G 5/00 (2006.01) *H04N 19/93* (2014.01)
G09G 5/377 (2006.01)

(21) 国際出願番号: PCT/JP2017/023101

(22) 国際出願日: 2017年6月22日(22.06.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-126996 2016年6月27日(27.06.2016) JP
特願 2017-035487 2017年2月27日(27.02.2017) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21 Kyoto (JP).

(72) 発明者: 遠藤 洋治 (ENDO Hiroharu); 〒6158585 京都府京都市右京区西院溝崎町21ローム株式会社内 Kyoto (JP).

(74) 代理人: 森下 賢樹 (MORISHITA Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

WO 2018/003669 A1

(54) **Title:** TIMING CONTROLLER, ELECTRONIC DEVICE USING SAME, VEHICLE-MOUNTED DISPLAY DEVICE, MEDICAL DISPLAY DEVICE

(54) 発明の名称: タイミングコントローラ、それを用いた電子機器、車載用ディスプレイ装置、医療用ディスプレイ装置

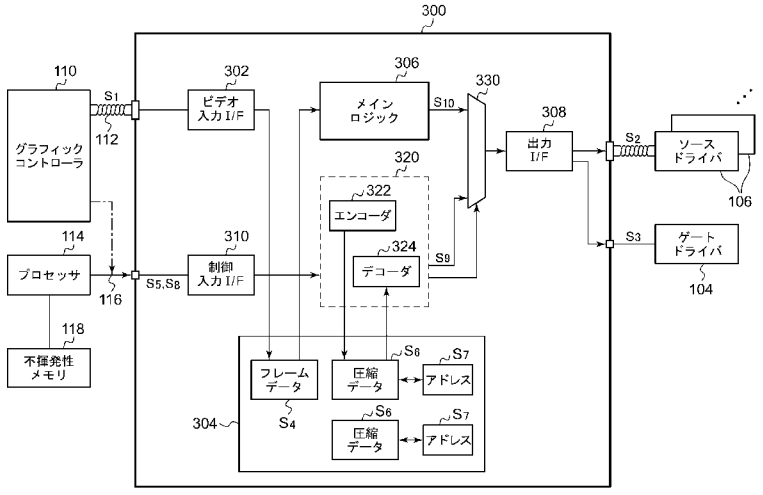


FIG. 2:
104 Gate driver
106 Source driver
110 Graphic controller
114 Processor
118 Non-volatile memory
302 Video input interface
306 Main logic
308 Output interface
310 Control input interface
322 Encoder
324 Decoder
S4 Frame data
S6 Compressed data
S7 Address

(57) **Abstract:** According to the present invention, a video input interface 302 receives, in a normal state, input image data S1. A control input interface 310 receives, in a setup state, graphic data S5 for an on-screen display (OSD). An encoder 322 encodes, in the setup state, the graphic data S5 and stores, in a memory 304, encoded compressed data S6. A decoder 324 receives, in a normal state, an instruction signal S8 for designating graphic data to be displayed; reads, from the memory 304, and decodes one piece of the compressed data S6 according to the instruction signal S8; and plays back original graphic data. A multiplexer 330 outputs frame data S_{10} with the graphic data S_9 superimposed thereon.

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:ビデオ入力インタフェース３０２は、通常状態において入力画像データＳ１を受信する。制御入力インタフェース３１０は、セットアップ状態において、ＯＳＤ(OnScreenDisplay)用の図形データＳ５を受信する。エンコーダ３２２は、セットアップ状態において、図形データＳ５をエンコードし、エンコードされた圧縮データＳ６をメモリ３０４に格納する。デコーダ３２４は、通常状態において、表示すべき図形データを指定する指示信号Ｓ８を受信し、メモリ３０４から指示信号Ｓ８に応じたひとつの圧縮データＳ６を読み出してデコードし、元の図形データを再生する。マルチプレクサ３３０は、フレームデータS_{10}に図形データS_9を重ねて出力する。

明　細　書

発明の名称 ：

タイミングコントローラ、それを用いた電子機器、車載用ディスプレイ装置、医療用ディスプレイ装置

技術分野

[0001] 本発明は、グラフィックコントローラや他の機器からの画像データを受け、ゲートドライバやソースドライバに情報を伝送するタイミングコントローラに関する。

背景技術

[0002] 図１は、画像表示システムのブロック図である。画像表示システム１００Ｒは、液晶パネルや有機ＥＬパネルなどのディスプレイパネル１０２と、ゲートドライバ１０４、ソースドライバ１０６、グラフィックコントローラ１１０およびタイミングコントローラ２００Ｒを備える。グラフィックコントローラ１１０は、ディスプレイパネル１０２に表示すべき画像データを生成する。この画像データに含まれるピクセル（ＲＧＢ）データは、シリアル形式で、タイミングコントローラ２００Ｒに伝送される。

[0003] タイミングコントローラ２００Ｒは、画像データを受け、各種の制御／同期信号を生成する。ゲートドライバ１０４は、タイミングコントローラ２００Ｒからの信号と同期してディスプレイパネル１０２の走査線$Ｌ_S$を順に選択する。またＲＧＢデータは、ソースドライバ１０６に供給される。

[0004] タイミングコントローラ２００Ｒは、受信回路２０２、送信回路２０４、ロジック回路２１０を備える。受信回路２０２は、グラフィックコントローラ１１０からシリアル形式で画像データを受信する。外付けのＲＯＭ１１１には、ディスプレイパネル１０２のＩＤ（識別情報）、解像度やリフレッシュレートなどが格納されている。ロジック回路２１０は、受信回路２０２が受信した画像データにもとづいて、制御／同期信号を生成する。送信回路２０４は、制御信号や画像データを、ゲートドライバ１０４およびソースドラ

イバ１０６に出力する。

[0005] タイミングコントローラ２００Ｒには、受信回路２０２が受信する画像データとは別に、あらかじめ決められた文字、図形、アイコン（以下、単に図形と称する）などを表示するＯＳＤ（On Screen Display）機能が要求される場合がある。このためにロジック回路２１０は、ＯＳＤ回路２１２を備える。

[0006] ＲＯＭ１１１には、いくつかの文字やアイコンのビットマップデータが格納されている。タイミングコントローラ２００Ｒは、画像データとは別に入力される制御信号に応じた図形のビットマップデータをＲＯＭ１１１から読み出し、ディスプレイパネル１０２に表示させる。

先行技術文献

特許文献

[0007] 特許文献1：特開平６－３１７７８２号公報

特許文献2：特開２００２－１６９５２４号公報

発明の概要

発明が解決しようとする課題

[0008] 課題１． 従来のタイミングコントローラ２００Ｒでは、図形のビットマップデータをＲＯＭ１１１に格納する必要があるところ、ＲＯＭ１１１の容量には制限があるため、図形のピクセル数を大きくしにくいという問題がある。またタイミングコントローラ２００Ｒは、ＲＯＭ１１１に格納された図形しか表示することができないため、一旦、製品が出荷された後には、図形の修正や追加が困難である。このように従来のタイミングコントローラにおけるＯＳＤ機能は柔軟性に欠けるという問題があった。

[0009] 課題２． 通常、タイミングコントローラ２００Ｒとグラフィックコントローラ１１０の間は、差動シリアルインタフェースで接続される。画像表示システム１００Ｒの起動開始から、タイミングコントローラ２００Ｒとグラフィックコントローラ１１０の間のシリアルインタフェースのリンクが確立す

るまでの間、画像データの伝送ができず、したがってディスプレイパネル１０２に画像を表示できない。あるいは、一旦リンクが確立した後に、ノイズなどの影響でリンクが切断されると、再びリンクが確立するまでの間、ディスプレイパネル１０２に画像を表示できない。そのほか、ケーブルの抜け、断線が生じた場合、シリアルインタフェースやグラフィックコントローラ１１０の一部が故障した場合も同様である。本明細書において、これらのように、画像が表示できない状態を、「表示不能状態」と称する。

[0010] 近年、自動車のパネルの液晶化が進められており、複数のメータや警告灯が、液晶パネル（クラスターパネルと称する）に置き換えられている。自動車のクラスターパネルと、グラフィックコントローラの間の通信に不具合が生じ、表示不能状態となると、運転車に必要な情報を提示できなくなる。このような表示不能状態を放置することは望ましくない。自動車に限らず、医療用など、高い信頼性の求められる用途においても同様である。

[0011] 本発明のある態様は課題１に鑑みてなされたものであり、その例示的な目的のひとつは、柔軟性のあるＯＳＤ機能を提供可能なタイミングコントローラの提供にある。また本発明の別の態様は課題２に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、異常状態を検出可能なタイミングコントローラの提供にある。

課題を解決するための手段

[0012] １． 本発明のある態様は、タイミングコントローラに関する。タイミングコントローラは、通常状態において入力画像データを受信するビデオ入力インタフェースと、セットアップ状態において、ＯＳＤ（On Screen Display）用の図形データを受信する制御入力インタフェースと、セットアップ状態において、図形データをエンコードし、エンコードされた圧縮データをメモリに格納するエンコーダと、通常状態において、表示すべき図形データを指定する指示信号を受信し、メモリから指示信号に応じたひとつの圧縮データを読み出してデコードし、元の図形データを再生するデコーダと、画像データに図形データを重ねて出力するマルチプレクサと、を備える。

[0013] ＯＳＤ用の図形データのエンコーダ、デコーダをタイミングコントローラに内蔵し、セットアップごとに図形データを与えることにより、様々な図形データの表示が可能となる。なお図形データは、図形、アイコン、文字、それらに任意の組み合わせを含みうる。

[0014] エンコーダは、ランレングス圧縮により図形データを圧縮してもよい。圧縮データは、少なくともひとつのセグメントデータを含み、各セグメントデータは、同一色の連続するピクセルである同色セグメントを表してもよい。

これによりエンコーダの回路規模を小さくでき、またメモリの容量を小さくできる。

[0015] セグメントデータは、色を表すカラーデータと、連続ピクセル数を表すランレングス値と、を含んでもよい。ランレングス値のフォーマット長は可変であってもよい。これによりさらに圧縮率を高めることができる。

[0016] セグメントデータは、カラーワードと、少なくともひとつのランレングスワードとを含んでもよい。カラーワードは、セパレータビットおよびカラーデータを含み、ランレングスワードは、セパレータビットおよびランレングス値を含んでもよい。

[0017] セグメントデータは、カラーデータを含むカラーワードと、ランレングス値のワード数を表すワード数指定ビットと、ワード数分のランレングスワードと、を含んでもよい。

[0018] 制御入力インタフェースは、図形データのピクセルサイズを指定するサイズデータを受信し、圧縮データとともにメモリに格納してもよい。これにより、さまざまな大きさの図形データを表示可能となる。

[0019] 指示信号は、図形データを表示すべき位置を指定する位置情報を含んでもよい。マルチプレクサは、位置情報に応じた位置に、図形データを表示してもよい。これによりさらに柔軟なＯＳＤ機能が提供される。

[0020] 制御入力インタフェースは、ＳＰＩ（Serial Peripheral Interface）またはI^2C（Inter-Integrated Circuit）インタフェースであってもよい。これらは広く一般に利用されるインタフェースであるため、実装が容易である。

[0021] ある態様においてタイミングコントローラはひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

[0022] 本発明の別の態様は、電子機器に関する。電子機器は上述のいずれかのタイミングコントローラを備えてもよい。

[0023] 本発明の別の態様は、車載用ディスプレイ装置あるいは医療用ディスプレイ装置に関する。これらのディスプレイ装置は、上述のいずれかのタイミングコントローラを備えてもよい。

[0024] ２． 本発明のある態様は、タイミングコントローラに関する。タイミングコントローラは、入力画像データを受信するビデオ入力インタフェースと、入力画像データに含まれうる所定図形を記述する基準図形データを保持するメモリと、入力画像データにもとづいて、ディスプレイパネルに表示すべき出力画像データを生成する画像処理回路と、入力画像データと基準図形データにもとづいて、異常の有無を判定する異常検出器と、を備える。

[0025] この態様によると、入力画像データが正しく受信できているかを判定でき、ひいては異常状態を検出できる。なお図形データは、図形、アイコン、文字、それらに任意の組み合わせを含みうる。

[0026] タイミングコントローラは、ビデオ入力インタフェースとは別に設けられた制御入力インタフェースをさらに備え、プロセッサと通信可能に構成されてもよい。

[0027] 所定図形の表示位置は可変であってもよい。制御入力インタフェースがプロセッサから受信する制御信号は、所定図形の表示位置を示す位置情報を含んでもよい。

[0028] 所定図形は、ユーザが識別不能な状態で所定箇所に固定的に配置されてもよい。異常検出器は、毎フレーム、判定処理を行ってもよい。所定図形は、ディスプレイパネル上の端部のユーザから見えない所定箇所に固定的に配置

されてもよい。

[0029] 制御入力インタフェースがプロセッサから受信する制御信号は、所定図形が異常検出器による判定対象か否かを示す情報を含んでもよい。また制御信号は、現在のフレームが異常検出器による判定対象か否かを示す情報を含んでもよい。

[0030] タイミングコントローラはＯＳＤ機能を備えてもよい。メモリは、ＯＳＤ用図形データを格納しており、画像処理回路は、ＯＳＤモードにおいて、入力画像データにＯＳＤ用図形データを重ね合わせてもよい。

[0031] 基準図形データは、ＯＳＤ用図形データと共用されてもよい。これにより、メモリの容量を節約できる。

[0032] タイミングコントローラは、ＯＳＤモードと異常検出器による判定を行う判定モードとが、選択可能であってもよい。

[0033] メモリは不揮発性メモリであってもよい。

[0034] メモリは揮発性メモリであってもよい。制御入力インタフェースは、セットアップ状態において、所定図形を示す図形データを受信可能であってもよい。タイミングコントローラは、セットアップ状態において図形データをエンコードして圧縮データを生成し、圧縮データを基準図形データとしてメモリに格納するエンコーダと、通常状態において、基準図形データをデコードし、元の所定図形を再生するデコーダと、を含んでもよい。

図形のエンコーダ、デコーダをタイミングコントローラに内蔵し、セットアップごとに図形データを与えることにより、様々な図形データの表示が可能となる。

[0035] エンコーダは、ランレングス圧縮により基準図形データを圧縮してもよい。圧縮データは、少なくともひとつのセグメントデータを含んでもよい。各セグメントデータは、同一色の連続するピクセルである同色セグメントを表してもよい。

これによりエンコーダの回路規模を小さくでき、またメモリの容量を小さくできる。

[0036] 制御入力インタフェースは、ＳＰＩ（Serial Peripheral Interface）またはI^2C（Inter-Integrated Circuit）インタフェースであってもよい。これらは広く一般に利用されるインタフェースであるため、実装が容易である。

[0037] タイミングコントローラは、異常検出器により異常が検出されると、プロセッサに割り込みをかけてもよい。これによりプロセッサに、表示不能状態が発生していることを通知できる。

プロセッサは、表示不能状態の発生前はタイミングコントローラを判定モードで動作させ、割り込みがかかると、タイミングコントローラをＯＳＤモードで動作させ、制御入力インタフェースを使用して、ＯＳＤによって入力画像データの欠損を補ってもよい。

[0038] ある態様においてタイミングコントローラはひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

[0039] 本発明の別の態様は、電子機器に関する。電子機器は上述のいずれかのタイミングコントローラを備えてもよい。

[0040] 本発明の別の態様は、車載用ディスプレイ装置あるいは医療用ディスプレイ装置に関する。これらのディスプレイ装置は、上述のいずれかのタイミングコントローラを備えてもよい。

[0041] なお、以上の構成要素を任意に組み合わせたもの、あるいは本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0042] 本発明のある態様によれば、柔軟なＯＳＤ機能が提供される。またある態様によれば、表示異常状態の検出機能が提供される。

図面の簡単な説明

[0043] [図1]画像表示システムのブロック図である。

[図2]第１の実施の形態に係るタイミングコントローラのブロック図である。

[図3]図形データのランレングス圧縮を説明する図である。

[図4]圧縮データがメモリに格納される様子を示す図である。

[図5]図５（ａ）～（ｃ）は、同色セグメントのデータ構造を示す図である。

[図6]図５（ｂ）の第２のデータ構造を採用したときの同色セグメントの圧縮率を示す図である。

[図7]２個の図形データが表示されたディスプレイパネルを示す図である。

[図8]図８（ａ）～（ｃ）は、タイミングコントローラを用いた車載用ディスプレイ装置を示す図である。

[図9]電子機器を示す斜視図である。

[図10]第２の実施の形態に係るタイミングコントローラを備える画像表示システムのブロック図である。

[図11]所定図形の例を示す図である。

[図12]図１２（ａ）、（ｂ）は、タイミングコントローラによる異常検出を説明する図である。

[図13]一実施例に係るタイミングコントローラを備える画像表示システムのブロック図である。

[図14]一実施例に係るタイミングコントローラを備える画像表示システムのブロック図である。

[図15]二個の図形データが表示されたディスプレイパネルを示す図である。

発明を実施するための形態

[0044] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0045] 本明細書において、「部材Ａが、部材Ｂと接続された状態」とは、部材Ａ

と部材Ｂが物理的に直接的に接続される場合のほか、部材Ａと部材Ｂが、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Ｃが、部材Ａと部材Ｂの間に設けられた状態」とは、部材Ａと部材Ｃ、あるいは部材Ｂと部材Ｃが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

[0046] （第１の実施の形態）

図２は、第１の実施の形態に係るタイミングコントローラ３００のブロック図である。タイミングコントローラ３００は、図１の画像表示システム１００Ｒと同様に、グラフィックコントローラ１１０からの入力画像データS_1を受け、ひとつまたは複数のソースドライバ１０６に出力画像データS_2を供給し、ゲートドライバ１０４およびひとつまたは複数のソースドライバ１０６に制御／同期信号S_3を出力する。タイミングコントローラ３００は、ひとつの半導体基板に集積化された機能ＩＣ（Integrated Circuit）であってもよい。

[0047] タイミングコントローラ３００は、ビデオ入力インタフェース３０２、メモリ３０４、メインロジック３０６、出力インタフェース３０８、制御入力インタフェース３１０、ＯＳＤ処理部３２０、を備える。

[0048] ビデオ入力インタフェース３０２、メインロジック３０６、出力インタフェース３０８は、グラフィックコントローラ１１０からの画像データの表示に関する回路ブロックであり、従来のタイミングコントローラ２００Ｒに備わるものと同じでよい。ビデオ入力インタフェース３０２は、グラフィックコントローラ１１０と第１ライン１１２を介して接続され、入力画像データS_1を受信する。ビデオ入力インタフェース３０２とグラフィックコントローラ１１０とのインタフェースには、ＬＶＤＳ（Low Voltage Differential Signaling）などの差動高速シリアルインタフェースを採用することができる。ビデオ入力インタフェース３０２が受信した入力画像データS_1は、フレーム

データS_4としてメモリ３０４に格納される。メモリ３０４はその限りでないがＳＲＡＭ（Static Random Access Memory）であってもよい。

[0049] メインロジック３０６は、フレームデータS_4にさまざまな信号処理を施す。メインロジック３０６の信号処理は特に限定されず、公知技術を用いればよいが、たとえば、γ（ガンマ）補正、ＦＲＣ（Frame Rate Control）処理、ＲＧＢマッピングなどが例示される。出力インタフェース３０８は、メインロジック３０６の処理後の出力画像データS_2を、ソースドライバ１０６に出力する。またメインロジック３０６は、ゲートドライバ１０４やソースドライバ１０６に供給すべき制御／同期信号S_3を生成する。

[0050] 制御入力インタフェース３１０、ＯＳＤ処理部３２０、マルチプレクサ３３０は、ＯＳＤ機能に関連して設けられる。

[0051] タイミングコントローラ３００は、電源投入直後において、セットアップ状態となる。一例として、タイミングコントローラ３００には、起動時に、ビデオ入力データを受信してパネルに出力する前段階として、γ補正やＲＧＢマッピングのパラメータ等をセッティングする期間（イニシャライズ期間）が存在する。このイニシャライズ期間の一部を、セットアップ状態としてもよい。

[0052] あるいはタイミングコントローラ３００に対して外部からコマンドを与えることにより、セットアップ状態に設定できるようにしてもよい。たとえばタイミングコントローラ３００ａの内部に、セットアップ状態と関連づけたレジスタを設け、外部（たとえばプロセッサ１１４）からそのレジスタへ１をライトすることにより、セットアップ状態に遷移させてもよい。この場合、タイミングコントローラ３００の起動直後のみでなく、任意のタイミングでセットアップ状態に移行することができる。

[0053] 制御入力インタフェース３１０は、セットアップ状態において、プロセッサ１１４からＯＳＤ（On Screen Display）用の図形データS_5を受信する。図形データS_5は、不揮発性メモリ１１８に格納されており、プロセッサ１１４から制御入力インタフェース３１０に送信される。図形データS_5は、その

限りでないがモノクロ、あるいはカラーのビットマップデータであってもよい。また図形データS_5が表す対象は、アイコン、図形、文字など任意である。制御入力インタフェース３１０は、レジスタアクセス型のインタフェースを用いることができ、たとえばＳＰＩ（Serial Peripheral Interface）またはI^2C（Inter-Integrated Circuit）インタフェースが好適であるがその限りでない。図２では、プロセッサ１１４がグラフィックコントローラ１１０と別に設けられる構成を示すが、プロセッサ１１４の機能がグラフィックコントローラ１１０に統合されていてもよい。

[0054] ＯＳＤ処理部３２０は、エンコーダ３２２およびデコーダ３２４を含む。エンコーダ３２２は、セットアップ状態において、図形データS_5をエンコードし、エンコードされた圧縮データS_6をメモリ３０４に格納する。また圧縮データS_6を格納したアドレスを示すアドレス情報S_7が、図形データS_5と対応付けて保持される。

[0055] セットアップ状態において、複数の図形データS_5を入力してもよい。この場合、図形データS_5ごとにＩＤを付与し、ＩＤを圧縮データS_6およびアドレス情報S_7と対応付けてメモリ３０４に格納すればよい。

[0056] 制御入力インタフェース３１０は、通常状態において、表示すべき図形データを指定するＩＤを含む指示信号S_8を受信する。デコーダ３２４は、ＩＤに対応するアドレス情報S_7を参照し、メモリ３０４からＩＤ情報に応じたひとつの圧縮データS_6を読み出してデコードし、元の図形データS_9を再生する。

[0057] マルチプレクサ３３０は、メインロジック３０６から出力されるフレームデータS_{10}に、図形データS_9を重ねて、出力インタフェース３０８に出力する。

[0058] 図形データS_9の表示位置を制御可能とすることが望ましい。指示信号S_8は、図形データS_9を表示すべき位置を指定する位置情報ＰＯＳを含んでもよい。マルチプレクサ３３０は、位置情報ＰＯＳに応じた位置に、図形データS_9を表示する。

[0059] 以上がタイミングコントローラ３００の全体構成である。続いて図形データS_5の圧縮について説明する。図形データS_5の圧縮には、ランレングス圧縮を用いることができる。

[0060] 図３は、図形データS_5のランレングス圧縮を説明する図である。図３では説明の簡易化のために７×６ピクセルの図形データが示されるが、実際の図形データは、５０×５０ピクセル、１００×１００ピクセル、あるいはその他のピクセル数で構成することができる。また縦のピクセル数と横のピクセル数は異なっていてもよい。

[0061] ランレングス圧縮では、同一色の連続するピクセル（同色セグメントという）を、カラーデータＣＤと、連続回数値を表すランレングス値ＲＬに変換する。ランレングス圧縮は、上のラインから下のラインに向かって、各ラインでは左端のピクセルから右端のピクセルに向かって順に処理される。図３の矢印は、同色セグメントＳＥＧを表している。

[0062] カラーデータＣＤは、ＲＧＢ各８ビットの２４ビットで表すことができる。

[0063] 図３の図形データS_5は、５個の同色セグメントSEG_1～SEG_5に分割される。同色セグメントSEG_1～SEG_5それぞれのランレングス値ＲＬは１７，２，５，２，１６である。また同色セグメントSEG_1，SEG_3，SEG_5は、第１の色を有し、同色セグメントSEG_2，SEG_4は、第２の色を有している。したがって、ひとつの図形データS_5に対応する圧縮データS_6は、ひとつまたは複数のセグメントデータＳＥＧの組み合わせで表すことができる。

[0064] 図４は、圧縮データＣＯＭＰ（S_6）がメモリ３０４に格納される様子を示す図である。１個目の圧縮データ$COMP_1$は、Ｍ個の同色セグメントを表すＭ個のセグメントデータを含み、２個目の圧縮データ$COMP_2$は、Ｎ個のセグメントデータを含み、３個目の圧縮データ$COMP_3$は、Ｋ個のセグメントデータを含んでいる。各圧縮データＣＯＭＰの先頭アドレスが、アドレス情報ＡＤＲとしてメモリ３０４に記録される。

[0065] 図形データS_5のサイズ（ピクセル数）は、５０ピクセル×５０ピクセルのように固定してもよいが、さらなる柔軟性を提供するために、複数の選択肢からユーザが選択可能としてもよい。たとえばタイミングコントローラ３００を、５０×５０ピクセル、１００×１００ピクセルの２つのサイズをサポートするように構成してもよい。この場合、セットアップ状態において、図形データS_5とともに、サイズを指定するサイズデータＳＩＺＥを入力すればよい。このサイズデータＳＩＺＥは、図形データS_5のＩＤと対応付けて、メモリ３０４に記録される。

[0066] さらなる柔軟性を提供するために、図形データS_5のサイズを、ユーザが自由に指定可能としてもよい。たとえばセットアップ状態において、図形データS_5とともに、縦のピクセル数、横のピクセル数を指定するサイズデータＳＩＺＥを入力すればよい。このサイズデータは、図形データS_5のＩＤと対応付けて、メモリ３０４に記録される。

[0067] 図５（ａ）～（ｃ）は、同色セグメントＳＥＧのデータ構造を示す図である。図５（ａ）は、第１のデータ構造を表す。ひとつの同色セグメントＳＥＧのデータ（セグメントデータ）は、カラーワードＣＷとランレングスワードＲＬＷのセットＳＥＴを、ひとつあるいは複数含む。

[0068] ランレングスワードＲＬＷのビット数を３とした場合、連続回数（ランレングス値）にゼロがないものとすれば、ランレングスワードＲＬＷの<000>～<111>は、ランレングス値１～８を表すことができる。

[0069] 同色セグメントSEG_2（SEG_3，SEG_4）のように、ランレングス値ＲＬが８以下の場合、図５（ａ）に示すように、その圧縮データは、１個のカラーワードＣＷと１個のランレングスワードＲＬＷを含む１セットSET_1で表される。

[0070] ひとつの同色セグメントＳＥＧのランレングス値ＲＬが９以上の場合、ひとつの同色セグメントＳＥＧは、カラーデータＣＤの値を同一とする複数のセットを含む。たとえばランレングス値ＲＬが１７である同色セグメントSEG_1は、連続回数値１６と１に分割される。つまり同色セグメントSEG_1

は、２セットＳＥＴ$_1$，ＳＥＴ$_2$で表される。２セットＳＥＴ$_1$，ＳＥＴ$_2$のカラーワードＣＷは同値であり、１個目のランレングスワードＲＬＷは<111>、２個目のランレングスワードＲＬＷは<011>となる。

[0071] ランレングス値ＲＬが１７～２４の場合、８＋８＋ａ（ただし１≦ａ≦８）に分割することができ、同色セグメントＳＥＧは、３つのセットＳＥＴを含みうる。

[0072] なお、ここでは理解の容易化のため、１ワード３ビットとしたがその限りではなく、４～６ビット程度としてもよい。１ワードの最適なビット数は、図形データの形状やサイズを考慮して、圧縮率が高くなるように決めればよい。

[0073] 図５（ｂ）は、第２のデータ構造を表す。第２のデータ構造では、ランレングス値ＲＬのフォーマット長を可変とする。

[0074] カラーワードＣＷおよびランレングスワードＲＬＷの先頭には、同色セグメントＳＥＧの境界を表すセパレートビットが含まれる。図５（ｂ）の例では、セパレートビットは、同色セグメントの終端を示す終端ビットＴＢであり、値１が終端を表す。セパレートビットは終端に代えて、始点を表すようにしてもよい。

[0075] ランレングス値ＲＬが１の同色セグメントは、終端ビットＴＢが１であるカラーワードＣＷのみを含み、ランレングスワードＲＬＷを含まないものとしてもよい。これにより、圧縮率をさらに高めることができる。この場合、４ビットのランレングスワードＲＬＷの<0000>～<1111>は、ランレングス値２～１７を表すことができる。

[0076] たとえば図形データが文字を表す場合、滑らかなフォントを表示するために、アンチエイリアスが施される場合があり、文字の輪郭部分に、ランレングス値ＲＬが１の同色セグメントが発生しやすい。ランレングス値ＲＬ＝１をランレングスワードＲＬＷ無しで表すことにより、特に文字の圧縮率を高めることができる。

[0077] 終端ビットＴＢ＝１が、２個目のランレングスワードＲＬＷに付加されて

いるとき、ランレングス値は、２ワード８ビットで表される。たとえば、１個目のランレングスワードＲＬＷを下位４ビットに、２個目のランレングスワードＲＬＷを上位４ビットに割り当ててもよいし、その逆であってもよい。２個のランレングスワードＲＬＷを結合して得られる８ビットのランレングス値ＲＬ<00000000>～<11111111>は、２～２５７を表す。

[0078] なおランレングス値の下位ビットから順に、先行するランレングスワードＲＬＷから割り当てることにより、デコードする際に、後続のランレングスワードＲＬＷを読み出す前に、先行するランレングスワードＲＬＷが表すランレングス値ＲＬに相当するピクセル群をマーク（すなわちラスタライズ）することができる。

[0079] 終端ビットＴＢ＝１が、３個目のランレングスワードＲＬＷに付加されているとき、ランレングス値ＲＬは、３ワード１２ビットで表される。

[0080] 図５（ａ）の第１のデータ構造では、セットＳＥＴごとに同じ値のカラーワードＣＷが含まれるため冗長であり、圧縮率が低くなる場合がある。これに対して第２のデータ構造によれば、カラーワードＣＷの冗長性をなくせるため、圧縮率を高めることができる。

[0081] 図５（ｃ）は、第３のデータ構造を表す。第３のデータ構造は、第２のデータ構造と同様に、ランレングス値ＲＬのフォーマット長が可変となっている。第３のデータ構造においてセグメントデータは、ワード毎の終端ビットＴＢは含まず、ランレングス値ＲＬのワード数を指定するビット（ワード数指定ビット）ＷＢが挿入されている。ワード数指定ビットＷＢのビット数は特に限定されないが、ここでは例として２ビットとする。ランレングス値ＲＬが２～１７のとき、ワード数指定ビットＷＢは１（バイナリで<01>）であり、セグメントデータは、１個のランレングスワードＲＬＷを含む。ランレングス値ＲＬが２～２５７のとき、ワード数指定ビットＷＢは２（バイナリで<10>）であり、セグメントデータは、２個のランレングスワードＲＬＷを含む。先頭のランレングスワードＲＬＷはランレングス値ＲＬの下位４ビットを、２個目のランレングスワードＲＬＷはランレングス値ＲＬの上位４ビ

ットを表してもよい。

[0082] 図５（ｂ）の第２のデータ構造では、ランレングス値のワード数が増加するに従い、終端ビットＴＢの総個数が増えていくため、圧縮率が低下する傾向にある。これに対して、第３のデータ構造では、ランレングス値のワード数が増加しても、ワード数ビットＷＢのビット数は一定であるため、圧縮率の低下を抑制できる。なお、第２のデータ構造と第３のデータ構造は、図形データの形状やサイズを考慮して、圧縮率が高くなるように選択すればよい。

[0083] その他のデータ構造として、以下のものが考えられる。たとえば第２，第３のデータ構造において、第１のデータ構造と同様に、複数のランレングスワードＲＬＷそれぞれの値の合計をランレングス値ＲＬとしてもよい。たとえばセグメントデータに、値<0001>と<1111>の２個のランレングスワードＲＬＷが含まれるとき、ランレングス値ＲＬを３＋１７＝２０としてもよい。

[0084] 以上がタイミングコントローラ３００の構成である。続いてその動作を説明する。

[0085] １． セットアップ状態

タイミングコントローラ３００を備える機器あるいはシステムが起動すると、タイミングコントローラ３００がセットアップ状態となる。プロセッサ１１４は、図形データS_5を、サイズデータＳＩＺＥとともに制御入力インタフェース３１０に送信する。エンコーダ３２２は受信した図形データS_5を圧縮し、圧縮データS_6をメモリ３０４に格納する。図形データS_5が複数ある場合、複数の図形データそれぞれが順に圧縮される。

[0086] ２． 通常状態

グラフィックコントローラ１１０は、第１ライン１１２を介してビデオ入力インタフェース３０２に入力画像データS_1を送信する。タイミングコントローラ３００は、入力画像データS_1を処理し、ゲートドライバ１０４およびソースドライバ１０６を制御し、ディスプレイパネルに画像を表示させる。

[0087] プロセッサ１１４は、ディスプレイパネルにＯＳＤ機能を用いて図形を表

示したいときに、入力画像データS_1とは別系統で、指示信号S_8を送信する。指示信号S_8は、セットアップ状態においてタイミングコントローラ３００に送信した複数の図形データS_5のうちひとつを指定するＩＤ情報、表示位置を指示する位置情報ＰＯＳを含む。

[0088] デコーダ３２４は、ＩＤ情報に対応するアドレス情報S_7を参照し、それに対応する圧縮データS_6にアクセスする。そしてサイズデータＳＩＺＥにもとづいて圧縮データS_6をデコードしてビットマップ形式の図形データS_9に展開する。マルチプレクサ３３０は、図形データS_9を、位置情報ＰＯＳが指定する位置に表示させる。図７は、２個の図形データS_{91}，S_{92}が表示されたディスプレイパネル１０２を示す図である。

[0089] マルチプレクサ３３０は、図形データS_9が配置される領域のフレームデータS_{10}の輝度値を、図形データS_9の輝度値に置換してもよい。

[0090] 以上がタイミングコントローラ３００の動作である。続いてその利点を説明する。

[0091] ＯＳＤ用の図形データのエンコーダ、デコーダをタイミングコントローラ３００に内蔵し、タイミングコントローラ３００のセットアップごとに図形データS_5を与えることにより、様々な図形データの表示が可能となる。

[0092] また図形データは、圧縮された形式でメモリ３０４に格納されるため、メモリ３０４の容量を小さくでき、コストを下げることができる。図６は、図５（ｂ）の第２のデータ構造を採用したときの同色セグメントの圧縮率を示す図である。ここではランレングスワードＲＬＷのビット幅を４ビットとする。ランレングス値ＲＬが大きくなるにしたがい、高圧縮率が得られている。ランレングス値が１あるいは２の場合、セグメントデータは、元のピクセルデータのデータ量より大きくなる。しかしながら、多くの文字、アイコン、図形において、ランレングス値が１あるいは２はアンチエイリアシング等に限られ、その出現確率は非常に低いため、図形データ全体としてみたときの圧縮率を十分に高めることができる。

[0093] また図１では、ＯＳＤ用の図形データを格納するＲＯＭ１１１を、タイミ

ングコントローラ２００Ｒ側に設ける必要があるが、図２のタイミングコントローラ３００では、図形データをＲＯＭに格納する必要はない。ＳＲＡＭなどのメモリ３０４は、ＲＯＭに比べて安価であるため、コストを削減できる。

[0094] 図１のシステムでは、ＲＯＭ１１１は、ＯＴＰ（ワンタイムプログラマブル）ＲＯＭが用いられる。したがってＯＳＤ用の図形データを変更あるいは追加したい場合、ＲＯＭ１１１を交換する必要があるが、多くの場合、ＲＯＭの交換は不可能であり、あるいはできたとしても膨大なコストがかかる。

[0095] 多くのシステムにおいて、プロセッサ１１４には、ワンタイムＲＯＭではなく、書き換え可能な不揮発性メモリ１１８、たとえばハードディスクやＳＳＤ（Solid State Drive）、ＥＥＰＲＯＭ（Electrically Erasable Programmable Read-Only Memory）、フラッシュメモリなどが接続される。したがって図２のタイミングコントローラ３００では、不揮発性メモリ１１８に格納される図形データを変更し、あるいは追加することにより、ＯＳＤ用の図形を変更、追加できる。

[0096] 続いてタイミングコントローラ３００の用途を説明する。図８（ａ）は、タイミングコントローラ３００を用いた車載用ディスプレイ装置６００を示す図である。車載用ディスプレイ装置６００は、コクピット正面のコンソール６０２に埋め込まれており、車両側のプロセッサから、スピードメータ６０４、エンジンの回転数を示すタコメータ６０６、燃料の残量６０８、ハイブリッド自動車や電気自動車にあってはバッテリの残量などを含む入力画像データS_1を受け、それを表示する（図８（ａ））。

[0097] 従来では、図８（ｂ）に示すような、何らかの異常や、バッテリ上がりを示す表示灯や警告灯（以下、単に警告灯と総称する）は、ディスプレイパネルの外に、独立したＬＥＤを用いて表示していた。ディスプレイパネル上に警告灯を表示させない理由は以下の通りである。すなわちタイミングコントローラ３００とグラフィックコントローラ１１０の間は、差動シリアルインタフェースで接続され、システムの起動開始から、タイミングコントローラ

３００とグラフィックコントローラ１１０の間のシリアルインタフェースのリンクが確立するまでの間、画像データの伝送ができず、したがってディスプレイパネル１０２に画像を表示できない。あるいは、一旦リンクが確立した後に、ノイズなどの影響でリンクが切断されると、再びリンクが確立するまでの間、ディスプレイパネル１０２に画像を表示できない。そのほか、ケーブルの抜け、断線が生じた場合、シリアルインタフェースやグラフィックコントローラ１１０の一部が故障した場合も同様である。これらのように、画像が表示できない状態を、「表示不能状態」と称する。

[0098] 警告灯は、ドライバに知らせるべき重要な情報を含んでいるため、表示不能状態であっても点灯可能であることが要求される。かかる事情から警告灯はディスプレイパネルの外部に設ける必要があった。

[0099] これに対して、実施の形態に係るタイミングコントローラ３００を利用し、ＯＳＤ用の図形データS_5として、警告灯を、ディスプレイパネル上に表示することが可能となる。ＯＳＤの表示には、差動シリアルインタフェースの通信を必要としないからである。これによりＬＥＤやその駆動回路が不要となるため、コストを下げることができる。またI^2CなどのＥＣＵの標準機能を用いることができるため、さらにコストを下げることができる。

[0100] また、車載用ディスプレイ装置６００において、入力画像データS_1が表示できない状況（表示不能状態）が生ずると、ディスプレイパネル１０２がブラックアウトし、運転に支障をきたす。そこで数字やアルファベットなどを、ＯＳＤ用の図形データS_5として用意しておいてもよい。図８（ｃ）に示すように、走行中に何らかの異常が発生し、スピードメータ６０４、やタコメータ６０６が表示不能となった場合に、ＯＳＤ機能を利用して、車速情報６１０やエンジンの回転数の情報６１２をリアルタイムで表示することができ、安全性を高めることができる。

[0101] あるいは、自動車のイグニションオンに際して、車載用ディスプレイ装置６００が起動する際に、入力画像データS_1が表示できるようになるまでの間、”PLEASE WAIT...”や、現在の時刻などの文字列を、ＯＳＤ機能を利用し

て表示することが可能となる。

[0102] タイミングコントローラ３００は、医療用ディスプレイ装置に用いることもできる。医療用ディスプレイ装置は、診察、治療あるいは手術中に、医師や看護師が必要な情報を表示する。医療用ディスプレイ装置においては、入力画像データS_1が表示できない状況においても、重要な情報（たとえば患者の心拍数、血圧など）をＯＳＤ機能を用いて表示することが可能となる。

[0103] 図９は、電子機器５００を示す斜視図である。図９の電子機器５００は、ラップトップコンピュータやタブレット端末、スマートホン、ポータブルゲーム機、オーディオプレイヤなどであり得る。電子機器５００は、筐体５０２に内蔵されたグラフィックコントローラ１１０、ディスプレイパネル１０２、ゲートドライバ１０４、ソースドライバ１０６を備える。タイミングコントローラ３００とグラフィックコントローラ１１０の間には、差動トランスミッタ、伝送路および差動レシーバを含む伝送装置１２０が設けられてもよい。

[0104] 第１の実施の形態に関連する変形例を説明する。

[0105] （第１変形例）

実施の形態では、フレームデータS_{10}を背景としてＯＳＤ用の図形データS_9を表示するものとしたが、その限りではなく、アルファブレンディングによって、ＯＳＤ用の図形を、透明あるいは半透明で表示してもよい。この場合、カラーデータＣＤを、透明度を表すα値としてもよい。これにより、図形データS_9の背景を透明あるいは半透明として、フレームデータS_{10}に重ねて表示できる。

[0106] （第２変形例）

エンコーダ３２２は、２４ビットのカラーデータＣＤを、カラーパレットを利用してさらに圧縮してもよい。たとえば圧縮データS_6が１６色以下で構成されるとき、４ビットのカラーパレットが生成される。エンコーダ３２２は、新しいカラーのセグメントが現れるたびに、そのカラーをパレットに追加し、カラーデータＣＤとして、カラーパレットにおける識別子を保持する

。すでにカラーパレットに含まれている色の同色セグメントが現れた場合、カラーデータＣＤとして、その色の識別子を保持する。これによりセグメントデータをさらに圧縮できる。

[0107] （第３変形例）

制御入力インタフェース３１０の形式は、レジスタアクセス型には限定されない。たとえば第１ライン１１２と同様に、差動シリアル伝送を用いても良いし、任意のインタフェースで設計することができる。

[0108] （第４変形例）

実施の形態では、セットアップ状態における図形データS_5と、通常状態における指示信号S_8を、共通の制御入力インタフェース３１０によって受信したが、それらは別々のインタフェースであってもよい。

[0109] （第５変形例）

実施の形態では、実装の容易なランレングス圧縮を説明したが、その他の画像圧縮を用いてもよい。また図形データS_5や指示信号S_8などに、ＣＲＣ（Cyclic Redundancy Check）などの誤り検出を付加してもよい。ＣＲＣの他、パリティやチェックサムなどの誤り検出を付加してもよい。

[0110] （第２の実施の形態）

図１０は、第２の実施の形態に係るタイミングコントローラ４００を備える画像表示システム１００のブロック図である。タイミングコントローラ４００は、図１の画像表示システム１００Ｒと同様に、グラフィックコントローラ１１０からの入力画像データS_1を受け、ひとつまたは複数のソースドライバ１０６に出力画像データS_2を供給し、ゲートドライバ１０４およびひとつまたは複数のソースドライバ１０６に制御／同期信号S_3を出力する。タイミングコントローラ４００は、ひとつの半導体基板に集積化された機能ＩＣ（Integrated Circuit）であってもよい。

[0111] タイミングコントローラ４００は、ビデオ入力インタフェース３０２、フレームメモリ３０３、画像処理回路３０６、出力インタフェース３０８、制御入力インタフェース３１０、異常検出器３４０、メモリ３４２を備える。

[0112] ビデオ入力インタフェース３０２、フレームメモリ３０３、画像処理回路３０６、出力インタフェース３０８は、グラフィックコントローラ１１０からの画像データの表示に関する回路ブロックであり、従来のタイミングコントローラ２００Ｒに備わるものと同じでよい。ビデオ入力インタフェース３０２は、グラフィックコントローラ１１０と信号線１１２を介して接続され、入力画像データS_1を受信する。ビデオ入力インタフェース３０２とグラフィックコントローラ１１０とのインタフェースには、ＬＶＤＳ（Low Voltage Differential Signaling）などの差動高速シリアルインタフェースを採用することができる。ビデオ入力インタフェース３０２が受信した入力画像データS_1は、フレームデータS_4としてフレームメモリ３０３に格納される。フレームメモリ３０３はその限りでないがＳＲＡＭ（Static Random Access Memory）であってもよい。なおフレームメモリ３０３は、１フレームの画像データを保持するフレームバッファであってもよいし、１ライン分、あるいは複数のライン分のデータを保持するラインバッファであってもよく、フレームデータS_4はラインデータと読み替えてもよい。

[0113] 画像処理回路３０６は、フレームデータS_4にさまざまな信号処理を施す。画像処理回路３０６の信号処理は特に限定されず、公知技術を用いればよいが、たとえば、γ（ガンマ）補正、ＦＲＣ（Frame Rate Control）処理、ＲＧＢマッピングなどが例示される。出力インタフェース３０８は、画像処理回路３０６の処理後の出力画像データS_2を、ソースドライバ１０６に出力する。また画像処理回路３０６は、ゲートドライバ１０４やソースドライバ１０６に供給すべき制御／同期信号S_3を生成する。

[0114] 異常検出器３４０およびメモリ３４２は、異常状態、特に表示不能状態の検出機能に関連して設けられる。

[0115] メモリ３４２は、入力画像データS_1に含まれうる所定図形を記述する基準図形データS_{REF}を保持する。メモリ３４２は、ＲＯＭ（Read Only Memory）であってもよいし、フラッシュメモリのような書き換え可能な不揮発性メモリであってもよい。あるいは図１３の実施例に関連して説明するように揮発

性メモリであってもよい。

[0116] 異常検出器３４０は、入力画像データS_1が表すフレームに所定図形が含まれるべきとき、入力画像データS_4と基準図形データS_{REF}にもとづいて異常（すなわち表示不能状態）の有無を判定する。具体的には、入力画像データS_4に、基準図形データS_{REF}が表す所定図形が正しく含まれているか否かを判定し、含まれていれば正常、含まれていなければ異常と判定する。

[0117] プロセッサ１１４は、画像表示システム１００を統括的に制御するＣＰＵ（Central Processing Unit）やマイコンである。図１０では、プロセッサ１１４がグラフィックコントローラ１１０と別に設けられる構成を示すが、プロセッサ１１４の機能がグラフィックコントローラ１１０に統合されていてもよい。

[0118] 制御入力インタフェース３１０は、ビデオ入力インタフェース３０２とは別に設けられており、タイミングコントローラ４００はプロセッサ１１４と通信可能に構成され、プロセッサ１１４からさまざまな制御信号S_{11}を受信可能となっている。制御入力インタフェース３１０は、レジスタアクセス型のインタフェースを用いることができ、たとえばＳＰＩ（Serial Peripheral Interface）またはI^2C（Inter-Integrated Circuit）インタフェースが好適であるがその限りでない。

[0119] タイミングコントローラ４００は、異常検出器３４０により異常が検出されると、プロセッサ１１４に割り込みをかけてもよい。これによりプロセッサ１１４に、異常の発生（表示不能状態の発生）を通知できる。割り込みをかける手法は特に限定されないが、たとえばＩＲＱ（Interrupt Request）を利用してもよい。

[0120] 以上がタイミングコントローラ４００の構成である。続いてその動作を説明する。

図１１は、所定図形の例を示す図である。その限りでないが、所定図形の一例はバッテリを表すアイコンである。メモリ３４２には、このような所定図形を表す基準図形データS_{REF}が格納されている。

[0121] 図１２（ａ）、（ｂ）は、タイミングコントローラ４００による異常検出を説明する図である。図１２（ａ）、（ｂ）には、ビデオ入力インタフェース３０２が受信した入力画像データS_1にもとづくフレームデータS_4が示される。ここでは理解の簡単のため、所定図形はすべてのフレームに、所定の位置に含まれているものとする。

[0122] 図１２（ａ）は、ビデオ入力インタフェース３０２が入力画像データS_1を正常に受信したときのフレームデータS_{4a}を示す。フレームデータS_{4a}には、スピードメータやタコメータなど、さまざまな図形が含まれうる。図１２（ａ）のフレームデータS_{4a}には、図１１の所定図形が所定の位置に正しく含まれているため、異常検出器３４０は正常と判定する。

[0123] 図１２（ｂ）は、ビデオ入力インタフェース３０２が入力画像データS_1を正しく受信できないときのフレームデータS_{4b}を示す。この例では、通信エラーによりフレームデータS_{4b}の下半分の情報が欠損しおり、フレームデータS_{4b}には、図１１の所定図形の下側半分が正しく含まれていない。したがって異常検出器３４０は異常と判定する。

[0124] このように、図１０のタイミングコントローラ４００によれば、入力画像データS_1が正しく受信されているかを判定でき、ひいては異常状態を検出できる。

[0125] 以下、タイミングコントローラ４００のさらなる機能や特徴を説明する。

[0126] 好ましくは制御入力インタフェース３１０がプロセッサ１１４から受信する制御信号S_{11}には、現在のフレームが異常検出器に３４０よる判定対象か否かを示す情報S_{11A}を含んでもよい。これにより、たとえば全フレームに所定図形が含まれている場合に、異常判定を行う頻度（たとえば６０フレームに１回、１秒間に１回など）を制御することができる。

[0127] この情報S_{11A}を利用することにより、所定の条件を満たしたときだけ表示されるような図形（文字）を、所定図形とすることも可能である。たとえばクラスターパネルに表示される各種警告灯が、このような図形に該当する。

[0128] 所定図形の表示位置を可変とすることもできる。この場合、制御入力イン

タフェース３１０がプロセッサ１１４から受信する制御信号S_{11}は、所定図形の表示位置を示す位置情報S_{11B}を含んでもよい。これにより異常検出器３４０は、フレームデータS_4の位置情報S_{11B}が示す位置に、所定図形が正しく含まれているかを判定すればよい。

[0129] 所定図形は、ディスプレイパネル上の端部の、ユーザから見えない所定箇所に、固定的に配置されてもよい。これにより、全フレームを異常検出器３４０による判定対象とすることができる。

[0130] 所定図形はひとつに限らず、複数を用意してもよい。この場合、所定図形ごとに基準図形データS_{REF}を用意しておけばよい。

[0131] 本発明は、図１０のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を助け、またそれらを明確化するために、より具体的な構成例や変形例を説明する。

[0132] 図１３は、一実施例に係るタイミングコントローラ４００Ａを備える画像表示システム１００Ａのブロック図である。

[0133] タイミングコントローラ４００Ａは、電源投入直後において、セットアップ状態となる。一例として、タイミングコントローラ４００Ａには、起動時に、ビデオ入力データを受信してパネルに出力する前段階として、γ補正やＲＧＢマッピングのパラメータ等をセッティングする期間（イニシャライズ期間）が存在する。このイニシャライズ期間の一部を、セットアップ状態としてもよい。

[0134] あるいはタイミングコントローラ４００に対して外部からコマンドを与えることにより、セットアップ状態に設定できるようにしてもよい。たとえばタイミングコントローラ４００Ａの内部に、セットアップ状態と関連づけたレジスタを設け、外部（たとえばプロセッサ１１４）からそのレジスタへ１をライトすることにより、セットアップ状態に遷移させてもよい。この場合、タイミングコントローラ４００Ａの起動直後のみでなく、任意のタイミン

グでセットアップ状態に移行することができる。

[0135] この実施例においてメモリ３４２はＳＲＡＭ（Static Random Access Memory）であってもよい。制御入力インタフェース３１０は、セットアップ状態において、プロセッサ１１４から所定図形を表す図形データ$Ｓ_5$を受信可能となっている。図形データ$Ｓ_5$は、不揮発性メモリ１１８に格納されており、プロセッサ１１４から制御入力インタフェース３１０に送信される。図形データ$Ｓ_5$は、その限りでないがモノクロ、あるいはカラーのビットマップデータであってもよい。また図形データ$Ｓ_5$が表す対象は、アイコン、図形、文字など任意である。図形データ$Ｓ_5$は複数であってよい。

[0136] タイミングコントローラ４００Ａは、エンコーダ３２２およびデコーダ３２４をさらに備える。エンコーダ３２２は、セットアップ状態において制御入力インタフェース３１０が受信した図形データ$Ｓ_5$をエンコードし、基準図形データ$Ｓ_{REF}$を生成し、メモリ３４２に格納する。デコーダ３２４は、通常状態において、メモリ３４２から読み出した基準図形データ$Ｓ_{REF}$をデコードし、元の所定図形を再生する。

[0137] 以上がタイミングコントローラ４００Ａの構成である。続いて図形データ$Ｓ_5$の圧縮について説明する。図形データ$Ｓ_5$の圧縮には、ランレングス圧縮を用いることができる。ランレングス圧縮については図３～図５を参照して説明した通りである。

[0138] 以上がタイミングコントローラ４００Ａの構成である。続いてその動作を説明する。

[0139] １． セットアップ状態

タイミングコントローラ４００Ａを備える機器あるいはシステムが起動すると、タイミングコントローラ４００がセットアップ状態となる。プロセッサ１１４は、図形データ$Ｓ_5$を、サイズデータＳＩＺＥとともに制御入力インタフェース３１０に送信する。エンコーダ３２２は受信した図形データ$Ｓ_5$を圧縮し、圧縮データ$Ｓ_6$を基準図形データ$Ｓ_{REF}$としてメモリ３４２に格納する。図形データ$Ｓ_5$が複数ある場合、複数の図形データそれぞれが順に圧縮さ

れる。

[0140] ２．　通常状態

グラフィックコントローラ１１０は、信号線１１２を介してビデオ入力インタフェース３０２に入力画像データS_1を送信する。タイミングコントローラ４００は、入力画像データS_1を処理し、ゲートドライバ１０４およびソースドライバ１０６を制御し、ディスプレイパネルに画像を表示させる。異常検出器３４０は、デコーダ３２４が再生した所定図形が、フレームデータS_4に正しく含まれているか否かを判定する。

[0141] 以上がタイミングコントローラ４００Ａの動作である。続いてその利点を説明する。

[0142] 異常判定用の図形データのエンコーダ、デコーダをタイミングコントローラ４００Ａに内蔵し、タイミングコントローラ４００Ａのセットアップごとに図形データS_5を与えることにより、様々な図形データを利用して、異常判定が可能となる。

[0143] また図形データは、圧縮された形式でメモリ３４２に格納されるため、メモリ３４２の容量を小さくでき、コストを下げることができる。図６は、図５（ｂ）の第２のデータ構造を採用したときの同色セグメントの圧縮率を示す図である。ここではランレングスワードＲＬＷのビット幅を４ビットとする。ランレングス値ＲＬが大きくなるにしたがい、高圧縮率が得られている。ランレングス値が１あるいは２の場合、セグメントデータは、元のピクセルデータのデータ量より大きくなる。しかしながら、多くの文字、アイコン、図形において、ランレングス値が１あるいは２はアンチエイリアシング等に限られ、その出現確率は非常に低いため、図形データ全体としてみたときの圧縮率を十分に高めることができる。

[0144] 基準図形データS_{REF}を格納するメモリ３４２をＲＯＭとするとコストが高くなるが、図１３のタイミングコントローラ４００Ａでは、メモリ３４２としてＳＲＡＭなどの揮発性メモリを利用できるため、コストを削減できる。

[0145] プロセッサ１１４に接続される不揮発性メモリ１１８として、ワンタイム

ＲＯＭではなく、書き換え可能な不揮発性メモリ１１８、たとえばハードディスクやＳＳＤ（Solid State Drive）、ＥＥＰＲＯＭ（Electrically Erasable Programmable Read-Only Memory）、フラッシュメモリなどを用いると、以下の利点を享受できる。すなわちメモリ３４２をワンタイムＲＯＭとして、ワンタイムＲＯＭに基準図形データS_{REF}を格納しておくと、所定図形の追加や変更ができなくなる。これに対してメモリ３４２を揮発性メモリとし、プロセッサ１１４を書き換え可能な不揮発性メモリとすれば、不揮発性メモリ１１８に格納される図形データを変更し、あるいは追加することにより、異常検出用の図形を容易に変更、追加できる。

[0146] 図１４は、一実施例に係るタイミングコントローラ４００Ｂを備える画像表示システム１００Ａのブロック図である。タイミングコントローラ４００Ｂは、ＯＳＤ機能を備える。メモリ３４２は、ＯＳＤ用図形データを格納している。好ましくは異常検出のための基準図形データS_{REF}は、ＯＳＤ用図形データと共用される。これにより、メモリ３４２の容量を節約できる。

[0147] タイミングコントローラ４００Ｂは、ＯＳＤモードと異常検出モードが切り替え可能となっている。ＯＳＤモードと異常検出モードは、プロセッサ１１４からの制御信号S_{11}に応じて選択可能であってもよい。

[0148] ＯＳＤモードと異常検出器による判定を行う判定モードとが、選択可能であってもよい。判定モードでは異常検出器３４０がアクティブとなり、デコーダ３２４が再生した図形データにもとづいて、異常判定が行われる。異常判定については上述した通りである。

[0149] ＯＳＤモードでは異常検出器３４０が無効化され、画像処理回路３０６のＯＳＤ処理部３２０がアクティブとなる。ＯＳＤ処理部３２０は、デコーダ３２４が再生した図形データを、フレームデータS_4と重ね合わせて、出力画像データS_2を生成する。

[0150] プロセッサ１１４は、ディスプレイパネルにＯＳＤ機能を用いて図形を表示したいときに、制御信号S_{11}によって、タイミングコントローラ４００ＢをＯＳＤモードにセットする。

[0151] そしてプロセッサ１１４は、入力画像データS_1とは別系統で、指示信号S_8を送信する。指示信号S_8は、セットアップ状態においてタイミングコントローラ４００に送信した複数の図形データS_5のうちひとつを指定するＩＤ情報、表示位置を指示する位置情報ＰＯＳを含む。

[0152] デコーダ３２４は、ＩＤ情報に対応するアドレス情報S_7を参照し、それに対応する圧縮データS_6にアクセスする。そしてサイズデータＳＩＺＥにもとづいて圧縮データS_6をデコードしてビットマップ形式の図形データS_9に展開する。ＯＳＤ処理部３２０は、図形データS_9を、位置情報ＰＯＳが指定する位置に表示させる。図１５は、２個の図形データS_{91}，S_{92}が表示されたディスプレイパネル１０２を示す図である。

[0153] このタイミングコントローラ４００Ｂによれば、ＯＳＤ機能と異常検出機能の両方を提供できる。ＯＳＤ用の図形データと、異常検出用の図形データを共通化することでメモリ３４２の容量を削減できる。

[0154] このタイミングコントローラ４００Ｂによれば、あるプラットフォームではＯＳＤ機能を提供でき、別のプラットフォームでは、異常検出機能を提供できる。

[0155] あるいは、ひとつのプラットフォームにおいて、ＯＳＤ機能と異常検出機能を適応的に選択する自由度を提供することができる。たとえばデフォルトで異常検出機能を有効にしておき、異常検出器３４０によって異常が検出された場合に、ＯＳＤ機能を使用してもよい。信号線１１２を介した画像データの伝送に異常が発生すると、プロセッサ１１４にタイミングコントローラ４００Ｂから割り込みがかかる。この割り込みを契機としてプロセッサ１１４は、タイミングコントローラ４００ＢをＯＳＤモードにセットする。そしてプロセッサ１１４は、指示信号S_8を適切に発生することにより、ディスプレイに画像を表示することができる。

[0156] より好ましくは、ＯＳＤモードと、異常検出モードにおいて、ＯＳＤ用の指示信号S_8と、異常検出のための制御信号S_{11}を共通化してもよい。言い換えれば、ＯＳＤの制御のためのレジスタと、異常検出のためのレジスタを共

通化してもよい。たとえばＯＳＤのための位置情報ＰＯＳが書き込まれるアドレスと、異常検出モードにおいて所定図形の位置情報S_{11B}が書き込まれるアドレスは同一であってもよい。これによりレジスタの容量を削減できる。

[0157] 続いて第２の実施の形態に係るタイミングコントローラ４００の用途を説明する。タイミングコントローラ４００は、図８（ａ）の車載用ディスプレイ装置６００に用いることができる。車載用ディスプレイ装置６００は、コクピット正面のコンソール６０２に埋め込まれており、車両側のプロセッサから、スピードメータ６０４、エンジンの回転数を示すタコメータ６０６、燃料の残量６０８、ハイブリッド自動車や電気自動車にあってはバッテリの残量などを含む入力画像データS_1を受け、それを表示する（図８（ａ））。

[0158] 従来では、図８（ｂ）に示すような、何らかの異常や、バッテリ上がりを示す表示灯や警告灯（以下、単に警告灯と総称する）は、ディスプレイパネルの外に、独立したＬＥＤを用いて表示していた。ディスプレイパネル上に警告灯を表示させない理由は以下の通りである。すなわちタイミングコントローラ４００とグラフィックコントローラ１１０の間は、差動シリアルインタフェースで接続され、システムの起動開始から、タイミングコントローラ４００とグラフィックコントローラ１１０の間のシリアルインタフェースのリンクが確立するまでの間、画像データの伝送ができず、したがってディスプレイパネル１０２に画像を表示できない。あるいは、一旦リンクが確立した後に、ノイズなどの影響でリンクが切断されると、再びリンクが確立するまでの間、ディスプレイパネル１０２に画像を表示できない。そのほか、ケーブルの抜け、断線が生じた場合、シリアルインタフェースやグラフィックコントローラ１１０の一部が故障した場合も同様である。これらのように、画像が表示できない状態を、「表示不能状態」と称する。

[0159] 警告灯は、ドライバに知らせるべき重要な情報を含んでいるため、表示不能状態であっても点灯可能であることが要求される。かかる事情から警告灯はディスプレイパネルの外部に設ける必要があった。

[0160] これに対して、実施の形態に係るタイミングコントローラ４００を利用し

、ＯＳＤ用の図形データS_5として、警告灯を、ディスプレイパネル上に表示することが可能となる。ＯＳＤの表示には、差動シリアルインタフェースの通信を必要としないからである。これによりＬＥＤやその駆動回路が不要となるため、コストを下げることができる。またI^2CなどのＥＣＵの標準機能を用いることができるため、さらにコストを下げることができる。

[0161] また、車載用ディスプレイ装置６００において、入力画像データS_1が表示できない状況（表示不能状態）が生ずると、ディスプレイパネル１０２がブラックアウトし、運転に支障をきたす。そこで数字やアルファベットなどを、ＯＳＤ用の図形データS_5として用意しておいてもよい。走行中に何らかの異常が発生し、スピードメータ６０４、やタコメータ６０６が表示不能となった場合に、図８（ｃ）に示すように、ＯＳＤ機能を利用して、車速情報６１０やエンジンの回転数の情報６１２をリアルタイムで表示することができ、安全性を高めることができる。

[0162] あるいは、自動車のイグニションオンに際して、車載用ディスプレイ装置６００が起動する際に、入力画像データS_1が表示できるようになるまでの間、”PLEASE WAIT...”や、現在の時刻などの文字列を、ＯＳＤ機能を利用して表示することが可能となる。

[0163] タイミングコントローラ４００は、医療用ディスプレイ装置に用いることもできる。医療用ディスプレイ装置は、診察、治療あるいは手術中に、医師や看護師が必要な情報を表示する。医療用ディスプレイ装置においては、入力画像データS_1が表示できない状況においても、重要な情報（たとえば患者の心拍数、血圧など）をＯＳＤ機能を用いて表示することが可能となる。

[0164] 図９は、電子機器５００を示す斜視図である。図９の電子機器５００は、ラップトップコンピュータやタブレット端末、スマートホン、ポータブルゲーム機、オーディオプレイヤなどであり得る。電子機器５００は、筐体５０２に内蔵されたグラフィックコントローラ１１０、ディスプレイパネル１０２、ゲートドライバ１０４、ソースドライバ１０６を備える。タイミングコントローラ４００とグラフィックコントローラ１１０の間には、差動トラン

スミッタ、伝送路および差動レシーバを含む伝送装置１２０が設けられてもよい。

[0165] 実施の形態にもとづき、具体的な語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

符号の説明

[0166] １００…画像表示システム、１０２…ディスプレイパネル、１０４…ゲートドライバ、１０６…ソースドライバ、１１０…グラフィックコントローラ、１１１…ＲＯＭ、１１４…プロセッサ、１１８…不揮発性メモリ、３００…タイミングコントローラ、４００…タイミングコントローラ、３０２…ビデオ入力インタフェース、３０３…メモリ、３０４…メモリ、３０６…メインロジック、３０８…出力インタフェース、３１０…制御入力インタフェース、３２０…ＯＳＤ処理部、３２２…エンコーダ、３２４…デコーダ、３３０…マルチプレクサ、３４０…異常検出器、３４２…メモリ、S_1…入力画像データ、S_2…出力画像データ、S_3…制御／同期信号、S_4…フレームデータ、S_5…図形データ、S_6…圧縮データ、S_7…アドレス情報、S_8…指示信号、S_9…図形データ、S_{10}…フレームデータ、S_{11}…制御信号、５００…電子機器、６００…車載用ディスプレイ装置。

産業上の利用可能性

[0167] 本発明は、ディスプレイ装置に利用できる。

請求の範囲

[請求項1] 通常状態において入力画像データを受信するビデオ入力インタフェースと、

セットアップ状態において、ＯＳＤ（On Screen Display）用の図形データを受信する制御入力インタフェースと、

前記セットアップ状態において、前記図形データをエンコードし、エンコードされた圧縮データをメモリに格納するエンコーダと、

前記通常状態において、表示すべき前記図形データを指定する指示信号を受信し、前記メモリから前記指示信号に応じたひとつの圧縮データを読み出してデコードし、元の前記図形データを再生するデコーダと、

前記画像データに前記図形データを重ねて出力するマルチプレクサと、

を備えることを特徴とするタイミングコントローラ。

[請求項2] 前記エンコーダは、ランレングス圧縮により前記図形データを圧縮し、

前記圧縮データは、少なくともひとつのセグメントデータを含み、各セグメントデータは、同一色の連続するピクセルである同色セグメントを表すことを特徴とする請求項１に記載のタイミングコントローラ。

[請求項3] 前記セグメントデータは、色を表すカラーデータと、連続ピクセル数を表すランレングス値と、を含み、

前記ランレングス値のフォーマット長は可変であることを特徴とする請求項２に記載のタイミングコントローラ。

[請求項4] 前記セグメントデータは、セパレータビットおよび前記カラーデータを含むカラーワードと、それぞれがセパレータビットおよびランレングス値を含む少なくともひとつのランレングスワードと、を含むことを特徴とする請求項３に記載のタイミングコントローラ。

[請求項5] 前記セグメントデータは、前記カラーデータを含むカラーワードと、前記ランレングス値のワード数を表すワード数指定ビットと、前記ワード数分のランレングスワードと、を含むことを特徴とする請求項３に記載のタイミングコントローラ。

[請求項6] 前記制御入力インタフェースは、前記図形データのピクセルサイズを指定するサイズデータを受信し、前記圧縮データとともに前記メモリに格納することを特徴とする請求項１から５のいずれかに記載のタイミングコントローラ。

[請求項7] 前記指示信号は、前記図形データを表示すべき位置を指定する位置情報を含み、前記マルチプレクサは、前記位置情報に応じた位置に、前記図形データを表示することを特徴とする請求項１から６のいずれかに記載のタイミングコントローラ。

[請求項8] 前記制御入力インタフェースは、ＳＰＩ（Serial Peripheral Interface）またはI^2C（Inter-Integrated Circuit）インタフェースであることを特徴とする請求項１から７のいずれかに記載のタイミングコントローラ。

[請求項9] 入力画像データを受信するビデオ入力インタフェースと、

前記入力画像データに含まれうる所定図形を記述する基準図形データを保持するメモリと、

前記入力画像データにもとづいて、ディスプレイパネルに表示すべき出力画像データを生成する画像処理回路と、

前記入力画像データと前記基準図形データにもとづいて異常の有無を判定する異常検出器と、

を備えることを特徴とするタイミングコントローラ。

[請求項10] 前記ビデオ入力インタフェースとは別に設けられた制御入力インタフェースをさらに備え、外部のプロセッサと通信可能に構成されることを特徴とする請求項９に記載のタイミングコントローラ。

[請求項11] 前記所定図形の表示位置は可変であり、

前記制御入力インタフェースが前記プロセッサから受信する制御信号は、前記所定図形の前記表示位置を示す位置情報を含むことを特徴とする請求項１０に記載のタイミングコントローラ。

[請求項12] 前記所定図形は、ユーザが識別不能な状態で所定箇所に固定的に配置されることを特徴とする請求項９に記載のタイミングコントローラ。

[請求項13] 前記制御入力インタフェースが前記プロセッサから受信する制御信号は、前記所定図形が前記異常検出器による判定対象か否かを示す情報、現在のフレームが前記異常検出器による判定対象か否かを示す情報、の少なくとも一方を含むことを特徴とする請求項１０または１１に記載のタイミングコントローラ。

[請求項14] ＯＳＤ機能を備え、

前記メモリはＯＳＤ用図形データを格納しており、

前記画像処理回路はＯＳＤモードにおいて、前記入力画像データに前記ＯＳＤ用図形データを重ね合わせることを特徴とする請求項９から１３のいずれかに記載のタイミングコントローラ。

[請求項15] 前記基準図形データは、前記ＯＳＤ用図形データと共用されることを特徴とする請求項１４に記載のタイミングコントローラ。

[請求項16] 前記ＯＳＤモードと、前記異常検出器による判定を行う判定モードとが、選択可能であることを特徴とする請求項１４または１５に記載のタイミングコントローラ。

[請求項17] 前記メモリは不揮発性メモリであることを特徴とする請求項９から１６のいずれかに記載のタイミングコントローラ。

[請求項18] 前記メモリは揮発性メモリであり、

前記制御入力インタフェースは、セットアップ状態において、前記所定図形を示す画像データを受信可能であり、

前記タイミングコントローラは、

前記セットアップ状態において前記画像データをエンコードして圧

縮データを生成し、前記圧縮データを前記基準図形データとして前記メモリに格納するエンコーダと、

通常状態において、前記基準図形データをデコードし、元の前記所定図形を再生するデコーダと、

をさらに備えることを特徴とする請求項１０に記載のタイミングコントローラ。

[請求項19] 前記エンコーダは、ランレングス圧縮により前記基準図形データを圧縮し、

前記圧縮データは、少なくともひとつのセグメントデータを含み、各セグメントデータは、同一色の連続するピクセルである同色セグメントを表すことを特徴とする請求項１８に記載のタイミングコントローラ。

[請求項20] 前記制御入力インタフェースは、ＳＰＩ（Serial Peripheral Interface）またはI^2C（Inter-Integrated Circuit）インタフェースであることを特徴とする請求項１０に記載のタイミングコントローラ。

[請求項21] 前記異常検出器により異常が検出されると、前記プロセッサに割り込みをかけることを特徴とする請求項１０に記載のタイミングコントローラ。

[請求項22] ひとつの半導体基板に一体集積化されたことを特徴とする請求項１から２０のいずれかに記載のタイミングコントローラ。

[請求項23] 請求項１から２２のいずれかに記載のタイミングコントローラを備えることを特徴とする車載用ディスプレイ装置。

[請求項24] 請求項１から２２のいずれかに記載のタイミングコントローラを備えることを特徴とする医療用ディスプレイ装置。

[請求項25] 請求項１から２２のいずれかに記載のタイミングコントローラを備えることを特徴とする電子機器。

[請求項26] タイミングコントローラにおける異常検出方法であって、

メモリに、入力画像データに含まれうる所定図形を記述する基準図

形データを予め格納しておくステップと、

前記入力画像データを受信するステップと、

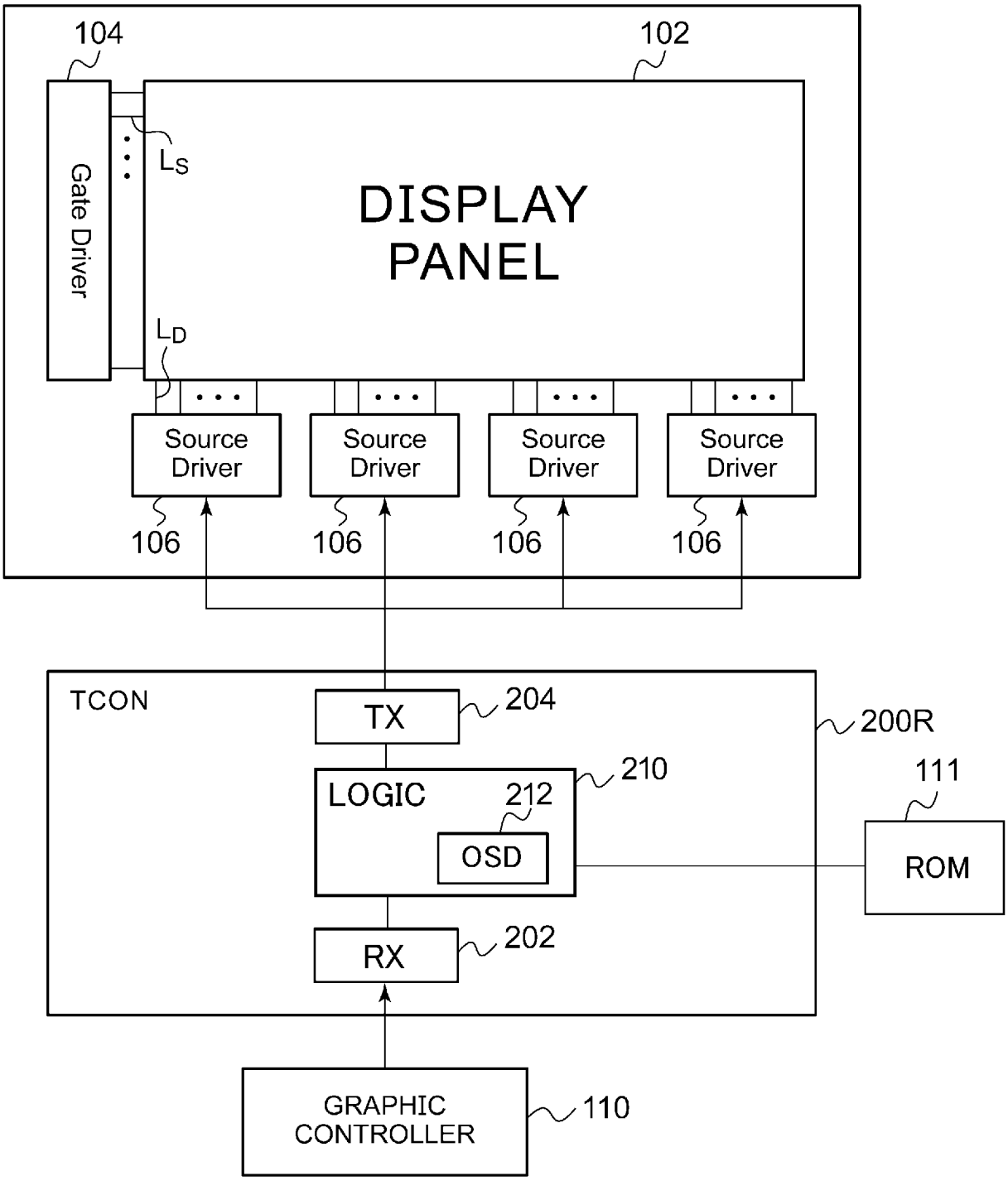
前記入力画像データにもとづいて、ディスプレイパネルに表示すべき出力画像データを生成するステップと、

前記入力画像データと前記基準図形データにもとづいて異常の有無を判定するステップと、

を備えることを特徴とする方法。

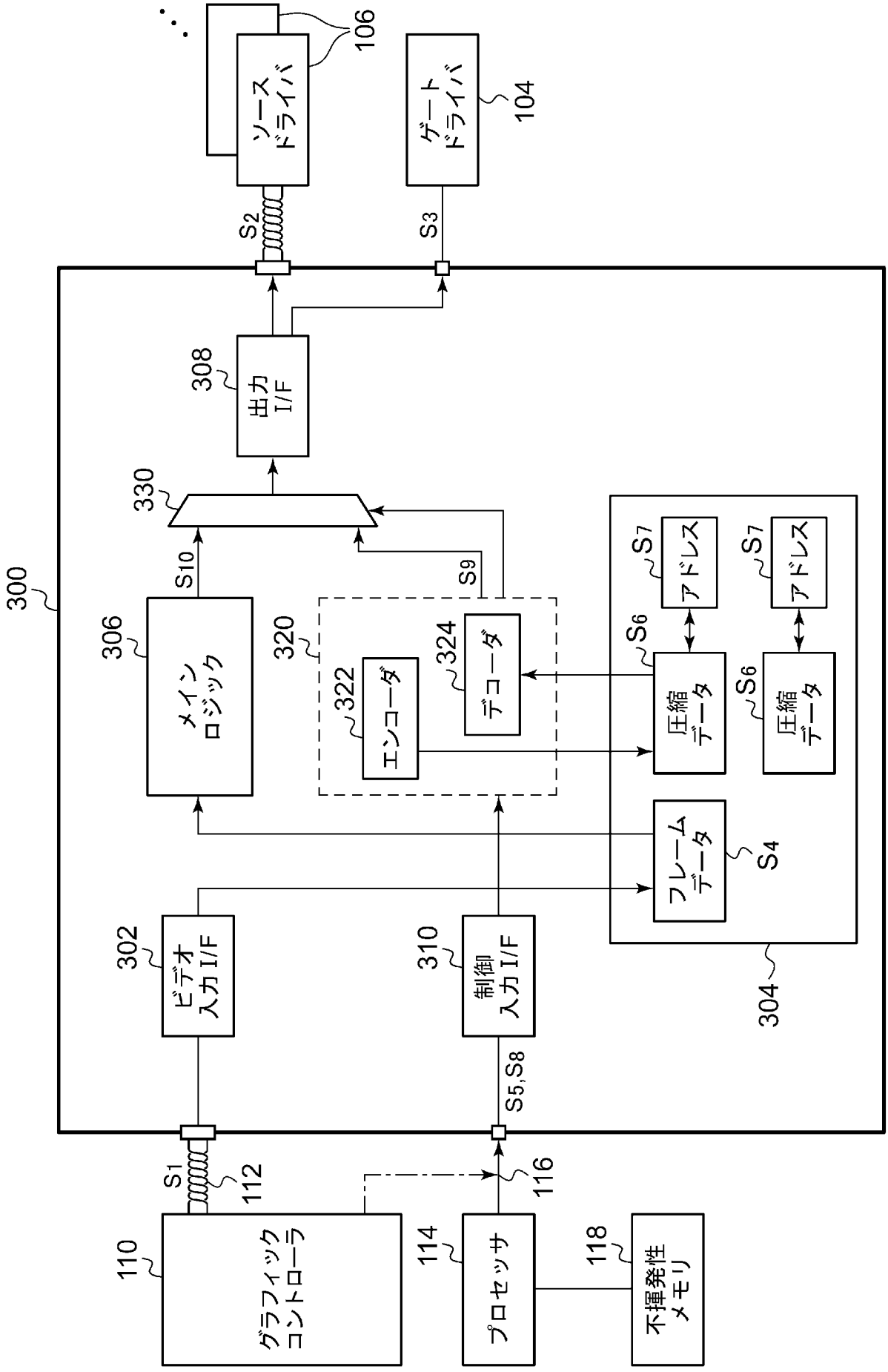
[図1]

従来技術

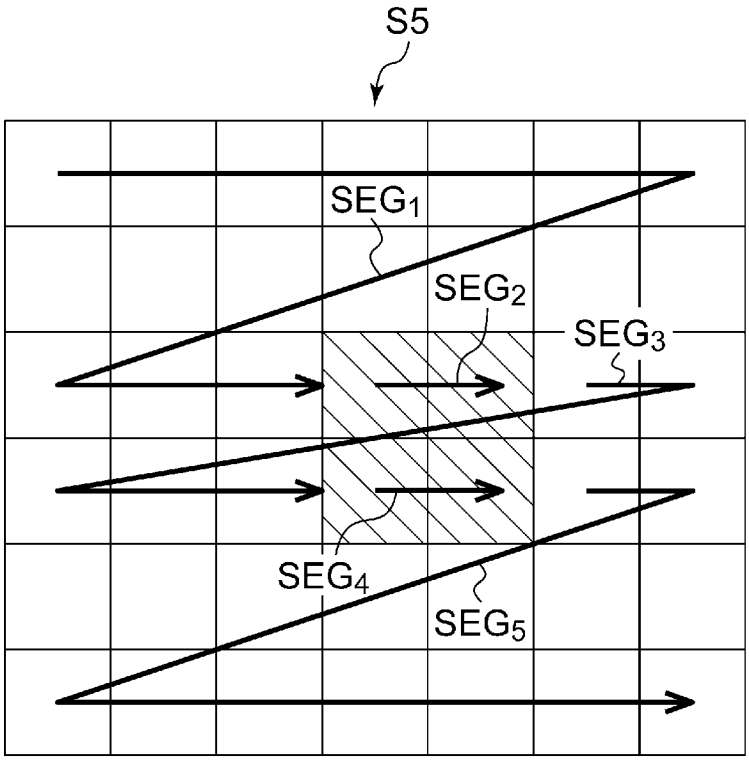

104
102
Gate Driver
L_S
DISPLAY PANEL
L_D
Source Driver
Source Driver
Source Driver
Source Driver
106
106
106
106
TCON
TX
204
200R
LOGIC
212
210
OSD
111
ROM
RX
202
GRAPHIC CONTROLLER
110

100R

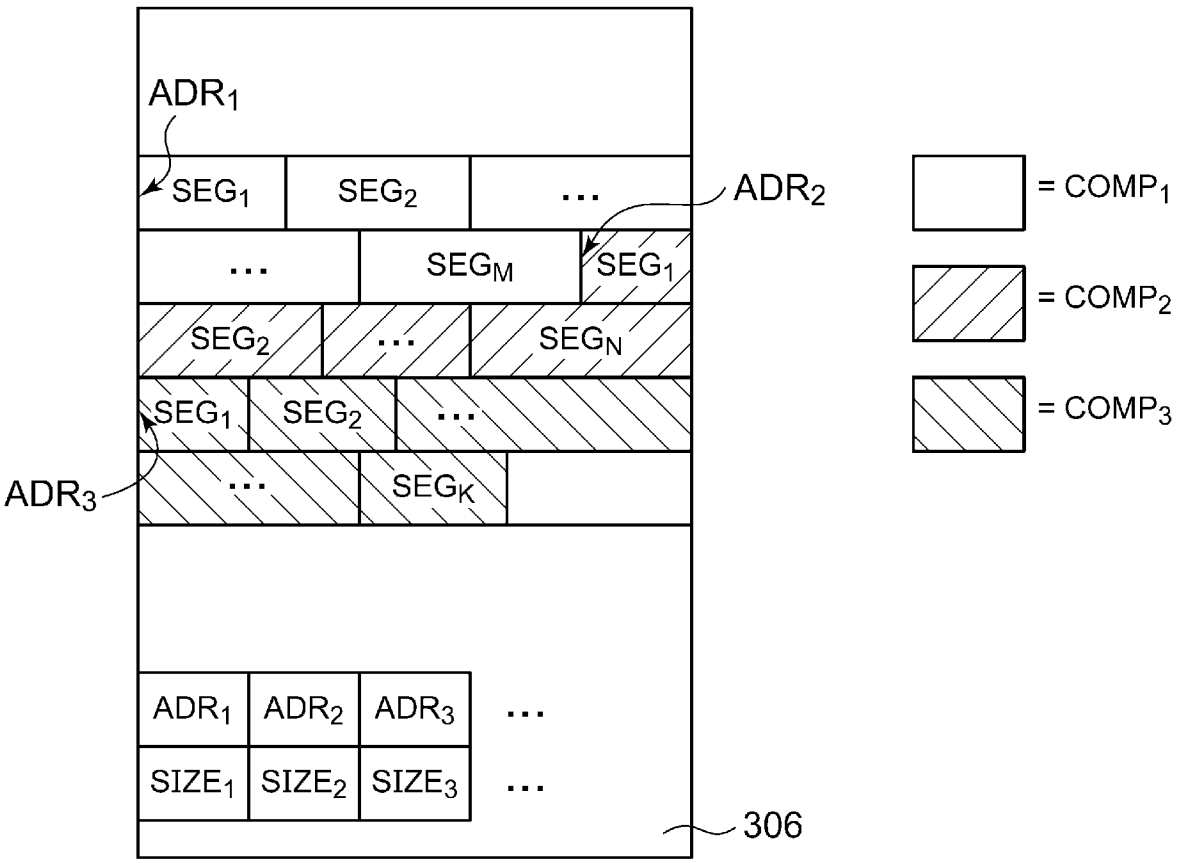
[図2]


106
ソースドライバ
104
ゲートドライバ
S2
S3
300
308
出力I/F
330
S10
S9
306
メインロジック
320
322
エンコーダ
324
デコーダ
S7
アドレス
S6
圧縮データ
S4
フレームデータ
302
ビデオ入力I/F
310
制御入力I/F
304
S5,S8
S1
112
116
110
グラフィックコントローラ
114
プロセッサ
118
不揮発性メモリ

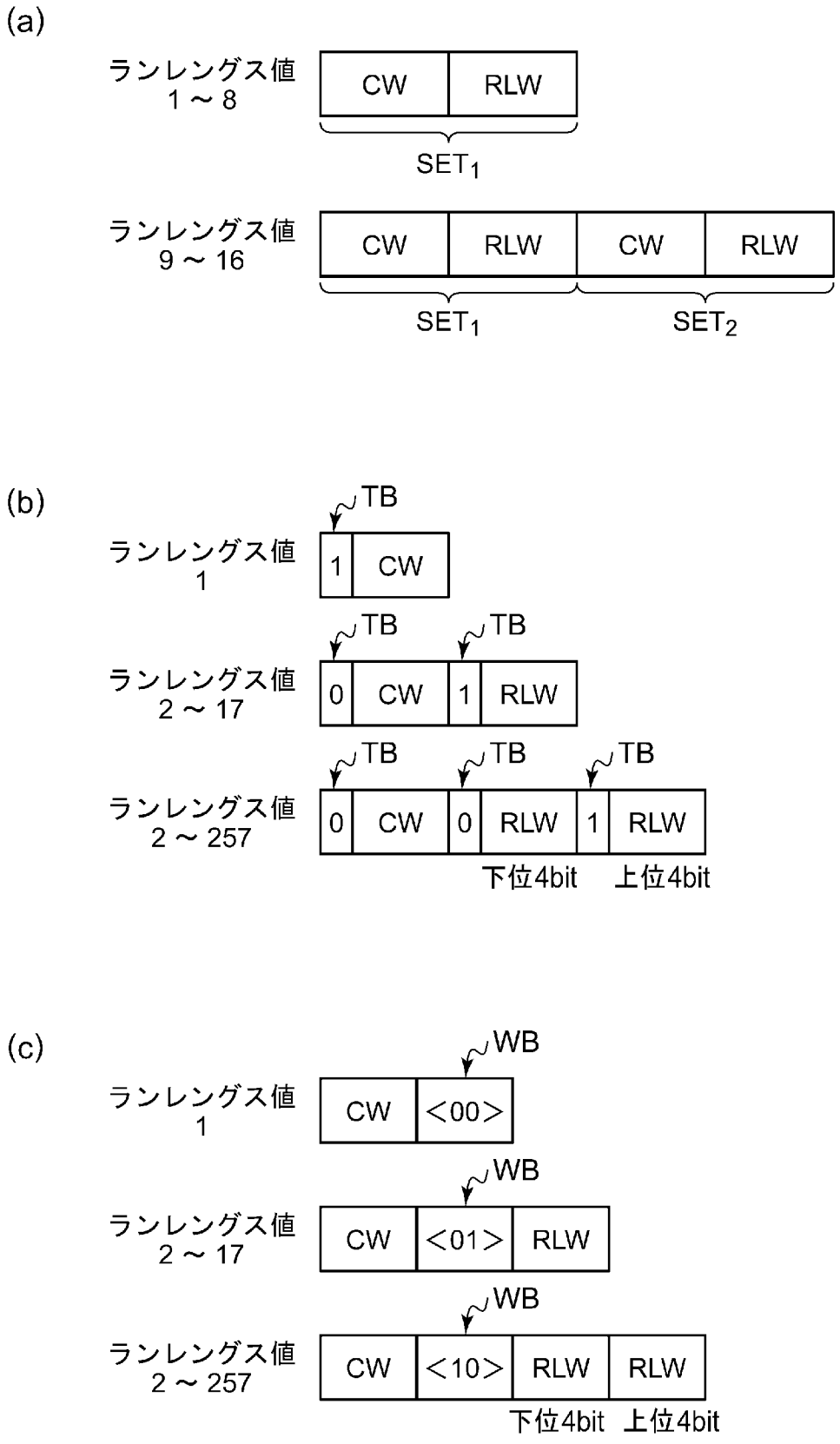
[図3]


S5
SEG1
SEG2
SEG3
SEG4
SEG5

[図4]


ADR1
SEG1
SEG2
...
ADR2
...
SEGM
SEG1
SEG2
...
SEGN
SEG1
SEG2
...
ADR3
...
SEGK
ADR1
ADR2
ADR3
...
SIZE1
SIZE2
SIZE3
...
306
= COMP1
= COMP2
= COMP3

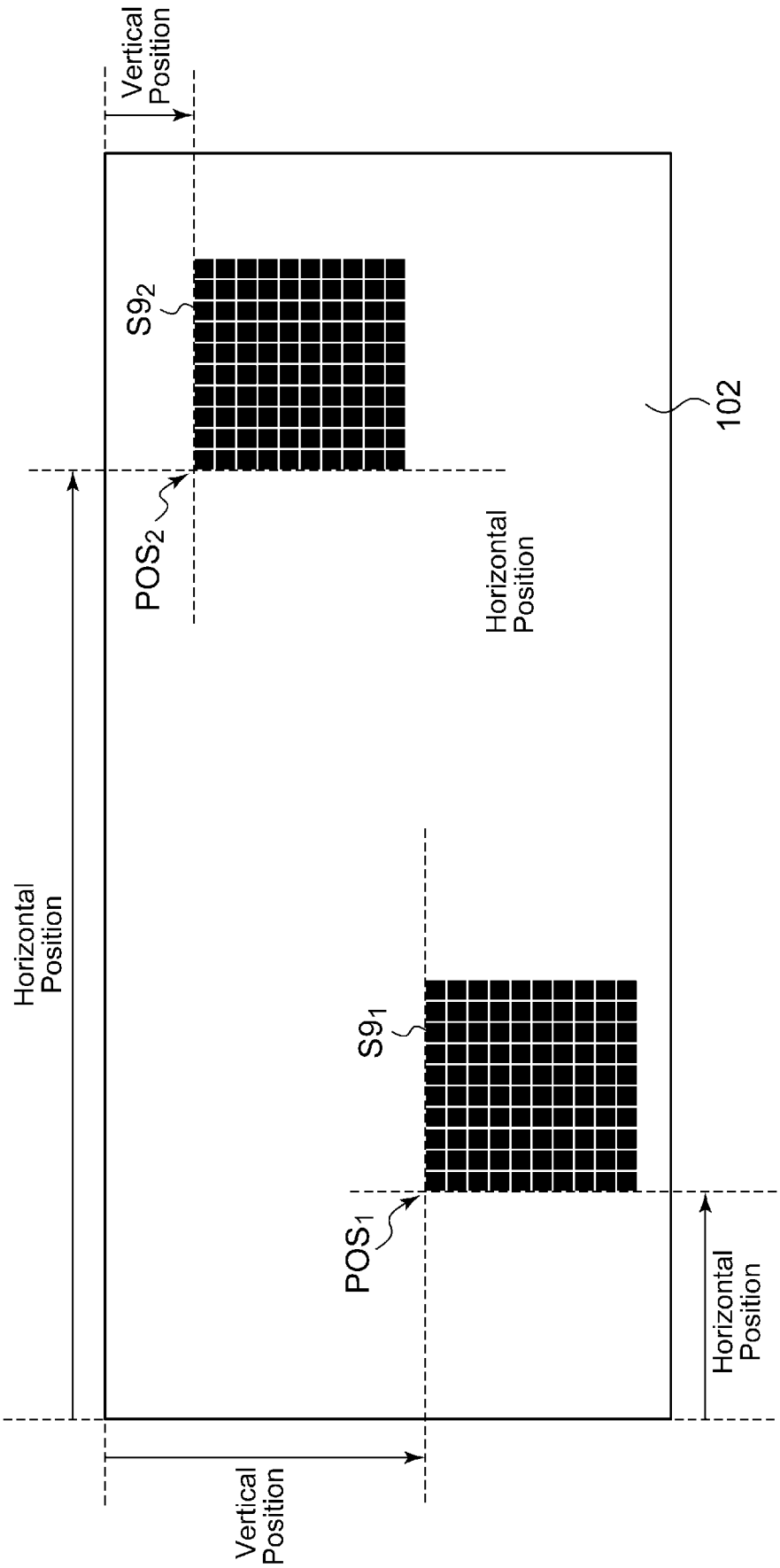
[図5]


(a)
ランレングス値
1 ～ 8
CW
RLW
SET1
ランレングス値
9 ～ 16
CW
RLW
CW
RLW
SET1
SET2
(b)
TB
ランレングス値
1
1
CW
TB
TB
ランレングス値
2 ～ 17
0
CW
1
RLW
TB
TB
TB
ランレングス値
2 ～ 257
0
CW
0
RLW
1
RLW
下位4bit
上位4bit
(c)
WB
ランレングス値
1
CW
<00>
WB
ランレングス値
2 ～ 17
CW
<01>
RLW
WB
ランレングス値
2 ～ 257
CW
<10>
RLW
RLW
下位4bit
上位4bit

[図6]

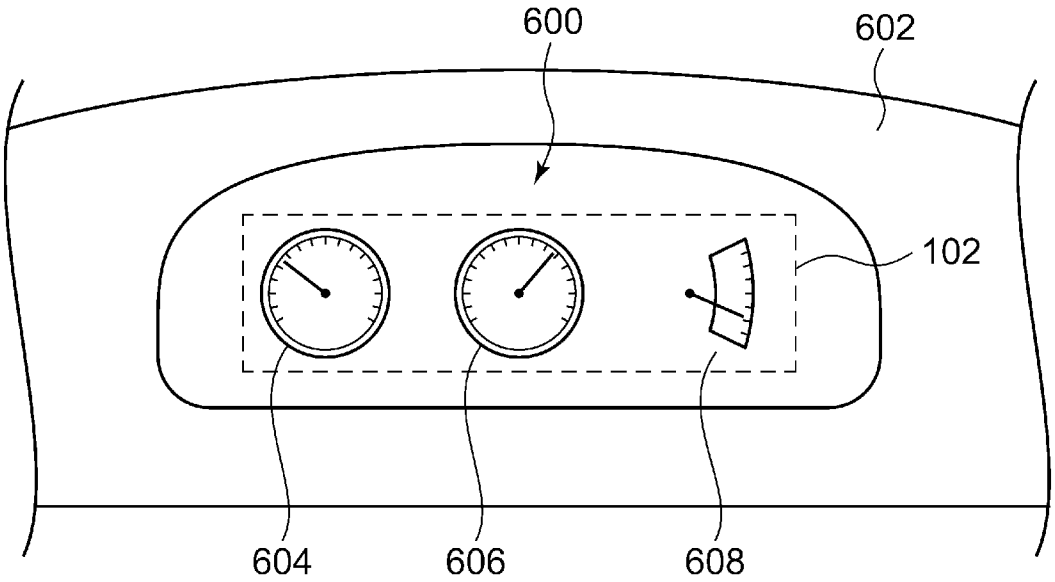
ランレングス値 RL (pixels)	圧縮率 (圧縮後 / 圧縮前)	ランレングス ワード数
1	1.25	0
～ 17	1.25 ～ 0.15	1
～ 257	0.2 ～ 0.015	2
～ 4097	0.02 ～ 0.0012	3

[図7]

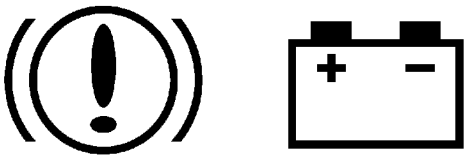

Vertical Position
S9$_2$
102
POS$_2$
Horizontal Position
Horizontal Position
S9$_1$
POS$_1$
Horizontal Position
Vertical Position

[図8]

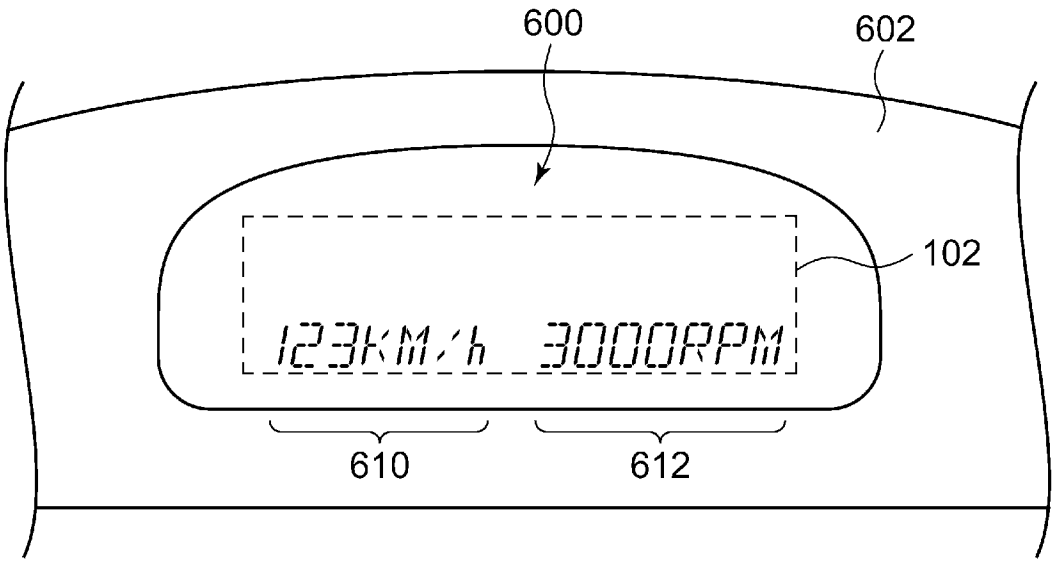
(a)



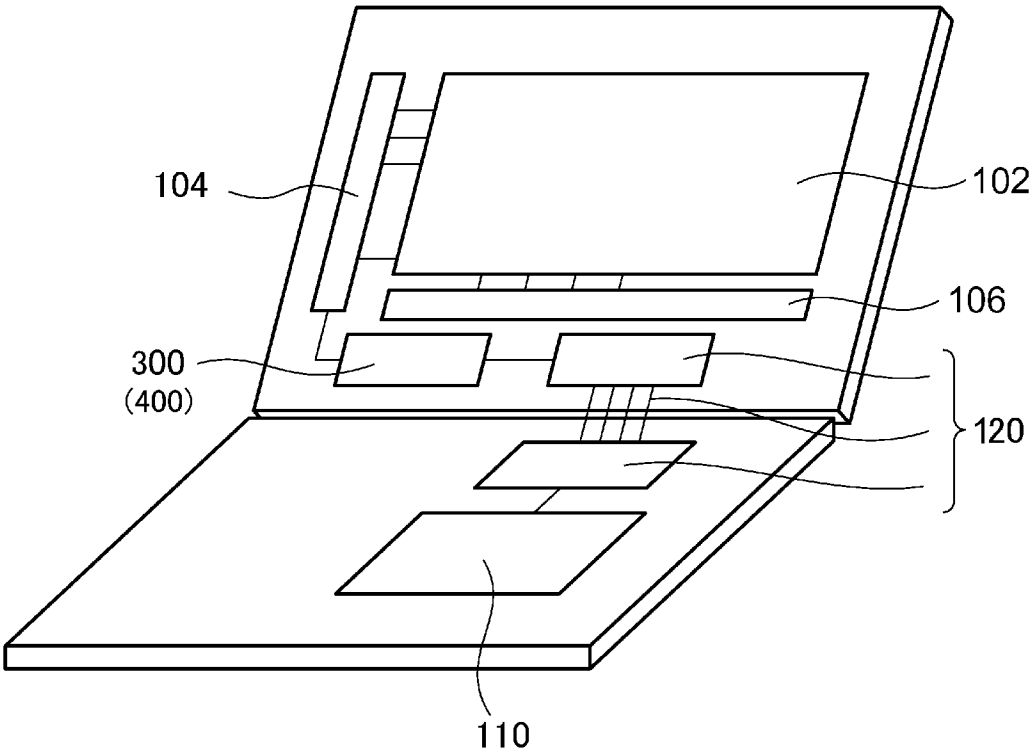
(b)



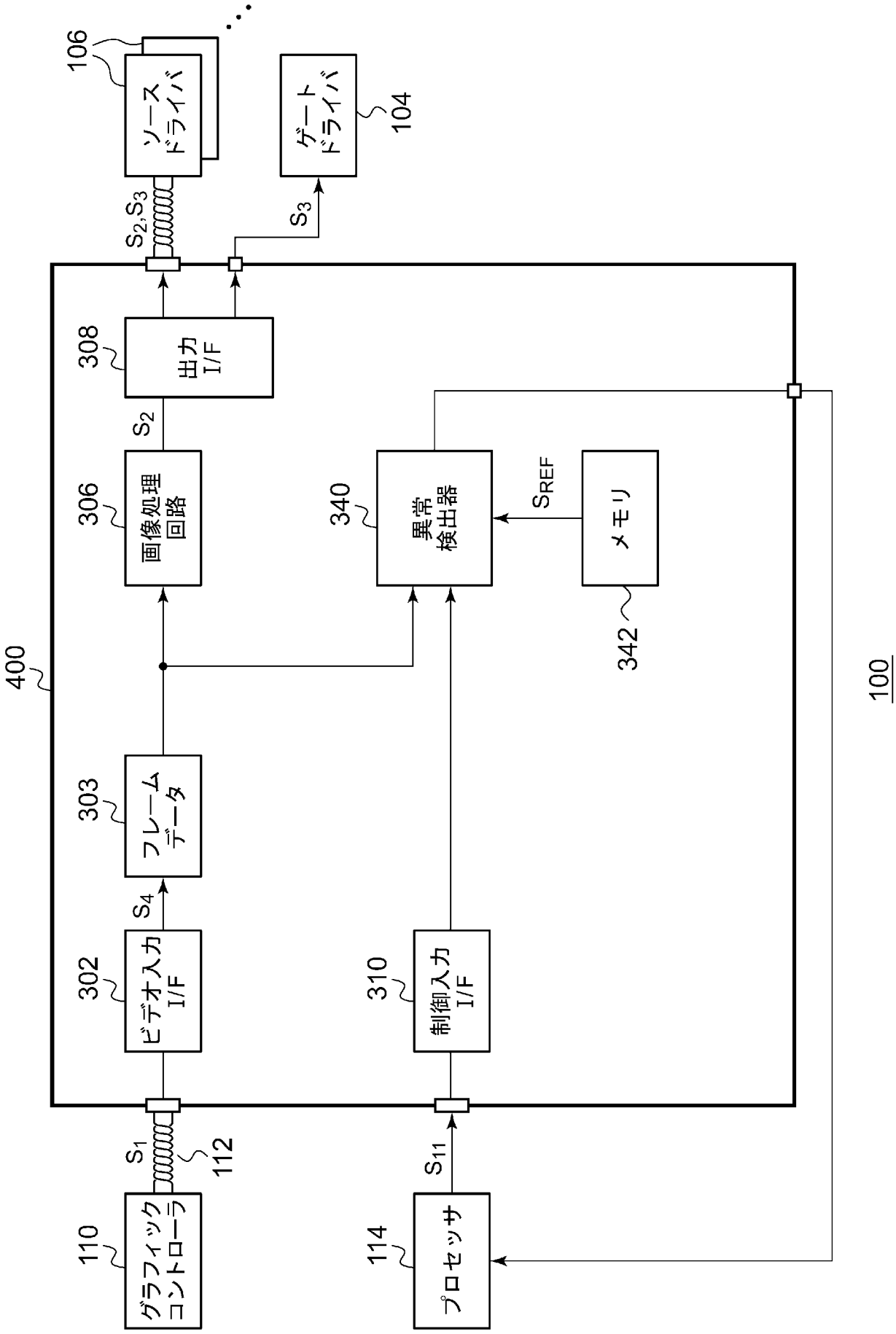
(c)



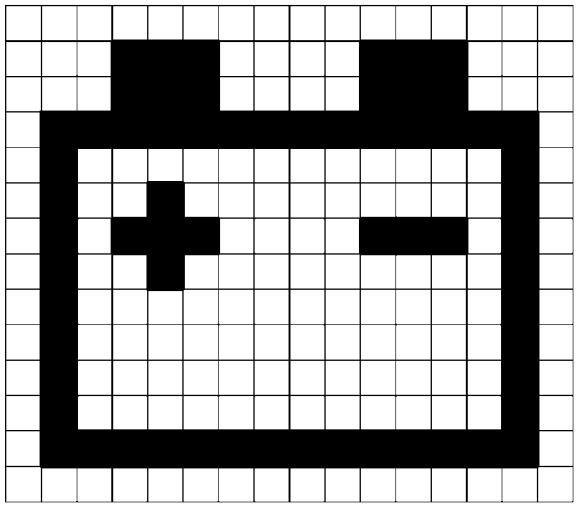
[図9]



[図10]

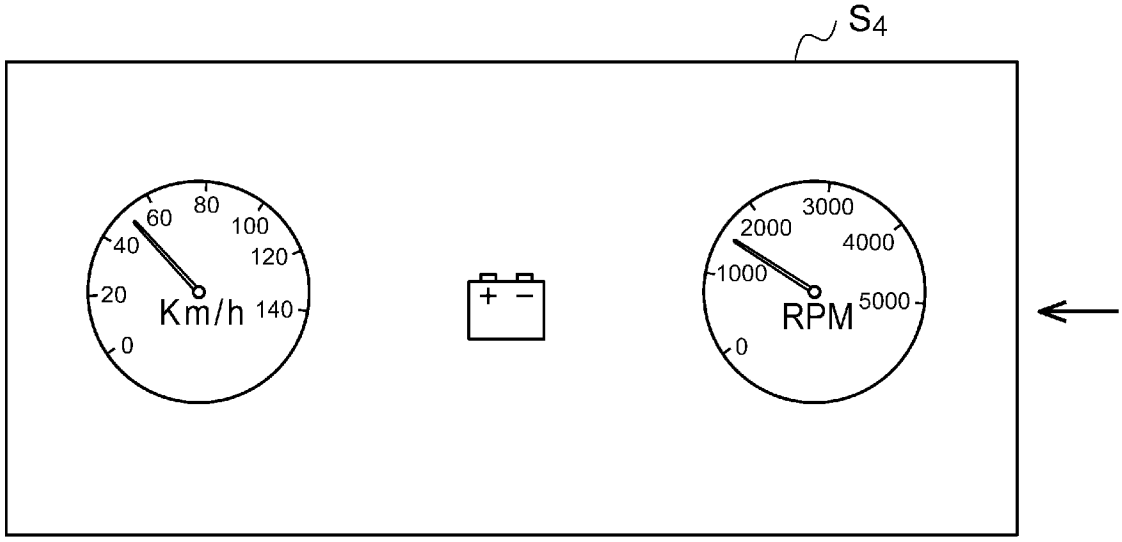

106
ソースドライバ
104
ゲートドライバ
S2,S3
S3
308
出力I/F
S2
306
画像処理回路
340
異常検出器
SREF
メモリ
342
400
303
フレームデータ
S4
302
ビデオ入力I/F
310
制御入力I/F
S1
112
S11
110
グラフィックコントローラ
114
プロセッサ
100

[図11]

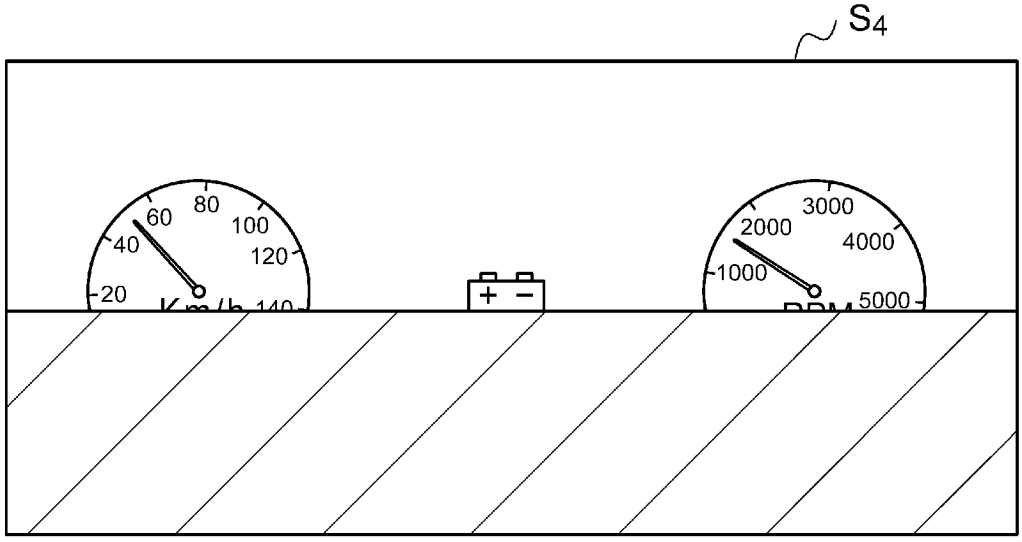


[図12]

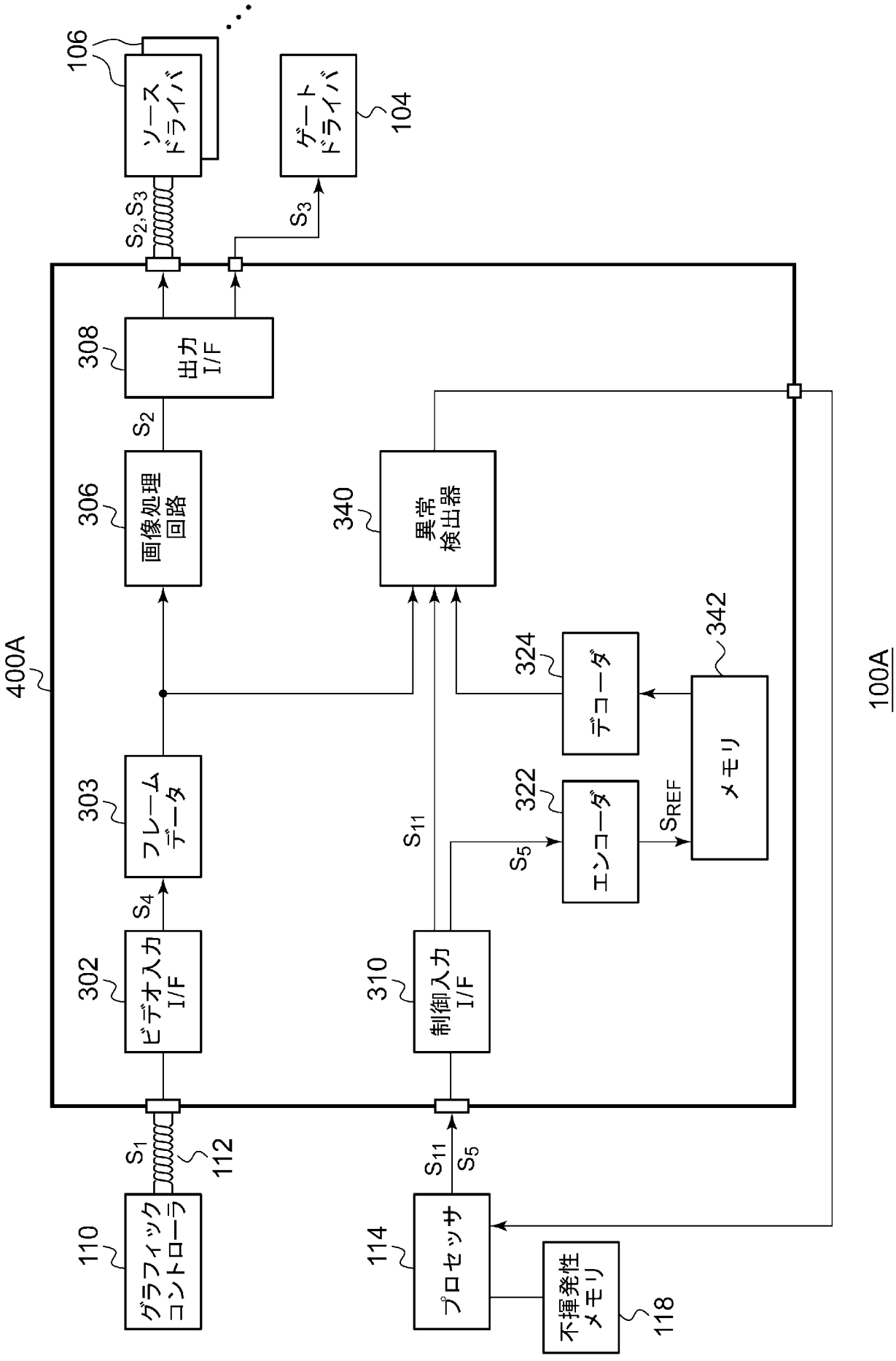
(a)


S4
0
20
40
60
80
100
120
140
Km/h
1000
2000
3000
4000
5000
RPM

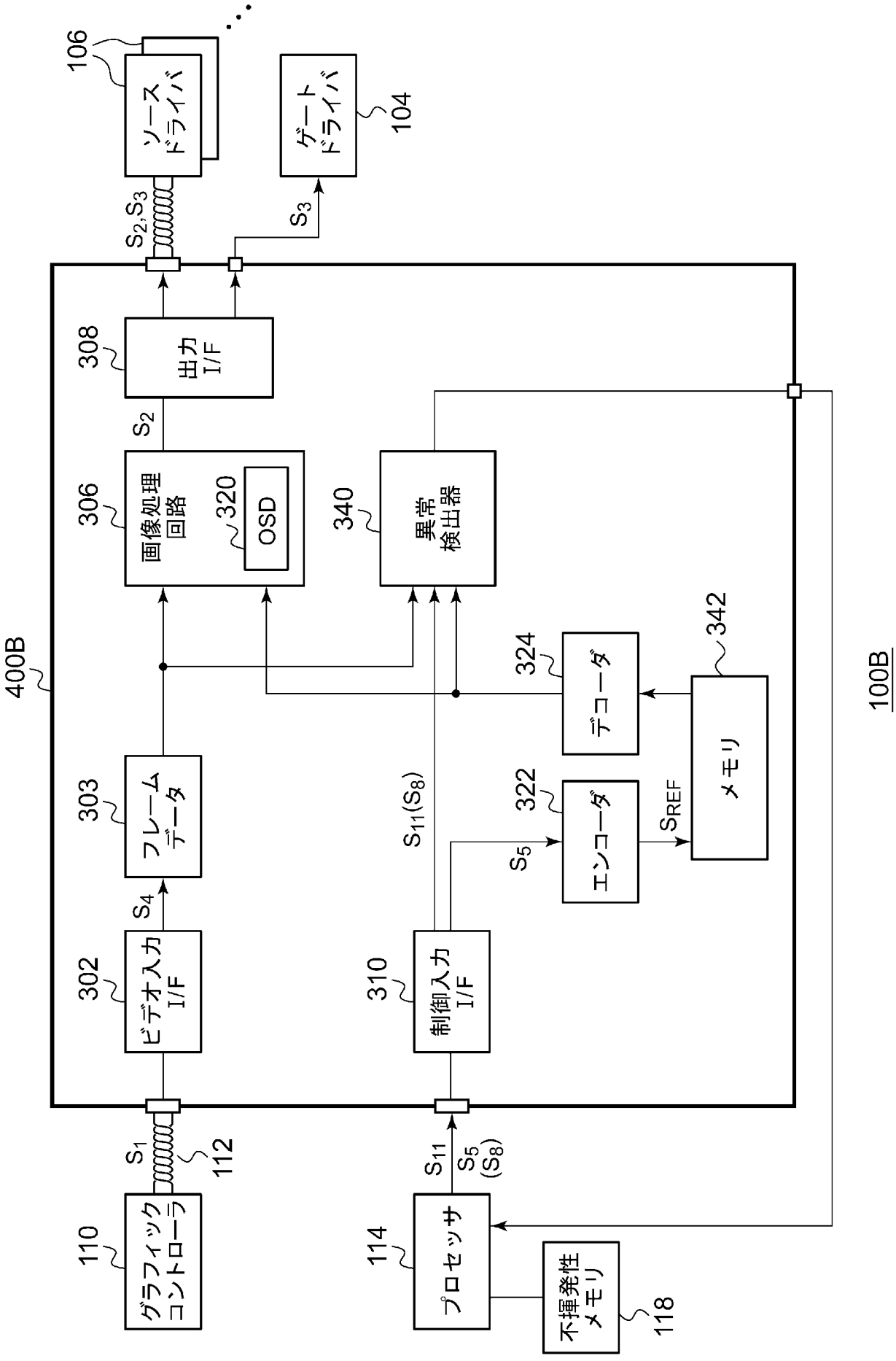
(b)


S4
20
40
60
80
100
120
1000
2000
3000
4000
5000

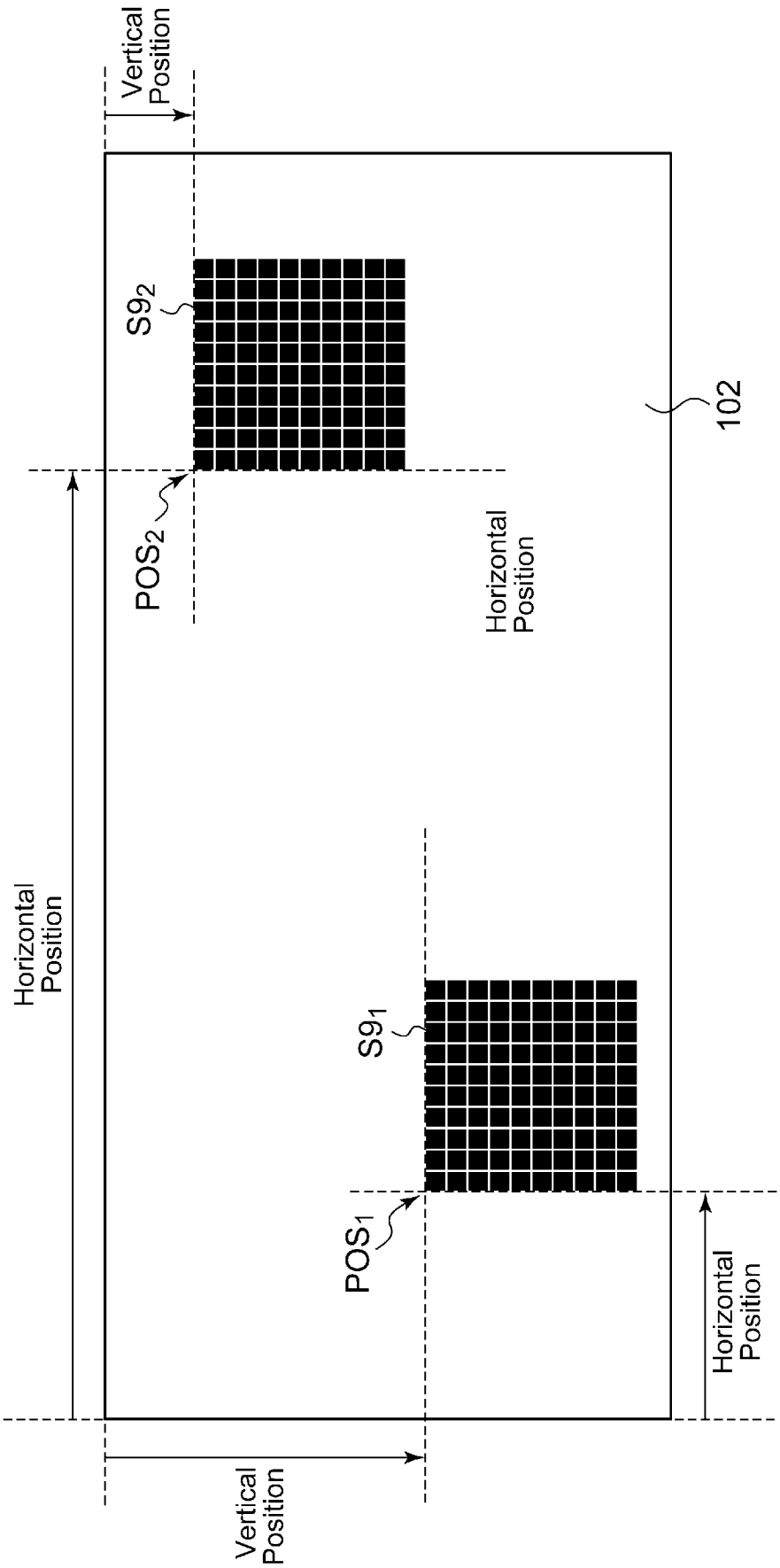
[図13]


106
ソースドライバ
104
ゲートドライバ
S2,S3
S3
308
出力I/F
S2
306
画像処理回路
340
異常検出器
400A
100A
303
フレームデータ
S4
324
デコーダ
342
メモリ
322
エンコーダ
SREF
S11
S5
302
ビデオ入力I/F
310
制御入力I/F
S1
112
S11
S5
110
グラフィックコントローラ
114
プロセッサ
不揮発性メモリ
118

[図14]


106
ソースドライバ
104
ゲートドライバ
S2,S3
S3
308
出力I/F
S2
306
画像処理回路
320
OSD
340
異常検出器
400B
100B
324
デコーダ
342
メモリ
303
フレームデータ
322
エンコーダ
S11(S8)
S5
SREF
S4
302
ビデオ入力I/F
310
制御入力I/F
S1
112
S11
S5(S8)
110
グラフィックコントローラ
114
プロセッサ
不揮発性メモリ
118

[図15]


Vertical Position
S9$_2$
102
POS$_2$
Horizontal Position
Horizontal Position
S9$_1$
POS$_1$
Horizontal Position
Vertical Position

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/023101

A. CLASSIFICATION OF SUBJECT MATTER
G09G5/00(2006.01)i, *G09G5/377*(2006.01)i, *H04N19/93*(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G5/00, G09G5/377, H04N19/93

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-369092 A (Sony Corp.), 20 December 2002 (20.12.2002), paragraphs [0015] to [0041]; fig. 1 to 4 (Family: none)	1-8,14-25
Y	JP 2008-181017 A (Fujifilm Corp.), 07 August 2008 (07.08.2008), paragraphs [0034] to [0092]; fig. 1 to 24 (Family: none)	1-8,14-25
Y	JP 2005-91871 A (Funai Electric Co., Ltd.), 07 April 2005 (07.04.2005), paragraphs [0020] to [0039]; fig. 1 to 6 & US 2005/0078877 A1 paragraphs [0023] to [0063]; fig. 1 to 8	1-8,14-25

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 July 2017 (25.07.17)	08 August 2017 (08.08.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/023101

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2015/097855 A1 (Mitsubishi Electric Corp.), 02 July 2015 (02.07.2015), paragraphs [0012] to [0068]; fig. 1 to 4 (Family: none)	9-11,13,26 12,14-25
X Y	JP 2012-35677 A (Renesas Electronics Corp.), 23 February 2012 (23.02.2012), paragraphs [0030] to [0045]; fig. 1 to 5 & US 2012/0036418 A1 paragraphs [0047] to [0062]; fig. 1 to 5	9-11,13,26 12,14-25
Y	JP 2009-135684 A (Sony Corp.), 18 June 2009 (18.06.2009), paragraphs [0041] to [0062]; fig. 2 to 4 (Family: none)	12,14-25
A	JP 2003-200757 A (Denso Corp.), 15 July 2003 (15.07.2003), paragraphs [0013] to [0039]; fig. 1 to 4 (Family: none)	1-26
A	JP 2001-184018 A (Matsushita Electric Industrial Co., Ltd.), 06 July 2001 (06.07.2001), paragraphs [0016] to [0025]; fig. 1 to 2 (Family: none)	1-26

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２３１０１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G5/00(2006.01)i, G09G5/377(2006.01)i, H04N19/93(2014.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G5/00, G09G5/377, H04N19/93

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2002-369092 A（ソニー株式会社）2002.12.20, 段落［００１５］－［００４１］,［図１］－［図４］ （ファミリーなし）	1-8, 14-25
Ｙ	JP 2008-181017 A（富士フイルム株式会社）2008.08.07, 段落［００３４］－［００９２］,［図１］－［図２４］ （ファミリーなし）	1-8, 14-25

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２５．０７．２０１７	０８．０８．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　９３０８
西島　篤宏
電話番号　０３－３５８１－１１０１　内線　３２７３

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-91871 A（船井電機株式会社）2005.04.07, 段落［００２０］－［００３９］,［図１］－［図６］ & US 2005/0078877 A1, [0023]-[0063], 図 1-図 8	1-8, 14-25
X Y	WO 2015/097855 A1（三菱電機株式会社）2015.07.02, 段落［００１２］－［００６８］,［図１］－［図４］ （ファミリーなし）	9-11, 13, 26 12, 14-25
X Y	JP 2012-35677 A（ルネサスエレクトロニクス株式会社）2012.02.23, 段落［００３０］－［００４５］,［図１］－［図５］ & US 2012/0036418 A1, [0047]-[0062], 図 1-図 5	9-11, 13, 26 12, 14-25
Y	JP 2009-135684 A（ソニー株式会社）2009.06.18, 段落［００４１］－［００６２］,［図２］－［図４］ （ファミリーなし）	12, 14-25
A	JP 2003-200757 A（株式会社デンソー）2003.07.15, 段落［００１３］－［００３９］,［図１］－［図４］ （ファミリーなし）	1-26
A	JP 2001-184018 A（松下電器産業株式会社）2001.07.06, 段落［００１６］－［００２５］,［図１］－［図２］ （ファミリーなし）	1-26