

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-303399

(P2004-303399A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int. Cl.⁷

G 1 1 C 16/02

G 1 1 C 16/04

F I

G 1 1 C 17/00

G 1 1 C 17/00

G 1 1 C 17/00

6 1 1 Z

6 1 1 A

6 2 2 E

テーマコード(参考)

5 B 1 2 5

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2004-41554 (P2004-41554)
 (22) 出願日 平成16年2月18日(2004.2.18)
 (31) 優先権主張番号 2003-019990
 (32) 優先日 平成15年3月31日(2003.3.31)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1
 (74) 代理人 100064724
 弁理士 長谷 照一
 (74) 代理人 100073302
 弁理士 神谷 牧
 (72) 発明者 沈 聖輔
 大韓民国京畿道利川市貨越面使童里 現代
 社員アパート 101-1006
 Fターム(参考) 5B125 BA05 BA09 CA18 DB08 EB01
 EB08 FA01 FA05

(54) 【発明の名称】 フラッシュメモリセルのプログラム方法及びこれを用いたNAND型フラッシュメモリのプログラム方法

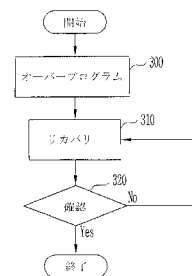
(57) 【要約】

【課題】

オーバプログラムに起因する読出し欠陥を改善することができ、セルのプログラム時にしきい値電圧ターゲットを自由に設定することができ、マルチレベルセルのプログラム方法としても使用可能なフラッシュメモリセルのプログラム方法及びこれを用いたNAND型フラッシュメモリのプログラム方法を提供する。

【解決手段】

プログラムすべきフラッシュメモリセルをオーバプログラムする段階と、前記フラッシュメモリセルのゲートバイアスを調節し、オーバプログラムされたフラッシュメモリセルをリカバリする第1リカバリ段階と、前記ゲートバイアスを0Vの電圧にセットした後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第2リカバリ段階と、前記ゲートバイアスをフローティングさせた後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第3リカバリ段階と、セルフブースティング動作を用いて、オーバプログラムされたフラッシュ



【特許請求の範囲】

【請求項 1】

プログラムすべきフラッシュメモリセルをオーバプログラムする段階と、
前記フラッシュメモリセルのゲートバイアスを調節することによって、オーバプログラムされたフラッシュメモリセルをリカバリする第 1 リカバリ段階と、
前記ゲートバイアスを 0 V の電圧にセットした後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第 2 リカバリ段階と、
前記ゲートバイアスをフローティングさせた後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第 3 リカバリ段階と、
セルフブースティング動作を用いて、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第 4 リカバリ段階と
を含んでなるフラッシュメモリセルのプログラム方法。 10

【請求項 2】

請求項 1 に記載のフラッシュメモリセルのプログラム方法において、
前記オーバプログラムする段階の間、前記フラッシュメモリセルのゲートに約 20 V の電圧が印加される
ことを特徴とする方法。

【請求項 3】

請求項 1 に記載のフラッシュメモリセルのプログラム方法において、
前記第 1 リカバリ段階の間、前記フラッシュメモリセルのゲートに約 8 V の電圧が印加される
ことを特徴とする方法。 20

【請求項 4】

請求項 1 に記載のフラッシュメモリセルのプログラム方法において、
前記第 2 リカバリ段階の間、前記フラッシュメモリセルのゲートが接地され、バルクに約 12 ~ 13 V の電圧が印加される
ことを特徴とする方法。

【請求項 5】

請求項 1 に記載のフラッシュメモリセルのプログラム方法において、
前記第 3 リカバリ段階の間、前記フラッシュメモリセルのゲートがフローティングされ、バルクに 8 V の電圧が印加される
ことを特徴とする方法。 30

【請求項 6】

請求項 1 に記載のフラッシュメモリセルのプログラム方法において、
前記第 4 リカバリ段階の間、前記フラッシュメモリセルのゲートに 0 V の電圧が印加され、ドレインに約 $12 V + V_{tn}$ の電圧が印加される
ことを特徴とする方法。

【請求項 7】

選択されたワードライン (W/L) に連結された全てのフラッシュメモリセルをオーバプログラムする段階と、
前記ワードラインに印加されるゲートバイアスを調節し、オーバプログラムされたフラッシュメモリセルをリカバリする第 1 リカバリ段階と、
前記ワードラインに印加されるゲートバイアスを 0 V の電圧にセットした後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第 2 リカバリ段階と、
前記ワードラインをフローティングさせた後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第 3 リカバリ段階と、
セルフブースティング動作を用いて、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第 4 リカバリ段階と、
プログラムが正常的に行われたか否かを確認する段階と、 40
50

前記確認段階の結果に応じて、前記第1リカバリ段階に復帰し、あるいは前記第1～第4リカバリ段階の各バイアスを増加させた後、前記第1リカバリ段階に復帰する段階とを含んでなるNAND型フラッシュメモリのプログラム方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、フラッシュメモリセルのプログラム方法に係り、特に、NAND型フラッシュメモリ装置に適用することが可能なフラッシュメモリセルのプログラム方法に関する。

【背景技術】

10

【0002】

最近、電気的にプログラム（データ内容の書込み）と消去が可能で、電源が供給されない状態でもデータが消去されないで記憶されている半導体メモリ素子の需要が増加している。そして、多数のデータを記憶することが可能な大容量のメモリ素子の開発のためにメモリセルの高集積化技術が開発されている。このため、複数のメモリセルが直列に連結されて一本のストリングになり、複数のストリングが一つのメモリセルアレイを構成するNAND型のフラッシュメモリ装置が提案された。

【0003】

前記NAND型フラッシュメモリ装置のフラッシュメモリセルは、半導体基板上にソース・ドレイン(source-drain)間に形成される電流通路、及び前記半導体基板上に絶縁膜を介して連結されるフローティングゲートとコントロールゲートを含んで構成されている。そして、前記フラッシュメモリセルのプログラム動作は、一般に、メモリセルのソース領域と半導体基板、すなわちバルク領域を接地させ、コントロールゲートに正の高電圧 V_{pp} （例えば、15V～20V）を印加し、メモリセルのドレインにプログラムするための電圧（例えば、5～6V）を印加して、ホットキャリアを発生させることにより行われる。前記ホットキャリアは、コントロールゲートに印加される高電圧 V_{pp} の電界(electric field)によってバルク領域の電子がフローティングゲートに蓄積され、ドレイン領域に供給される電荷が継続的に累積されて、発生される。

20

【0004】

図1は、通常のNAND型フラッシュメモリの回路図である。

30

【0005】

第1ストリング st_1 には、第1～第16セル $c_1 \sim c_{16}$ が直列に連結されている。第1セル c_1 のドレインは、ストリング選択トランジスタ d を介して第1ビットライン b_1 に連結され、第16セル c_{16} のソースは、ソース選択トランジスタ s を介して共通ソースライン s_1 に連結されている。第2ストリング st_2 は、第1ストリング st_1 と同一の構造をもつ。同一の横方向ラインにあるセルのゲートは、対応するワードラインに連結される。図示してはいないが、このような多数本のストリングが提供されてフラッシュメモリが構成される。

【0006】

プログラム動作が選択されたビットラインには、0Vの電圧が印加され、選択されていないビットラインには V_{cc} 電圧が印加される。また、選択されたワードラインには、例えば18Vの電圧 V_{pgm} 、ドレイン選択ライン DSL_1 には、例えば4.5Vの電圧、ソース選択ライン SSL_1 には、0Vの電圧が、それぞれ印加される。また、選択されていないワードラインには、例えば10Vの電圧 V_{pass} が印加される。このような電圧条件によって選択されたセルが個々にプログラムされる。

40

【0007】

図2を参照して、従来のプログラム方法をより詳細に説明する。

【0008】

プログラム動作が開始されると、一つのパルス区間の間、前記プログラム電圧が選択セルに印加されてデータ書込みが行われる（段階100）。その後、正常的にプログラム動

50

作が行われたか否かを確認し(段階110)、正常であれば、プログラムを終了し、そうでなければ、段階100に戻ってプログラム動作をさらに行う。

【0009】

このようなプログラム方法によれば、セルをオーバプログラムすることができる。オーバプログラムされたセルは、読出し動作の際に非選択セルに印加されるゲートバイアスV_{pass}を決定するが、このバイアスをオーバプログラムされた値だけ高めると、読出しの際にこのバイアスによってプログラムディスタurb(disturb)が発生する。このような欠点を改善するための方法を図3に示す。

【0010】

図3は、別の従来のプログラム方法を説明するためのフローチャートである。

10

【0011】

プログラム動作が開始されると、一つのパルス区間(すなわち、一つのサイクル)の間、前記プログラム電圧が選択セルに印加されてプログラム動作が行われる(段階200)。その後、正常にプログラム動作が行われたか否かを確認し(段階210)、正常であれば、プログラムを終了し、そうでなければ、ゲートプログラム電圧を増加させた後(段階220)、前記段階200に戻って、プログラム動作をさらに行う。このようなプログラム方法をISPP(Incremental step pulse programing)方式という。このような方式においても、パルスの幅だけオーバプログラムされたセルが発生する可能性がある。

【0012】

図4は、プログラム後のセルの個数に対するしきい値電圧分布図を示すが、実線は正常にプログラムされた場合のしきい値電圧分布、破線はオーバプログラムが発生した場合のしきい値電圧分布をそれぞれ示す。

20

【発明の開示】

【発明が解決しようとする課題】

【0013】

したがって、この発明の目的は、まずオーバプログラムを行った後、オーバプログラムされたセルをリカバリして正常なプログラム時のしきい値電圧が保たれるようにすることにより、上記のような問題点を解消することが可能なフラッシュメモリセルのプログラム方法を提供することにある。

【課題を解決するための手段】

30

【0014】

上記目的を達成するため、この発明に係るNAND型フラッシュメモリのプログラム方法は、プログラムすべきフラッシュメモリセルをオーバプログラムする段階と、前記フラッシュメモリセルのゲートバイアスを調節し、オーバプログラムされたフラッシュメモリセルをリカバリする第1リカバリ段階と、前記ゲートバイアスを0Vの電圧にセットした後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第2リカバリ段階と、前記ゲートバイアスをフローティングさせた後、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第3リカバリ段階と、セルフブースティング動作を用いて、オーバプログラムされたフラッシュメモリセルのバルクバイアスを調節してリカバリする第4リカバリ段階とを含んで構成されることを特徴とする。

40

【発明の効果】

【0015】

この発明は、オーバプログラムに起因した読出し欠陥を改善することができ、セルのプログラム時にしきい値電圧ターゲットを自由に設定することができるので、マルチレベルセルのプログラム方法としても使用可能である。

【発明を実施するための最良の形態】

【0016】

以下、添付する図面を参照して、この発明に係る実施例を詳細に説明する。

【0017】

50

この発明においては、フラッシュメモリセルのトンネル酸化膜に印加される電圧が8V以上のときにトンネリングが発生し、ONO膜は、トンネル酸化膜より厚いため、10V以上でトンネル現象が発生すると仮定した。

【0018】

この発明の原理は、トンネル酸化膜とONO膜に印加される電界によって、オーバプログラムされたセルをリカバリすることにある。

【0019】

この発明に適用されるNAND型フラッシュメモリのプログラム方法を、表1を参照して説明する。

【0020】

10

【表1】

	オーバプログラム	第1リカバリ	第2リカバリ	第3リカバリ	第4リカバリ
W/L	20V以上	8V以上	0	F	0
DSL	Vcc	Vcc	Vcc	Vcc	Vcc
SSL	0	0	0	0	0
B/L	0	F	F	F	$1.2 + V_{tn}$ 以上
ソース	0	0	0	0	0
バルク	0	F	1.2~1.3V	8V以下	0

20

【0021】

1) オーバプログラム段階

選択されたワードラインW/Lには20V以上の電圧を印加し、ドレイン選択ラインDSLには電源電圧Vccを印加する。そして、選択されたビットラインB/L、ソース選択ラインSSL及びバルク領域には、ゼロ(zero)電圧を維持させる。

【0022】

前記の電圧条件によってオーバプログラムが完了すると、後述の第1~第4リカバリ段階を行い、プログラムしようとするセルが正常なプログラム時のしきい値電圧を持つようにする。

30

【0023】

2) 第1リカバリ段階

選択されたワードラインには8V以上の電圧、ドレイン選択ラインにはVcc電圧、ソース選択ラインには0Vの電圧をそれぞれ印加し、ビットライン及びバルクはフローティングさせる一方、ソースには0Vの電圧を印加する。

【0024】

3) 第2リカバリ段階

選択されたワードラインには0V以上の電圧、ドレイン選択ラインにはVcc電圧、ソース選択ラインには0Vの電圧をそれぞれ印加し、ビットラインはフローティングさせる一方、ソースには0Vの電圧、バルクには1.2~1.3Vの電圧をそれぞれ印加する。

40

【0025】

4) 第3リカバリ段階

選択されたワードラインはフローティングさせ、ドレイン選択ラインにはVcc電圧、ソース選択ラインには0Vの電圧をそれぞれ印加し、ビットラインはフローティングさせる一方、ソースには0Vの電圧、バルクには8Vの電圧をそれぞれ印加する。

【0026】

5) 第4リカバリ段階

選択されたワードラインには0Vの電圧、ドレイン選択ラインにはVcc電圧、ソース選択ラインには0Vの電圧をそれぞれ印加し、ビットラインは $1.2 + V_{tn}$ 電圧を印加す

50

る一方、ソース及びバルクには 0 V の電圧を印加する。

【0027】

次に、リカバリ段階を詳細に説明する。

【0028】

第 1 リカバリ段階は、カップリング比を 0.5、選択されていないワードラインに印加される V_{pass} 電圧を 4.5 V、ターゲットしきい値電圧を 3 V とそれぞれ仮定した場合のバイアス条件である。この場合は、バルクがフローティングされているので、印加されたバイアスとフローティングゲートのチャージの電圧差によって、ONO 膜にかかる電界が 10 V 以上になると、ディスチャージが発生する。すなわち、ターゲットを 3 V に合わせるために、選択されたセルのゲートに 8 V が印加されると、オーバプログラムされたセルのみしきい値電圧が 3 V にされる。

10

【0029】

第 2 リカバリ段階において、しきい値電圧 5 V のセルのバルクには 13 V が印加され、トンネル酸化膜には 9 V、ONO 膜には 4 V がそれぞれ印加される場合、しきい値電圧が 3 V、すなわちトンネル酸化膜に 8 V が印加されるまでディスチャージが発生する。この際、消去されたセル（しきい値電圧が -3 V）の場合は、トンネル酸化膜に 6 V、ONO 膜に 8 V がそれぞれ印加されるので、ディスチャージ動作が行われなくなる。したがって、オーバプログラムされたセルのみディスチャージ動作を行う。

【0030】

第 3 リカバリ段階において、ゲートをフローティングさせるので、接地させた上述の場合のようにバイアスがカップリングされずに、フローティングゲートとフローティングゲートのチャージによってのみ決定されるので、バルクに 8 V のみ印加してもリカバリされる。ビットラインは、セルフブースティング構造を用いてリカバリさせる方式であって、ストリングのゲートに 0 V が印加されるので、チャンネルにブースティングされる電圧は、ビットラインに印加したバイアスから選択トランジスタのしきい値電圧を差し引いた値がチャンネルにブースティングされる。

20

【0031】

第 4 リカバリ段階は、第 2 リカバリ段階と類似である。

【0032】

上述したように、トンネル酸化膜と ONO 膜に誘起される電界によって、オーバプログラムされたセルのみ所望のしきい値電圧レベルにシフトさせることができる。

30

【0033】

次に、図 5 を参照してこの発明をより具体的に説明する。

【0034】

プログラム動作が開始すると、前述したオーバプログラムが行われる（段階 300）。その後、前述した第 1～第 4 リカバリ段階を行い、プログラムしようとするセルがプログラム時の正常なしきい値電圧を持つようにする（310）。正常にプログラム動作が行われたか否かを確認（段階 320）し、正常であればプログラムを終了し、そうでなければ前記段階 310 に戻ってリカバリ動作をさらに行う。

【0035】

図 6 は、この発明に係る別のプログラム方法を説明するためのフローチャートである。

40

【0036】

プログラム動作が開始されると、前述したオーバプログラムが行われる（段階 400）。その後、前述した第 1～第 4 リカバリ段階を行って、プログラムしようとするセルがプログラム時の正常なしきい値電圧を持つようにする（410）。正常にプログラム動作が行われたか否かを確認し（段階 430）、正常であればプログラムを終了し、そうでなければ前記段階 410 に戻ってリカバリ動作をさらに行う。

【0037】

図 4 は、プログラム後のセルの個数に対するしきい値電圧の分布を示すが、破線はオーバプログラム後のしきい値電圧分布を、実線はリカバリ動作によって正常的なプログラム

50

が完了した後のしきい値電圧分布を、それぞれ示す。

【0038】

図7に示すように、この発明によれば、プログラム後のセルのしきい値電圧の分布が3V以下を保つ。

【0039】

この発明は、実施例を中心として説明されたが、当分野で通常の知識を有する者であれば、このような実施例を用いて様々な形の変形及び変更が可能である。したがって、この発明はこれらの実施例に限定されるものではなく、特許請求の範囲によって限定される。

【図面の簡単な説明】

【0040】

10

【図1】一般的なNAND型フラッシュメモリの回路図である。

【図2】従来の技術に係るNAND型フラッシュメモリのプログラム方法を説明するためのフローチャートである。

【図3】従来の技術に係るNAND型フラッシュメモリのプログラム方法を説明するためのフローチャートである。

【図4】従来の技術によってプログラムされた後のしきい値電圧分布図である。

【図5】この発明の第1実施例に係るNAND型フラッシュメモリのプログラム方法を説明するためのフローチャートである。

【図6】この発明の第2実施例に係るNAND型フラッシュメモリのプログラム方法を説明するためのフローチャートである。

20

【図7】この発明によってプログラムされた後のしきい値電圧分布図である。

【符号の説明】

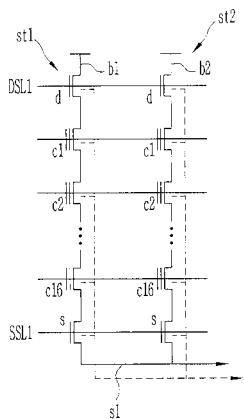
【0041】

s t 1 ... 第1ストリング

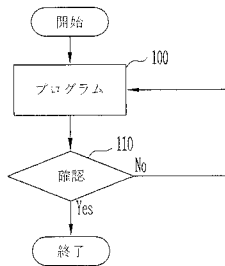
s t 2 ... 第2ストリング

c 1 ~ c 1 6 ... 第1 ~ 第16メモリセル

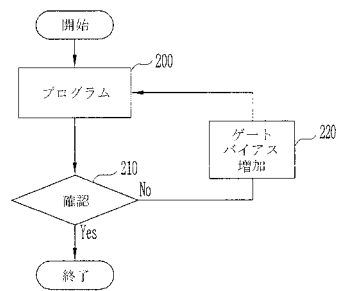
【 図 1 】



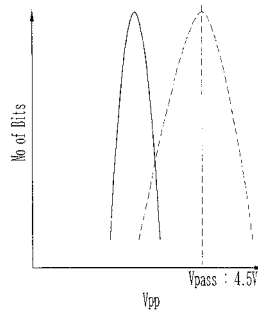
【 図 2 】



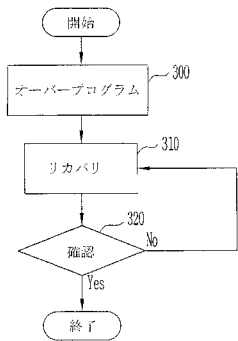
【 図 3 】



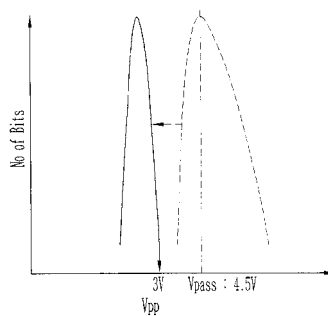
【 図 4 】



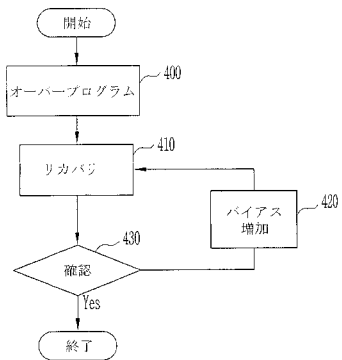
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

【要約の続き】

メモリセルのバルクバイアスを調節してリカバリする第4リカバリ段階とを含んでなる。

【選択図】図5