

公告本

250591

申請日期	83.7.25
案 號	83106789
類 別	H01L43/02, 29/92

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	電感-電容元件，半導體裝置及電感-電容元件之製造方法
	英 文	LC ELEMENT, SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING LC ELEMENT
二、發明 人	姓 名	1. 池田毅 2. 中西努 3. 岡本明
	國 籍	1-3皆為日本
	住、居所	1. 東京都大田區山王二丁目5番6-213號 2. 東京都葛飾區龜有四丁目25-6-205 3. 埼玉縣上尾市線丘四丁目7-17
三、申請人	姓 名 (名稱)	TIF股份有限公司 (株式會社ティ・アイ・エフ)
	國 籍	日本
	住、居所 (事務所)	東京都大田區山王二丁目5番6-213號
	代 表 人 姓 名	池田毅

250591

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本

1993年7月26日特願平5-203623
1993年10月29日特願平5-294282
1993年12月10日特願平5-341476
1994年5月24日特願平6-133639

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

[產業上之利用領域]

本發明為有關可組配在半導體裝置等內，或以單體可使所定頻帶衰減之電感-電容(LC)元件、半導體裝置及電感-電容元件之製造方法。

[習知之技術]

近年來，隨電子技術之發達，電子電路被廣泛的用在各種領域上，因而希望這些各電子電路不受外界來的影響能安定且確實的動作。

然而這種電子電路上，會有雜音直接或間接地從外界侵入。因此在使用電子電路的各種電子機器上會有不少引起該動作的情形之問題。

尤其在電子電路上，使用開關式穩壓器為直流電源的場合較多。因而由於開關等之過渡電流，或使用數位積體電路之開關動作所引起之負載變動，使得在開關式穩壓器的電源線上，多會產生帶有各種頻率成分的大的雜音。於是這些雜音經由電源線或輻射傳導到同一機器內的其他電路上，引起誤動作或信號／雜音(S/N)比之降低等之不良影響，甚至於使附近使用中的其他電子機器也引起誤動作。

要除去這種雜音，在電子電路上一般係使用雜音濾波器。尤於近年來使用多量的各種構造之電子機器，因而對雜音的限制愈嚴格，因此，期望能開發出可確實去除所產生的雜音，小型且高性能的、具雜音濾波器功能之電感-電容元件。

五、發明說明(>)

已知為這種電感－電容元件的電感－電容雜音濾波器之一為電感成分和電容成分存在於分布常數狀態者，其係比起集中常數型的電感－電容雜音濾波器在較寬頻帶上可得良好衰減特性。

[發明欲解決之問題]

可是這種電感－電容濾波器係分別在絕緣板的一面形成電容器用導電體，在另一面形成電感器用導電體後，折疊製成者，因而須要將絕緣板折翻等工程，其製造工程很複雜。

又，要將這種電感－電容雜音濾波器直接插入於積體電路_A(IC)或大規模積體電路_A(LSI)的電源線使用時，電感－電容雜音濾波器必須要有對於積體電路等之配線，因而在零件的組配上甚為費事。

又，要將這種電感－電容雜音濾波器直接插入於積體電路(IC)或大規模積體電路(LSI)等之內部配線間時，幾乎為不可能之事。

[發明之解決手段]

本發明有鑑於上述問題點，目的在於提供；可利用半導體製造技術簡單製成的、可省略後續工程中零件組配作業的、而且可形成為積體電路及大規模積體電路的一部分之電感－電容元件、半導體裝置、以及電感－電容元件之製造方法。

為解決上述問題，本發明之電感－電容元件的特徵係具；

五、發明說明(3)

在半導體基板上所形成的所定形狀之閘電極；
在上述閘電極和上述半導體基板之間所形成的絕緣層；
在上述半導體基板內，而在對應於上述閘電極所要形成的通道一端附近所形成之第1擴散領域；及
在上述半導體基板內，形成於上述通道另一端附近之第2擴散領域，而

上述閘電極及上述通道成為電感器導體之功能，
上述閘電極的電感及上述通道的電感和其兩者間所形成之電容存在於分布常數之狀態；以及
至少將上述通道當作信號傳送路徑之用者。

本發明之這種電感－電容元件係在半導體基板上形成絕緣層，並在其上形成所定形狀之閘電極，而是由閘電極、絕緣層和半導體基板構成之金氧半導體(MOS)構造。閘電極的形狀為渦漩狀，蛇行狀和曲線狀等，或用在高頻帶時，以直線狀等亦可。

此中，閘電極和與其對應形成之通道分別成為電感器功能。又有絕緣層介於閘電極和與其對應形成的通道之間，由此，形成電容器。而且，此電容器在閘電極及通道的整個全長中形成為分布常數之狀態。因此，形成為在寬頻帶範圍具良好衰減特性的電感－電容元件，而從形成在上述通道一端的第1或第2擴散領域所輸入的信號，經由存在於分佈常數狀態的電感器及電容器傳送時，其衰減帶區域內的雜音等之頻率成分會被去除。

特別是，本發明之該電感－電容元件，除在半導體基

五、發明說明(4)

板形成第1擴散領域及第2擴散領域之同時，並在其表面形成絕緣層和所定形狀之閘電極即可製成，在製造上非常容易。又該電感－電容元件是形成在半導體基板上，也可形成為積體電路或大規模積體電路中之一部分，如此形成為零件中之一部分時，可省略在後續工程中之零件組配作業。

為解決上述問題，本發明之另一電感－電容元件，的特徵係具有：

在半導體基板上所形成的所定形狀之閘電極；

在上述閘電極和上述半導體基板之間所形成的絕緣層；及

在上述半導體基板內，而在對應於上述閘電極所要形成的通道一端附近所形成之擴散領域。而

上述閘電極及上述通道成為電感器導體；

上述閘電極的電感及上述通道的電感和其兩者之間所形成的電容存在於分布常數之狀態；以及

將上述閘電極當作信號傳送路徑之用者。

本發明之該電感－電容元件係相對於上述一電感－電容元件的以通道為信號傳送路徑，而是以閘電極為信號傳送路徑，不經通道傳送信號，因而可省略擴散領域之任一方。

因而通道和所定形狀的閘電極各自為電感器功能之同時，在兩者之間形成為分布常數狀態的電容器之點，即形成為對寬頻帶範圍具良好衰減特性的電感－電容元件

五、發明說明(5)

，而且製造容易，可形成為基板的一部分一事亦與上述之電感－電容元件同。

本發明之再一電感－電容元件的特徵係具有：

對上述第1擴散領域在電路上連接的第1輸入出電極；

對上述第2擴散領域在電路上連接的第2輸入出電極；及

對上述開電極的一端附近在電路上連接的接地電極。

而

從上述第1及第2輸入出電極中的任一電極輸入信號，從另一電極輸出信號，並將上述接地電極連接於固定電位之電源或接地者。

本發明之該電感－電容元件係在對應於開電極所要形成的通道兩端附近的第1擴散領域及第2擴散領域設與其相連接之第1及第2輸入出電極，同時在開電極的一端附近設接地電極，因而，可容易形成將通道當作信號傳送路徑使用之3端子型電感－電容元件。

本發明之再一電感－電容元件為：

在上述電感－電容元件中，將其輸出入電極和接地電極互換者。

即在所定形狀開極兩端附近設第1及第2輸入出電極，並在形成於開電極一端的上述擴散領域設與其相連接的接地電極，因而可容易形成將所定形狀的開電極當作信號傳送路徑使用之3端子型電感－電容元件。

本發明之再一電感－電容元件的特徵係具有：

五、發明說明 (b)

對上述第 1 擴散領域在電路上連接的第 1 輸出入電極；
對上述第 2 擴散領域在電路上連接的第 2 輸出入電極；
對上述開電極的一端附近在電路上連接的第 3 輸出入電極；及

對上述開電極的另一端附近在電路上連接的第 4 輸出入電極。而

將上述通道和上述開電極兩者為信號傳送路徑，以當作共態型元件使用者。

本發明之該電感－電容元件係在所定形狀開電極兩端附近設第 1 及第 2 輸入出電極，並在對應於該所定形狀開電極之通道兩端附近形成的第 1 擴散領域及第 2 擴散領域設第 3 及第 4 輸入出電極。因而可容易的形成 4 端子共態型電感－電容元件。

本發明之另一半導體裝置的特徵為：

在上述電感－電容元件的上述擴散領域中之一上，連接將經由上述通道所輸出之信號加以放大的緩衝器者。

本發明之該半導體裝置中，連接有將經由上述電感－電容元件通道輸出的信號加以放大之緩衝器，可將經由電阻係數比鋁等金屬材料為大的通道所引起的電壓水平衰減之信號，恢復為信號／雜音比良好的原來信號。

本發明之再一電感－電容元件的特徵係：

在上述各電感－電容元件中，將對上述開電極所加之開極電壓設定為可變值，則至少可將上述通道的電阻值控制為可變值者。

五、發明說明(7)

本發明之該電感-電容元件係將加於閘電極的閘極電壓設定為可變值，因而，對應於閘電極所要形成的通道之寬度及深度會改變，隨之通道之電阻值會變化。因此，由改變閘極電壓，在整體上可對衰減特性、即頻率特性，視須要加以控制變更。

本發明之再一電感-電容元件的特徵為：

上述各電感-電容元件中，在上述半導體基板表面的對應於上述閘電極之位置，預先注入載體(carrier)者。

本發明之該電感-電容元件係在對應於閘電極的位置上，經預先注入載體，形成為空乏(depression)型的元件。適時，電感-電容元件的特性本身不予變更，而在閘電極不加以電壓(閘極電壓)狀態下形成通道，或使加以閘極電壓狀態時的閘極電壓和通道寬度及深度的關係和未注入載體時有所不同者。

本發明之再一電感-電容元件的特徵為：

在上述半導體基板表面的上述通道所要形成位置之至少一部分，預先注入載體，並設定上述通道相對於上述閘電極的長度為之長或短，使上述閘電極和上述通道有部分的相對應者。

本發明之該電感-電容元件中，閘電極和通道兩者中有一方形成較短，在這種情形下，如同樣地，其不同長度的閘電極和通道各自成為電感器功能，兩者之間夾以絕緣層所形成的電容器存在於分布常數之狀態。該電感-電容元件成為對寬頻帶範圍具良好衰減特性之電感-

五、發明說明(8)

電容元件，而且製造容易，可形成為基板的一部分之優點。

但，如將半導體基板全面形成為同一狀態時，對應於開電極全長會形成通道，因而須要在該通道的一部分預先注入載體，或以蝕刻加工等將通道的一部分分斷，使通道縮短。

本發明之另一半導體裝置的特徵為：

將上述各電感－電容元件形成為基板之一部分，並將上述開電極及與其對應形成的通道之至少一方插入於信號線或電源線一體形成者。

依本發明之這種半導體裝置時，本發明之電感－電容元件可和半導體基板上的其他零件整體的製造，容易製造之同時，可省略後續工程中的零件組配作業。

本發明之再一電感－電容元件的特徵為：

在上述各電感－電容元件的上述開電極，設可將過電壓旁路於動作電源線側或接地側之保護電路者。

本發明之這種半導體裝置中，其開電極連接有保護電路。因而，如有由於靜電等之過電壓加上於開電極，則動作電源線側或接地側會流通旁路電流，因此，可防止開電極和半導體基板間的絕緣破壞。

本發明之一種電感－電容元件之製造方法，其特徵係包括：

在半導體基板上，部分的注入雜質，以形成第1擴散領域和第2擴散領域之第1工程；

五、發明說明(9)

在上述半導體基板上，全面或部分的形成絕緣層之第2工程；

在上述絕緣層上面，形成可連接上述第1擴散領域和上述第2擴散領域，而具所定形狀的閘電極之第3工程；及，

形成可在電路上分別連接於上述第1及第2擴散領域的配線層之第4工程者。

本發明之另一種電感－電容元件之製造方法，其特徵係包括：

在半導體基板上，部分的注入雜質，以形成擴散領域之第1工程；

在上述半導體基板上，全面或部分的形成絕緣層之第2工程；

在上述絕緣層上面，形成其一端位於上述擴散領域，而具所定形狀的閘電極之第3工程；及

形成可在電路上連接於上述擴散領域的配線層之第4工程。

上述電感－電容元件的兩種製造方法，係將半導體製造技術應用於製造上述之各電感－電容元件者。即，第1工程中，在半導體基板上形成第1擴散領域、第2擴散領域的兩方；或其中之一方；接著，在第2工程中，在半導體基板表面形成絕緣層；在第3工程中形成所定形狀之閘電極。然後，在第4工程中形成包括輸入出電極等的配線層，而完成上述電感－電容元件。

五、發明說明(10)

如此，上述之電感－電容元件，乃可應用一般的半導體製造技術（尤以金氧半導體製造技術）製造，可得小型化及低成本化之同時，可多數同時大量生產。

〔附圖簡單說明〕

圖 1 為應用本發明之第 1 實施例電感－電容元件之平面圖。

圖 2 為圖 1 中之 A-A 斷面放大圖。

圖 3 為圖 1 中之 B-B 斷面放大圖。

圖 4 為圖 1 中之 C-C 斷面放大圖。

圖 5A 及圖 5B 為形成通道之狀態示意圖。

圖 6 為第 1 實施例之電感－電容元件的渦漩狀閘極，沿縱向之斷面構造圖。

圖 7A 及圖 7B 為第 1 實施例電感－電容元件之等效電路圖。

圖 8A 及圖 8B 為通道電阻值之說明圖。

圖 9A、B、C、D、E、F 及 G 為第 1 實施例電感－電容元件之製造方法示意圖。

圖 10 為第 1 實施例電感－電容元件之變形例平面圖。

圖 11 為應用本發明之第 2 實施例電感－電容元件之平面圖。

圖 12 為圖 11 中之 A-A 斷面放大圖。

圖 13 為圖 11 中之 B-B 斷面放大圖。

圖 14 為蛇行形狀之電感器原理圖。

圖 15 為第 2 實施例電感－電容元件之變形例平面圖。

五、發明說明(11)

圖 16 為應用本發明之第 3 實施例電感－電容元件之平面圖。

圖 17 為第 3 實施例電感－電容元件之等效電路圖。

圖 18 為應用本發明之第 4 實施例電感－電容元件之平面圖。

圖 19 為應用本發明之第 5 實施例電感－電容元件之平面圖。

圖 20 為第 5 實施例電感－電容元件之等效電路圖。

圖 21 為應用本發明之第 6 實施例電感－電容元件之平面圖。

圖 22 為應用本發明之第 7 實施例電感－電容元件之平面圖。

圖 23 為第 7 實施例電感－電容元件之等效電路圖。

圖 24 為應用本發明之第 8 實施例電感－電容元件之平面圖。

圖 25A 及 B 為開電極成為直線形狀之 3 端子型電感－電容元件之平面圖。

圖 26A 及 B 為開電極成為直線形狀之共態型電感－電容元件之平面圖。

圖 27A 及 B 為開電極成為曲線形狀或波形形狀之電感－電容元件之平面圖。

圖 28 為電極未滿一周的圓周形狀電感－電容元件平面圖。

圖 29 為電極未滿一周的圓周形狀，而設部分的折翻部

五、發明說明(12)

分之電感－電容元件之平面圖。

圖30為經想辦法更改的電極形狀之變形例平面圖。

圖31為經想辦法更改的電極形狀之變形例平面圖。

圖32為用化學液相法裝上端子時之概要平面圖。

圖33為用化學液相法裝上端子時之概要平面圖32中之C-C斷面圖。

圖34為各實施例之電感－電容元件形成為大規模積體電路的二部分時之說明圖。

圖35A、B及C為各實施例之電感－電容元件的輸出端連接緩衝器之例圖。

圖36A及B為各實施例之電感－電容元件的輸出端連接放大電路之例圖。

圖37A及B為在各實施例之電感－電容元件上追加保護電路之例圖。

[實施例]

以下，將應用本發明之電感－電容元件實施例，參照圖面具體的說明之。又，本發明之電感－電容元件係具對應於金氧半導體場效應電晶體(MOS-FET)之構造，因而為方便起見在以下的實施例中，對應於場效應電晶體的源極一方的擴散領域稱為源極；對應於其漏極的另一方擴散領域稱為漏極；對應於其閘極的電極稱為閘電極。因而以下說明中，源極和漏極在基本上為等效而可互換的。

[第1實施例]

五、發明說明(13)

圖 1 為應用本發明之第 1 實施例渦漩形狀電感-電容元件之平面圖。又，圖 2 為圖 1 中之 A-A 斷面放大圖，圖 3 為圖 1 中之 B-B 斷面放大圖，圖 4 為圖 1 中之 C-C 斷面放大圖。

如這些圖中所示，本實施例之電感-電容元件 100 係；在半導體基板的 p 型矽基板 (p-Si 基板) 30 表面附近相隔位置形成的一方擴散領域之源極 12 和另一方擴散領域之漏極 14 之間，由對具閘極功能的渦漩狀電極 10 加以電壓而形成的通道 22 所連接形成者。

上述源極 12 及漏極 14，係將 p 型矽基板 30 經轉化形成為 n^+ 領域的擴散領域者。例如以砷 (As) $^+$ 離子熱擴散或離子打入，將其注入，使其提高離子濃度以形成之。

又，渦漩狀閘電極 10 的一端重疊於源極 12 的一部分上；另一端重疊於漏極 14 的一部分上，而形成在 p 型矽基板 30 表面所形成的絕緣層之上。渦漩狀閘電極 10 係例如用銅或金或銀等形成薄膜；或者用擴散或用離子注入以摻雜多量 P 而形成之。

又，絕緣層 26 係在於 p 型矽基板 30 的表面，是要將該 p 型矽基板 30 和渦漩狀閘電極 10 之間加以絕緣者，而具金氧半導體場效應電晶體中的閘膜功能。p 型矽基板 30 的全表面（或至少在對應於渦漩狀閘電極 10 之部分）被該絕緣層 26 所覆蓋，並在該絕緣層 26 上面形成上述之渦漩狀閘電極 10。該絕緣層 26 例如以添加磷的二氧化矽 (P-玻璃) 所形成。

又，如圖 1 ~ 圖 4 所示，上述渦漩狀閘電極 10、源極

五、發明說明(14)

12和漏極14分別連接於接地電極16、及輸入出電極18、20。接地電極16對於渦漩狀閘電極10的連接，乃如圖1所示，為免傷及薄的閘膜，乃在活性領域的外側為之。又，源極12之連接於輸入出電極18，及漏極14之連接於輸入出電極20，乃如圖2或圖4所示，先使源極12及漏極14露出一部分後，再接上鋁或銅或者金或銀等金屬膜。又連接於渦漩形狀大約中心位置的漏極14之輸入出電極20，乃如圖2所示，與渦漩狀閘電極10的各周圍部分保持絕緣狀態下引出到外圍側。

具上述構造之本實施例電感—電容元件，如其為具 n 通道增強型構造，則當渦漩狀閘電極10加上相對的正電壓時，才形成 n 型通道22。而該通道22和上述渦漩狀閘電極10分別成為渦漩形狀的電感器用導體之功能，且，在該等通道22及閘電極10之間形成分布常數狀態之電容器。

圖5A及圖5B為形成通道之狀態之斷面圖。係在渦漩狀閘電極10縱向之垂直方向所取之斷面。對渦漩狀閘電極10，即連接於渦漩狀閘電極10的接地電極16未加上正的閘極電壓之狀態時，如圖5A所示， p 型矽基板30表面不會出現通道22。因而，在此狀態下，圖1中的源極12和漏極14在於被絕緣狀態。

然而，對渦漩狀閘電極10加上正的正的閘極電壓時，如圖5B所示，在對應於渦漩狀閘電極10的 p 型的基板30表面附近會出現 n 領域之通道22。該通道22的形成會遍及於

五、發明說明(15)

開電極 10 的全長，因而，由渦漩狀開電極 10 和通道 22 分別所積蓄的電荷，在兩者之間形成分布常數狀態之電容器。

圖 6 為本實施例電感－電容元件 100 的斷面構造，係沿渦漩狀開電極 10 縱向的斷面圖。如該圖所示，與渦漩狀開電極 10 平行形成通道 22，由該通道 22 使源極 12 與漏極 14 成導通狀態。例如其為增強型，則在渦漩狀開電極 10 加上所定閘極電壓之狀態時，才形成該通道 22，源極 12 和漏極 14 才會成導通狀態，但，改變加於渦漩狀開電極 10 的閘極電壓會使通道 22 的寬度及深度變更，由此，可使源極 12 和漏極 12 間的電阻值予以變化。

又，經接地電極 16 所加於渦漩狀開電極 10 的閘極電壓，實際上係相對於圖 6 中基板 30 的電位差。尤於本實施例的電感－電容元件 100 中，其長條渦漩狀開電極 10 成為閘極之功能，而必需在該渦漩狀開電極 10 的整個全長確實形成通道 22。如果僅在設於渦漩狀開電極 10 一端的接地電極 16 和源極 12 之間設定相當於閘極電壓的所定電位差，乃不完全的，會有在漏極 14 近旁不形成通道 22 之虞。因此，必需在渦漩狀開電極 10 和其近旁位置之基板 30 之間加以所定之閘極電壓。又，最好在 p 型矽基板 30 的全面（圖 6 中 p 型矽基板 30 的下面側）形成電極，在此電極與接地電極 16 之間設定所定之電位差。

圖 7A 及圖 7B 為第 1 實施例電感－電容元件之等效電路圖。圖 7A 的等效電路係將設有輸入出電極 18、20 的通道

五、發明說明(16)

22側當作信號傳送路徑，並將設在渦漩狀閘電極10的一端近旁之接地電極16加以接地，而成為具3端子型電感－電容元件之功能者。

以這種情形時，其接地電極16被接地，因而輸入出於輸入出電極18、20的信號電壓水平及加於p型矽基板30的電壓水平，必需保持於負值。如此，相對的正值閘極電壓即被加於渦漩狀閘電極10，而且通道22就不會在源極22及漏極14近旁被分斷。

又，在形成通道22的位置預先注入n型載體，以使成為空乏型構造，則輸入出電極18、20所輸入出的信號電壓水平為正時，也可使其形成通道22者。

有這種等效電路的本實施例之電感－電容元件100中，其信號傳送路徑的通道22係形成為渦漩形狀，因而成為有電感L1功能的電感器導體。同樣的，渦漩狀閘電極10也形成為渦漩形狀，因而也成為有電感L2功能的電感器導體。又，該兩條電感器導體間夾著絕緣層26，因此，由該兩條渦漩狀之通道22和閘電極10形成分布常數狀態的所定電容C之電容器。

因而，本實施例之電感－電容元件100的電感和電容存在於分布常數狀態，可發揮以往的集中常數型元件所沒有的優越衰減特性，可將由輸入出端子任一方所輸入信號中，只除去所定頻率成分，由另一方端子輸出。尤於本實施例之電感－電容元件100的渦漩狀閘電極10及與其對應的通道22形成為渦漩形狀，並且各圓周部分的

五、發明說明(17)

半徑係連續的逐漸變化。因此，由形成分布常數狀態的電感器和電容器所決定的衰減特性（信號經由通道22傳送時的插入損失特性）也成為可在寬頻帶範圍衰減信號，因此，該電感－電容元件100，在於要除去衰減頻帶內的雜音等頻率成分時很有效。

又，圖7B為對接地電極16加上可變的控制用電壓 V_c 時之等效電路。改變加於接地電極16的可控電壓 V_c ，會使通道22的深度變更，在通道22中的遷移率會改變，在結果上，可任意改變通道22的電阻值。

由此，通道22和渦漩狀閘電極10的各電感、及在其兩者之間所形成分布常數狀態的電容器之電容、以及由通道22的電阻值所決定的電感－電容元件100整體之衰減特性會有所變化。換言之，變化該控制用電壓 V_c ，則可將本實施例電感－電容元件100的特性在某一範圍任意變化。

又，上述之電感－電容元件100係說明在源極12和漏極14之間形成n通道時之情形，其中是以電子為載體，因而其遷移率大，通道22的電阻會減少。針對於此，可在n型矽(n-Si)基板上形成p通道，以形成上述之電感－電容元件100。這種情形時，是以電洞為載體，因而通道22的電阻比較大，與上述n通道之情形相較，具有不同之特性。

圖8A及圖8B為將加於渦漩狀閘電極10的閘極電壓（控制電壓 V_c ）予以變化以改變通道22的深度等時之通道電

五、發明說明 (18)

阻 R 說明圖。圖 8A 實際上係將渦漩形狀之渦漩狀閘電極 10 假定為直線形狀時之平面圖，圖 8B 為其 A-A 線斷面圖。

圖 8A 及圖 8B 中，W 為閘極寬度，X 為通道之深度。如此由寬 W 的渦漩狀閘電極 10 形成通道 22 時，其所形成的通道 22 之寬度為 $(W+2X)$ 。因而，通道 22 的源極 12 及漏極 14 間的電阻 R 可以下式計算。

$$R = \rho L / (W+2X)$$

式中； ρ 為具 X 深的通道 22 之單位面積電阻。由上式中可知：通道電阻 R 比例於通道長度 L，而與通道寬度 $(W+2X)$ 成反比。

以下將本實施例電感－電容元件 100 的製造工程說明之。

圖 9A～圖 9G 為本實施例電感－電容元件 100 的製造工程說明圖，而是以增強型電感－電容元件 100 為例者。又，同圖為渦漩狀閘電極 10 的縱向斷面。

(1) 氧化膜之形成：

首先，在 p 型矽基板 30 表面以熱氧化，形成二氧化矽 (SiO_2) (圖 9A)。

(2) 源極、漏極之開窗；

其次，對 p 型矽基板表面的氧化膜加以照相蝕刻，以在對應於源極 12 及漏極 14 的部分開窗 (圖 9B)。

(3) 形成源極，漏極；

接著，由開窗部分注入 n 型雜質，以形成源極 12 及漏極 14 (圖 9C)。例如用砷 (As)⁺ 為 n 型雜質，以熱擴散

五、發明說明(19)

法將該雜質注入之。又該 n 型雜質以離子注入法注入時，則不要上述(2)之開窗。

(4) 去除閘極領域；

接著，將想要形成渦漩狀閘電極 10 部分的氧化膜去除，以形成閘極領域之開口部（圖 9D）。本實施例之電感—電容元件 100 為渦漩狀閘電極 10，該閘極領域開口部也形成同為渦漩形狀。如此，僅使對應於渦漩狀閘電極 10 部分的 p 型矽基板 30 露出於外。

(5) 形成閘極氧化膜；

接著，在上述部分露出的 p 型矽基板上，形成新的氧化膜，即絕緣層 26（圖 9E）

(6) 形成閘極及電極；

接著，例如以鋁等蒸鍍，形成具閘極功能的渦漩狀閘電極 10，同時分別形成連接源極 12 的輸入出電極 18 及連接漏極 14 的輸入出電極 20（圖 9F）

(7) 形成絕緣層；

最後以磷玻璃附著於其全面上後加熱，形成平滑的表面（圖 9G）。

如此製造電感—電容元件 100 之工程，在基本上類似於製造通常之金氧半導體場效應電晶體之工程，可以說只是閘極 10 的形狀等不同而已。因而，可和一般的金氧半導體場效應電晶體或雙極型電晶體形成於同一基板上。可形成為積體電路或大規模積體電路之一部分。而且，形成為積體電路或大規模積體電路之一部分時，可省

五、發明說明(20)

略後續工程中的零件組配作業。

如此，本實施例之電感－電容元件100是由渦漩狀開電極10和與其對應形成的通道22分別形成為電感器，並且在渦漩狀開電極10和通道22之間形成分布常數狀態的電容器。

因而，將設在渦漩狀開電極10一端的接地電極16予以接地或連接於固定電位，並以通道22作為信號傳送路徑時，乃成為對輸入信號在寬頻帶範圍具良好衰減特性之電感－電容元件。

又，如上述之該電感－電容元件100，可應用一般的金氧半導體場效應電晶體等之製造技術製造，因而製造容易，也適合於小型化等。又將電感－電容元件製造成為半導體基板的一部分時，和其他零件的配線也可同時進行，不需要後續工程中的組配作業等。

而且，本實施例之電感－電容元件100中，改變加於其渦漩狀開電極10的開極電壓（控制電壓 V_c ）之值，就可控制變更通道22的電阻值，可將電感－電容元件100的特性在某一範圍內予以調整或變更。

又，上述第1實施例是將對應於渦漩狀開電極10所形成的通道22作為信號傳送路徑者，唯，也可將通道22和渦漩狀開電極10的功能互換。即，如圖10中在渦漩狀開電極10兩端連接輸入出電極18、20，以渦漩狀開電極10作為信號傳送路徑，並將形成在通道22一端的源極12（或漏極14）連接於接地電極16，而將該接地電極16連接

五、發明說明(一)

於接地或可變之固定電位。

一般所知；減少其連接於接地電極16一側的電感器導體之電阻值時，會成為對特定頻率成分較有陡峭衰減特性之電感－電容元件。因而，比起圖1中之電感－電容元件（渦漩狀閘電極10側接地），圖10中之電感－電容元件（通道22側接地）有較小的抗阻比（Q），對特定頻率成分有較緩和的衰減特性。

附帶的，如以上述之情形，則成為源極12或漏極14的任一方連接於接地電極16，因此，可省略另一方。

又，上述第1實施例係對加於渦漩狀閘電極10的電壓水平比基板30的相對的提高，以形成通道22之增強型電感－電容元件予以說明者，唯，也可使其為空乏型者。即在圖1等的通道22領域預先注入載體（n型雜質）形成n通道。由此，可使渦漩狀閘電極10的電位不必比基板30的電位相對的提高而形成通道22，或以此改變所加閘極電壓與通道寬度等之關係。又注入之載體也可僅注入於沿渦漩狀閘電極的一部分領域上。

〔第2實施例〕

本發明第2實施例之電感－電容元件在基本上和第1實施例之電感－電容元件相同，唯，其閘電極10'及通道22或為非渦漩狀之點乃為和第1實施例之電感－電容元件為主要不同點。又本實施例各圖面中其與第1實施例相對應的符號，乃和第1實施例的符號相同。

圖11為應用本發明之第2實施例電感－電容元件200

五、發明說明(22)

之平面圖。又，圖12為圖11中之A-A斷面放大圖，圖13為圖11中之B-B斷面放大圖。

圖14為蛇行狀之電感器原理圖。在彎曲成凹凸狀的具蛇行狀之開電極10'或通道22上，通以一方向的電流時，在鄰接凹凸部分互相產生方向相反的磁通，恰似1/2匝線圈串聯的狀態。因而，電感-電容元件200在整體上和第1實施例中的開電極或通道同樣的可使其成為具電感的電感器導體之功能。

又，渦漩形狀的開電極時，其開電極兩端中的一端會位於中心部位，另一端在周邊部位，而蛇行形狀的開電極時，其開電極的兩端都位於周邊部位，因此，要設置端子以及與其他電路元件連接時，甚為方便。

又，圖15為在蛇行狀電感-電容元件中，其信號傳送路徑係不以通道22而以開電極10'；而在形成於通道22一端的源極12（或漏極14）上連接接地電極16時的平面圖。該接地電極16連接於接地或固定電位。

如此，本實施例之電感-電容元件200係由非漩渦狀開電極10'和與其相對應形成之通道22分別形成為電感器之同時，非漩渦狀開電極10'和通道22之間形成分布常數狀態之電容器。

因此，將設在非漩渦狀開電極10'一端的接地電極16予以接地或連接於固定電位，並以，通道22作為信號傳送路徑時，乃成為對輸入信號在寬頻帶範圍具良好衰減特性之電感-電容元件。

五、發明說明(23)

又，該電感－電容元件200與前實施例的電感－電容元件同樣的可應用一般的金氧半導體場效應電晶體等之製造技術製造，因而，製造容易，適合於小型化時。又將電感－電容元件製造成為半導體基板的一部分時，和其他零件的配線也可同時進行，不需要後續工程中的組配作業等。

而且，本實施例之電感－電容元件200中，改變加於非渦漩狀閘電極10'的閘極電壓（控制電壓 V_c ）之值，就可控制變更通道22的電阻值，可將電感－電容元件200的特性在某一範圍內予以調整或變更；在通道22形成之位置預先注入 n 型載體而成為空乏型構造，由此，輸入出電極18、20所輸入出信號之電壓水平為正時，也可使其形成通道22，這些乃與前實施例之電感－電容元件相同。

又，閘電極10'及通道22成為非渦漩形狀，因而可使信號的輸入出用配線不會在和閘電極10'同一平面上交叉的特點。

〔第3實施〕

以下，將本發明第3實施例之電感－電容元件，參照圖面具體的說明之。

上述第1實施例之電感－電容元件100中，渦漩狀閘電極10和與其相對應形成的通道22大致在整個全長度範圍成為平行，即，大致形成為同一長度，而本實施例之電感－電容元件300係將圖1所示之渦漩狀閘電極10縮

五、發明說明(24)

短所定長度(例如1匝分),並在對應於該刪除部分的p型矽基板30表面注入載子之點為其特點者。

圖16為第3實施例電感-電容元件300之平面圖。如同圖所示,第3實施例之電感-電容元件300係在p型矽基板30表面附近的相隔位置形成之源極12和漏極14之間,以通道22連接而成。該通道22外周側的約一半,對應於具閘極功能的渦漩形狀之渦漩狀閘電極10。一方面,通道22內周側的約一半部分,預先注入n型載體的雜質,在無渦漩狀閘電極10的地方,也形成渦漩形狀的通道22。

如此省略一部分渦漩狀閘電極10,使渦漩狀閘電極10長度比通道22為短時,其縮短的渦漩形狀渦漩狀閘電極10仍然具一方的電感器導體功能,而渦漩形狀通道22也同樣具另一方電感器導體功能,與圖1所示之第1實施例之電感-電容元件同樣的具良好衰減特性。尤其是,本實施例之電感-電容元件300可任意設定其渦漩狀閘電極10的長度,因而,形成分布常數狀態的電容器容量值也可任意設定,增加設計上的自由度。

圖17為本實施例電感-電容元件300的等效電路圖。如同圖中所示,渦漩狀閘電極10所減少匝數部分,電感 L_3 也相對的減少,與其相對應存在的分布常數狀態之電容 C_1 也減少。因而成為與圖1等所示的電感-電容元件100在頻率特性上有所不同的元件。調整該渦漩狀閘電極10的長度(匝數),就可在某一範圍內調整或變更其

五、發明說明 (25)

頻率特性。

又，變更加於接地電極 16 的閘極電壓，可改變對應於渦漩狀閘電極 10 所形成的通道 22 之電阻值，使電感－電容元件 300 的衰減特性成為可控制變更之點，乃與上述各實施例之電感－電容元件同。

又，在對應於渦漩狀閘電極 10 所要形成通道 22 之位置預先注入 n 型載體而成為空乏型構造，則，輸入出電極 18、20 所輸入出信號電壓水平為正時，也可使其在對應於渦漩狀閘電極 10 的位置形成通道 22 之點，乃與上述各實施例之電感－電容元件相同。

如此，本實施例之電感－電容元件 300 是由渦漩狀閘電極 10 和通道 22 形成分布常數狀態的電感器和電容器，成為具良好衰減特性功能之元件。

又，電感－電容元件 300 可利用半導體製造技術製造之點；及可形成為大規模積體電路的一部分，省略後續工程中的配線處理之點等，乃和上述第 1 實施例之電感－電容元件 100 相同，這些均與第 1 實施例具同樣優點。

又，本實施例之電感－電容元件 300 是以通道 22 為信號傳送路徑，唯，將渦漩狀閘電極 10 和通道 22 的功能予以互換，而以渦漩狀閘電極 10 為信號傳路徑，通道 22 側連接於接地或固定電位也可。在這種情形要使通道 22 比渦漩狀閘電極 10 為短時，在通道 22 想要分段部分注入多量 p 型雜質，或將 p 型矽基板 30 的一部分用蝕刻法挖深，以分斷通道也可。

五、發明說明 (26)

[第 4 實施例]

本發明第 4 實施例之電感－電容元件在基本上和第 3 實施例的電感－電容元件 300 相同，唯，開電極 10' 及通道 22 為非渦漩形狀之點是和第 3 實施例的電感－電容元件 300 之主要不同點。又，本實施例各圖面之和第 3 實施例相對應之符號乃和第 3 實施例的符號相同。

圖 18 為第 4 實施例電感－電容元件 400 之平面圖，本實施例之電感－電容元件 400 是將圖 11 所示之開電極 11' 約刪除一半，並在對應於該削除部分的 p-矽基板 30 表面注入載體為其特點。

本實施例之電感－電容元件 400 的等效電路中，除電感和電容之值之外，其餘和第 3 實施例之等效電路，即圖 17 相同。如同圖中所示，只有開電極 10' 的凹凸數所減少部分，電感 L3 也會減少，而存在於分布常數狀態的電容 C1 也相對的減少。

如此，本實施例之電感－電容元件 400 是由非渦漩狀開電極 10' 和通道 22 形成電感器和分布常數狀態的電容器，成為具良好衰減特性功能之元件。

又，變更加於接地電極 16 的開極電壓，可改變對應於非渦漩狀開電極 10' 所形成的通道 22 之電阻值，可將電感－電容元件 400 的衰減特性控制變更。

又，在所要形成通道 22 的位置預先注入 n 型載體而成為空乏型構造，則，輸入出電極 18、20 所輸入出信號電壓水平為正時，也可使其形成通道 22。

又，電感－電容元件 400 可利用半導體製造技術製造之點；及可形成為大規模積體電路的一部分、省略後續工程中的配線處理之點等，乃和上述各實施例的電感－

五、發明說明(27)

電容元件相同，由此與上述各實施例具同樣優點。

又，開電極10'及通道22成為非渦漩形狀，因而具可使信號的輸入出用配線不會在和開電極10'同一平面上交叉的特點。

〔第5實施例〕

以下，將本發明第5實施例之電感－電容元件，參照圖面具體的說明之。

上述實施例之電感－電容元件100、200、300及400是具3端子常態(normal mode)型元件之功能者，而本實施例之電感－電容元件500乃形成為4端子共態(common mode)型元件之功能為其特點。

圖19為第5實施例電感－電容元件500之平面圖，如同圖中所示，第5實施例之電感－電容元件500是在p型矽基板30表面附近相隔位置所形成的源極12和漏極14之間，以對應於渦漩狀開電極10所形成之通道22所連接而成者。又，該渦漩狀開電極10的兩端連接輸入出電極46、48，此點與圖1所示之電感－電容元件100有所不同。

圖20為第5實施例電感－電容元件500的等效電路圖。如同圖中所示兩端輸入出電極18、20之間經由源極12及漏極14所形成的通道22成為具電感L1的電感器之功能，同時，兩端輸入出電極46、48之間所形成的渦漩狀開電極10成為具電感L2的電感器之功能。並且，該等通道22和渦漩狀開電極10，分別作為信號之傳送路徑，同時，兩者之間和第1實施例的電感電容元件一樣，形成具

五、發明說明(28)

電容 C 的電容器成分布常數之狀態。

如此，本實施例之電感－電容元件 500 不僅在對應於渦漩狀開電極 10 所形成的通道 22 兩端，也在渦漩狀開電極 10 的兩端設輸入出電極 46、48 兩端子，以成為具良好衰減特性的 4 端子共態型元件之功能者。

和上述之電感－電容元件 100、300 同樣的變更加於渦漩狀開電極 10 的開極電壓，可改變對應於渦漩狀開電極 10 所形成的通道 22 之電阻值，可將電感－電容元件 500 的衰減特性在某一範圍控制變更。

又，在所要形成通道 22 的位置，預先注入 n 型載體而成為空乏型構造，則輸入出電極 18、20 所輸入出的信號電壓水平為正時，也可使其形成通道 22。

又，除上述構造上之差異（即由該構造差異為起因所致之特性差異）外，本實施例電感－電容元件 500 乃和上述各實施例之電感－電容元件具相同斷面構造等；該電感－電容元件 500 可利用金氧半導體製造技術製造之點；可形成為大規模積體電路之一部分，在後續工程中可省略配線處理之點等，乃和上述第 1 實施例之電感－電容元件 100 同。

〔第 6 實施例〕

本發明第 6 實施例之電感－電容元件 600 在基本上和第 5 實施例之電感－電容元件 500 相同，唯，開電極 10' 及通道 22 成為非渦漩形狀之點為和第 5 實施例電感－電容元件 500 之主要不同點。又，本實施例各圖面中和第

五、發明說明(29)

5 實施例相對應之符號乃和第 5 實施例的符號相同。

圖 21 為第 6 實施例電感－電容元件 600 之平面圖。如同圖中所示，第 6 實施例之電感－電容元件 600 是在 p 型矽基板 30 表面附近相隔位置所形成的源極 12 和漏極 14 之間，以對應於閘電極 10' 所形成之通道 22 所連接而成者。又，該閘電極 10' 的兩端連接輸入出電極 46、48，此點與圖 11 所示之電感－電容元件 200 有所不同。

本實施例之電感－電容元件 600 的等效電路除電容和電感之值之外其餘和第 5 實施例之等效電路，即圖 20 相同。本實施例之電感－電容元件 600 不僅在對應於非渦漩狀閘電極 10' 所形成的通道 22 兩端，也在非渦漩狀閘電極 10' 兩端設輸入出電極 46、48，兩端子，以成為具良好衰減特性的 4 端子共態型元件之功能者。

和上述之電感－電容元件同樣的變更加於非渦漩狀閘電極 10' 的閘極電壓，可改變對應於非渦漩狀閘電極 10' 所形成的通道 22 之電阻值，可將電感－電容元件 600 的衰減特性在某一範圍控制變更。

又，在形成通道 22 的位置預先注入 n 型載體，而成為空乏型構造，則，輸入出電極 18、20 所輸入出的信號電壓水平為正時，也可使其形成通道 22。

又，除上述構造上之差異（即由該構造差異為起因所致之特性差異）外，本實施例之電感－電容元件 600 乃和上述各實施例之電感－電容元件具相同斷面構造等，該電感－電容元件 600 可利用金氧半導體製造技術製造

五、發明說明(續)

之點；及可形成為大規模積體電路之一部分、在後續工程中可省略配線處理之點等，和上述各實施例之電感－電容元件同。

又，開電極 10' 及通道 22 成為非渦漩形狀，因而具可使信號的輸入輸出配線不會在和開電極 10' 同一平面上交叉的特點。

〔第 7 實施例〕

以下，將本發明第 7 實施例之電感－電容元件，參照圖面具體的說明之。

上述各實施例之電感－電容元件是將渦漩形狀的渦漩狀開電極 10 用 1 整條導體形成者，而本實施例之電感－電容元件 700 的特徵在於將該渦漩狀開電極 10 分割為多段（例如分割為 2 段）者。

圖 22 為第 7 實施例電感－電容元件 700 的平面圖。如同圖中所示，第 7 實施例電感－電容元件 700，係將圖 1 所示之電感－電容元件 100 所用的渦漩形狀的渦漩狀開電極 10 換成多數分割開電極片 10-1，10-2 者。在整體上，渦漩形狀的這些分割電極片 10-1，10-2 的各一端（在外周側分割開電極片 10-1 為其外周側末端，在內周側分割開電極片 10-2 為其內周側末端）連接接地電極 16，而將各接地電極 16 接地，則各分割開電極片 10-1，10-2 各所形成的電感器被接地。或，將各接地電極 16 連接於固定電位電源，則各分割開電極片 10-1，10-2 各所形成的電感器處於該固定電位。

五、發明說明(31)

又，由於將渦漩狀開電極 10 分割，在各個分割開電極片間會有空隙，就此狀態下，通道 22 會有被分斷之虞。因而，本實施例中，在對應於該各分割開電極片間之空隙部分的 p 型矽基板 30 表面，設注入 n 型雜質的擴散領域 13，使得對應於各分割開電極片 10-1，10-2 所形成的多數之各個通道 22 經由該擴散領域 13 連成為 1 條導體之功能。

圖 23 為第 7 實施例電感－電容元件 700 之等效電路圖。如同圖所示，對應於各個分割開電極片 10-1，10-2 所形成之通道 22 的整體成為具電感 L1 的電感器之功能，同時，各分割開電極片 10-1，10-2 各具電感 L4，L5 的電感器之功能。而通道 22 和分割開電極片 10-1 或通道 22 和分割開電極片 10-1 之間分別成為具電容 C2，C3 的電容器之功能，而且這些電容器形成分布常數之狀態。

本實施例之電感－電容元件 700 的各分割開電極片 10-1，10-2 之自感 L4，L5 會減少，因而，這些自感對電感－電容元件 700 整體特性的影響也減少，由通道 22 具有之電感 L1 和形成分布常數狀態的電容 C2，C3，大致可決定電感－電容元件 700 的整體特性。因此，改變渦漩狀開電極 10 的分割狀態，就可形成和第 1 實施例等所示之電感－電容元件有不同特性之電感－電容元件，可增加設計上的自由度。

又，在形成通道 22 的位置預先注入 n 型載體，而成為空乏型構造，則輸入出電極 18、20 所輸入出的信號電壓

五、發明說明(32)

水平為正時，也可使其形成通道 22。

又，電感－電容元件 700 可利用半導體製造技術製造之點；可形成為大規模積體電路之一部分，在後續工程中可省略配線處理之點；及，改變加於渦漩狀開電極之電壓，以改變電感－電容元件 700 整體的衰減特性之點等和上述各實施例之電感－電容元件相同，由此，與上述各實施例具同樣優點。

又，圖 22 所示平面構造之本實施例電感－電容元件 700，係以通道 22 為信號傳送路徑，並將渦漩形狀之渦漩狀開電極 10 分割為多段，然與其相反的，也可將通道 22 側分割為多段。這時，必須在渦漩狀開電極 10 於加上電壓的狀態下，將通道 22 側在電路上分割成數段，因此，可在形成該通道 22 的位置之一部分預先注入多量 p 型雜質，或以蝕刻法等將 p 型矽基板 30 的一部分挖深，以使通道 22 分割成多段即可。

〔第 8 實施例〕

本發明第 8 實施例之電感－電容元件在基本上和第 7 實施例之電感－電容元件 700 相同，唯，開電極 10' 及通道 22 成為非渦漩形狀之點乃和第 7 實施例之電感－電容元件 700 之主要不同點。又本實施例各圖面中，和第 7 實施例相對應之符號乃和第 7 實施例的符號相同。

圖 24 為第 8 實施例電感－電容元件 800 之平面圖。如同圖中所示，第 8 實施例之電感－電容元件 800，係將圖 11 所示之電感－電容元件 200 所用的蛇行形狀開電極

五、發明說明(33)

10'換成多數之分割開電極片10'-1, 10'-2構造者。

本實施例電感-電容元件800的等效電路除電感和電容之值之外, 和第7實施例之等效電路, 即圖23相同。本實施例電感-電容元件800的各分割開電極片10'-1, 10'-2之自感 L_4 , L_5 會減少。因而, 這些自感對電感-電容元件800整體特性的影響也減少, 由通道22具有之電感 L_1 和形成分布常數狀態的電容 C_2 、 C_3 大致可決定電感-電容元件800的整體特性。因此, 改變非渦漩狀開電極10'的分割狀態, 就可形成和第1實施例等所示之電感-電容元件有所不同特性之電感-電容元件, 可增加設計上之自由度。

又, 在所要形成通道22的位置預先注入n型載體, 而成為空乏型構造, 則輸入出電極18、20所輸入出的信號電壓水平為正時, 也可使其形成通道22。

又, 電感-電容元件800可利用半導體製造技術製造之點; 可形成為大規模積體電路之部分, 在後續工程中可省略配線處理之點; 及, 改變加於開電極之電壓, 以改變電感-電容元件800整體的衰減特性之點等, 和上述各實施例之電感-電容元件相同。由此, 與上述各實施例具同樣優點。

又開電極10'及通道22成為非渦漩形狀, 因而具可使信號輸入出用配線不會在和開電極10'同一平面上交叉的特點。

[第9實施例]

五、發明說明 (34)

以下，將本發明第 9 實施例之電感－電容元件，參照圖面具體的說明之。

在一般上將導體作成渦漩形狀即成為具所定電感的電感器導體之功能。又如上述將閘電極 10' 及通道 22 作成蛇行形狀，也成為具所定電感的電感器導體之功能。唯，輸入信號頻帶如限於高頻率時，除渦漩形狀及蛇行形狀之外，極端時，直線形狀也會具電感成分的電感器導體之功能。本實施例之電感－電容元件乃著眼於此點，將閘電極形成為渦漩形狀及蛇行形狀以外之形狀為特徵者。

圖 25A、圖 25B、圖 26A，及圖 26B 為具閘極功能的閘電極 10' 及與其對應形成的通道 22 各為直線形狀的本實施例電感－電容元件之平面圖。

圖 25A 係對應於上述圖 1 及圖 11，在具閘極功能的電極 10' 之全長度範圍形成通道 22 而成之 3 端子型電感－電容元件。同圖中所示之電感－電容元件可為增強型，或空乏型之任一種。

又圖 25B 係對應於圖 16 及圖 18，在面對通道 22 的一部分設閘電極 10'，不面對閘電極 10' 的通道 22 之其他部分預先注入載體。或在通道 22 全長度範圍預先注入載體，使其成為空乏型亦可。

又圖 26A 係對應於圖 19 及圖 21，在直線形狀的閘電極 10' 兩端形成輸入出端子 46、48，成為共態型者。圖 26B 係對應於圖 22 及圖 24，乃設有分割成多數的分割閘電極

五、發明說明(35)

片 10'-1, 10'-2 者。

圖 27A 及圖 27B 為開電極 10' 和通道 22 形成為曲線形狀及波浪形狀的電感—電容元件之平面圖。圖 27A 為曲率半徑大的曲線形狀時之情形。在源極 12 和漏極 14 以直線連結的位置上，如需配置其他零件時，則如圖 27A 使開電極 10' 及通道 22 成為曲線形狀即可。

圖 27B 為波浪形狀時之情形。該電感—電容元件雖不如圖 11 所示之蛇行形狀，而和開電極 10' 等為直線形狀或曲率半徑大的曲線形狀時相比，具較大的電感成分。

圖 28，為開電極 10' 和通道 22 成為不滿 1 周的圓周形狀時的電感—電容元件平面圖，圖 29 為開電極 10' 和通道 22 成為不滿 1 周的圓周狀，且其末端設若干折回部分之電感—電容元件平面圖。如這些圖所示，開電極 10' 及通道 22 形成為略呈圓周形狀，可形成具小電感的電感—電容元件。又如圖 29 所示，將開電極 10' 及通道 22 之一末端（或兩端亦可）一部分折回，以使開電極 10' 等所產生的磁通抵消一部分，以減少電感，則可調整電感—電容元件整體之電感，也即其頻率特性。

又上述圖 27A~圖 29 各圖都是為簡化說明，只表示出對應於圖 25A 的電感—電容元件部分。唯，對應於圖 25B、圖 26A，及圖 26B 各圖的類型，也都可作出同樣的主意。

如此，圖 25A~圖 29 所示之電感—電容元件是將開電極 10' 等形成為蛇行形狀以外之形狀者，而其乃與上述第 1 實施例~第 8 實施例同樣的成為具良好衰減特性的

五、發明說明(36)

雜音過濾器之功能。

又，變更所加之閘極電壓，可改變對應於閘電極10'所形成的通道22之電阻值；可將電感－電容元件整體的衰減特性控制變更之點，乃和上述各實施例之電感－電容元件100等同。

又，可利用半導體製造技術製造之點；及可形成為大規模積體電路之部分，在後續工程中可省略配線處理之點等，和上述各實施例之電感－電容元件相同，由此，與上述各實施例之電感－電容元件具同樣優點。

如此，如只限於高頻帶信號時，可使閘電極10'和通道22（或只通道22）成為渦漩形狀以外之任意形狀，可有效的利用半導體基板上的空位形成電感－電容元件。

〔其他實施例〕

以下將本發明之其他實施例電感－電容元件，參照圖面具體的說明之。

上述各實施例的各電感－電容元件係將源極12及漏極14配置在閘電極10（或10'）兩端附近相隔的位置，但也可將閘電極10的形狀想辦法更改，使源極12及漏極14配置於互相接近的位置。

例如圖30，將源極12和漏極14鄰接配置，同時使電感－電容元件100等之閘電極10的一端延長到漏極14。或如圖31，將源極12和漏極14鄰接配置，同時，將電感－電容元件100等之閘電極10維持原形狀再折回。

如此，想辦法更改閘電極10的形狀，使源極12和漏極

五、發明說明 (37)

14 的位置接近，則可使接地電極 16 及輸入出電極 28、20 形成於大致同一位置，於裝上端子時容易配線，可使製造工程簡略化。

又，圖 32 及圖 33 為用化學液相法裝上端子時之概略圖。圖 32 為本實施例要裝上端子之電感－電容元件平面構造，例如在第 1 實施例的電感－電容元件 100（在其他實施例的電感－電容元件加上端子時亦同），用化學液相法裝上端子的情形。圖 32 的電感－電容元件和第 1 實施例之電感－電容元件 100 比較時，其不同之點在於其兩輸入出電極 18，20 較短，且接地電極 20 也予刪除。

圖 33 的電感－電容元件斷面圖是在經下述工序後之在半導體上相當於圖 32 中之 C-C 斷面。具圖 33 所示斷面構造之電感－電容元件係；首先，將半導體基板按每 1 只電感－電容元件個別割開後，在被割開成個體的基片（元件）全表面以化學液相法形成絕緣膜之矽氧化膜 60，然後，用蝕刻法除去渦漩狀閘電極 10 或輸入出電極 18，20 上的矽氧化膜 60，而開孔在該孔用焊錫 62 加封到隆起於表面，使凸起的焊錫 62 可直接接觸於配線基板上的銅箔島（land）者。因而，於表面組裝時甚為方便。尤其是如圖 33 所示，使輸入出電極 18（輸入出電極 20 亦同）和渦漩狀閘電極 10 同一高度時凸出的焊錫 62 也可形成為大致同一高度，於表面組裝時更為方便。

又，元件表面的保護膜也可用合成樹脂等其他絕緣材料，保護膜的穿孔也可利用雷射光線。又，在圖 32 平面

五、發明說明(38)

圖上的渦漩狀開電極 10 之一端上形成接地電極 16，在該部分上堆高焊錫 62 也可。

圖 34 為上述各實施例之電感－電容元件，實際形成為大規模積體電路的一部分時之說明圖。如同圖中所示，在半導體基片 44 上的各信號或電源線路 46 中，將上述各實施例之電感－電容元件 100 等，以插入的形式加入其中。尤其是上述各實施例之電感－電容元件可在半導體基片 44 上形成各種電路工程中同時製造，因而，具在後續工程中不需要配線處理等之優點。

以下，將上述各實施例之電感－電容元件在實際上當作電路之一部分時之一例說明之。又，以下說明之各圖面，都是使用第 1 實施例之電感－電容元件 100 的各種電路，同樣地，也可適用於使用第 2 實施例以下各實施例之電感－電容元件。

在上述各實施例之電感－電容元件中，形成電感器的通道 22 一般均具有高電阻，而且該通道 22 長度很長，在兩端輸入出電極 18、20 之間產生信號電壓水平之衰減。因而，在實際上將各實施例之電感－電容元件當作電路之一部分使用時，在輸出端連接高輸入阻抗之緩衝器 (buffer)，可成為實用性的構成。又，在本發明電感－電容元件的輸出端連接緩衝器，可使上述各實施例的電感－電容元件之輸出阻抗和後段電路之輸入阻抗匹配，且，也可將電感－電容元件的輸出，予以電流放大。

圖 35A，圖 35B 及圖 35C 為在其輸出端連接緩衝器之例

五、發明說明 (39)

子。圖 35A 為以金氧半導體場效應電晶體和電阻組成的源跟隨器 (source follower) 32 為緩衝器時的情形。構成該源跟隨器 32 的金氧半導體場效應電晶體和上述各實施例之電感 - 電容元件同具金氧半導體構造，因此，包括該源跟隨器 32 在內的全部，都可合成為電感 - 電容元件而整體形成之。

又圖 35B 為以連接威達林頓 (Darlington) 的 2 只雙極性電晶體和電阻組成的射極跟隨器 34 為緩衝器時的情形。各實施例之電感 - 電容元件和雙極性電晶體在構造上雖有若干差異，但都可使其在同一半導體基板上形成，因而包括該射極跟隨器 34 在內的全部都可合成為電感 - 電容元件而整體形成之。又，在靠輸出端的電晶體之基極經電阻接地，也可提高該電晶體動作點之穩定性。

圖 35C 為 p 型通道金氧半導體場效應電晶體使用反向偏壓的另一緩衝電路圖。

圖 36A 及圖 36B 為輸出端連接放大電路之例圖。圖 36A 為以 2 只金氧半導體場效應電晶體和電阻組成的放大電路 38 為緩衝器時的情形。構成該放大電路 38 的金氧半導體場效應電晶體也和上述各實施例之電感 - 電容元件同具金氧半導體構造，因此包括該放大電路 38 在內的全部都可合成為電感 - 電容元件而整體形成之。又該電路中電壓放大率為 $1 + (R_2/R_1)$ ，如 $R_2 = 0$ ，則成為和源跟隨器同等。

又，圖 36B 為以 2 只雙極性電晶體和電阻組成放大電

五、發明說明(40)

路40為放大電路時之情形。各實施例之電感-電容元件和雙極性電晶體在構造上雖有若干差異，但都可使其形成在同一半導體基板上，因而，包括該放大電路40在內的全部都合成為電感-電容元件而整體形成之。又該電路中，電壓放大率為 $1+(R_2/R_1)$ ，如 $R_2=0$ ，則成為和射極跟隨器同等。

如此，在輸出端設放大電路，可使受電感-電容元件100等的電感器部分（通道22）所衰減的信號由放大使其復原，可得信號／雜音比良好的輸出信號，並可使其和後段電路間之阻抗匹配等。

又，在輸出端連接水平變換電路，可使受電感-電容元件100等的電感部分所衰減的信號水平加以水平變換或水平補正。又這些水平變換電路可和電感-電容元件100等形成於同一基板上之點，和上述緩衝器時的情形相同。

圖37A及圖37B為在上述各實施例之電感-電容元件上追加輸入保護電路時之構成一例圖。具金氧半導體構造之上述各實施例電感-電容元件中，在渦漩狀閘電極10的一端所設接地電極16等被加上例如由靜電產生之高電壓時，介於渦漩狀閘電極10和p型矽基板30間的絕緣層26（閘絕緣膜）會被破壞。因而，為防止絕緣層26受這種靜電等之高電壓所破壞，必需要有保護電路。

圖37A及圖37B所示之保護電路都是由多數二極體和電阻所構成。閘電極10被加上高電壓時，會使動作電源端

五、發明說明(41)

或金體接地端的電流被所旁路。尤其在圖37A的電路，可得數100V；圖37B的電路可得1000~2000V的靜電耐壓，因而可視使用環境等選擇適當的保護電路。

又，本發明以上各實施例中，以通道當作信號傳送路徑時，由調節閘極電壓，可將其信號傳送路徑設定為非常高的阻抗。如此利用本發明之電感-電容元件，可將該電感-電容元件的前段電路和後段電路在電氣上予以分離。例如以通道當作信號傳送路徑，插入於數據傳輸線時，可將輸入於該傳送路徑的數據邏輯直接輸出，而將該傳送路徑設定為高電阻時，也可使傳送路徑的輸出端保持於高的阻抗。即將上述電感-電容元件插入於數據傳輸線，可使其具如三態緩衝器(tristate buffer)之功能。

又，本發明並不僅限定於上述各實施例，在本發明的要點範圍內，可實施各種變形。

例如，上述各實施列中，舉出電感-電容元件100等可形成為大規模積體電路的一部分之點為其效果，唯並不一定要其形成為大規模積體電路之一部分。也可以在半導體基板上形成電感-電容元件100等後，將其接地電極16及輸入出電極18、20分別裝上端子；或如圖33利用化學液相法裝上端子以形成為單體元件。這種情形時可在同一基板上同時形成多數之電感-電容元件，然後截開半導體基板，對各電感-電容元件裝上端子，則可將其大量生產。

五、發明說明 (42)

又上述各實施例之記述中，係以鋁等金屬形成開電極之情形，唯，如有充分的導電性之材料也不限於金屬物。例如以聚矽物 (poly-silicon) 等形成亦可。

又，上述各實施例中，係在渦漩狀開電極 10 的一端設接地電極 16，唯，也不限於將其設在最末端，可經檢討頻率特性後，視其必要，將其裝設位置予以移位。

又，上述各實施例之電感－電容元件係利用 p 型矽基板 30 形成，而同樣的，也可利用 n 型半導體基析 (n-Si 基板) 形成之。又半導體基板也可用銻等矽以外之材料，或非晶質材料之非晶型矽等形成之。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：電感-電容元件，半導體裝置及電感-電容元件之製造方法)

在經介以絕緣層26在p型矽基板30上所形成具所定形狀之閘電極10上，加以電壓而形成之通道22使得p型矽基板30表面附近相隔位置形成的第1擴散領域12和第2擴散領域14間相連接而形成，

通道22和閘電極10雙方都成為電感器導體之功能，同時，兩者之間形成分布常數狀態的電容器構成為在寬頻帶範圍具良好衰減特性之電壓-電容元件，半導體裝置及其製造方法。

該電感-電容元件及半導體裝置可用金氧半導體(MOS)製造技術簡單的製造，當製造成為半導體基板的一部分時，可省略後續工程中之組裝作業。又，也可將其形成為積體電路(I.C)或大規模積體電路(LSI)之一部分。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、~~英~~文發明摘要 (發明之名稱: LC ELEMENT, SEMICONDUCTOR DEVICE AND)
METHOD OF MANUFACTURING LC ELEMENT

The present invention relates to an LC element, semi-conductor Device and the method of manufacturing it which is formed by connecting the first diffusion area 12 and the second diffusion area 14 formed in a position at certain interval of the surface of p-Si substrate by channel 22 formed by means of the application of a voltage to the gate electrode 10 of predetermined shape formed on the p-Si substrate 30 via insulated layer 26; both the channel 22 and gate electrode 10 function as inductor conductor, and capacitors are formed between them at a constant number and has a wide band having a good damping property. Such LC element and semi-conductor device can be manufactured easily by using MOS manufacturing technology, and capable of omitting the parts assembly operation in the post-process when manufactured as part of the semi-conductor. It also can be formed as an IC or part of LSI.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種電感－電容元件，其特徵係具有：

在半導體基板上所形成，具有所定電感之開電極；

在上述開電極和上述半導體基板之間所形成之絕緣層；

在上述半導體基板內，而在對應於上述開電極所要形成之通道一端附近所形成之第1擴散領域；和

在上述半導體基板內，而在通道的另一端所形成之第2擴散領域，而

上述開電極及上述通道成為電感器導體之功能；

上述開電極的電感及上述通道的電感和其兩者之間形成的電容存在於分布常數之狀態；以及

至少將上述通道用作信號傳送路徑者。

2. 如申請專利範圍第1項所述之電感－電容元件，其特徵為：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

3. 如申請專利範圍第1項所述之電感－電容元件，其特徵為：

在上述開電極設可將過電壓旁路於動作電源線側或接地側之保護電路者。

4. 如申請專利範圍第1項所述之電感－電容元件，其特徵為：

只將上述通道用作信號傳送路徑；而

將上述開電極分割成多段，使被分割的多數各段開

六、申請專利範圍

電極片在電路上互相連接，並為使上述通道不致於在對應於被分割各開電極片之間被分斷，而在該部分預先注入載體者。

5. 一種半導體裝置，其特徵為：

將申請專利範圍第1項之電感－電容元件形成為基板之一部分，而將上述開電極及對應於其所形成的通道中之至少一方插入於信號線或電源線，以形成為一體者。

6. 如申請專利範圍第1項所述之電感－電容元件，其特徵係具有：

在電路上連接於上述第1擴散領域之第1輸入出電極；

在電路上連接於上述第2擴散領域之第2輸入出電極；及

在電路上連接於上述開電極的一端附近之接地電極，而

從上述第1及第2輸入出電極的任一方輸入信號，從另一方輸出信號，並將上述接地電極連接於固定電位之電源或予以接地者。

7. 如申請專利範圍第6項所述之電感－電容元件，其特徵為：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

8. 如申請專利範圍第6項所述之電感－電容元件，其特

六、申請專利範圍

徵為：

在上述信號傳送路徑的輸出端連接緩衝器者。

9. 如申請專利範圍第6項所述之電感－電容元件，其特徵為：

在上述半導體基板表面近旁的對應於上述開電極之位置，預先注入載體者。

10. 如申請專利範圍第6項所述之電感－電容元件，其特徵為：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述開電極的長度為長或短，以使上述開電極和上述通道有部分的相對應者。

11. 如申請專利範圍第1項所述之電感－電容元件，其特徵係具有：

在電路上連接於上述第1擴散領域之第1輸入出電極；

在電路上連接於上述第2擴散領域之第2輸入出電極；

在電路上連接於上述開電極的一端附近之第3輸入出電極；及

在電路上連接於上述開電極的另一端附近之第4輸入出電極，而上述通道和上述開電極雙方為信號傳送路徑，以當作共態型元件使用者。

12. 如申請專利範圍第11項所述之電感－電容元件，其

六、申請專利範圍

特徵係具有：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

13. 如申請專利範圍第11項所述之電感－電容元件，其特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

14. 如申請專利範圍第11項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述開電極之位置，預先注入載體者。

15. 如申請專利範圍第11項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述開電極的長度為長或短，以使上述開電極和上述通道有部分的相對應者。

16. 一種電感－電容元件之製造方法，其特徵係包括：

在半導體基板上，部分的注入雜質，以形成第1擴散領域和第2擴散領域之第1工程；

在上述半導體基板上，全面或部分的形成絕緣層之第2工程；

在上述絕緣層上面，形成連結上述第1擴散領域和上述第2擴散領域而具所定電感的開電極之第3工程；及

六、申請專利範圍

形成可在電路上分別連接於上述第1及第2擴散領域的配線層之第4工程者。

17. 一種電感－電容元件，其特徵在於具備：

在半導體基板上所形成，具有所定電感之開電極；

在上述開電極和上述半導體基板之間所形成之絕緣層；和

在上述半導體基板內，而在對應於上述開電極所要形成之通道一端附近所形成之第1擴散領域；而

上述開電極及上述通道成為電感器導體之功能；

上述開電極的電感及上述通道的電感和其兩者之間形成的電容存在於分布常數之狀態；以及

將上述開電極用作信號傳送路徑者。

18. 如申請專利範圍第17項所述之電感－電容元件，其特徵係具有：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

19. 如申請專利範圍第17項所述之電感－電容元件，其特徵係具有：

在上述開電極設可將過電壓旁路於動作電源線側或接地側之保護電路者。

20. 如申請專利範圍第17項所述之電感－電容元件，其特徵係具有：

在上述通道所要形成之位置的一部分預先注入載體，以使對應於上述開電極形成的上述通道分割為多段

六、申請專利範圍

，在被分割各段通道的一端附近設上述第1擴散領域或上述第2擴散領域，並把這些多數上述第1擴散領域或上述第2擴散領域在電路上互相連接者。

21. 一種半導體裝置，其特徵在於：

將申請專利範圍第17項之電感－電容元件形成為基板之一部分，而將上述閘電極及與其對應形成的通道中之至少一方插入於信號線或電源線，而形成為一體者。

22. 如申請專利範圍第17項所述之電感－電容元件，其特徵係具：

在電路上連接於上述閘電極的一端附近之第1輸入出電極；

在電路上連接於上述閘電極的另一端附近之第2輸入出電極；及

在電路上連接於形成在上述通道一端附近的上述擴散領域之接地電極，而

從上述第1及第2輸入出電極的任意一方輸入信號，由另一方輸出信號，並將上述接地電極連接於固定電位之電源或予以接地者。

23. 如申請專利範圍第22項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

24. 如申請專利範圍第22項所述之電感－電容元件，其

六、申請專利範圍

特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

25. 如申請專利範圍第22項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述開電極之位置，預先注入載體者。

26. 如申請專利範圍第22項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述開電極的長度為長或短，以使上述開電極和上述通道有部分的相對應者。

27. 一種電感－電容元件之製造方法，其特徵係包括：

在半導體基板上，部分的注入雜質，以形成擴散領域之第1工程；

在上述半導體基板上，全面或部分的形成絕緣層之第2工程；

在上述絕緣層上面形成其一端位於上述擴散領域，而具所定電感的開電極之第3工程；及

形成可在電路上連接於上述擴散領域的配線層之第4工程者。

28. 如申請專利範圍第1項所述之電感－電容元件，其特徵係具有：

上述開電極係具有渦漩形狀者。

六、申請專利範圍

29. 如申請專利範圍第28項所述之電感－電容元件，其特徵係具有：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

30. 如申請專利範圍第28項所述之電感－電容元件，其特徵係具有：

在上述開電極設可將過電壓旁路於動作電源線側或接地側之保護電路者。

31. 如申請專利範圍第28項所述之電感－電容元件，其特徵為：

只將上述通道用作信號傳送路徑，而

將上述開電極分割成多段，使被分割的多數各段開電極片在電路上互相連接，並為使上述通道不致於在對應於被分割各開電極片之間被分斷，而在該部分預先注入載體者。

32. 一種半導體裝置，其特徵為：

將申請專利範圍第28項之電感－電容元件形成為基板之一部分，而將上述開電極及與其對應形成的通道中之至少一方插入於信號線或電源線而形成為一體者。

33. 如申請專利範圍第28項所述之電感－電容元件，其特徵係具有：

在電路上連接於上述第1擴散領域之第1輸入出電極；

在電路上連接於上述第2擴散領域之第2輸入出電

六、申請專利範圍

極；及

在電路上連接於上述開電極的一端附近之接地電極，而

從上述第1及第2輸入出電極的任一方輸入信號，從另一方輸出信號，並將上述接地電極連接於固定電位之電源或予以接地者。

34. 如申請專利範圍第33項所述之電感－電容元件，其特徵係具有：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

35. 如申請專利範圍第33項所述之電感－電容元件，其特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

36. 如申請專利範圍第33項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述開電極之位置，預先注入載體者。

37. 如申請專利範圍第33項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述開電極的長度為長或短，以使上述開電極和上述通道有部分的相對應者。

38. 如申請專利範圍第28項所述之電感－電容元件，其

六、申請專利範圍

特徵係具有：

在電路上連接於上述第1擴散領域之第1輸入出電極；

在電路上連接於上述第2擴散領域之第2輸入出電極；

在電路上連接於上述閘電極的一端附近之第3輸入出電極；及

在電路上連接於上述閘電極的另一端附近之第4輸入出電極，而上述通道和上述閘電極雙方為信號傳送路徑，以當作共態型元件使用者。

39. 如申請專利範圍第38項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

40. 如申請專利範圍第38項所述之電感－電容元件，其特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

41. 如申請專利範圍第38項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述閘電極之位置，預先注入載體者。

42. 如申請專利範圍第38項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位

六、申請專利範圍

置之至少一部分，預先注入載體，以設定上述通道相對於上述閘電極的長度為長或短，以使上述閘電極和上述通道有部分的相對應者。

43. 如申請專利範圍第17項所述之電感－電容元件，其特徵係具有：

上述閘電極係具有渦漩形狀者。

44. 如申請專利範圍第43項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

45. 如申請專利範圍第43項所述之電感－電容元件，其特徵係具有：

在上述閘電極設可將過電壓旁路於動作電源線側或接地側之保護電路者。

46. 如申請專利範圍第43項所述之電感－電容元件，其特徵係具有：

在上述通道所要形成之位置的一部分預先注入載體，以使對應於上述閘電極形成的上述通道分割為多段，在被分割各段通道的一端附近設上述第1擴散領域或上述第2擴散領域，並把這些多數上述第1擴散領域或上述第2擴散領域在電路上互相連接者。

47. 一種半導體裝置，其特徵為：

將申請專利範圍第43項之電感－電容元件形成為基板之一部分，將上述閘電極及與其對應形成的通道中

六、申請專利範圍

之至少一方插入於信號線或電源線而形成為一體者。

48. 如申請專利範圍第43項所述之電感—電容元件，其特徵係具：

在電路上連接於上述開電極的一端附近之第1輸入出電極；

在電路上連接於上述開電極的另一端附近之第2輸入出電極；及

在電路上連接於形成在上述通道一端附近的上述擴散領域之接地電極，而

從上述第1及第2輸入出電極的任意一方輸入信號，由另一方輸出信號，並將上述接地電極連接於固定電位之電源或予以接地者。

49. 如申請專利範圍第48項所述之電感—電容元件，其特徵係具有：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

50. 如申請專利範圍第48項所述之電感—電容元件，其特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

51. 如申請專利範圍第48項所述之電感—電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述開電極之位置，預先注入載體者。

52. 如申請專利範圍第48項所述之電感—電容元件，其

六、申請專利範圍

特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述閘電極的長度為長或短，以使上述閘電極和上述通道有部分的相對應者。

53. 如申請專利範圍第1項所述之電感－電容元件，其特徵係具有：

上述閘電極係具蛇行形狀者。

54. 如申請專利範圍第53項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

55. 如申請專利範圍第53項所述之電感－電容元件，其特徵係具有：

在上述閘電極設可將過電壓旁路於動作電源線側或接地側之保護電路者。

56. 如申請專利範圍第53項所述之電感－電容元件，其特徵係具有：

只將上述通道用作信號傳送路徑；而

將上述閘電極分割成多段，使被分割的多數各段閘電極片在電路上互相連接，並為使上述通道不致於在對應於被分割各閘電極片之間被分斷，而在該部分預先注入載體者。

57. 一種半導體裝置，其特徵為：

六、申請專利範圍

將申請專利範圍第53項之電感－電容元件形成為基板之一部分，而將上述閘電極及對應於其所形成的通道中之至少一方插入於信號線或電源線，以形成為一體者。

58. 如申請專利範圍第53項所述之電感－電容元件，其特徵係具有：

在電路上連接於上述第1擴散領域之第1輸入出電極；

在電路上連接於上述第2擴散領域之第2輸入出電極；及

在電路上連接於上述閘電極的一端附近之接地電極，而

從上述第1及第2輸入出電極的任一方輸入信號，從另一方輸出信號，並將上述接地電極連接於固定電位之電源或予以接地者。

59. 如申請專利範圍第58項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

60. 如申請專利範圍第58項所述之電感－電容元件，其特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

61. 如申請專利範圍第58項所述之電感－電容元件，其特徵係具有：

六、申請專利範圍

在上述半導體基板表面近旁的對應於上述閘電極之位置，預先注入載體者。

62. 如申請專利範圍第58項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述閘電極的長度為長或短，以使上述閘電極和上述通道有部分的相對應者。

63. 如申請專利範圍第53項所述之電感－電容元件，其特徵係具有：

在電路上連接於上述第1擴散領域之第1輸入出電極；

在電路上連接於上述第2擴散領域之第2輸入出電極；

在電路上連接於上述閘電極的一端附近之第3輸入出電極；及

在電路上連接於上述閘電極的另一端附近之第4輸入出電極，而上述通道和上述閘電極雙方為信號傳送路徑，以當作共態型元件使用者。

64. 如申請專利範圍第63項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

65. 如申請專利範圍第63項所述之電感－電容元件，其

六、申請專利範圍

特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

66. 如申請專利範圍第63項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述開電極之位置，預先注入載體者。

67. 如申請專利範圍第63項所述之電感－電容元件，其特徵係具有：

在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述開電極的長度為長或短，以使上述開電極和上述通道有部分的相對應者。

68. 如申請專利範圍第17項所述之電感－電容元件，其特徵係具有：

上述開電極係具蛇行形狀者。

69. 如申請專利範圍第68項所述之電感－電容元件，其特徵係具有：

對上述開電極所加開極電壓設定為可變值，由此，至少可將上述通道的電阻值予以控制成為可變值者。

70. 如申請專利範圍第68項所述之電感－電容元件，其特徵係具有：

在上述開電極設可將過電壓旁路於動作電源線側或接地側之保護電路者。

71. 如申請專利範圍第68項所述之電感－電容元件，其

六、申請專利範圍

特徵係具有：

在上述通道所要形成之位置的一部分預先注入載體，以使對應於上述閘電極形成的上述通道分割為多段，在被分割各段通道的一端附近設上述第1擴散領域或上述第2擴散領域，並把這些多數上述第1擴散領域或上述第2擴散領域在電路上互相連接者。

72. 一種半導體裝置，其特徵為：

將申請專利範圍第68項之電感－電容元件形成為基板之一部分，將上述閘電極及與其對應形成的通道中之至少一方插入於信號線或電源線以形成為一體者。

73. 如申請專利範圍第68項所述之電感－電容元件，其特徵係具有：

在電路上連接於上述閘電極的一端附近之第1輸入出電極；

在電路上連接於上述閘電極的另一端附近之第2輸入出電極；及

在電路上連接於形成在上述通道一端附近的上述擴散領域之接地電極，而

從上述第1及第2輸入出電極的任意一方輸入信號，由另一方輸出信號，並將上述接地電極連接於固定電位之電源或予以接地者。

74. 如申請專利範圍第73項所述之電感－電容元件，其特徵係具有：

對上述閘電極所加閘極電壓設定為可變值，由此，

六、申請專利範圍

至少可將上述通道的電阻值予以控制成為可變值者。

75. 如申請專利範圍第73項所述之電感—電容元件，其特徵係具有：

在上述信號傳送路徑的輸出端連接緩衝器者。

76. 如申請專利範圍第73項所述之電感—電容元件，其特徵係具有：

在上述半導體基板表面近旁的對應於上述閘電極之位置，預先注入載體者。

77. 如申請專利範圍第73項所述之電感—電容元件，其特徵係具有：

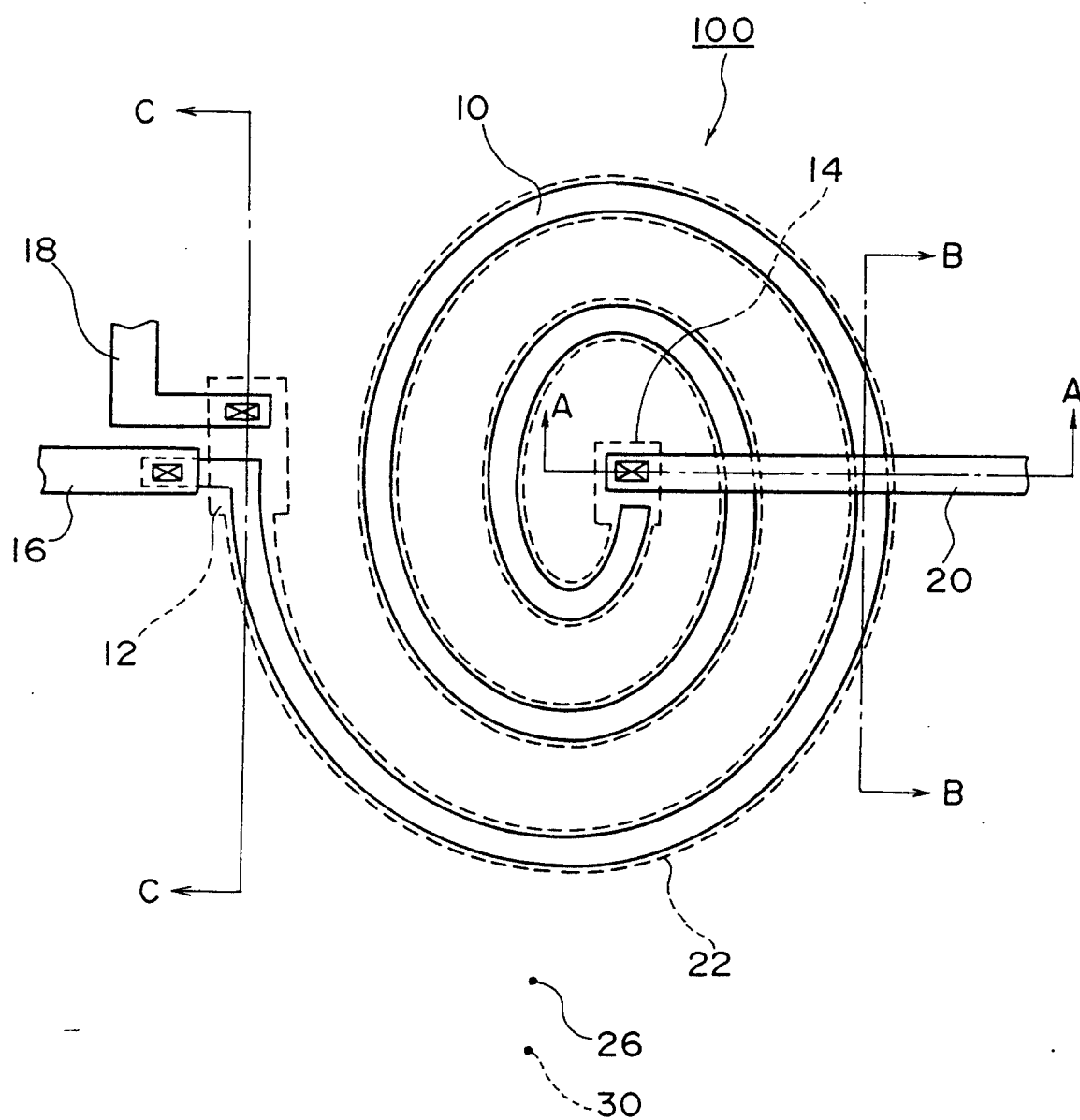
在上述半導體基板表面近旁的上述通道所要形成位置之至少一部分，預先注入載體，以設定上述通道相對於上述閘電極的長度為長或短，以使上述閘電極和上述通道有部分的相對應者。

78. 如申請專利範圍第1項所述之電感—電容元件，其特徵係具有：

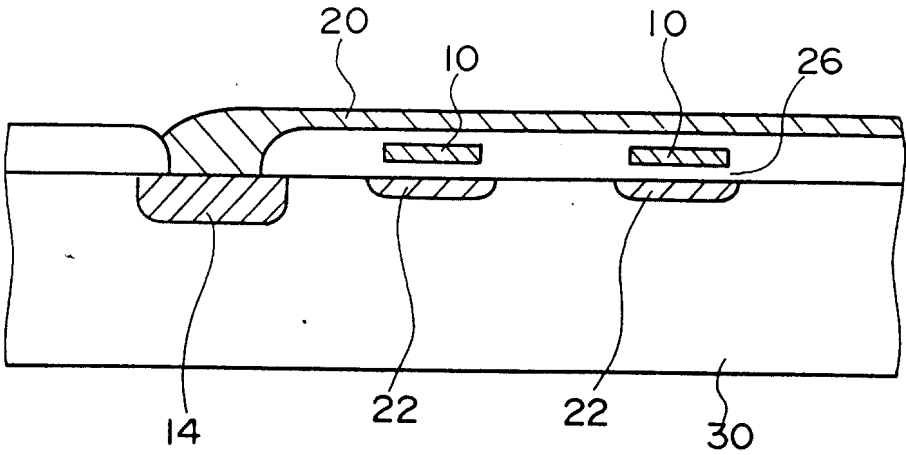
上述閘電極係具直線形狀或曲線形狀者。

79. 如申請專利範圍第17項所述之電感—電容元件，其特徵係具有：

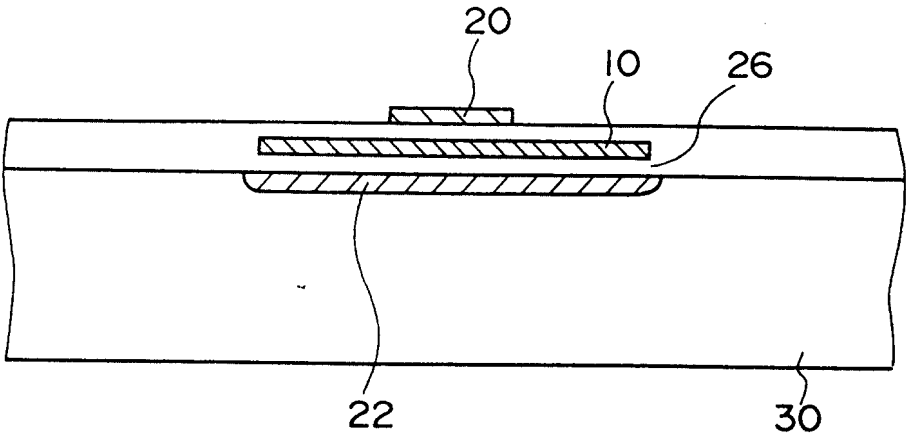
上述閘電極係具有直線形狀或曲線形狀者。



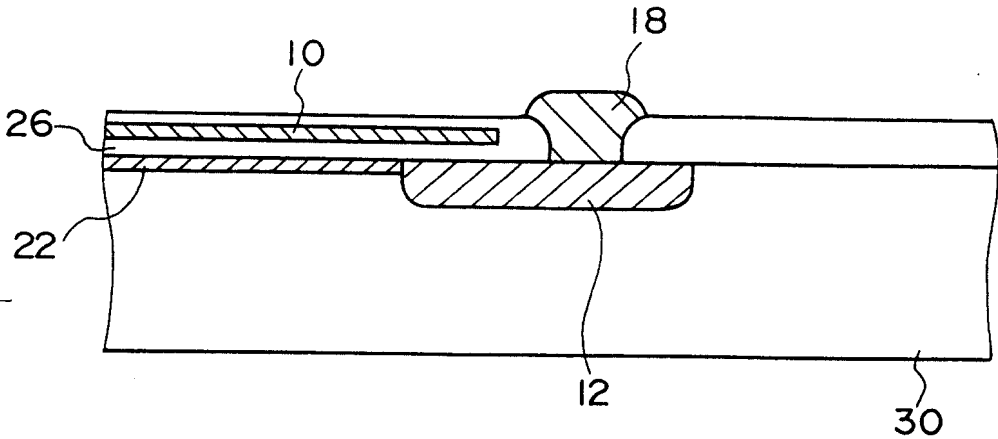
第1圖



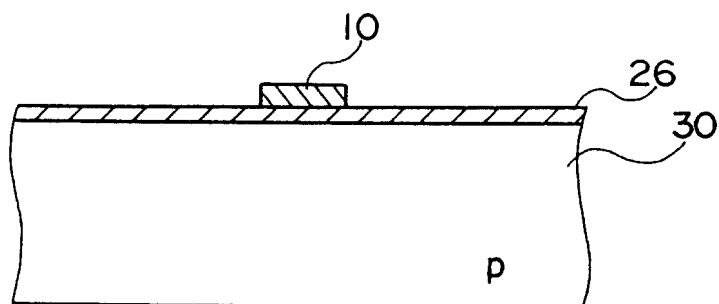
第2圖



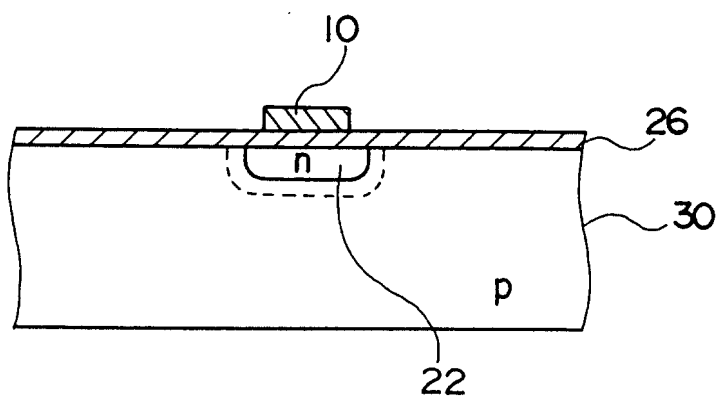
第3圖



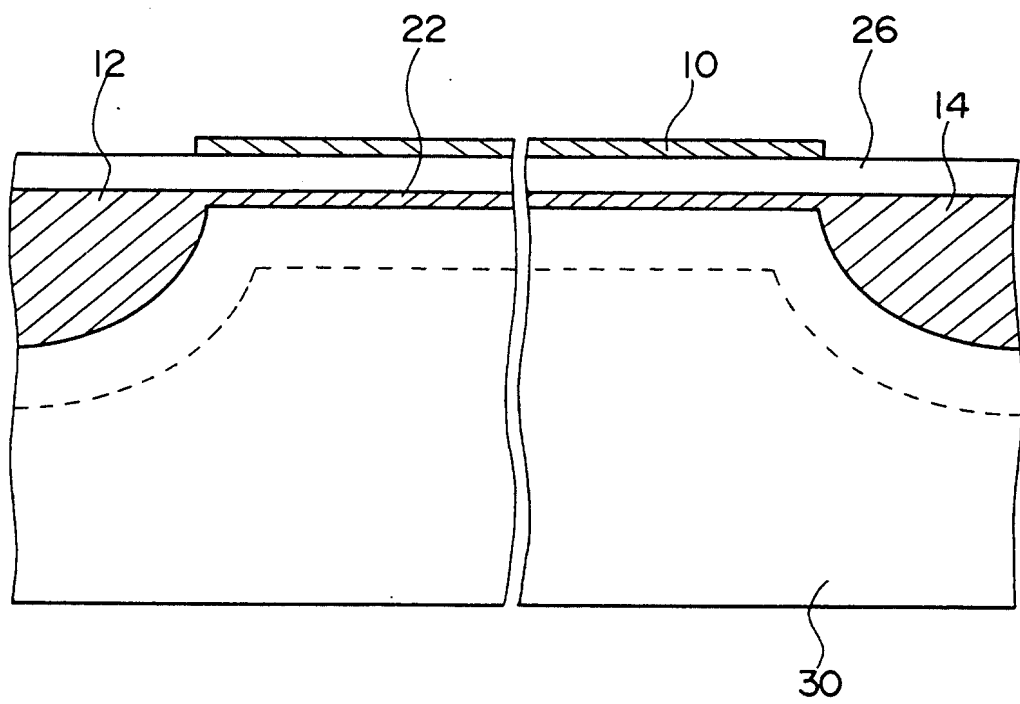
第4圖



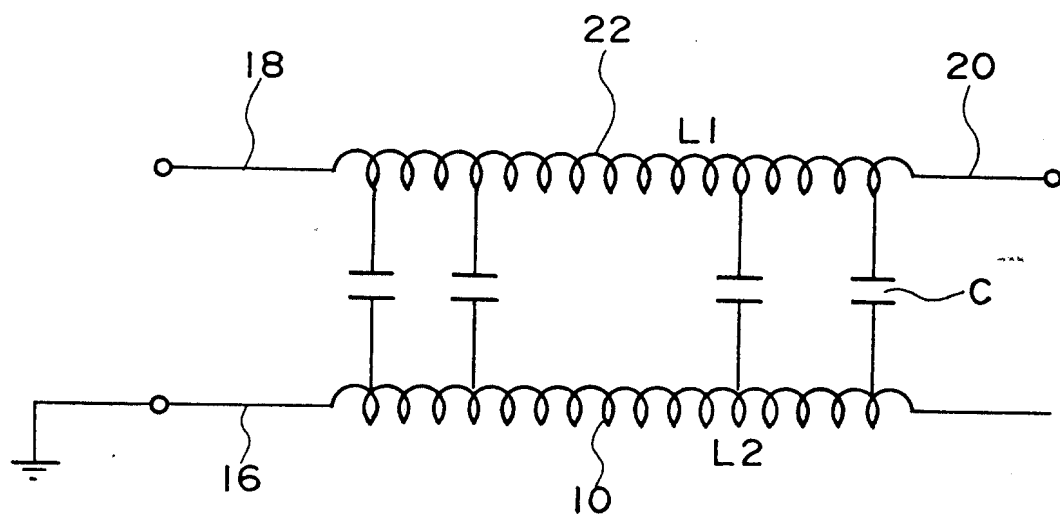
第5圖A



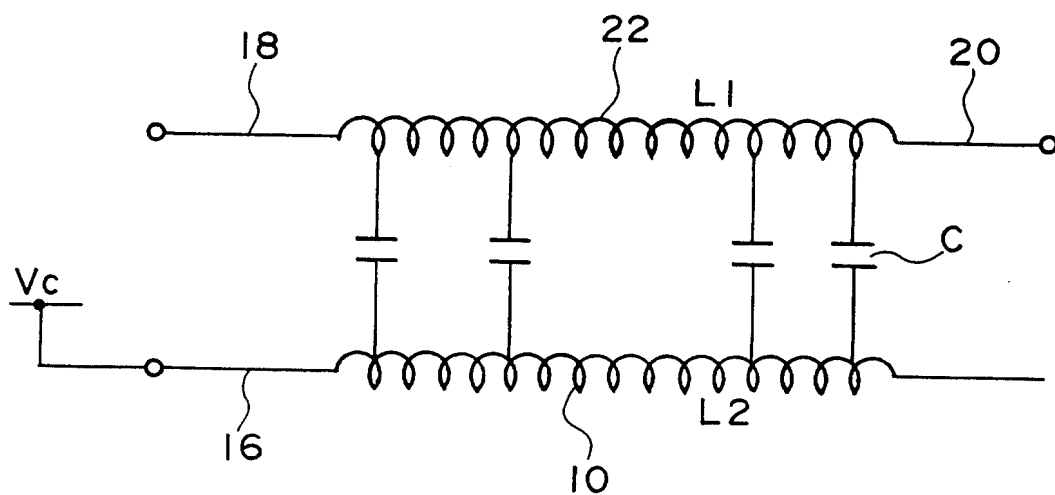
第5圖B



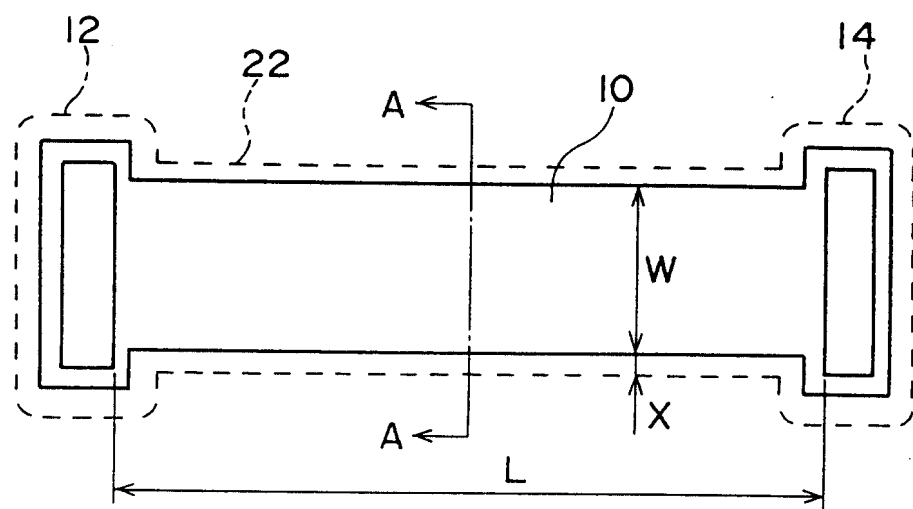
第6圖



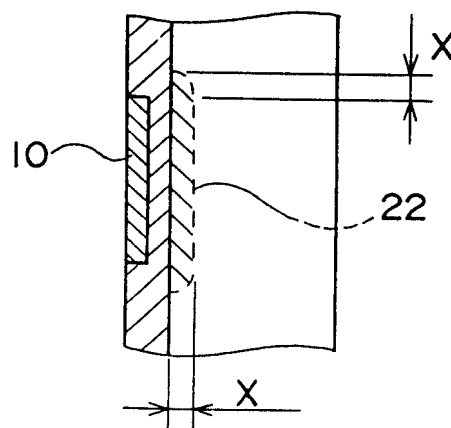
第7圖A



第7圖B

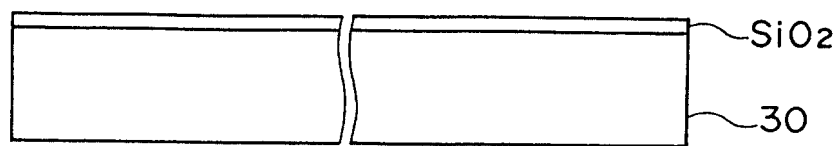


第 8 圖 A



第 8 圖 B

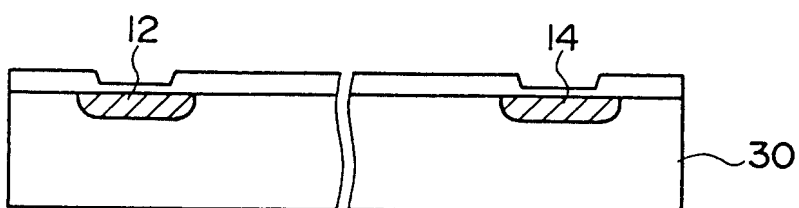
第9圖 A



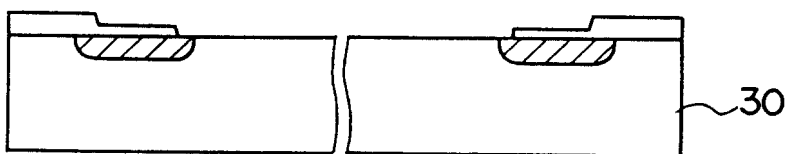
第9圖 B



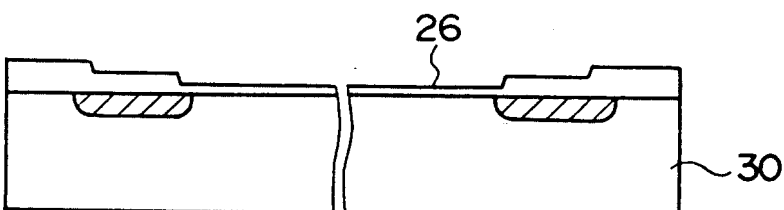
第9圖 C



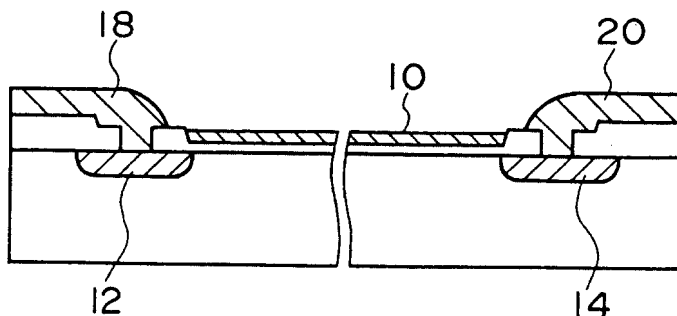
第9圖 D



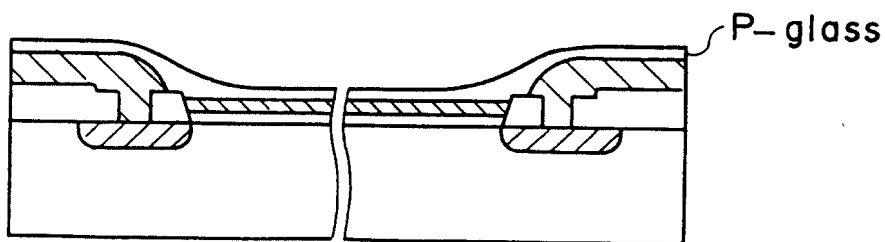
第9圖 E

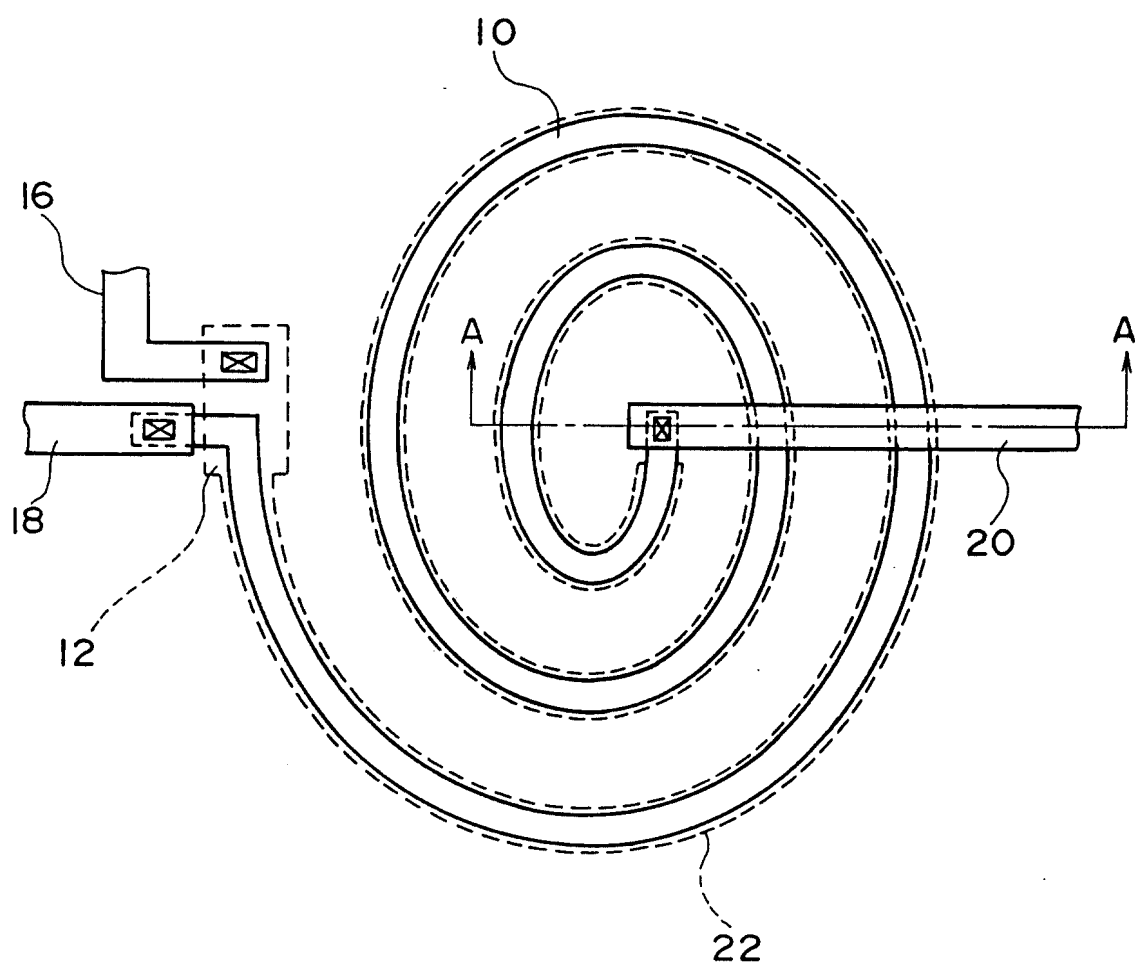


第9圖 F

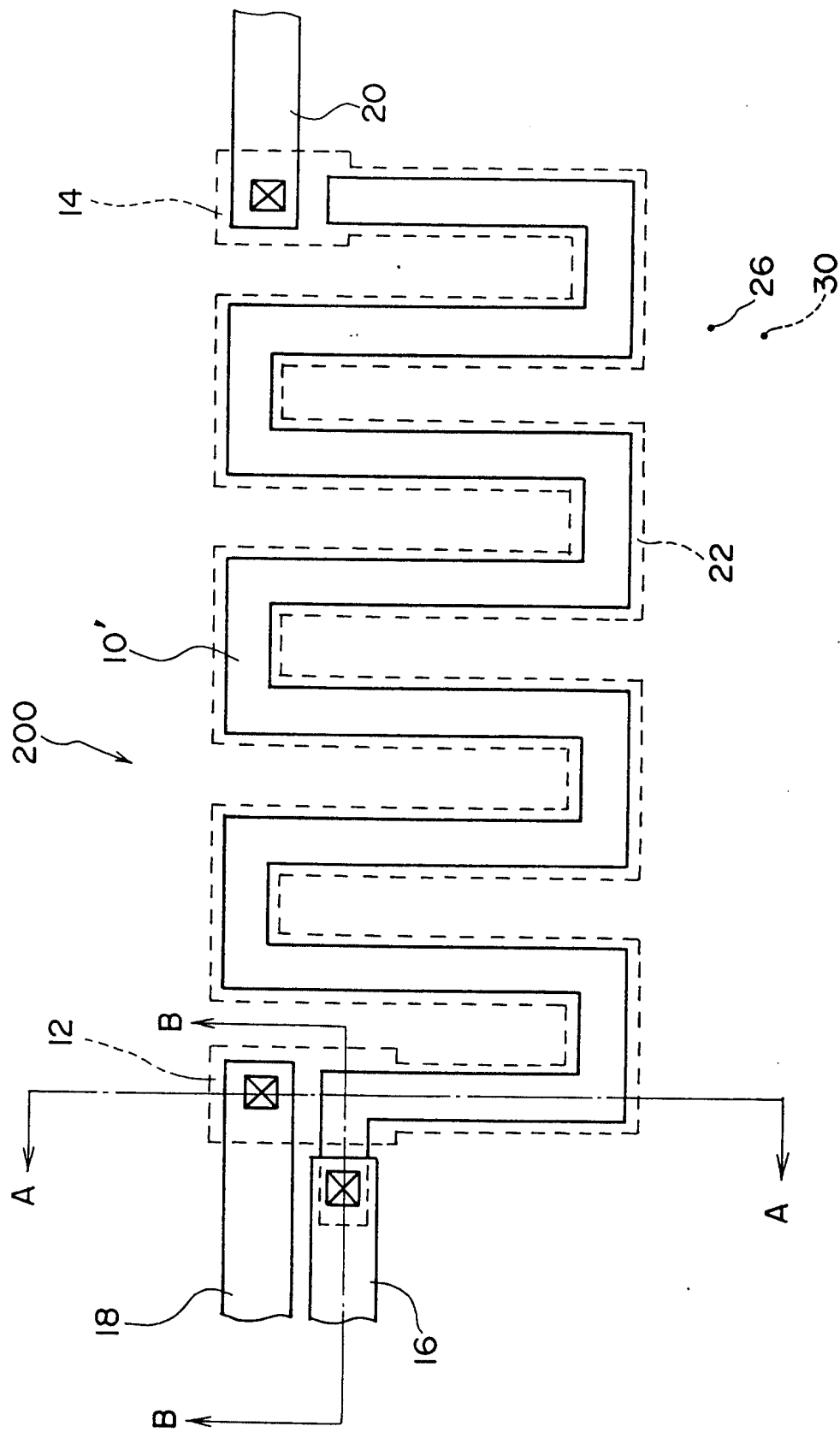


第9圖 G

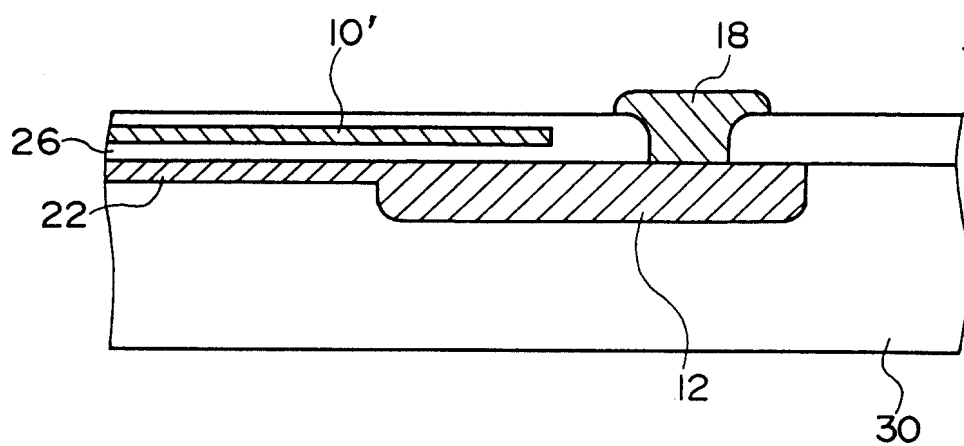




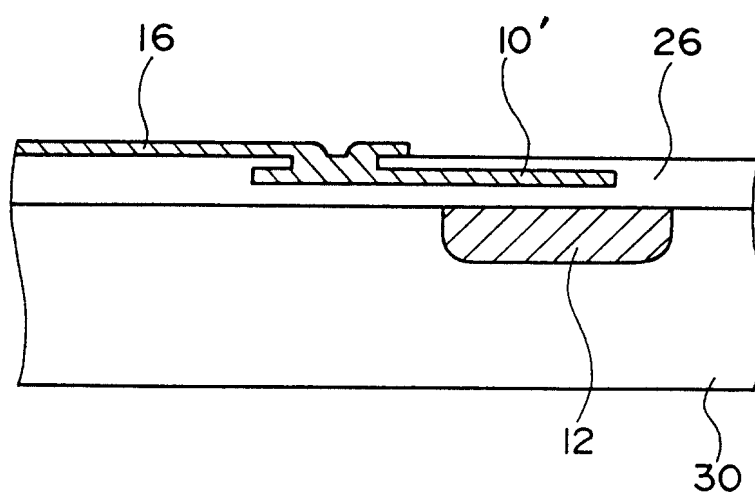
第10圖



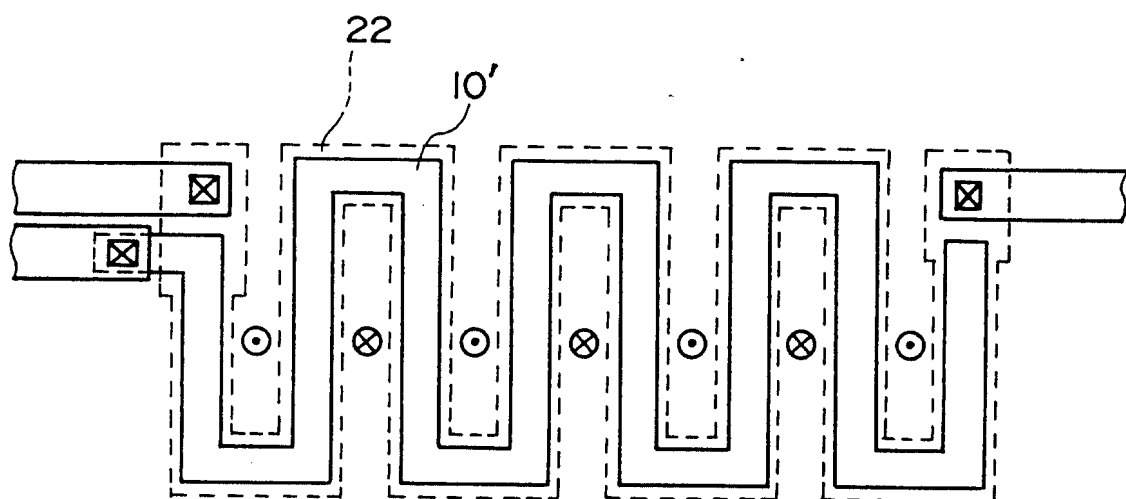
第11圖



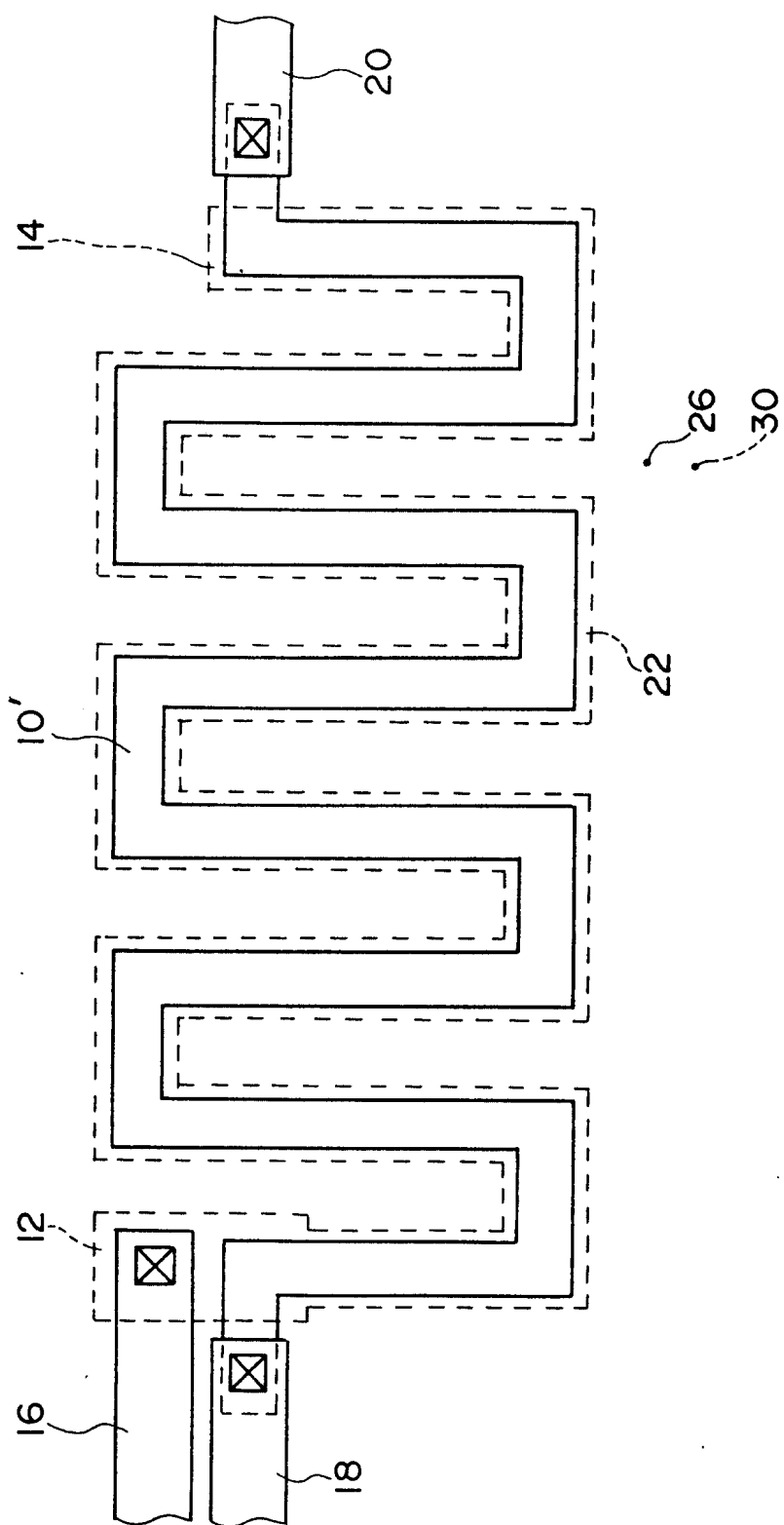
第12圖



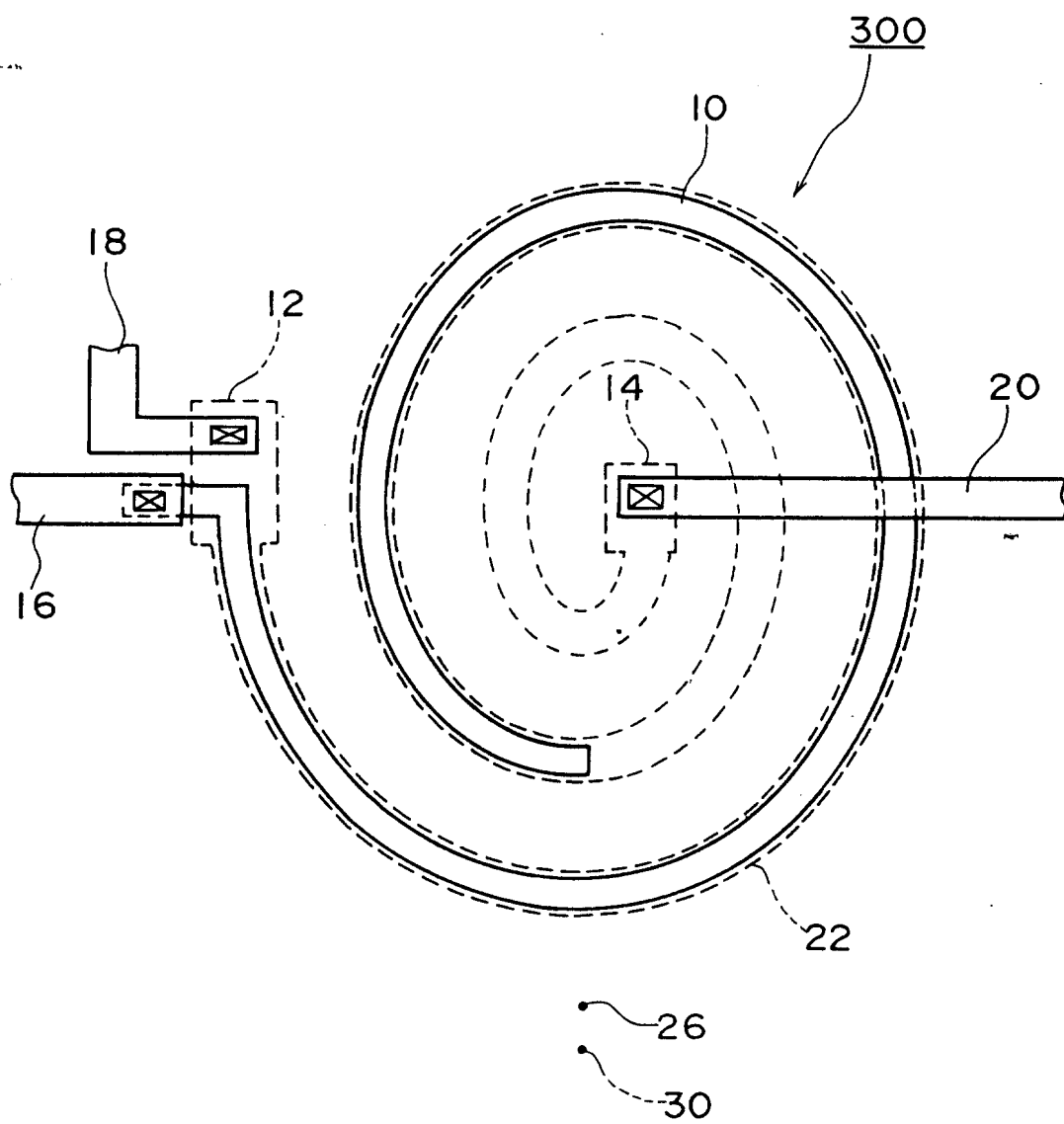
第13圖



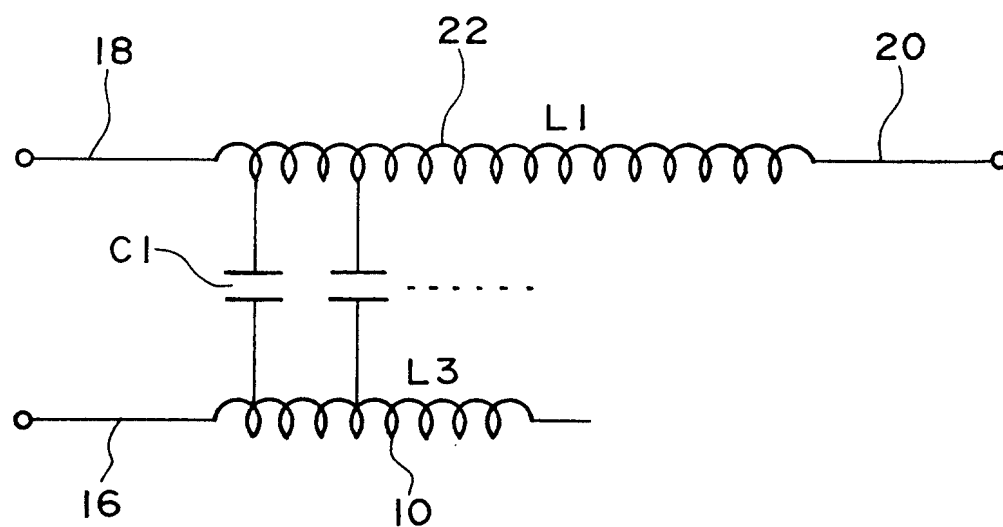
第14圖



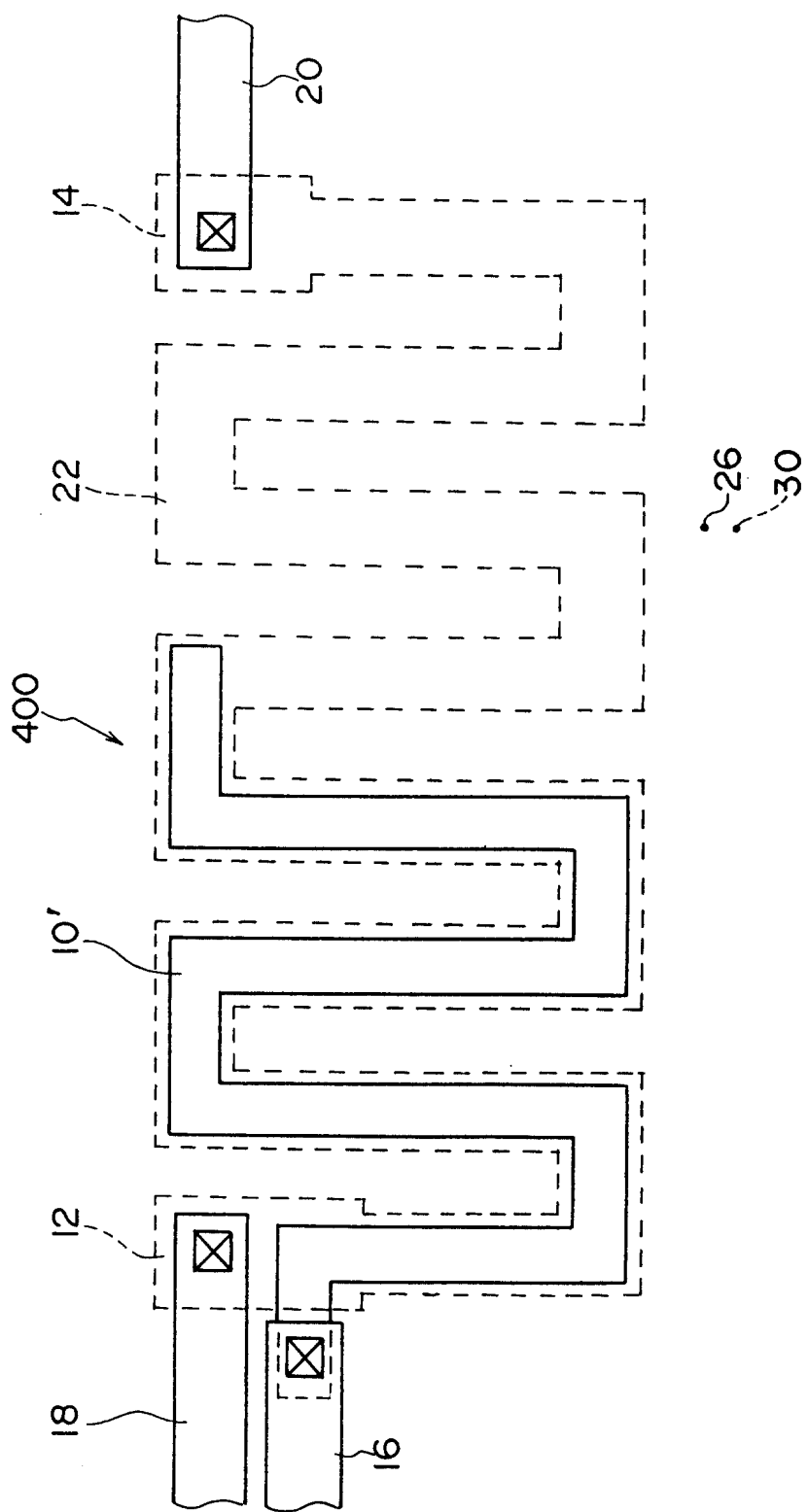
第15圖



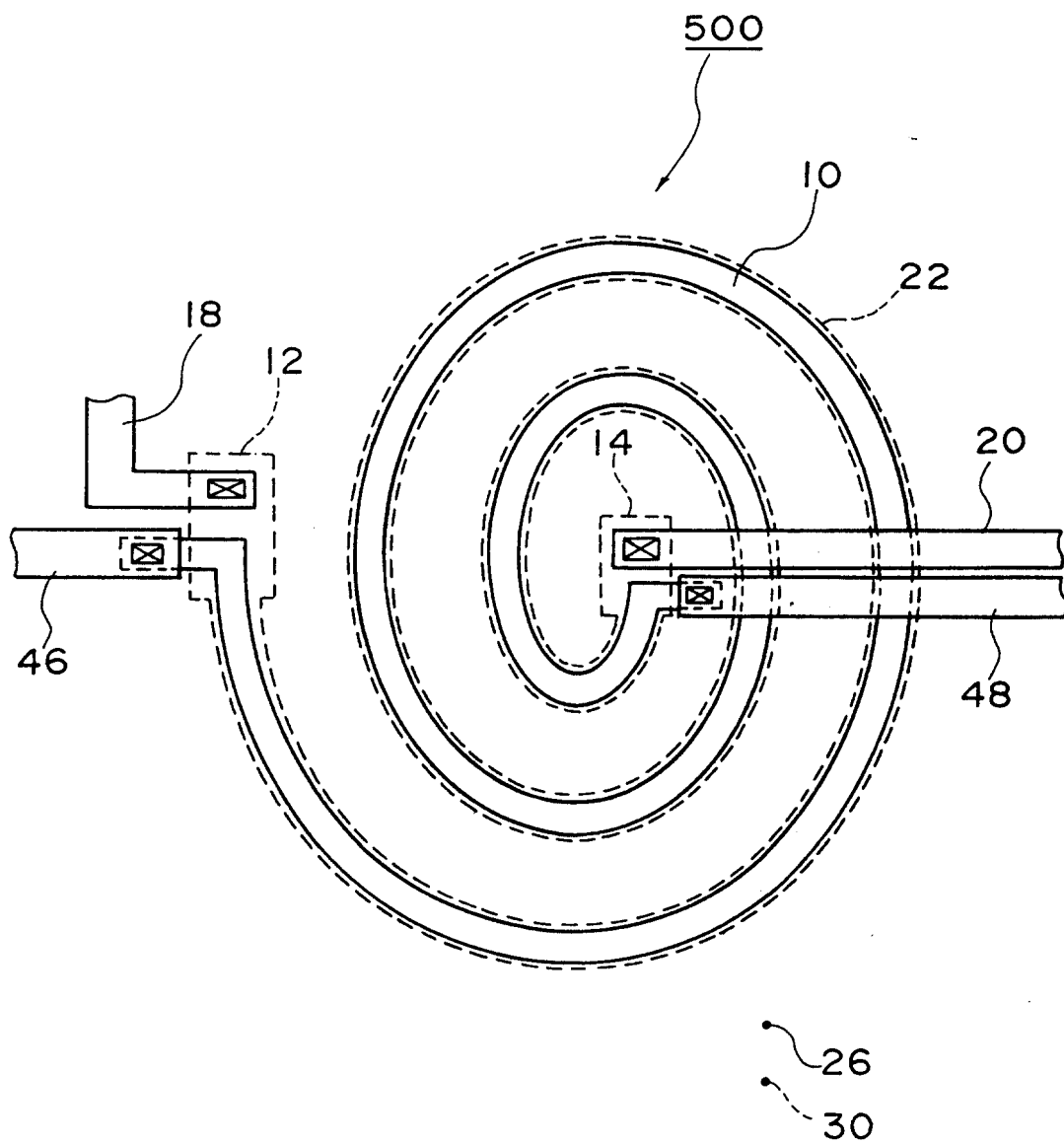
第16圖



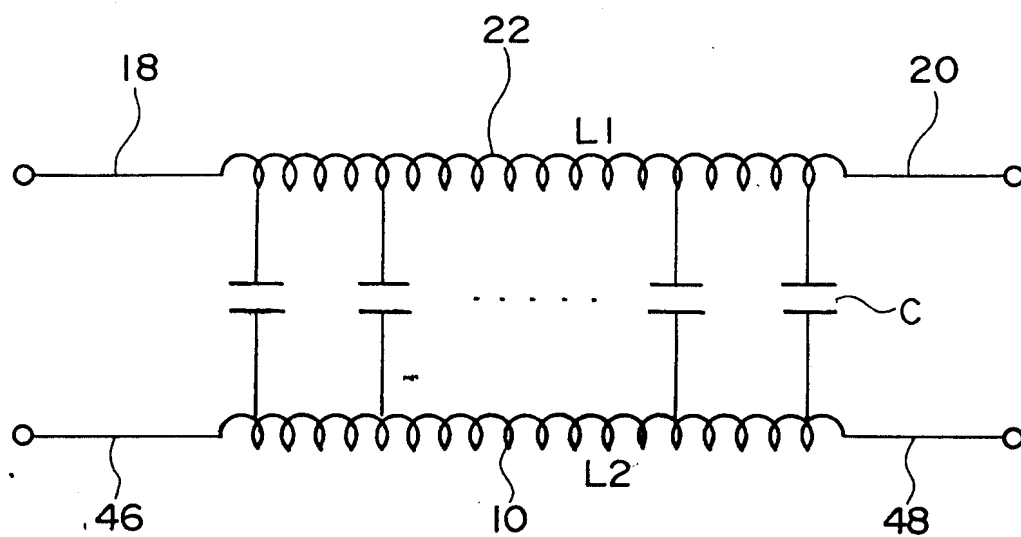
第17圖



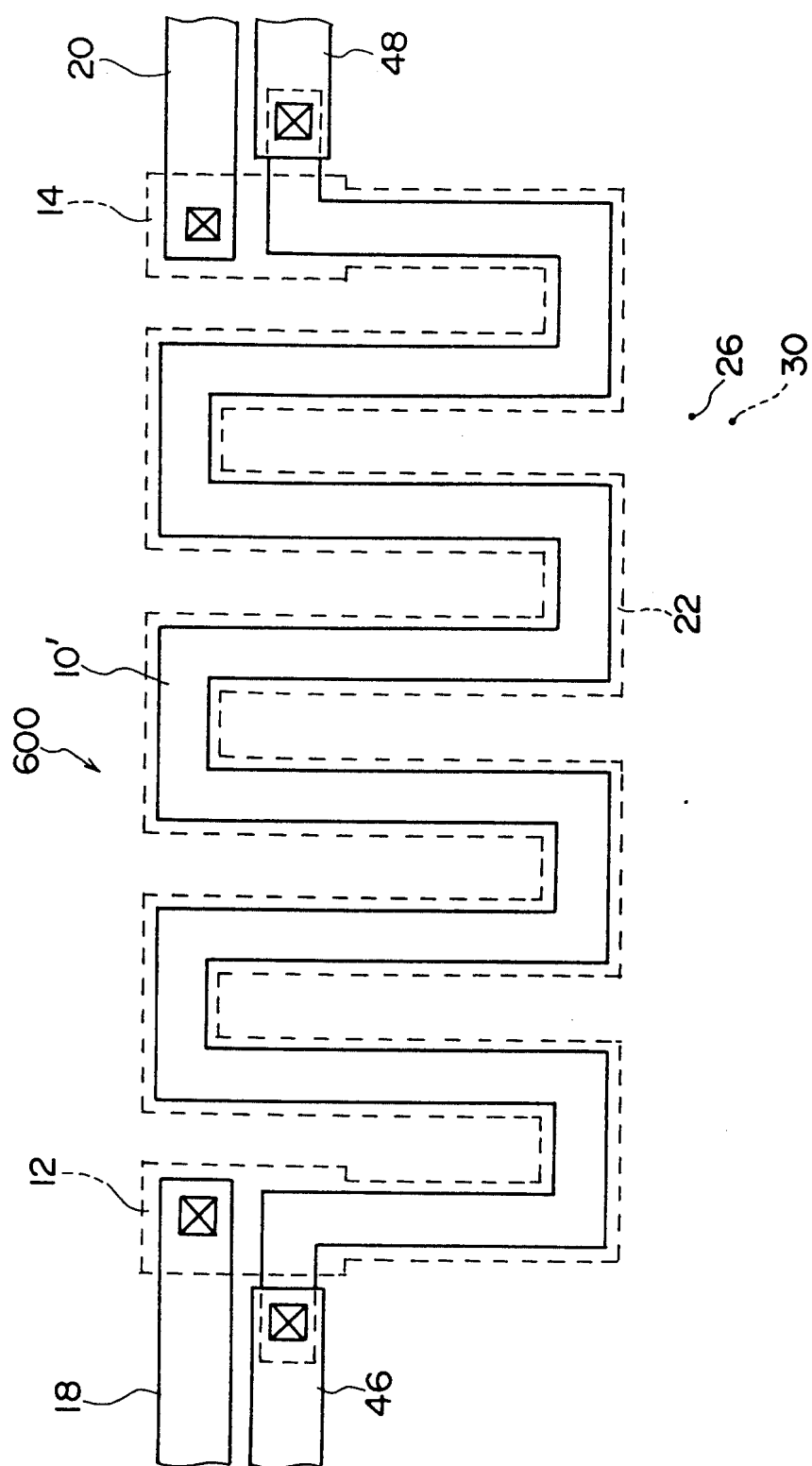
第18圖



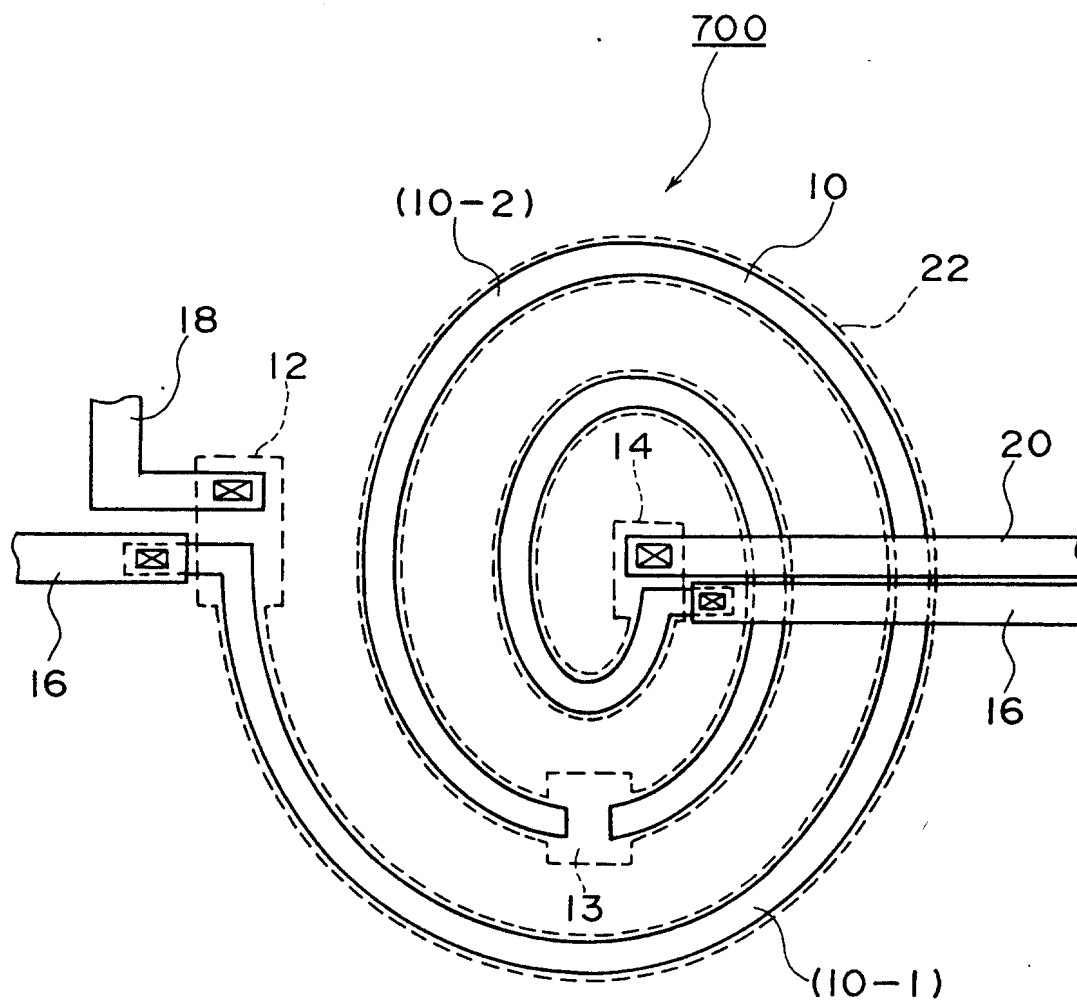
第19圖



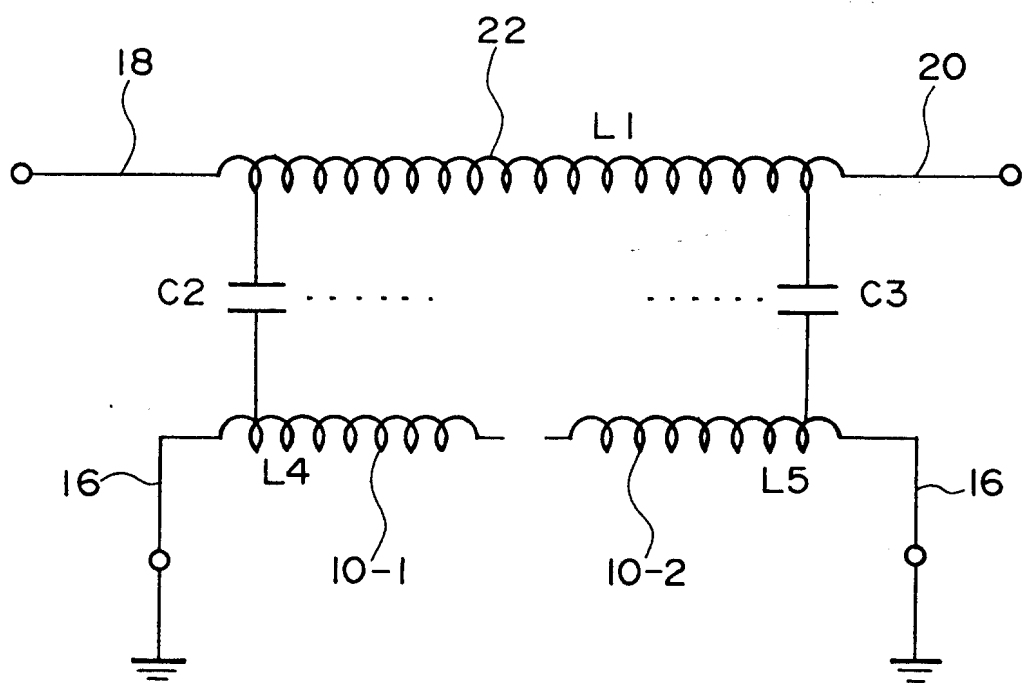
第20圖



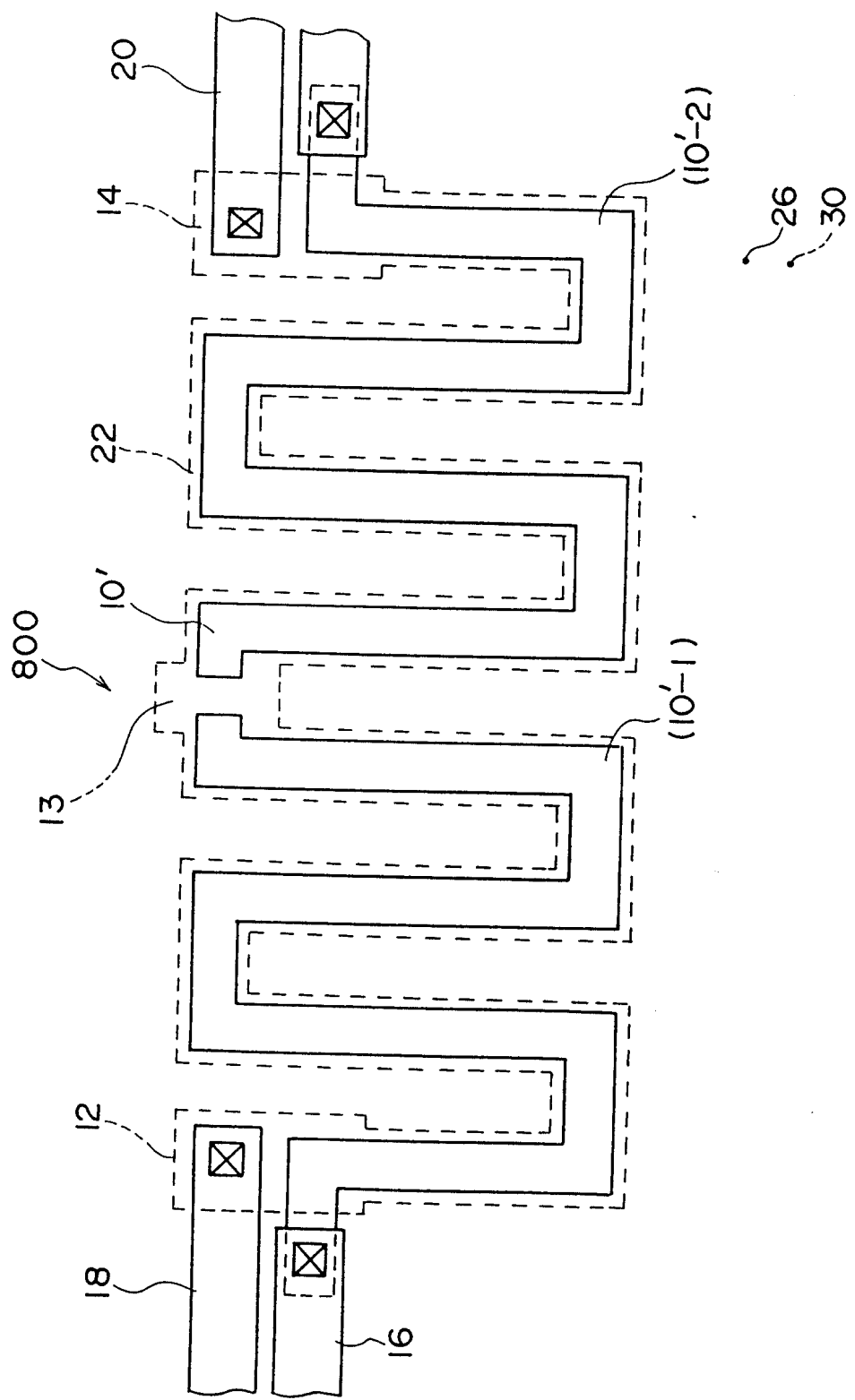
第21圖



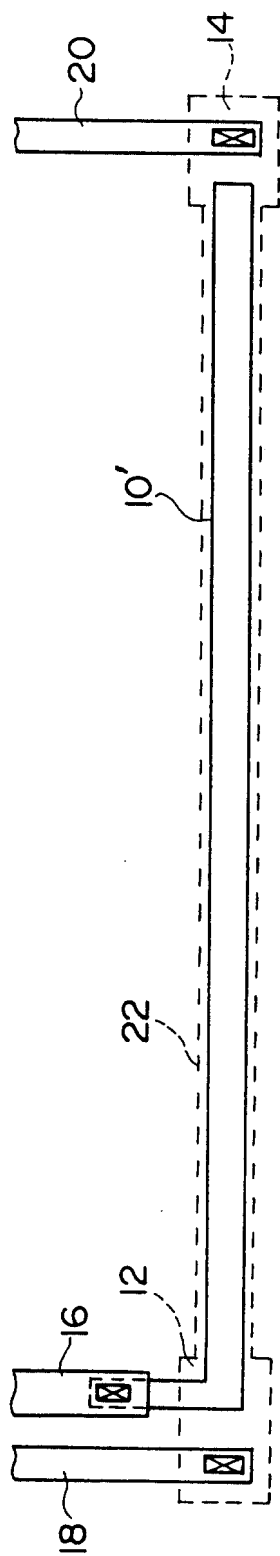
第22圖



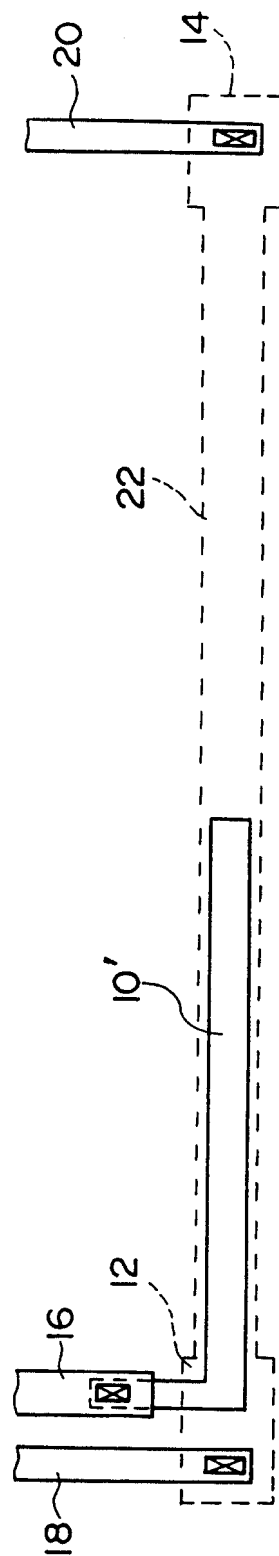
第23圖



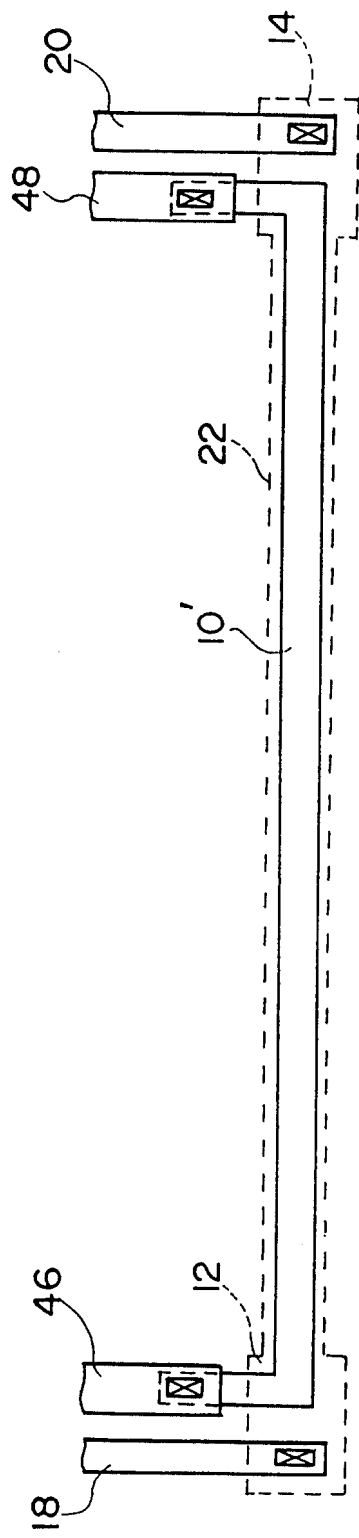
第24圖



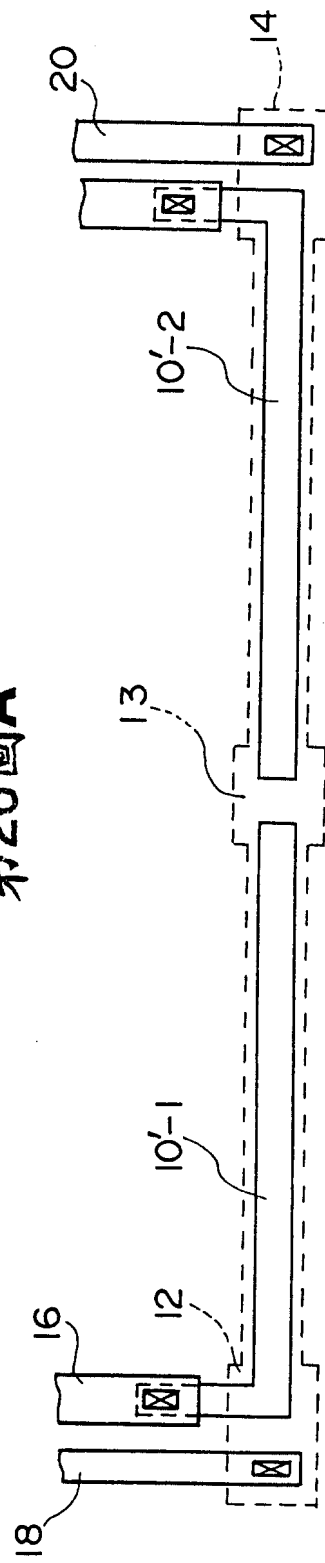
第25圖A



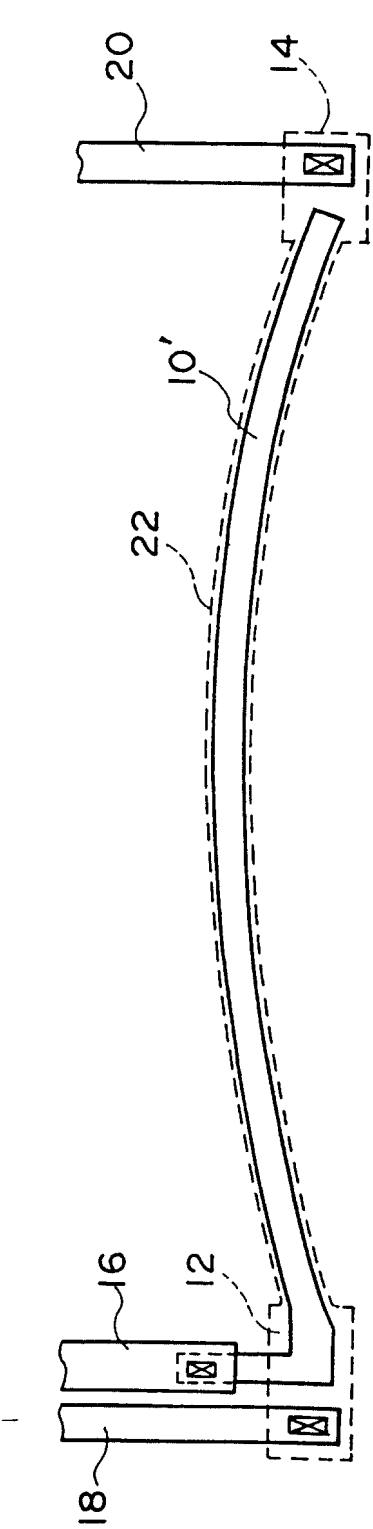
第25圖B



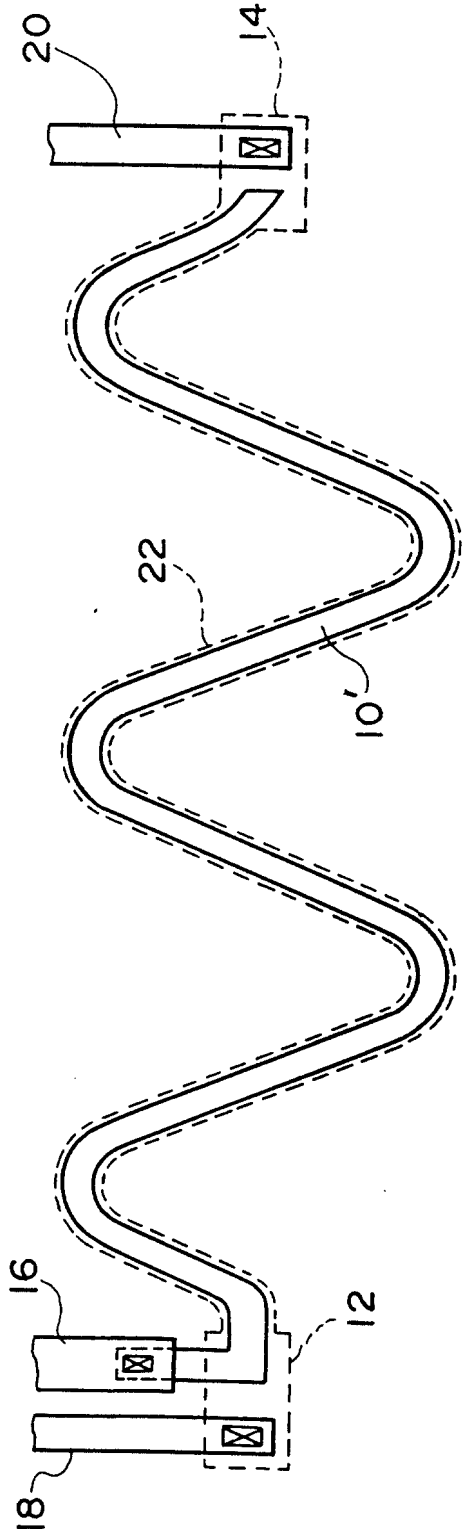
第26圖A



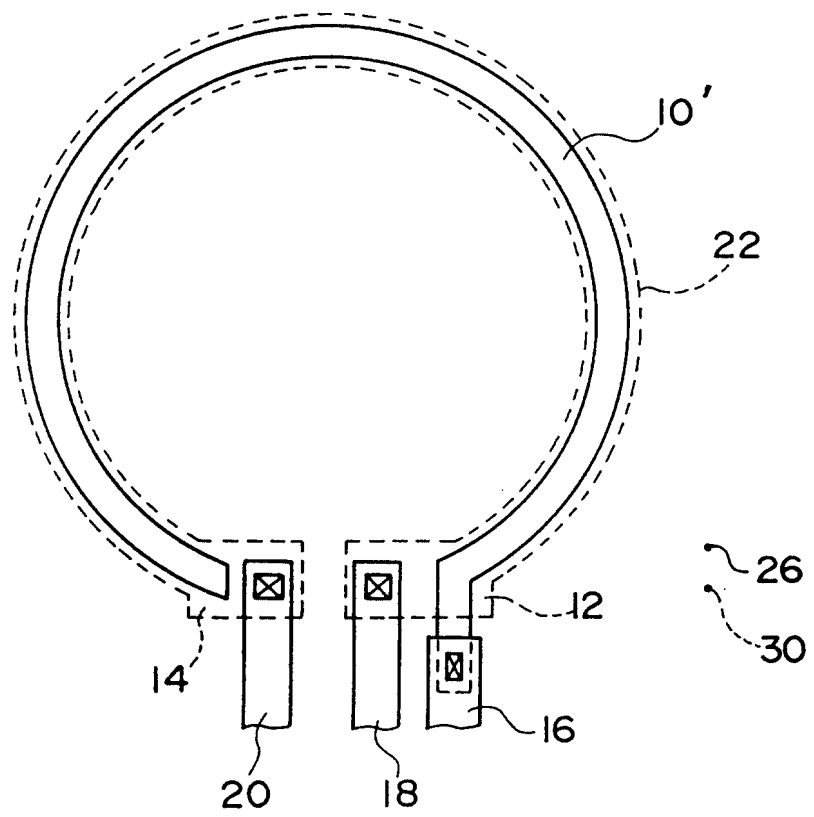
第26圖B



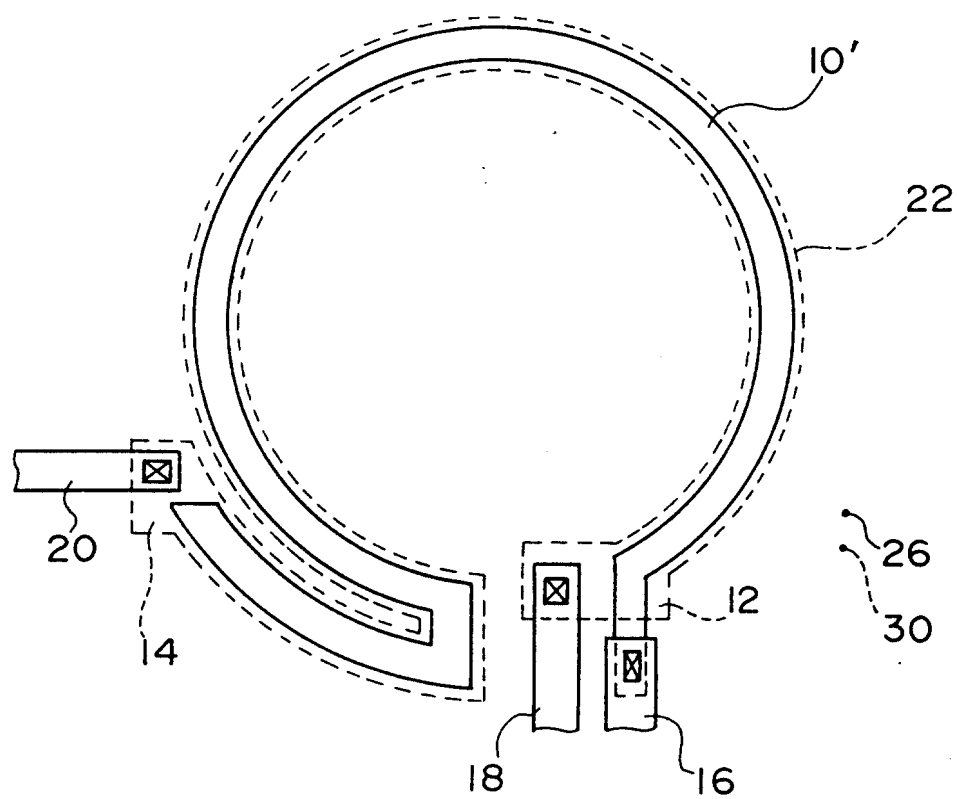
第27圖A



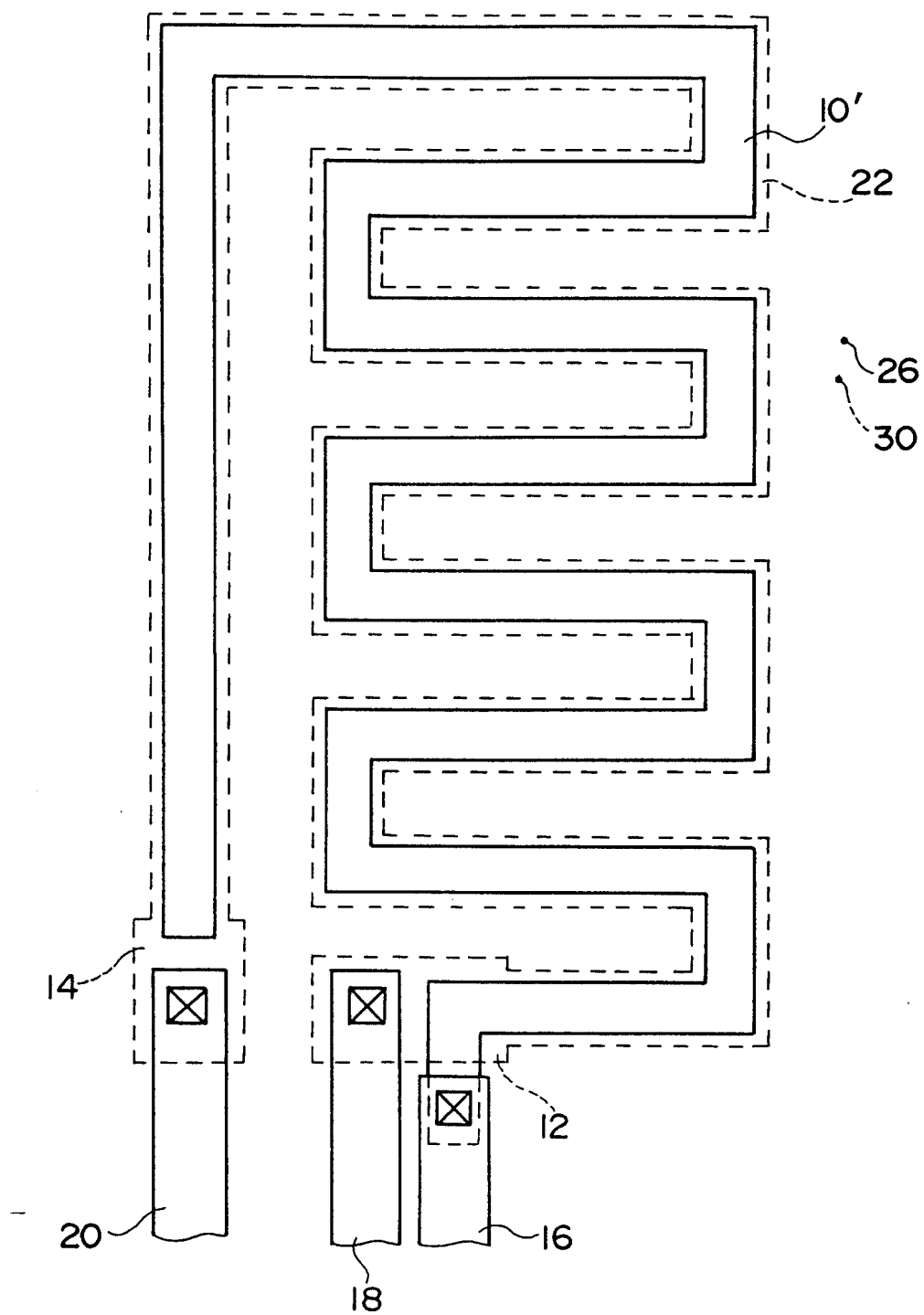
第27圖B



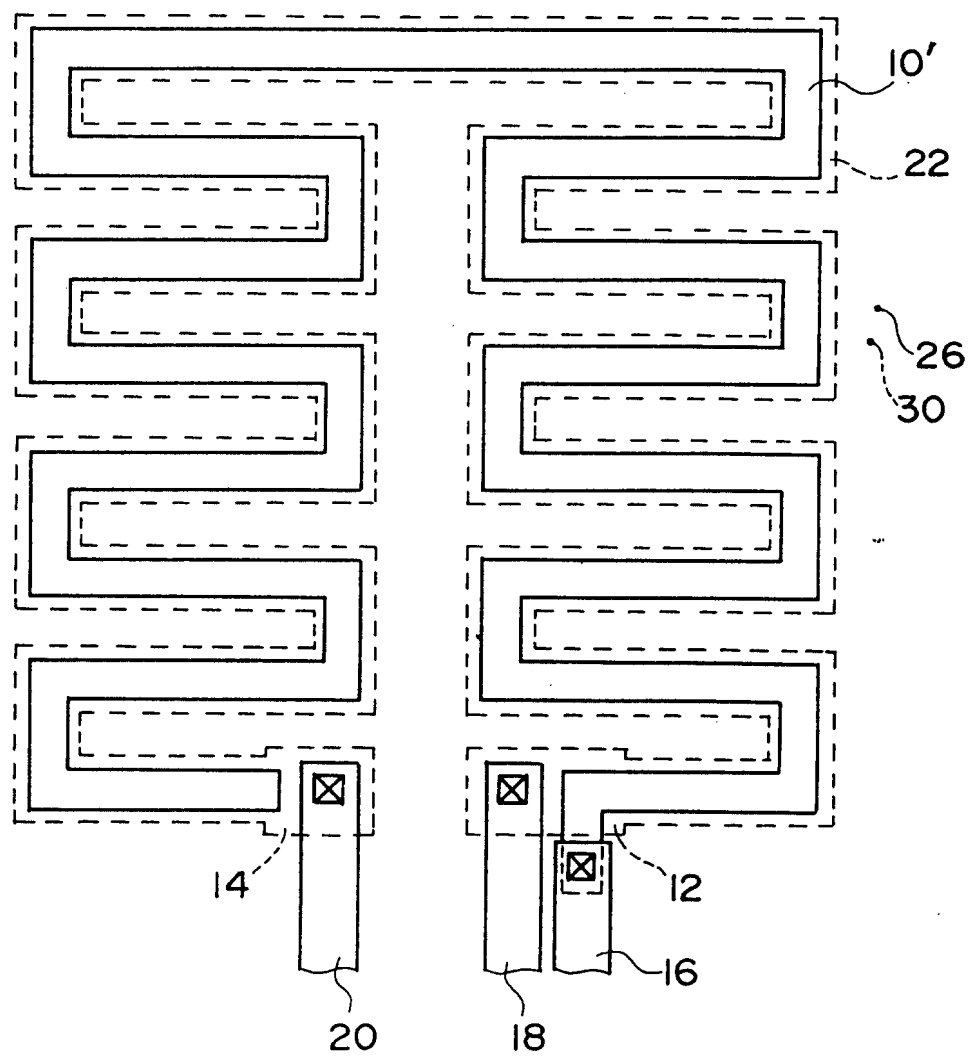
第28圖



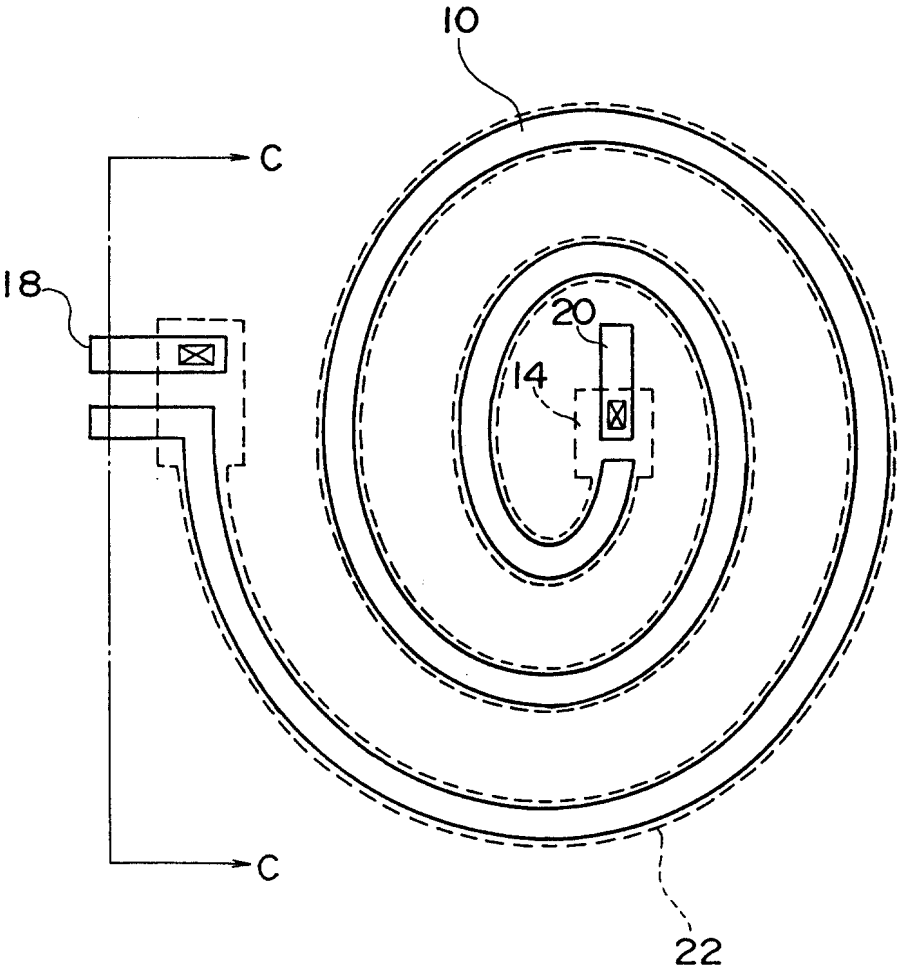
第29圖



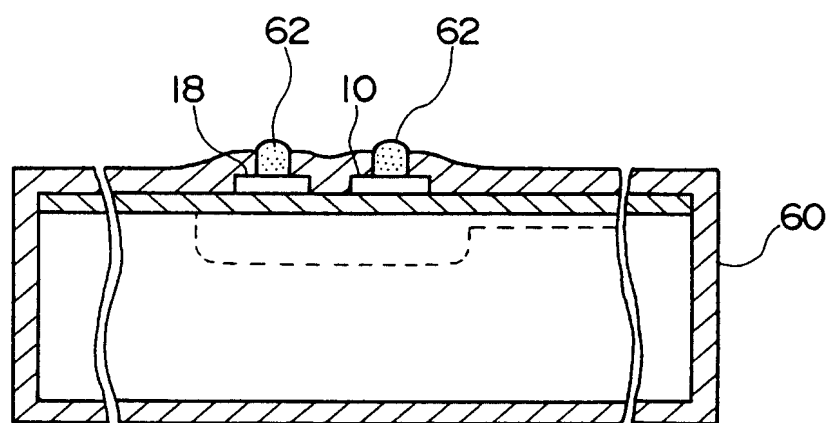
第30圖



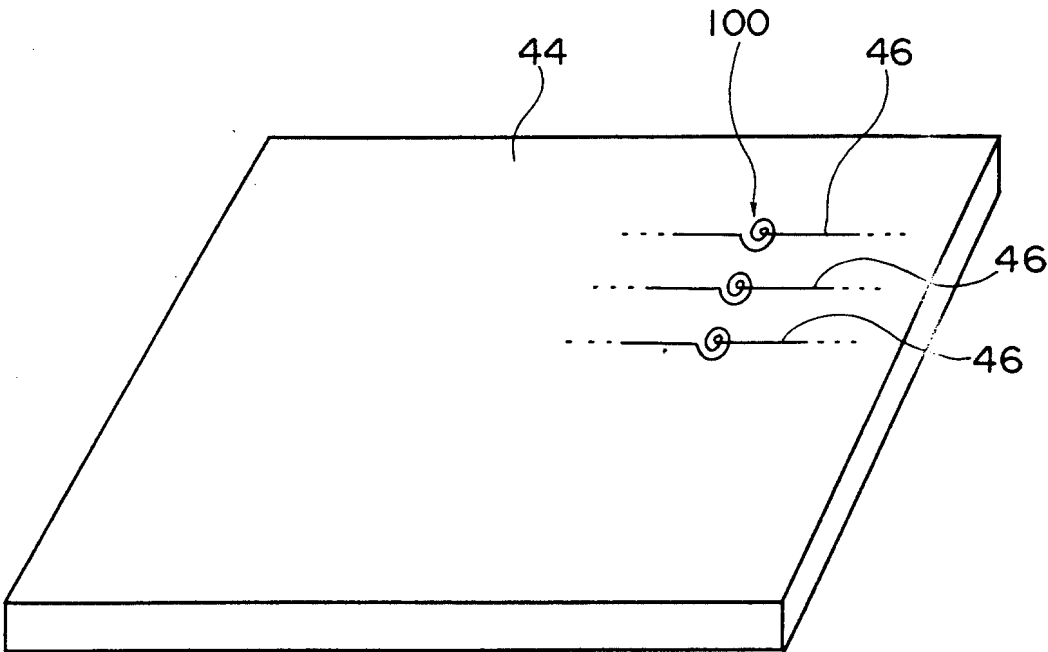
第31圖



第32圖

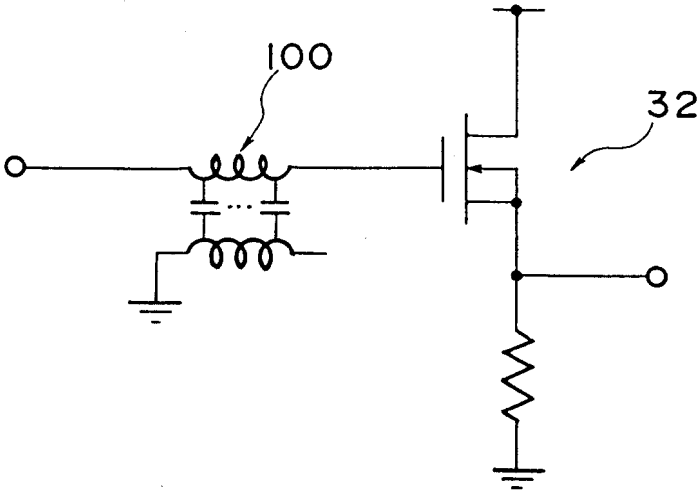


第33圖

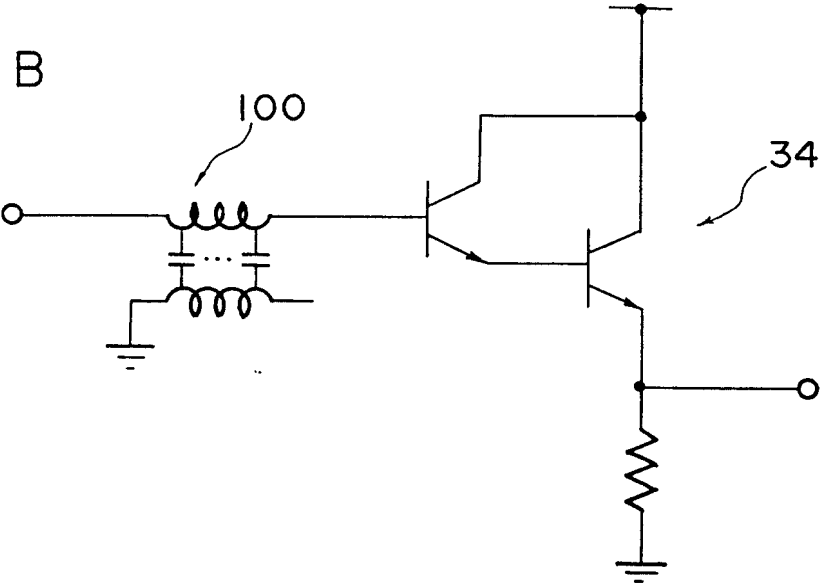


第34圖

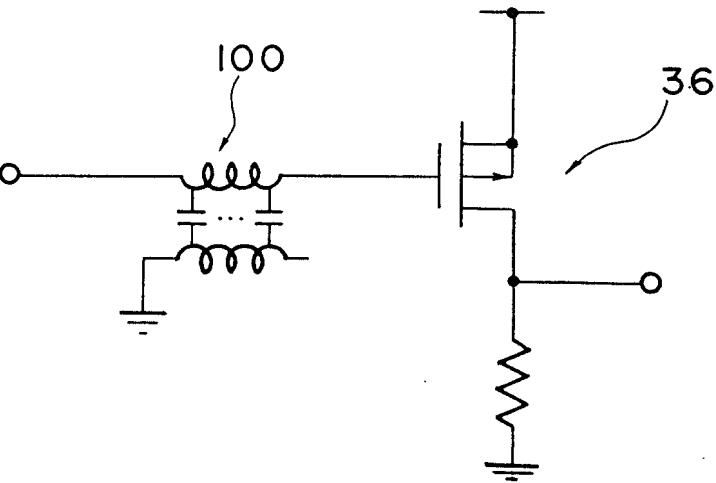
第35圖 A



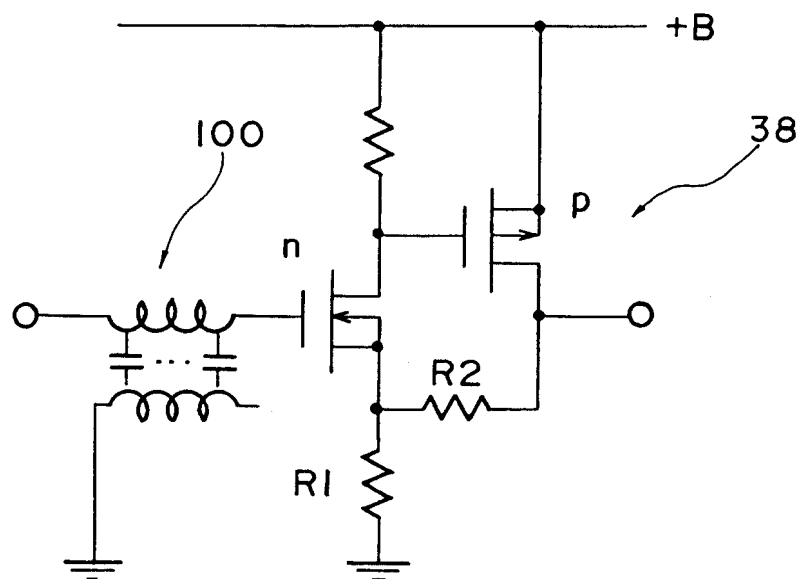
第35圖 B



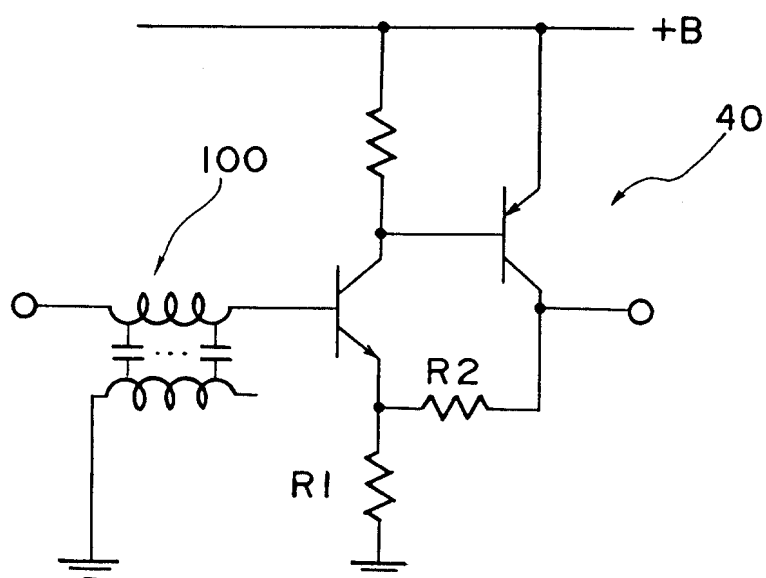
第35圖 C



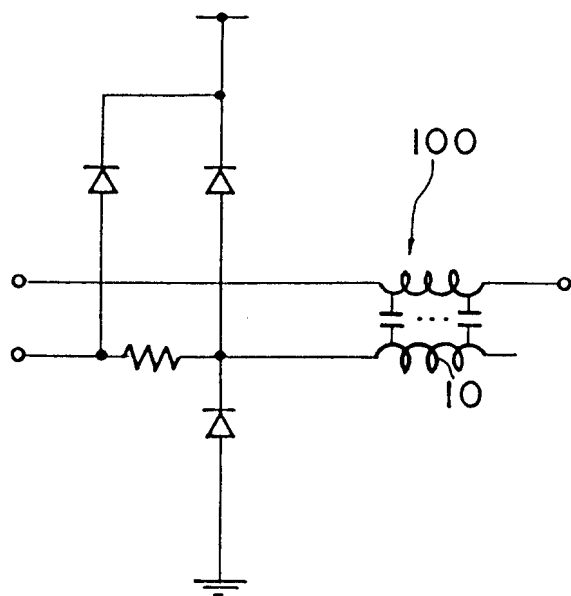
第36圖 A



第36圖 B



第37圖 A



第37圖 B

