

# 公告本

申請日期	86.6.7
案 號	86102875
類 別	G11C <sup>1/40</sup>

A4  
C4

419660

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	具有配置於單元陣列區塊的中央部分之感測放大器驅動器的半導體記憶體裝置
	英 文	
二、發明 創作人	姓 名	池田實成
	國 籍	日 本
	住、居所	日本國東京都港區芝五丁目七番一號 日本電氣股份有限公司內
三、申請人	姓 名 (名稱)	日本電氣股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國東都港區芝五丁目七番一號
	代 表 人 姓 名	金 子 尚 志

裝 訂 線

經濟部中央標準局員工消費合作社印製

419660

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

C6  
D6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權  
 日 本 1996年6月7日 平成8年特許願第146111號

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明 ( )

本發明係關於一種半導體記憶體裝置，尤其係有關於動態隨機存取記憶體(DRAM)中感測放大器之布局。

## 背景說明

DRAM 所需要的記憶容量日漸增加，為達成此一趨勢，需要  $0.6 \mu\text{m}$ ，甚或更小的細微設計標準。

在發展 DRAM 的細微結構時，除了微型記憶單元之外，用來連接此等微型記憶單元之線路也必須縮小；連接感測放大器(用來放大來自記憶單元之信號)與感測放大器驅動器(用來驅動感測放大器、字元線、位元線、...等)之感測放大器驅動線也必須變窄。為了使感測放大器能夠穩定操作，感測放大器必須以相同的電壓來驅動，因此，感測放大器驅動線之電阻必須非常小。

為減低感測放大器驅動線之電阻，日本專利公開號碼 Hei 6-275064 之案件揭露之 DRAM 中提出一記憶體陣列區域，包含複數個記憶單元、朝同一方向延伸之一對感測放大器驅動線、及與各自的感測放大器驅動線相連接之兩個感測放大器驅動器，其中此二感測放大器驅動器分別位於記憶體單元陣列區域的兩邊。在此範例中，另有驅動匯流排線路從感測放大器垂直延伸至感測放大器線路，並與各自之感測放大器線路相連。

與從只位於記憶體陣列區域一邊之感測放大器驅動器所延伸出之驅動匯流排相比，利用此種配置法可以配置多重驅動匯流排線路，因而能夠減低沿感測放大器驅動信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( )

線路之寄生電阻。

另外，在此等架構中，因為各感測放大器係以驅動匯流排線路連接到感測放大器線路，除了藉由感測放大器驅動線的連接之外，包括驅動匯流排線路在內之驅動線路的電阻均可降低，即使沿感測放大器驅動線之寄生電阻也會降低。

因為記憶單元的高度堆積及緊密架構，線路的多層結構化是無法避免的。此時若使用一般作為表面線路的材料--鋁，在熱處理的過程中可能會受到影響。因此，鋁並不適用於多層結構中。

某些研究中使用鎢作為多層結構線路並降低步驟數目。特別是使用鎢來覆蓋接觸孔。若此等方法可行，則覆蓋並置於接觸孔內之鎢並不需以蝕刻法移除，進而減低操作步驟的數目。

然而，因為鎢之電阻為鋁的三倍，為得到與鋁線路相同之電阻，鎢線路的寬度需為鋁線路之寬度的三倍。因此，若使用鎢線路，則無法製造高密度堆積結構的半導體記憶體裝置，亦無法得到高速的處理速度。

## 發明之綜合說明

因此，本發明的目的之一在於提供一種能夠減低感測放大器及感測放大器驅動器之間電阻之半導體記憶體裝置。

本發明的另一個目的在於提供一種能夠用於多層線路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( )

之半導體記憶體裝置。

本發明的另一個目的在於提供一種能夠使用鎢作為線路材料，但不受鎢之電阻所影響之半導體記憶體裝置。

本發明之半導體記憶體裝置包含：複數個記憶體區塊，其中至少一個區塊具有複數個記憶單元；複數個感測放大器，可被區分成第一群組及第二群組。第一群組中的感測放大器係由一第一感測致能信號(sense-enable signal)所啟動或驅動，而第二群組中的感測放大器則由一第二感測致能信號所啟動或驅動。此第一及第二感測致能信號則由各自獨立之第一或第二線路層所傳輸，在第一或第二線路層之間尚有一驅動器電路。

在一較佳實施例中，此驅動器電路包含第一及第二驅動器。第一驅動器產生第一感測致能信號，而第二驅動器產生第二感測致能信號。

在另一較佳實施例中，驅動器電路包含一驅動器及一選擇器。在第一狀態下此選擇器將驅動器產生之信號選擇成為第一感測致能信號，而在第二狀態下此選擇器將驅動器產生之信號選擇成為第二感測致能信號。使用前述之結構可以使各線路層之長度減少將近一半。因而可以使用如鎢一般具有較高電阻的材料作為驅動線路。

## 圖示之簡單說明

參照下文中之描述及所附之圖示，可以更了解本發明之目的、特性、及優點，其中：

## 五、發明說明 ( )

圖 1A 為本發明一較佳實施例之布局圖簡圖，顯示一 DRAM 晶片；

圖 1B 為本發明一實施例之平面圖，顯示一 DRAM 晶片中一單元陣列區塊之圖案布局；

圖 2 為圖 1B 中一感測放大器驅動器 SAD1(或 SAD2)之電路簡圖；

圖 3 為圖 1B 所示之 DRAM 中一感測放大器之電路簡圖；

圖 4 為本發明另一實施例之半導體記憶體裝置的一部分之放大簡圖；

圖 5 為顯示本發明另一實施例之半導體記憶體裝置的一部分之簡圖；

圖 6 顯示圖 5 中感測放大器驅動器 SAD 及選擇電路 SEL 之電路簡圖；及

圖 7 為圖 6 所示電路操作時之時間圖。

## 較佳實施例之詳細說明

參考圖 1A，本發明第一實施例之 DRAM 包含複數個單元記憶體單元陣列區塊 10-1 至 10-6，排列成複數個列及兩行。各區塊 10 具有大量的記憶單元，以提供總共 64 M-bits 或 256 M-bits 之 DRAM。

因為各區塊 10 不論是在電路結構或是圖案布局均完全相同，以下將參照圖 1B 來討論記憶區塊 10-1。

圖 1B 中，單元記憶區塊 10 包含複數個記憶單元及周

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明 ( )

邊電路，如各單元之感測放大器。因此，單元記憶區塊 10 亦可視為一記憶單元陣列。

在本說明中，單元記憶區塊 10-1 共具有 1024 對字元線，於是提供之 1024 個感測放大器 SA-1 至 SA-1024 均與所伴隨之字元線 BL 相耦合。此等感測放大器被一對感測致能信號線 SAN 及 SAP 所驅動或啟動。

於此種連接方式中，記憶體區塊 10-1 被劃分成四個副區塊，包括：左上方之 15A、右上方之 15B、左下方之 15C、及右上方之 15D。中間的區域則被設定成包括一第一區域 11、夾在副區塊 15A 及 15B 中間之第二區域 12、及夾在副區塊 15C 及 15D 之間的第三區域 13。512 個感測放大器 SA-1 至 SA-512 排列於第二區域 12 內，512 個感測放大器 SA-513 至 SA-1024 則位於第三區域 13 內。感測放大器 SA-1 到 SA-512 一般由感測致能信號 SAP-1 及 SAN-1 所驅動，其餘感測放大器 SA-513 至 SA-1024 則由感測致能信號 SAP-2 及 SAN-2 所驅動。另外，此記憶體為共用感測放大器型。也就是說，副區塊 15A 及副區塊 15B 的記憶體單元共用感測放大器 SA-1 至 SA-512。相同的，副區塊 15C 及副區塊 15D 的記憶體單元共用感測放大器 SA-513 至 SA-1024。因此，每一個感測放大器 SA 的兩邊都必須使用傳輸閘來選擇副區塊 15A(C)或是 15B(15D)其中之一。

雖然圖示之區域 11 及 13 佔有相當大的面積，實際上此等區域遠較各副區塊為窄小。

本發明中第一及第二感測放大器驅動器 SAD1 及

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明( )

SAD2 位於第一區域 11 之中心。驅動器 SAD1 用來控制感測放大器 SA-1 至 SA-512 之導線 SAP-1 及 SAN-1 的階級，而驅動器 SAD1 被用來控制感測放大器 SA-513 至 SA-1024 之導線 SAP-2 及 SAN-2 的階級。換言之，此二驅動器 SAD1 及 SAD2 分別作用於兩組感測放大器 SA。

圖 1B 中未顯示之一對傳輸閘驅動器位於第一區域 11 的空白區。其中之一控制各感測放大器 SA 左側之傳輸閘 TG 的開/關，另一則控制各感測放大器 SA 右側之傳輸閘 TG 的開/關。

在副區塊 15A 至 15D 中，X 或列解碼器 XDEC16A 到 XDEC16D 之排列係從第一至第四單元片段區域 15A 至 15D 的中心沿橫向延伸。在 X 解碼器 XDEC16A 到 XDEC16D 中，字元線 WL 垂直延伸，而與感測放大器驅動線平行。感測放大器連接至位元線，此位元線係以與字元線相交錯的方向延伸，且感測放大器之輸出傳送至位元線。

參照圖 2，各感測放大器驅動器 SAD1 及 SAD2 包括兩個 P 通道 MOS 電晶體 21p 及 22p，與兩個 N 通道 MOS 電晶體 23n 及 24n，此等電晶體連接於電源線 Vcc 與接地電位之間。P 通道 MOS 電晶體 21p 之源極連接至電源，其汲極則與 P 通道 MOS 電晶體 22p 之源極相連接。從 P 通道 MOS 電晶體 21p 及 22p 的共用連接點輸出一感測放大器驅動信號 SAP。P 通道 MOS 電晶體 22p 之汲極連接到 N 通道 MOS 電晶體 23n 之汲極。N 通道 MOS 電晶體 23n 之

## 五、發明說明 ( )

源極接至 N 通道 MOS 電晶體 24n 之汲極，且 N 通道 MOS 電晶體 24n 之源極接地。如圖所示，從 N 通道 MOS 電晶體 23n 及 24n 之共用連接點輸出一感測放大器驅動信號 SAN。

於 P 通道 MOS 電晶體 22p 及 N 通道 MOS 電晶體 23n 的共用連接點施加一電壓值為  $1/2 V_{cc}$  之預充電電壓 VPR。

此外，互為反相的感測放大器驅動電路致能信號  $\phi$  及  $\phi'$  被施加於 P 通道 MOS 電晶體 21p 及 N 通道 MOS 電晶體 24n 的閘極，而致能信號 R 及 R' 被施加於電晶體 22p 及 23n 的閘極。

當感測放大器驅動電路致能信號  $\phi$  及  $\phi'$  傳送到 P 通道 MOS 電晶體 21p 及 N 通道 MOS 電晶體 24n，且致能信號 R 及 R' 被施加於電晶體 22p 及 23n 的閘極時，各電晶體變成“開”，且輸出感測放大器驅動信號 SAP 及 SAN，其極性與預充電電壓  $1/2 V_{cc}$  相反。

如圖 3 所示，接收此等感測放大器驅動信號 SAP 及 SAN 之各感測放大器 SA 包含一具有二個 P 通道 MOS 電晶體 25p 及 26p 及二個 N 通道 MOS 電晶體 27n 及 28n 之正反器電路。在此正反器中，P 通道 MOS 電晶體 25p 及 26p 之源極互相連接，P 通道 MOS 電晶體 25p 及 26p 之汲極連接至 N 通道 MOS 電晶體 27n 及 28n 之汲極，而 N 通道 MOS 電晶體 27n 及 28n 之源極互相連接。P 通道及 N 通道 MOS 電晶體 25p 及 27n 之閘極互相連接，其共用閘極連結則連

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明 ( )

接到 P 通道及 N 通道 MOS 電晶體 26p 及 28n 之共用汲極連結，以位元線 BL1 來傳達。同樣的，P 通道及 N 通道 MOS 電晶體 26p 及 28n 之閘極互相連接，其共用閘極連結則連接到 P 通道及 N 通道 MOS 電晶體 25p 及 27n 之共用汲極連結，以位元線 BL2 來傳達。位元線 BL1 與 BL2 被預充電至  $1/2 V_{cc}$ 。當接收到感測放大器驅動信號 SAP 及 SAN 時，輸出信號與儲存在和所選擇字元線相連接的單元之內容一致的傳送通過位元線 BL1 及 BL2。

圖 1 中感測放大器驅動器 SAD1 及 SAD2 係使用如圖 2 所示之感測放大器驅動器。在晶片之中間區域 11 中具有供應感測放大器驅動器 SAD1 及 SAD2 所需信號(R、R'、 $\phi$ 、及 $\phi'$ )、預充電信號 VPR、及電源電壓  $V_{cc}$  的線路。

在此實施例中，單元記憶體區塊 10 中具有二個感測放大器驅動器 SAD1 及 SAD2。感測放大器驅動器 SAD1 及 SAD2 驅動分布於記憶體區塊 10 內之感測放大器(1024 個感測放大器)。

與只使用單一個感測放大器驅動器的情況相比較，從兩個感測放大器驅動器 SAD1 及 SAD2 垂直延伸之感測放大器驅動線之長度可以減少一半。這表示距離感測放大器驅動器 SAD1 及 SAD2 最遠之感測放大器所受到之延遲影響亦會減半。

因為感測放大器驅動線之長度可以減少一半，具有較高電阻的鎢亦可以用來形成感測放大器驅動線。若使用鎢來形成感測放大器驅動線，與使用鋁所需步驟的數目相

(請先閱讀背面之注意事項再填寫本頁)

表

訂

後

## 五、發明說明 ( )

比，則可以減少所需步驟的數目。

更詳細的說，因為其電阻的關係，鎢的塗佈通常使用來覆蓋接觸孔，而以鋁作為接觸孔之線路。若感測放大器驅動線之長度可以如圖 1 所示般減少，則鎢除了形成接觸孔之外，亦可作為線路之用。一般在填充接觸孔之前，需要以蝕刻步驟將留存在基材上之鎢去除，但若是使用鎢來作為線路，則可以省略蝕刻的步驟而減少步驟的數目。

圖 4 所示之本發明另一實施例中具有兩個平行排列在其記憶體區塊 10 的中間區域 11 之感測放大器驅動器 SAD1 及 SAD2。一對驅動器驅動線路從感測放大器驅動器 SAD1 向上延伸，而另一對驅動器驅動線路則從感測放大器驅動器 SAD2 向下延伸。感測放大器驅動信號 SAP 及 SAN 分別經過各自的一對驅動器驅動線路輸出。在此實施例中，因為此二感測放大器驅動器 SAD1 及 SAD2 係平行排列在記憶體區塊 10 的中間區域，此中間區域可以比圖 1 所示之實施例作更有效的運用。

圖 5 及圖 6 顯示本發明的又一個實施例之半導體記憶體裝置。在此實施例中，單一個感測放大器驅動器 SAD 及一選擇器 SEL 位於中間區域 11 內，而感測放大器驅動器 SAD 的輸出可由選擇器 SEL 來選擇。在此例中，感測放大器驅動信號 SAP 及 SAN 由選擇器 SEL 所控制並且選擇性的傳輸到第一或第二感測放大器區域 12 及 13。

圖 6 顯示一感測放大器驅動器 SAD 與選擇器 SEL 組合之範例。一感測放大器驅動電路致能信號  $\phi$  及一驅動器選

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明( )

擇信號 S1 傳到感測放大器驅動器 SAD，驅動線路選擇信號 S2 則傳到選擇器 SEL。感測放大器驅動器 SAD 包含一個 P 通道 MOS 電晶體 31p、二個 N 通道 MOS 電晶體 32n 及 33n、一 NAND 閘 34、及反相器 35 及 36。

從圖 6 可以明顯的看出，依據感測放大器驅動電路致能信號  $\phi$  及驅動器選擇信號 S1，感測放大器驅動器 SAD 將感測放大器驅動信號 SAP 及 SAN 輸出到 N 通道 MOS 電晶體 32n 之末端。

選擇器 SEL 包含兩對 N 通道電晶體 41a 與 41b，及 42a 與 42b，並連接至 N 通道 MOS 電晶體 32n 之末端。驅動線路選擇信號 S2 經由反相器 43 傳輸到 N 通道 MOS 電晶體 41a 與 41b 之閘極，並直接傳輸到 N 通道 MOS 電晶體 42a 與 42b 之閘極。

在此種排列方式中，當驅動線路選擇信號 S2 攜帶一邏輯的“1”時，感測放大器驅動信號 SAP 及 SAN 透過 N 通道 MOS 電晶體 42a 與 42b 傳輸到第二感測放大器區域 13。當驅動線路選擇信號 S2 攜帶一邏輯的“0”時，感測放大器驅動信號 SAP 及 SAN 則透過 N 通道 MOS 電晶體 41a 與 41b 傳輸到第一感測放大器區域 12。

圖 6 所示範例之操作亦請參照圖 7。當一列位址閃控 (Row address strobe) RAS 降低，感測放大器驅動電路致能信號  $\phi$  增高，在此同時，傳到 SEL 之驅動線路選擇信號 S2 攜帶一邏輯的“0”或“1”，與一給定之位址一致。在此實施例中，如前文所述，當從感測放大器驅動器 SAD 向下延伸之

(請先閱讀背面之注意事項再填寫本頁)

表

訂

表

## 五、發明說明( )

驅動線路被選擇，驅動線路選擇信號 S2 攜帶一邏輯的"1"。若從感測放大器驅動器 SAD 向上延伸之驅動線路被選擇，則驅動線路選擇信號 S2 攜帶一邏輯的"0"。

當字元線之階級增加，且單元資料傳到位元線之傳輸已經完成時，驅動器選擇信號 S1 增高。因此，圖 7 中之感測放大器驅動信號 SAP 及 SAN 輸出到圖 5 或圖 6 所示向上或向下延伸的驅動線路其中之一。單元資料在感測放大器驅動信號 SAP 及 SAN 輸出的時期被放大。

若採用上述之控制單一個感測放大器驅動器 SAD 輸出的排列法，與圖 1 及圖 4 所示之使用兩個感測放大器驅動器 SAD 的範例相比，可以減少晶片的面積，並可以減少製造的成本。

又因為本發明中感測放大器驅動線的長度可以縮短一半，使用高電阻之鎢所作之線路可以得到與使用鋁所形成的線路相同的效果。此外，可以減少製造步驟的數目。

依據本發明，因為一由預定數目的感測放大器所驅動之記憶體單元區域被分成兩個感測放大器區域，且由於有感測放大器驅動器提供予各感測放大器，從感測放大器驅動器延伸到感測放大器區域之感測放大器驅動線的長度可以減短。當感測放大器驅動線為鋁製時，可以減少由感測放大器驅動器所造成之驅動延遲。即使以鎢來形成感測放大器驅動線，亦可製造出不受鎢之高電阻所影響的半導體記憶體裝置。

(請先閱讀背面之注意事項再填寫本頁)

長

訂

後

四、中文發明摘要 (發明之名稱：具有配置於單元陣列區域的中央部分之感測放大器  
驅動器的半導體記憶體裝置 )

一種半導體記憶體裝置，備有複數個感測放大器，可區分為兩組。尚有驅動線路，各自延伸至所對應之各組感測放大器，用來獨自驅動所對應之一組感測放大器。各驅動線路之長度因而減少至一半，而增快操作速度。

英文發明摘要 (發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

### 1. 一種半導體記憶體裝置，包含：

複數個記憶體單元陣列區塊，其中至少一個該記憶體單元陣列區塊具有複數個記憶體單元；

複數個感測放大器，該複數個感測放大器被區分成第一組及第二組，該第一組中之感測放大器受一第一感測致能信號之啓動，該第二組中之感測放大器受一第二感測致能信號之啓動；

一第一線路層，連接至該第一組中之各感測放大器以傳送該第一感測致能信號；

一第二線路層，獨立於該第一線路層之外，與該第二組中之各感測放大器連接以傳送該第二感測致能信號；及

一驅動器電路，位於該第一及第二線路層之間，用以產生該第一及第二感測致能信號。

2. 如申請專利範圍第 1 項之半導體記憶體裝置，其中該驅動器電路包含：

一第一驅動器，用來產生該第一感測致能信號；及

一第二驅動器，用來產生該第二感測致能信號；

該第一及第二線路層沿一第一方向成近似直線排列；該第一及第二驅動器位於該第一及第二線路層之間，沿該第一方向成近似直線排列。

3. 如申請專利範圍第 1 項之半導體記憶體裝置，其中該驅動器電路包含：

一第一驅動器，用來產生該第一感測致能信號；及

一第二驅動器，用來產生該第二感測致能信號；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

該第一及第二線路層沿一第一方向成近似直線排列；  
該第一及第二驅動器位於該第一及第二線路層之間，沿與  
該第一方向交叉之第二方向，成近似直線排列。

4. 如申請專利範圍第 1 項之半導體記憶體裝置，其中  
該驅動器電路包含：

- 一驅動器，用來產生第三感測致能信號；及
- 一選擇器，當取第一狀態時，將該第三感測致能信號  
當成該第一感測致能信號進行傳輸，當取第二階段時，將  
該第三感測致能信號當成該第二感測致能信號進行傳輸。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

(請先閱讀背面之注意事項再行繪製)

表  
訂

圖式

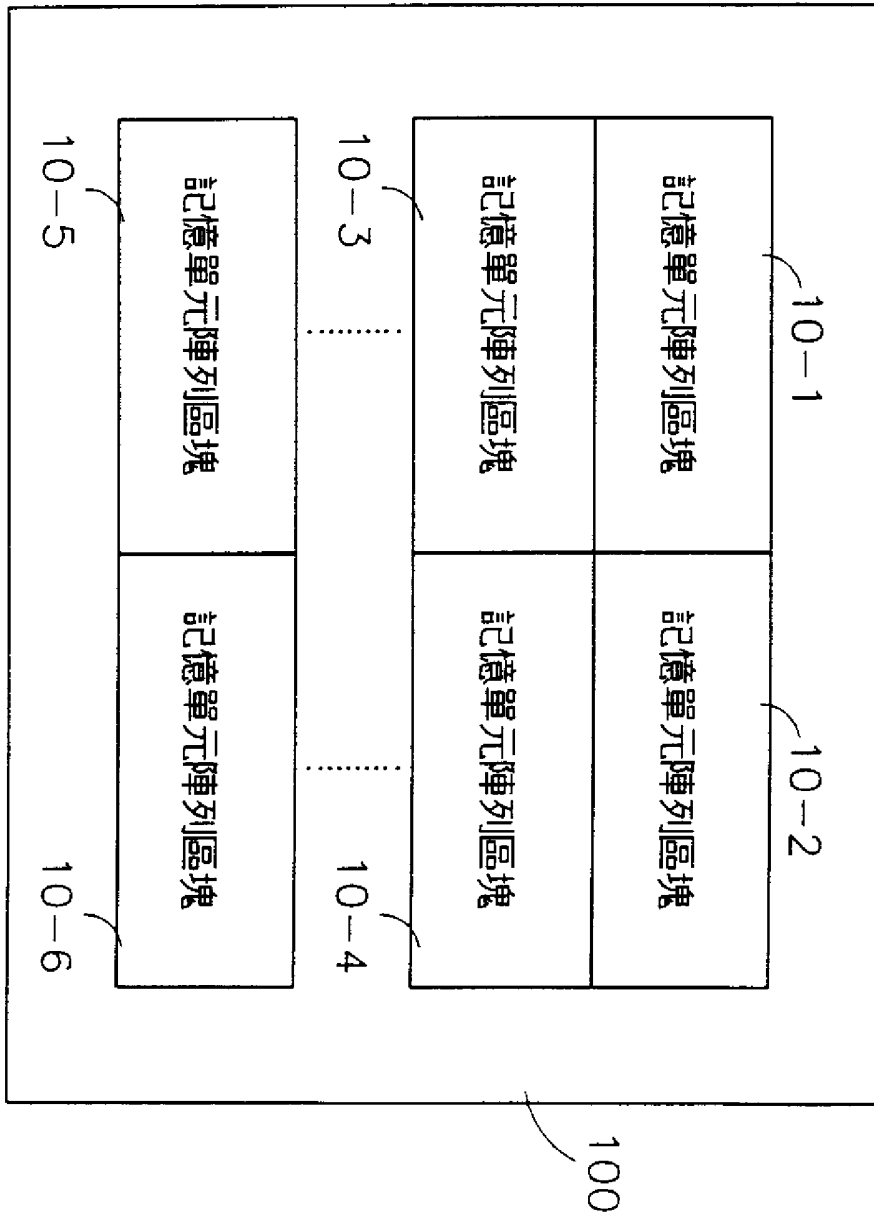


圖 1A

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式

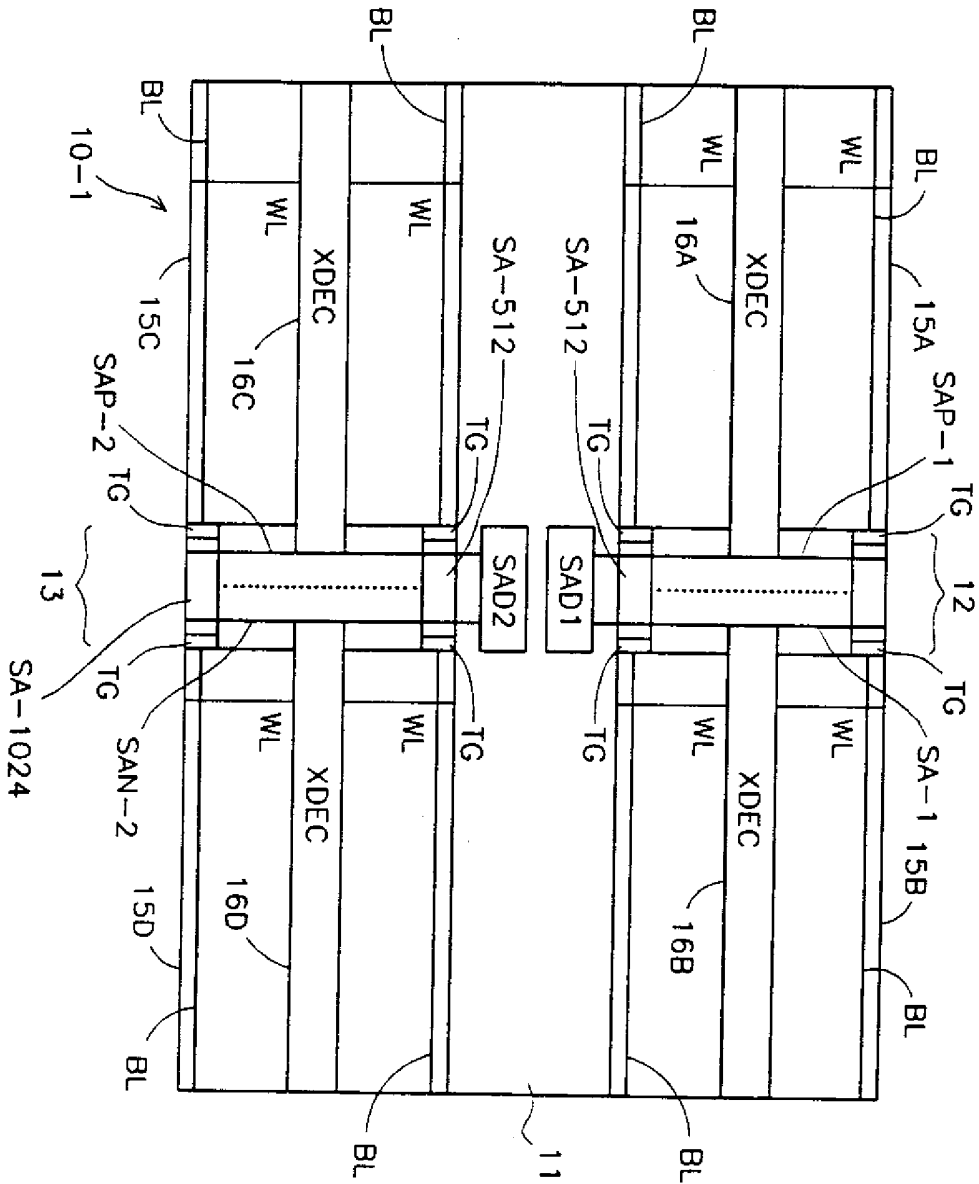


圖 1B

圖式

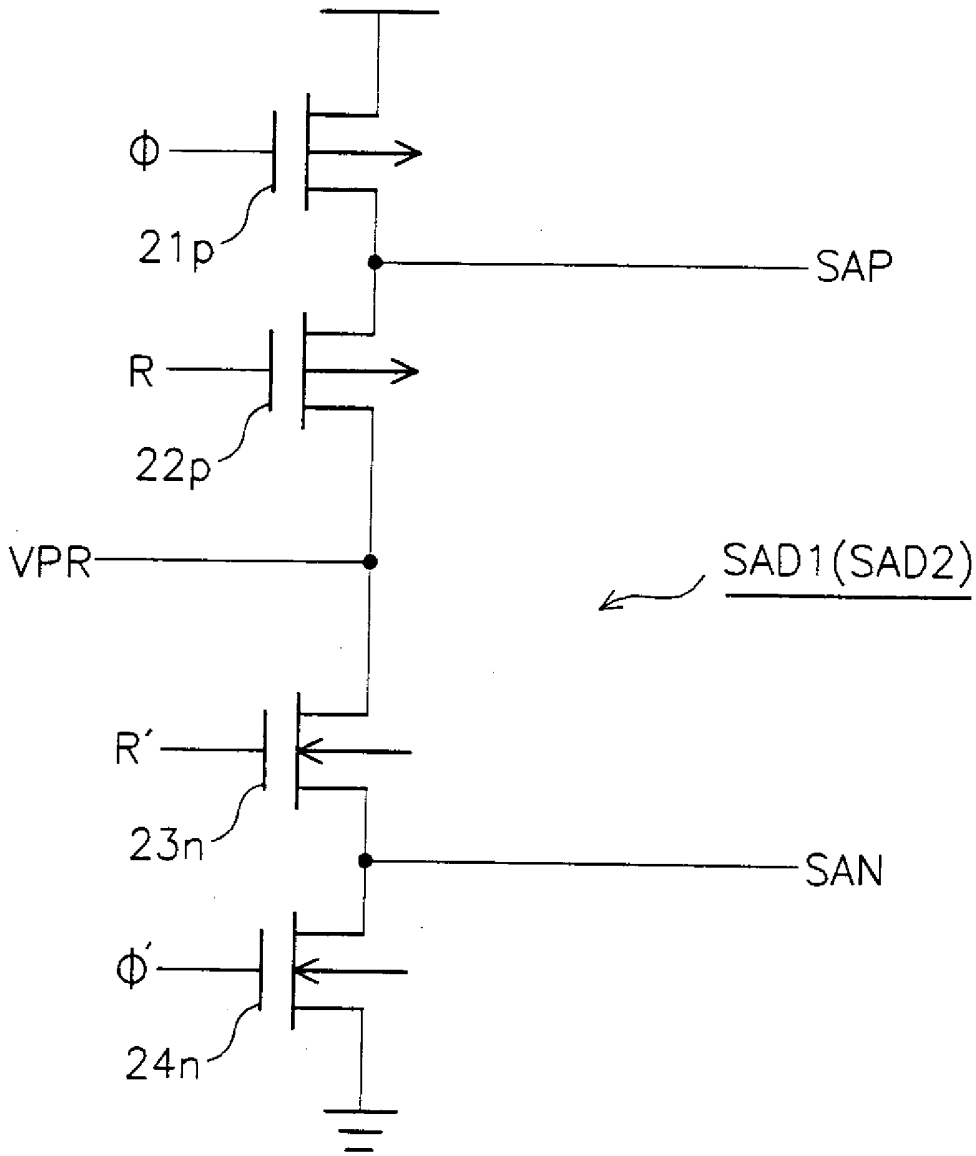


圖 2

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式

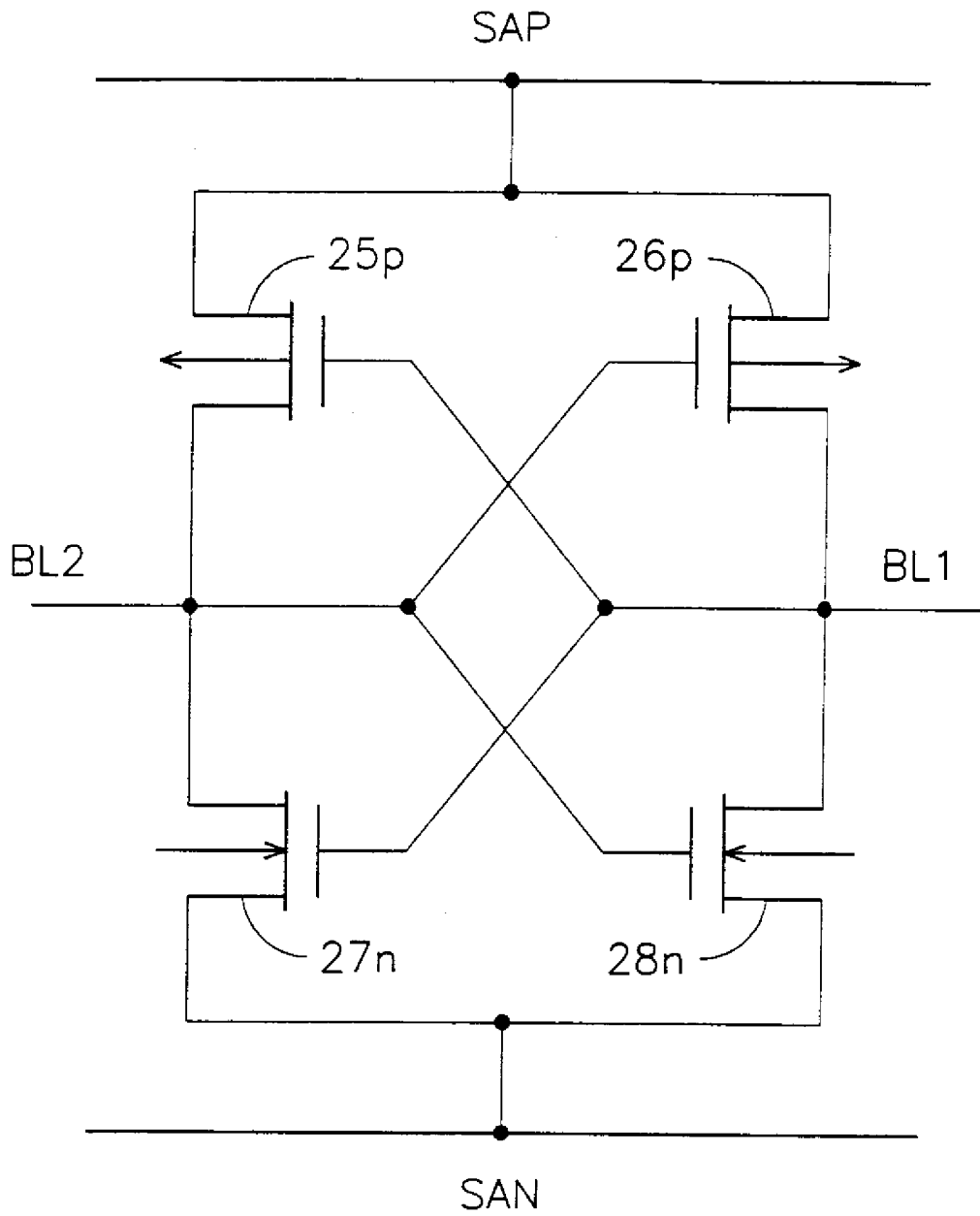


圖 3

(請先閱讀背面之注意事項再行繪製)

裝

訂

後

圖式

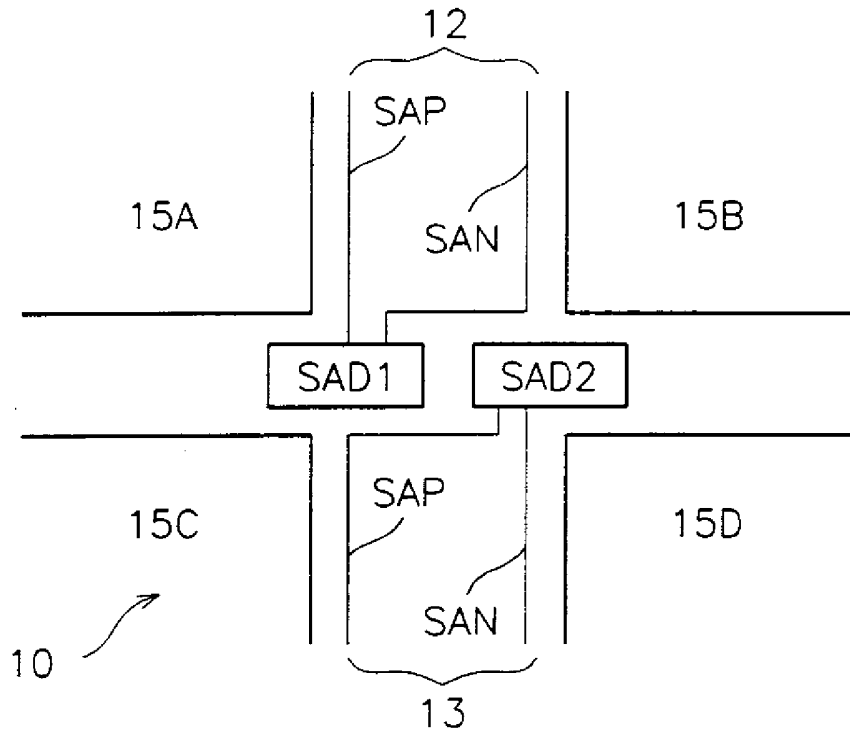


圖 4

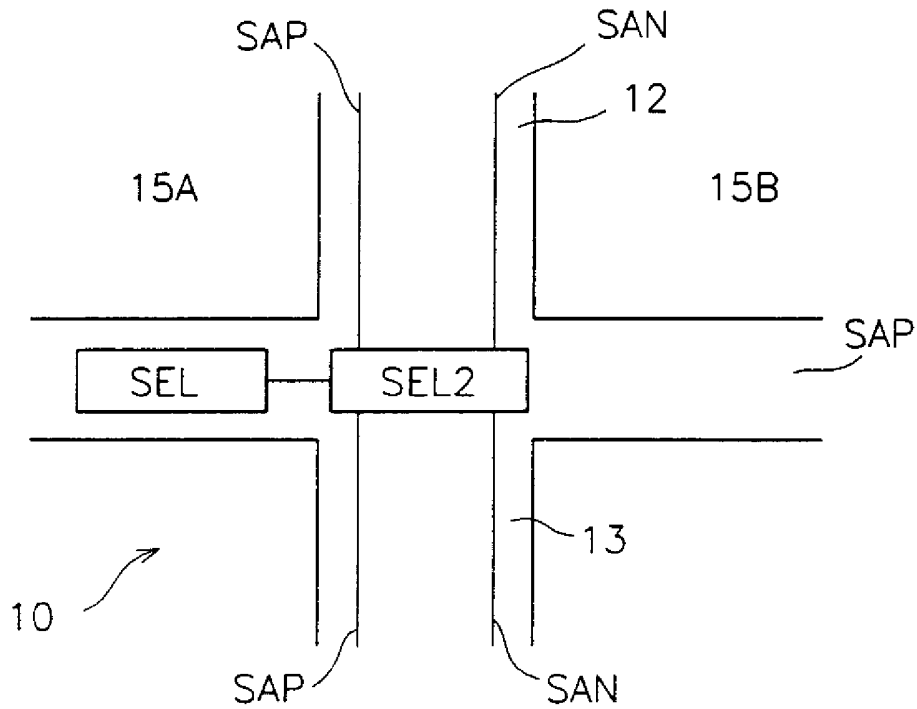


圖 5

(請先閱讀背面之注意事項再行繪製)

裝

訂

線

經濟部中央標準局員工消費合作社印製

圖式

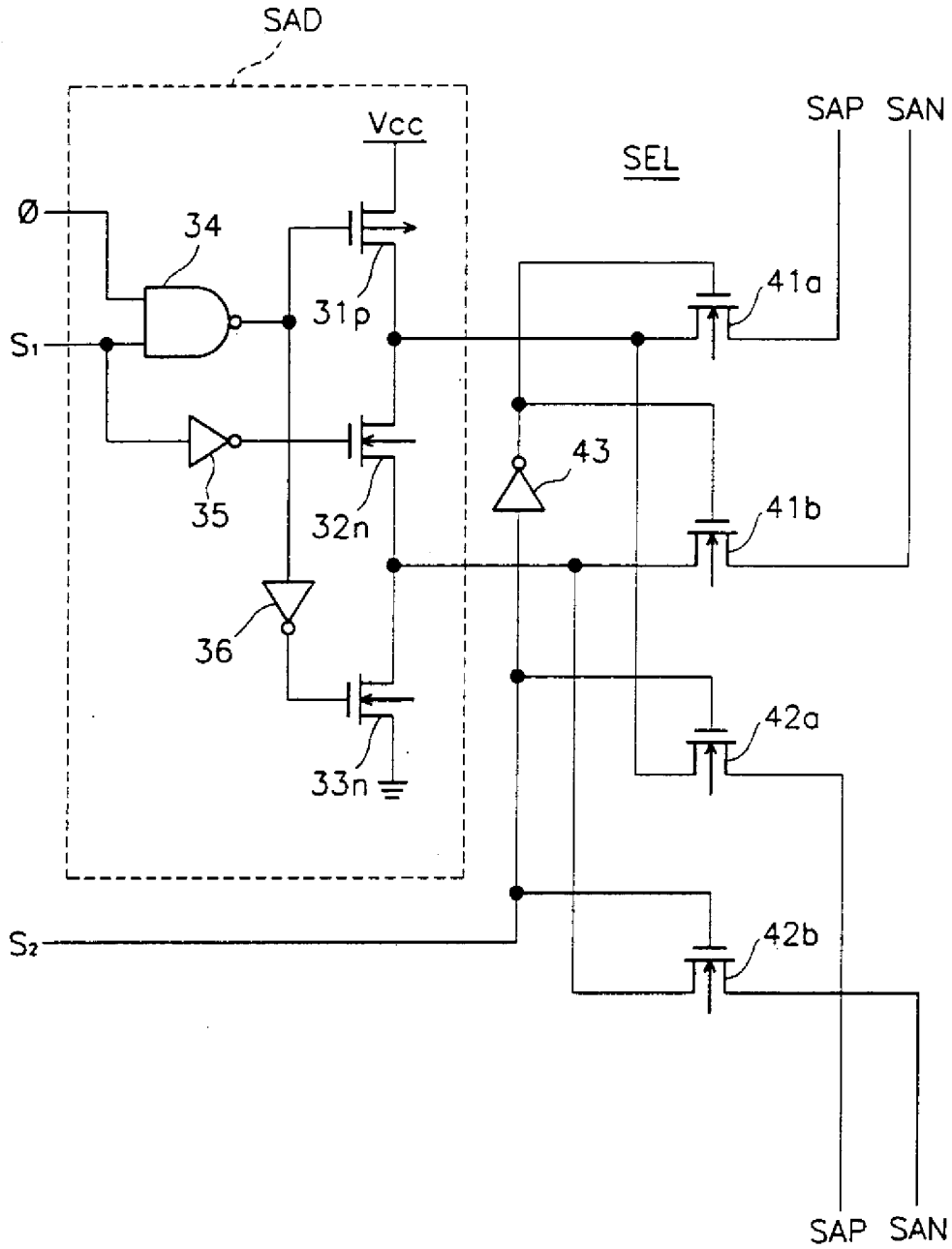


圖 6

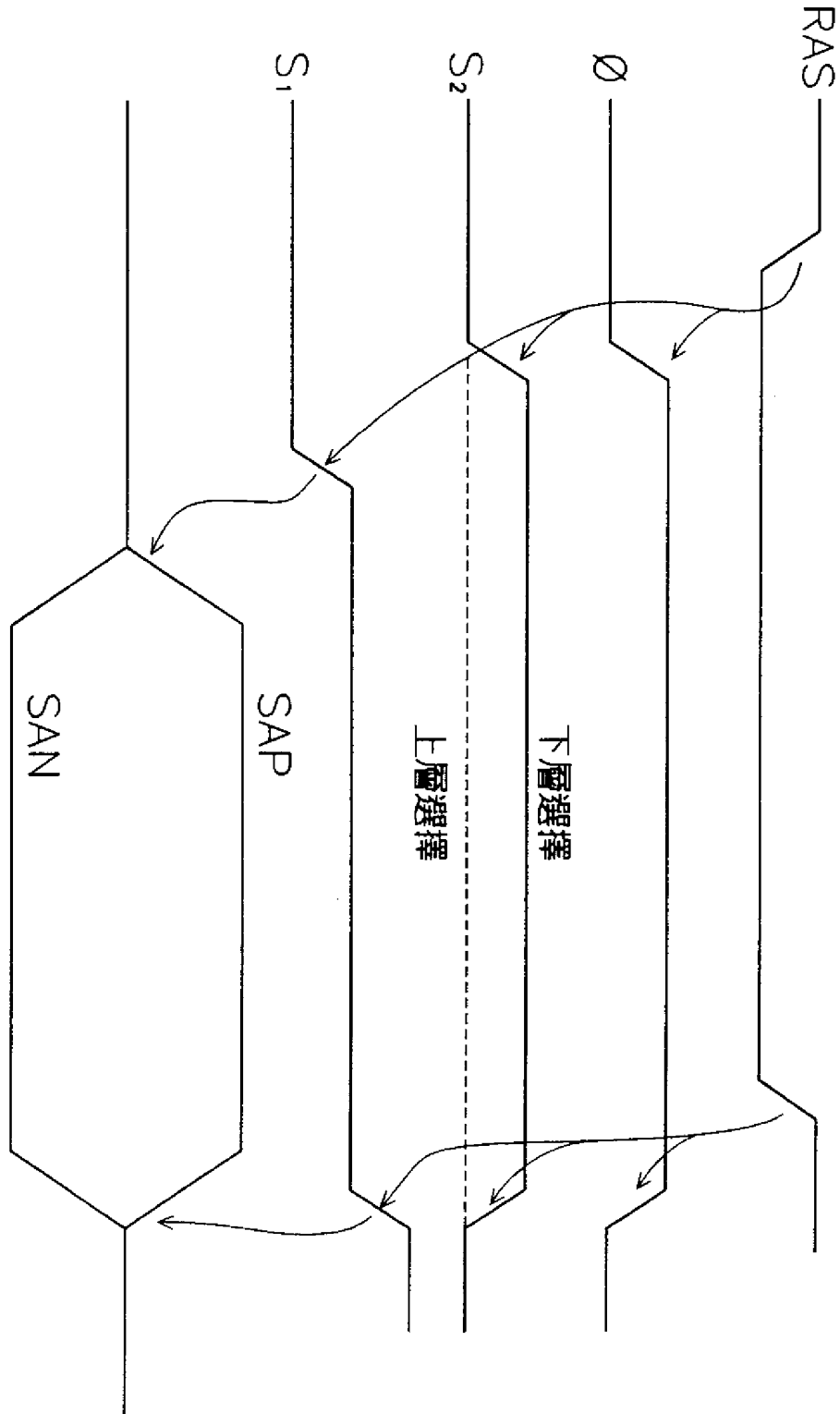
(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式



7

(請先閱讀背面之注意事項再行繪製)

裝 訂 線