(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3604861号
(P3604861)
(45)発行日　平成16年12月22日(2004.12.22)　(24)登録日　平成16年10月8日(2004.10.8)

(51)Int.Cl.[7]	F I		
G11C 11/413	G11C	11/34	J
G11C 11/401	G11C	11/34	362S
G11C 11/407	G11C	11/34	362C

請求項の数 3　(全 22 頁)

(21)出願番号　特願平9-74489
(22)出願日　平成9年3月11日(1997.3.11)
(65)公開番号　特開平10-255475
(43)公開日　平成10年9月25日(1998.9.25)
審査請求日　平成14年4月5日(2002.4.5)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　宮田　修作
東京都小平市上水本町五丁目２０番１号
株式会社　日立製作所　半導体事業部内

審査官　長島　孝志

(56)参考文献　特開平０８－０４５２７７（ＪＰ，Ａ）
特開平０７－１８２８７０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/401-11/419

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
クロック信号に従って同期動作し、ライト動作の指示に対してメモリセルへの書き込み動作を１ないし複数サイクル遅れで実施し、リード動作の指示に対して、スタティック型メモリセルからの読み出し信号の出力動作を１ないし複数サイクル遅れで実施するとともに、ライト動作指示の次サイクルでのリード動作指示を許容するものであって、
上記リード動作指示が行われるたサイクルと、それ以前に指示されたライト動作に対応した上記メモリセルへの書き込み動作とが競合したときにはかかるメモリセルへの書き込み動作が禁止され、メモリセルが接続された相補データ線及び共通データ線のイコライズ動作が実行され、
上記禁止された書き込み動作は、レジスタに保持されたアドレス信号及び書き込みデータにより上記リード動作指示又はその後に連続したリード動作指示のうちの最後のリード動作指示に対応したメモリセルの選択動作の次サイクルに実施されることを特徴とする半導体記憶装置。
【請求項２】
請求項１において、
上記ライト動作指示とメモリセルへの書き込み動作は、第ｑのサイクルでライト動作指示とアドレス信号を取り込み、それに対応したライトデータを入出力端子から第ｑ＋１のサイクルで取り込み、かかるライトデータをｑ＋２のサイクルにおいてメモリセルに書き込むものであり、

上記リード動作指示とメモリセルからの読み出し動作は、第ｒのサイクルでのリード動作指示とアドレス信号を取り込み、センスアンプ動作を含む読み出し動作をｒ＋１のサイクルにおいて行い、上記入出力端子への信号出力動作ｒ＋２のサイクルで実行するものであることを特徴とする半導体記憶装置。

【請求項３】

請求項２において、

上記リード動作指示との競合によってメモリセルへの書き込み動作が行われなかった連続するライト動作指示に関するライトアドレス及びライトデータをそれぞれ保持する２個のアドレスレジスタ及び入力データレジスタと、

リードサイクルに関するリードアドレスと上記アドレスレジスタに保持されるライトアドレスとをそれぞれ比較照合しその結果に応じて対応する上記入力データレジスタに保持されるライトデータをそのままリードデータとしてそれぞれ選択的に出力するための２個のアドレス比較回路とを更に具備するものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は半導体記憶装置に関するもので、例えば、ＥＷＳ（エンジニアリング・ワーク・ステーション）等のキャッシュメモリを構成するシンクロナスＳＲＡＭ（スタティック・ランダム・アクセス・メモリ）ならびにそのサイクルタイムの高速化に利用して特に有効な技術に関するものである。

【０００２】

【従来の技術】

クロック信号に従って同期動作するシンクロナスＳＲＡＭがある。また、このようなシンクロナスＳＲＡＭを中心とするキャッシュメモリがあり、このようなキャッシュメモリを備えるＥＷＳ等のデジタルシステムがある。

【０００３】

【発明が解決しようとする課題】

本願発明者等は、この発明に先立って、ＥＷＳ用のキャッシュメモリとなるシンクロナスＳＲＡＭを開発しようとして、次の問題点に気付いた。すなわち、このシンクロナスＳＲＡＭは、図９及び図１０に示されるように、相補クロック信号Ｋ＊（ここで、例えば非反転クロック信号Ｋ及び反転クロック信号／Ｋからなる相補信号を、相補クロック信号Ｋ＊のように＊を付して表す。また、それが有効とされるとき選択的にロウレベルとされる反転信号等については、反転クロック信号／Ｋのようにその略号の先頭に／を付して表す。以下同様）が有効レベル（ここで、例えば相補クロック信号Ｋ＊の非反転信号がハイレベルとされ、その反転信号がロウレベルとされることを有効レベルと称する。以下同様）へ変化するタイミングＴ１～Ｔ１１等でチップ選択信号／ＳＳが有効レベルつまりロウレベルとされることで、選択的に選択状態とされる。また、その動作モードは、各タイミングにおいてライトイネーブル信号／ＳＷＥがハイレベルとされることで選択的にリードサイクル（ＲＥＡＤ）とされ、がロウレベルとされることで選択的にライトサイクル（ＷＲＩＴＥ）とされる。

【０００４】

例えばタイミングＴ１のリードサイクルにおいて、アドレス入力端子ＳＡ０～ＳＡｋから入力されるリードアドレスＡＲ１は、そのサイクル内でシンクロナスＳＲＡＭのＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤに伝達されてデコードされ、これによってメモリアレイＭＡＲＹの対応するアドレス（ＡＲ１）が選択される。この選択アドレス（ＡＲ１）の読み出し信号は、タイミングＴ２で始まる次のサイクルにかけてセンスアンプＳＡにより増幅されてリードデータＤＲ１となり、タイミングＴ３でアクセス装置に取り込まれるべくデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８から出力される。

【０００５】

一方、例えばタイミングＴ３のライトサイクルの場合、アドレス入力端子ＳＡ０～ＳＡｋから入力されるライトアドレスＡＷ１は、タイミングＴ４で始まるサイクルでＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤによりデコードされ、これによってメモリアレイＭＡＲＹのアドレス（ＡＷ１）が選択される。また、シンクロナスＳＲＡＭは、いわゆる１レイトライト（Ｌａｔｅ　Ｗｒｉｔｅ）方式を採り、選択アドレス（ＡＷ１）に書き込むライトデータＤＷ１は、タイミングＴ４でデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８から入力され、タイミングＴ５で始まるサイクルにかけてライトアンプＷＡからメモリアレイＭＡＲＹの選択アドレス（ＡＷ１）に書き込まれる。

【０００６】

ところで、シンクロナスＳＲＡＭは、タイミングＴ５及びＴ６に例示されるように、ライトサイクルの次サイクルでのリードサイクルを許容し、その仕様書で保証する。また、シンクロナスＳＲＡＭは、図８に例示されるように、３個のＰチャンネルＭＯＳＦＥＴ（金属酸化物半導体型電界効果トランジスタ。この明細書では、ＭＯＳＦＥＴをして絶縁ゲート型電界効果トランジスタの総称とする）Ｐ３～Ｐ５からなるデータ線イコライズ回路を含み、これらのＭＯＳＦＥＴは、イコライズ制御信号ＥＱがロウレベルとされることで選択的にオン状態となってメモリアレイＭＡＲＹの対応する相補データ線Ｄ０＊等の非反転及び反転信号線を電源電圧ＶＣＣのようなハイレベルにイコライズする。この相補データ線Ｄ０＊等のイコライズに要する時間は動作モードによって異なり、リードサイクルのイコライズ所要時間Ｔｅｑｒは、相補データ線Ｄ０＊における読み出し信号の振幅が比較的小さいために短くて済むが、ライトサイクルにおけるイコライズ所要時間Ｔｅｑｗは、書き込み信号がフルスィングされるために長くなる。

【０００７】

シンクロナスＳＲＡＭは、例えばそのライトデータＤＷ３が直後のリードサイクルの開始点となるタイミングＴ６で入力されるライトサイクルについては、内蔵するアドレスレジスタＡＲ２及び入力データレジスタＩＲ１によってライトアドレスＡＷ３及びライトデータＤＷ３を保持し、その実質的な書き込み動作を例えばタイミングＴ９で始まるライトサイクルまで待機させる。しかし、タイミングＴ６のリードサイクルに関する実質的な読み出し動作は、相補データ線Ｄ０＊等のイコライズ終了を待って、タイミングＴ４のライトサイクルに関する実質的な書き込み動作に引き続いて行われる。このため、シンクロナスＳＲＡＭとしてのサイクルタイムＴｃｙは、ライトサイクルにおけるイコライズ所要時間Ｔｅｑｗと、ライトアンプＷＡの書き込み所要時間つまりその駆動信号たるライトパルス信号ＷＰのパルス幅Ｔｗｐとによる制約を受ける形となり、

Ｔｃｙ　Ｔｓｕ＋Ｔｗｐ＋Ｔｅｑｗ

となる。なお、Ｔｓｕは、メモリアレイＭＡＲＹの選択タイミングとライトアンプＷＡの駆動タイミングとの間のセットアップ時間である。

【０００８】

現在の半導体集積回路技術において、シンクロナスＳＲＡＭのセットアップ時間Ｔｓｕは０．５ｎｓ（ナノ秒）程度とされ、ライトパルス信号ＷＰのパルス幅Ｔｗｐ及びイコライズ所要時間Ｔｅｑｗは、それぞれ２．６ｎｓ及び１．４ｎｓ程度とされる。この結果、シンクロナスＳＲＡＭのサイクルタイムＴｃｙは、５．５ｎｓ程度となり、これによってシンクロナスＳＲＡＭひいてはこれを含むＥＷＳ等のシステムの高速化が制約を受ける結果となっている。

【０００９】

この発明の目的は、ライトサイクルの次サイクルでのリードサイクルを許容するシンクロナスＳＲＡＭ等のサイクルタイムを高速化し、シンクロナスＳＲＡＭをキャッシュメモリとして含むＥＷＳ等の高速化を図ることにある。

【００１０】

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【００１１】

【課題を解決するための手段】
本願において開示される発明のうち代表的なものの概要を簡単に説明すれば次の通りである。すなわち、所定のクロック信号に従って同期動作し、ライトサイクルの次サイクルでのリードサイクルを許容するシンクロナスＳＲＡＭ等において、上記ライトサイクルの次サイクルのリードサイクルに関する実質的な読み出し動作を、対応する上記ライトサイクルの前サイクル又は前前サイクルのライトサイクルに関する実質的な書き込み動作が行われるサイクルの次次サイクルで実行するとともに、シンクロナスＳＲＡＭ等に、後続するリードサイクルによりその実質的な書き込み動作が行われなかったライトサイクルに関するライトアドレス及びライトデータをそれぞれ保持する２個又は１個のアドレスレジスタ及び入力データレジスタと、後続するリードサイクルに関するリードアドレスとアドレスレジスタに保持されるライトアドレスとを比較照合しその結果に応じて対応する入力データレジスタに保持されるライトデータをリードデータとして選択的に出力するための２個又は１個のアドレス比較回路とを設ける。

【００１２】
上記手段によれば、前サイクル又は前前サイクルのライトサイクルに関する実質的な書き込み動作が終了してから次サイクルのリードサイクルに関する実質的な読み出し動作が行われるまでの間に、直前の書き込み動作によりフルスィングされたデータ線及び共通データ線のイコライズ動作を行うことができるため、シンクロナスＳＲＡＭ等のサイクルタイムを、セットアップ時間とライトパルス信号のパルス幅との関数とし、ほぼイコライズ所要時間分だけ短縮することができる。この結果、シンクロナスＳＲＡＭ等のサイクルタイムを高速化し、これをキャッシュメモリとして含むＥＷＳ等の高速化を図ることができる。

【００１３】
【発明の実施の形態】
図１には、この発明が適用されたシンクロナスＳＲＡＭの一実施例のブロック図が示されている。同図により、まずこの実施例のシンクロナスＳＲＡＭの構成及び動作の概要について説明する。なお、図１の各ブロックを構成する回路素子は、公知のＭＯＳＦＥＴ集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上に形成される。また、この実施例のシンクロナスＳＲＡＭは、特に制限されないが、ＥＷＳのキャッシュメモリを構成する。

【００１４】
図１において、この実施例のシンクロナスＳＲＡＭは、半導体基板面の大半を占めて配置されるメモリアレイＭＡＲＹをその基本構成要素とする。このメモリアレイＭＡＲＹは、図の水平方向に平行して配置される所定数のワード線と、垂直方向に平行して配置される所定組の相補データ線とを含む。これらのワード線及び相補データ線の交点には、多数のスタティック型メモリセルが格子状に配置される。なお、メモリアレイＭＡＲＹ及びその書き込み動作に関する周辺部の具体的な回路構成及び動作については、後で詳細に説明する。

【００１５】
メモリアレイＭＡＲＹを構成するワード線は、その左方においてＸアドレスデコーダＸＤに結合され、択一的に所定の選択レベルとされる。Ｘアドレスデコーダ ＸＤには、アドレス選択回路ＡＳ２からｉ＋１ビットの内部Ｘアドレス信号Ｘ０～Ｘｉが供給され、タイミング発生回路ＴＧから内部制御信号ＣＳが供給される。アドレス選択回路ＡＳ２の一方の入力端子には、アドレスレジスタＡＲ１のｋ＋１ビットの出力信号が供給され、その他方の入力端子には、アドレスレジスタＡＲ４のｋ＋１ビットの出力信号が供給される。また、アドレスレジスタＡＲ４には、アドレス選択回路ＡＳ１のｋ＋１ビットの出力信号が供給される。アドレス選択回路ＡＳ２には、さらにタイミング発生回路ＴＧからその選択制御信号となる内部制御信号ＳＣ２が供給される。

【００１６】
アドレス選択回路ＡＳ１の一方の入力端子には、アドレスレジスタＡＲ２のｋ＋１ビット

の出力信号が供給され、その他方の入力端子には、アドレスレジスタＡＲ３のｋ＋１ビットの出力信号が供給される。また、アドレスレジスタＡＲ３には、アドレスレジスタＡＲ２のｋ＋１ビットの出力信号が供給され、アドレスレジスタＡＲ２には、アドレスレジスタＡＲ１のｋ＋１ビットの出力信号が供給される。さらに、アドレスレジスタＡＲ１には、図示されないアクセス装置からアドレス入力端子ＳＡ０～ＳＡｋを介して、ｋ＋１ビットのアドレス信号ＳＡ０～ＳＡｋが供給される。アドレス選択回路ＡＳ１には、さらにタイミング発生回路ＴＧから選択制御信号となる内部制御信号ＳＣ１が供給される。

【００１７】

アドレスレジスタＡＲ１は、外部のアクセス装置からアドレス入力端子ＳＡ０～ＳＡｋを介して入力されるアドレス信号ＳＡ０～ＳＡｋを相補クロック信号Ｋ＊に従って取り込み、保持するとともに、アドレスレジスタＡＲ２及びアドレス選択回路ＡＳ２に伝達する。また、アドレスレジスタＡＲ２は、アドレスレジスタＡＲ１から伝達されるアドレス信号を図示されない内部制御信号に従って取り込み、保持するとともに、アドレスレジスタＡＲ３及びアドレス選択回路ＡＳ１に伝達する。さらに、アドレスレジスタＡＲ３は、アドレスレジスタＡＲ２から伝達されるアドレス信号を図示されない他の内部制御信号に従って取り込み、保持するとともに、アドレス選択回路ＡＳ１に伝達する。

【００１８】

一方、アドレス選択回路ＡＳ１は、アドレスレジスタＡＲ２又はＡＲ３に保持されるアドレス信号を内部制御信号ＳＣ１に従って選択的に取り込み、アドレスレジスタＡＲ４に伝達する。さらに、アドレスレジスタＡＲ４は、アドレス選択回路ＡＳ１を介して伝達されるアドレス信号を図示されない内部制御信号に従って取り込み、保持するとともに、アドレス選択回路ＡＳ２に伝達し、アドレス選択回路ＡＳ２は、アドレスレジスタＡＲ１又はＡＲ４に保持されるアドレス信号を内部制御信号ＳＣ２に従って選択的に取り込む。アドレス選択回路ＡＳ２のｋ＋１ビットの出力信号のうち、ｉ＋１ビットは内部Ｘアドレス信号Ｘ０～Ｘｉとして上記ＸアドレスデコーダＸＤに供給され、残りｊ＋１ビットは内部Ｙアドレス信号Ｙ０～ＹｊとしてＹアドレスデコーダＹＤに供給される。

【００１９】

この実施例において、シンクロナスＳＲＡＭは、１レイトライト方式を採り、アドレスレジスタＡＲ２及びＡＲ３は、シンクロナスＳＲＡＭがライトサイクルとされることを条件に選択的にシフトレジスタ形態となって、１サイクル遅れで供給されるライトアドレスをシフトしつつ取り込み、保持する。また、この実施例のシンクロナスＳＲＡＭは、ライトサイクルの次サイクルでのリードサイクルを許容し、その仕様書において保証するとともに、メモリアレイＭＡＲＹの選択メモリセルに対する実質的な書き込み動作を２サイクル遅れで実行し、リードサイクルに関する実質的な読み出し動作については１サイクル遅れで実行する。さらに、シンクロナスＳＲＡＭは、ライトサイクルの次サイクルがリードサイクルとなった場合、１サイクル遅れで実行される実質的な読み出し動作の直前サイクルを、直前の書き込み動作によりフルスィングされた相補データ線及び共通データ線のイコライズ動作にあて、実質的なデッドサイクルとする。

【００２０】

これらのことから、一連のライトサイクルに引き続いて複数のリードサイクルが実行される場合、上記リードサイクルの前サイクル及び前前サイクルのライトサイクルに関する実質的な書き込み動作はともに待ち合わせ状態となり、次にライトサイクルが指定されたサイクルとその次サイクルとにおいて実行される。このとき、アドレス選択回路ＡＳ１は、アドレスレジスタＡＲ２又はＡＲ３で待ち合わせ状態にある前サイクル又は前前サイクルのライトアドレスを選択的にアドレスレジスタＡＲ４つまりはアドレス選択回路ＡＳ２に伝達し、このアドレス選択回路ＡＳ２は、シンクロナスＳＲＡＭの動作モードに応じて、言い換えるならばシンクロナスＳＲＡＭがライトサイクル又はリードサイクルのいずれにあるかに応じて、アドレスレジスタＡＲ１により保持されるリードアドレス又はアドレスレジスタＡＲ４により保持されるライトアドレスを選択的にＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤに伝達する。

【００２１】
ＸアドレスデコーダＸＤは、内部制御信号ＣＳのハイレベルを受けて選択的に動作状態とされ、アドレス選択回路ＡＳ２から供給されるｉ＋１ビットの内部Ｘアドレス信号Ｘ０～ＸｉをデコードしてメモリアレイＭＡＲＹの対応するワード線を択一的に所定の選択レベルとする。
【００２２】
次に、メモリアレイＭＡＲＹを構成する相補データ線は、その下方においてＹスイッチＹＳに結合される。ＹスイッチＹＳには、ＹアドレスデコーダＹＤから図示されない所定ビットのデータ線選択信号が供給され、タイミング発生回路ＴＧからイコライズ制御信号ＥＱが供給される。
【００２３】
ＹスイッチＹＳは、メモリアレイＭＡＲＹの各相補データ線に対応して設けられる複数の単位回路を備え、これらの単位回路のそれぞれは、３個のＰチャンネルＭＯＳＦＥＴからなるデータ線イコライズ回路と、一対のトランスファゲートとを含む。このうち、各単位回路のデータ線イコライズ回路を構成するＰチャンネルＭＯＳＦＥＴは、イコライズ制御信号ＥＱのロウレベルを受けて選択的にオン状態となり、メモリアレイＭＡＲＹの対応する相補データ線の非反転及び反転信号線を電源電圧ＶＣＣのようなハイレベルにイコライズする。また、各単位回路のトランスファゲートは、対応するデータ線選択信号が択一的に選択レベルとされることで３６組ずつ選択的にオン状態となり、メモリアレイＭＡＲＹの対応する３６組の相補データ線と相補共通データ線ＣＤ０＊～ＣＤ３５＊つまりライトアンプＷＡ及びセンスアンプＳＡとの間を選択的に接続状態とする。なお、ＹスイッチＹＳの具体的構成については、後で詳細に説明する。
【００２４】
ＹアドレスデコーダＹＤには、アドレス選択回路ＡＳ２から内部Ｙアドレス信号Ｙ０～Ｙｊが供給され、タイミング発生回路ＴＧから内部制御信号ＣＳが供給される。ＹアドレスデコーダＹＤは、内部制御信号ＣＳのハイレベルを受けて選択的に動作状態となり、アドレス選択回路ＡＳ２から供給される内部Ｙアドレス信号Ｙ０～Ｙｊをデコードして、上記データ線選択信号の対応するビットを択一的に電源電圧ＶＣＣのようなハイレベルの選択レベルとする。
【００２５】
ライトアンプＷＡは、後述するように、相補共通データ線ＣＤ０＊～ＣＤ３５＊に対応して設けられる３６個の単位ライトアンプを備える。これらの単位ライトアンプは、順次９個ずつ４つのグループに分割され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８に対応付けられる。ライトアンプＷＡの各単位ライトアンプには、入力データレジスタＩＲからライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８がそれぞれ供給され、その非反転及び反転出力端子は、対応する相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転又は反転信号線にそれぞれ結合される。また、各単位ライトアンプには、タイミング発生回路ＴＧからライトパルス信号ＷＰが共通に供給され、各グループを構成する９個の単位ライトアンプには、ライトイネーブル信号レジスタＷＥＲから対応するバイトライト制御信号ＷＥａ～ＷＥｄがそれぞれ共通に供給される。
【００２６】
これにより、ライトアンプＷＡの各単位ライトアンプは、ライトパルス信号ＷＰがハイレベルとされかつ対応するバイトライト制御信号ＷＥａ～ＷＥｄがハイレベルとされることで選択的に動作状態となり、ライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８に従った相補書き込み信号を形成する。これらの相補書き込み信号は、相補共通データ線ＣＤ０＊～ＣＤ３５＊からＹスイッチＹＳのオン状態にある３６組のトランスファゲートを介してメモリアレイＭＡＲＹの指定された３６個のメモリセルに書き込まれる。
【００２７】
なお、ライトアンプＷＡの各単位ライトアンプにより形成される相補書き込み信号は、そのハイレベルを電源電圧ＶＣＣとしそのロウレベルを接地電位ＶＳＳとするいわゆるフル

スィングの信号とされる。また、ライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８は、パリティビットを含む４バイトのライトデータに９ビットずつ対応するが、ライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５の動作が対応するバイトライト制御信号ＷＥａ～ＷＥｄのハイレベルを受けて選択的に行われることで、ライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８の書き込み動作がバイト単位で制御されるものとなる。

【００２８】

センスアンプＳＡは、相補共通データ線ＣＤ０＊～ＣＤ３５＊に対応して設けられる３６個の単位センスアンプを備える。これらの単位センスアンプは、順次９個ずつ４つのグループに分割され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８に対応付けられる。センスアンプＳＡの各単位センスアンプの非反転及び反転入力端子は、相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転又は反転信号線にそれぞれ結合され、その出力信号は、リードデータＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８として出力データ選択回路ＯＳの第３の入力端子に供給される。センスアンプＳＡの各単位センスアンプには、タイミング発生回路ＴＧからリードパルス信号ＲＰが共通に供給される。

【００２９】

これにより、センスアンプＳＡの各単位センスアンプは、リードパルス信号ＲＰがハイレベルとされることで選択的にかつ一斉に動作状態となり、メモリアレイＭＡＲＹの指定された３６個のメモリセルからＹスイッチＹＳならびに対応する相補共通データ線ＣＤ０＊～ＣＤ３５＊を介して出力される読み出し信号を増幅する。これらの読み出し信号は、上記リードデータＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８として、出力データ選択回路ＯＳの第３の入力端子に供給される。なお、メモリアレイＭＡＲＹの指定されたメモリセルから相補データ線Ｄ０＊～Ｄｎ＊ならびに相補共通データ線ＣＤ０＊～ＣＤ３５＊に出力される読み出し信号は、数百ｍＶ（ミリボルト）程度の小振幅信号とされる。

【００３０】

入力データレジスタＩＲ２の入力端子には、入力データレジスタＩＲ１の３６ビットの出力信号が供給され、入力データレジスタＩＲ１の入力端子には、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８を介して３６ビットのライトデータが供給される。入力データレジスタＩＲ１は、シンクロナスＳＲＡＭがライトサイクルとされるとき、外部のアクセス装置からデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８を介して供給されるライトデータを相補クロック信号Ｋ＊に従って取り込み、保持するとともに、入力データレジスタＩＲ２に伝達する。このとき、入力データレジスタＩＲ２は、入力データレジスタＩＲ１を介して伝達されるライトデータを同じく相補クロック信号Ｋ＊に従って取り込み、保持するとともに、ライトアンプＷＡに伝達する。なお、入力データレジスタＩＲ１及びＩＲ２のクロック入力端子に供給される相補クロック信号Ｋ＊は、実際にはライトイネーブル信号／ＳＷＥがロウレベルであることをその生成条件として含むが、このことについては後で説明する。

【００３１】

入力データレジスタＩＲ１に保持される３６ビットのライトデータは、さらに出力データ選択回路ＯＳの第１の入力端子に供給され、入力データレジスタＩＲ２により保持される３６ビットのライトデータは、さらにその第２の入力端子に供給される。出力データ選択回路ＯＳには、アドレス比較回路ＡＣ１及びＡＣ２からその出力信号ＡＭ１及びＡＭ２が出力制御信号として供給される。アドレス比較回路ＡＣ１及びＡＣ２の一方の入力端子には、アドレスレジスタＡＲ１のｋ＋１ビットの出力信号が供給される。また、アドレス比較回路ＡＣ１の他方の入力端子には、アドレスレジスタＡＲ２のｋ＋１ビットの出力信号が供給され、アドレス比較回路ＡＣ２の他方の入力端子には、アドレスレジスタＡＲ３のｋ＋１ビットの出力信号が供給される。なお、アドレスレジスタＡＲ１～ＡＲ３の出力信号が、前記内部Ｘアドレス信号Ｘ０～Ｘｉならびに内部Ｙアドレス信号Ｙ０～Ｙｊに対応するものであり、そのビット数ｋ＋１が、これらの内部Ｘアドレス信号及び内部Ｙアドレス信号のビット数ｉ＋１及びｊ＋１に対して、

ｋ＋１＝（ｉ＋１）＋（ｊ＋１）
なる関係にあることは言うまでもない。
【００３２】
出力データ選択回路ＯＳの出力端子は、出力データレジスタＯＲの入力端子に結合される。また、出力データレジスタＯＲの出力端子は、データ出力バッファＯＢの入力端子に結合され、データ出力バッファＯＢの出力端子は、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８に結合される。
【００３３】
アドレス比較回路ＡＣ１及びＡＣ２は、シンクロナスＳＲＡＭがリードサイクルとされるとき、アドレス入力端子ＳＡ０～ＳＡｋからアドレスレジスタＡＲ１を介して供給されるリードアドレスとアドレスレジスタＡＲ２又はＡＲ３に保持されるライトアドレスとを比較照合し、両アドレスが全ビット一致するとき、その出力信号ＡＭ１又はＡＭ２を選択的にハイレベルとする。
【００３４】
出力データ選択回路ＯＳは、アドレス比較回路ＡＣ１及びＡＣ２の出力信号ＡＭ１及びＡＭ２がともにロウレベルとされるとき、センスアンプＳＡから出力されるリードデータＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８を選択して出力データレジスタＯＲに伝達する。また、アドレス比較回路ＡＣ１の出力信号ＡＭ１がハイレベルとされるとき、入力データレジスタＩＲ１に保持される３６ビットのライトデータを選択して出力データレジスタＯＲに伝達し、アドレス比較回路ＡＣ２の出力信号ＡＭ２がハイレベルとされるときには、入力データレジスタＩＲ２に保持される３６ビットのライトデータを選択して出力データレジスタＯＲを介してデータ出力バッファＯＢに伝達する。
【００３５】
データ出力バッファＯＢは、図示されない出力制御信号のハイレベルを受けて選択的に動作状態とされ、出力データ選択回路ＯＳから出力データレジスタＯＲを介して出力されるリードデータをデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８を介して外部のアクセス装置に出力する。なお、上記出力制御信号がロウレベルとされるとき、データ出力バッファＯＢの出力端子はいわゆるハイインピーダンス状態とされる。
【００３６】
前述のように、この実施例のシンクロナスＳＲＡＭでは、ライトサイクルの次サイクルでのリードサイクルが保証され、実際にライトサイクルの次サイクルがリードサイクルとなった場合、１サイクル遅れで実行される実質的な読み出し動作の直前サイクルが、実質的な書き込み動作によってフルスィングされた相補データ線及び共通データ線のイコライズ動作にあてられ、書き込み動作が禁止される。このため、リードサイクルの前サイクル及び前前サイクルのライトサイクルに関する実質的な書き込み動作は、次のライトサイクルが指定されたサイクルで実行される。この間、アドレスレジスタＡＲ２及びＡＲ３に保持されるライトアドレスは、アドレス比較回路ＡＣ１又はＡＣ２によりリードサイクルに際して供給されるリードアドレスと比較照合され、両者が一致すると入力データレジスタＩＲ１又はＩＲ２で待ち合わせ状態にあるライトデータがそのまま出力データ選択回路ＯＳ，出力データレジスタＯＲならびにデータ出力バッファＯＢを介して出力され、これによってリードデータの信頼性が高められる。
【００３７】
バイトライトイネーブル信号レジスタＢＷＲは、外部のアクセス装置から供給されるバイトライトイネーブル信号／ＳＷＥａないし／ＳＷＥｄを相補クロック信号Ｋ＊に従って取り込み、保持するとともに、バイトライト制御信号ＷＥａ～ＷＥｄとして上記ライトアンプＷＡに伝達する。また、タイミング発生回路ＴＧは、外部のアクセス装置から起動制御信号として供給されるチップ選択信号／ＳＳ及びライトイネーブル信号／ＳＷＥをもとに、上記各種の内部制御信号を選択的に形成して、シンクロナスＳＲＡＭの各部に供給する。
【００３８】

図２には、図１のシンクロナスＳＲＡＭに含まれるメモリアレイＭＡＲＹ及びその周辺部の一実施例の部分的な回路図が示されている。同図をもとに、シンクロナスＳＲＡＭを構成するメモリアレイＭＡＲＹ及びその周辺部の具体的構成及び動作を説明する。なお、以下の回路図及び信号経路図において、そのチャネル（バックゲート）部に矢印が付されるＭＯＳＦＥＴはＰチャンネル型であり、矢印の付されないＮチャンネルＭＯＳＦＥＴと区別して示される。

【００３９】

図２において、この実施例のシンクロナスＳＲＡＭを構成するメモリアレイＭＡＲＹは、特に制限されないが、図の水平方向に平行して配置されるｍ＋１本のワード線Ｗ０～Ｗｍと、垂直方向に平行して配置されるｎ＋１組の相補データ線Ｄ０＊～Ｄｎ＊とを含む。これらのワード線及び相補データ線の交点には、合計（ｍ＋１）×（ｎ＋１）個のスタティック型メモリセルＭＣ００～ＭＣ０ｎないしＭＣｍ０～ＭＣｍｎが格子状に配置される。

【００４０】

メモリアレイＭＡＲＹを構成するスタティック型メモリセルＭＣ００～ＭＣ０ｎないしＭＣｍ０～ＭＣｍｎのそれぞれは、図２のメモリセルＭＣ００に代表して示されるように、ＰチャンネルＭＯＳＦＥＴＰ１及びＮチャンネルＭＯＳＦＥＴＮ１あるいはＰチャンネルＭＯＳＦＥＴＰ２及びＮチャンネルＭＯＳＦＥＴＮ２からなる一対のＣＭＯＳ（相補型ＭＯＳ）インバータが互いに交差結合されてなるラッチ回路をその基本構成要素とする。メモリアレイＭＡＲＹの同一列に配置されるｍ＋１個のメモリセルＭＣ００～ＭＣｍ０ないしＭＣ０ｎ～ＭＣｍｎのラッチ回路の非反転入出力ノードすなわちＭＯＳＦＥＴＰ１及びＮ１の共通結合されたドレインつまりＭＯＳＦＥＴＰ２及びＮ２の共通結合されたゲートは、Ｎチャンネル型の選択ＭＯＳＦＥＴＮ３を介して対応する相補データ線Ｄ０＊～Ｄｎ＊の非反転信号線にそれぞれ結合され、その反転入出力ノードすなわちＭＯＳＦＥＴＰ２及びＮ２の共通結合されたドレインつまりＭＯＳＦＥＴＰ１及びＮ１の共通結合されたゲートは、Ｎチャンネル型の選択ＭＯＳＦＥＴＮ４を介して対応する相補データ線Ｄ０＊～Ｄｎ＊の反転信号線にそれぞれ結合される。また、メモリアレイＭＡＲＹの同一行に配置されるｎ＋１個のメモリセルＭＣ００～ＭＣ０ｎないしＭＣｍ０～ＭＣｍｎの選択ＭＯＳＦＥＴＮ３及びＮ４のゲートは、対応するワード線Ｗ０～Ｗｍにそれぞれ共通結合される。

【００４１】

メモリアレイＭＡＲＹを構成するワード線Ｗ０～Ｗｍは、その左方においてＸアドレスデコーダＸＤに結合され、択一的に電源電圧ＶＣＣのような選択レベルとされる。ワード線Ｗ０～Ｗｍが択一的に選択レベルとされるとき、メモリアレイＭＡＲＹでは、選択されたワード線に結合されるｎ＋１個のメモリセルの選択ＭＯＳＦＥＴＮ３及びＮ４が一斉にオン状態となり、相補データ線Ｄ０＊～Ｄｎ＊の非反転及び反転信号線には、これらのメモリセルの保持データに応じた論理“１”又は“０”の読み出し信号が出力される。

【００４２】

次に、メモリアレイＭＡＲＹを構成する相補データ線Ｄ０＊～Ｄｎ＊は、その下方においてＹスイッチＹＳの対応する単位回路に結合される。ＹスイッチＹＳは、メモリアレイＭＡＲＹの相補データ線Ｄ０＊～Ｄｎ＊に対応して設けられるｎ＋１個の単位回路を備え、これらの単位回路のそれぞれは、図２に例示されるように、３個のＰチャンネルＭＯＳＦＥＴＰ３～Ｐ５からなるデータ線イコライズ回路と、一対のトランスファゲートＧ１及びＧ２とを含む。このうち、データ線イコライズ回路を構成するＭＯＳＦＥＴＰ３～Ｐ５のゲートには、タイミング発生回路ＴＧからイコライズ制御信号ＥＱが共通に供給される。

【００４３】

一方、トランスファゲートＧ１及びＧ２の一方の端子は、メモリアレイＭＡＲＹの対応する相補データ線Ｄ０＊～Ｄｎ＊の非反転又は反転信号線にそれぞれ結合され、その他方の端子は、順次３６組おきに相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転又は反転信号線に共通結合される。トランスファゲートＧ１及びＧ２を構成するＮチャンネルＭＯＳＦＥＴのゲートには、ＹアドレスデコーダＹＤから対応するデータ線選択信号ＹＳ０～ＹＳ

ｐがそれぞれ供給され、ＰチャンネルＭＯＳＦＥＴのゲートには、そのインバータＶ１による反転信号がそれぞれ供給される。データ線選択信号ＹＳ０～ＹＳｐならびにその反転信号は、隣接する３６組のトランスファゲートＧ１及びＧ２に順次共通に供給される。なお、データ線選択信号ＹＳ０～ＹＳｐのビット数ｐ＋１が、

ｐ＋１＝（ｎ＋１）／３６

なる関係にあることは言うまでもない。

【００４４】

このように、本実施例のシンクロナスＳＲＡＭのメモリアレイＭＡＲＹを構成する相補データ線Ｄ０＊～Ｄｎ＊の非反転及び反転信号線は、シンクロナスＳＲＡＭが非選択状態とされイコライズ制御信号ＥＱがロウレベルとされるとき、Ｙスイッチ ＹＳのデータ線イコライズ回路を構成するＭＯＳＦＥＴＰ３～Ｐ５を介して電源電圧ＶＣＣのようなハイレベルにイコライズされる。また、シンクロナスＳＲＡＭが選択状態とされワード線Ｗ０～Ｗｍが択一的に選択レベルとされるとき、相補データ線Ｄ０＊～Ｄｎ＊の非反転及び反転信号線のハイレベルは、選択ワード線に結合されるｎ＋１個のメモリセルの保持データに従ってそのいずれ一方が選択的にディスチャージされ、両信号線間には数百ｍＶ程度の比較的小さなレベル差が生じる。これらのレベル差つまり読み出し信号は、データ線選択信号ＹＳ０～ＹＳｐが択一的にハイレベルとされることで、３６組分ずつ選択的に相補共通データ線ＣＤ０＊～ＣＤ３５＊に伝達される。

【００４５】

なお、メモリアレイＭＡＲＹのデータ線Ｄ０＊～Ｄｎ＊ならびに相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転及び反転信号線は、シンクロナスＳＲＡＭが形成される半導体基板面を比較的長い距離にわたって引き回しされ、多数のＭＯＳＦＥＴが結合されるため、比較的大きな負荷容量が結合される。このため、リードサイクルに関する実質的な読み出し動作が行われた後のイコライズ動作の所要時間つまりイコライズ所要時間Ｔｅｑｒは、読み出し信号の振幅が数百ｍＶと小さいために充分に短い時間で済むが、ライトサイクルに関する実質的な書き込み動作が行われた後のイコライズ所要時間Ｔｅｑｗは、書き込み信号がフルスィングされるために１．４ｎｓのような比較的長い時間となる。

【００４６】

相補共通データ線ＣＤ０＊～ＣＤ３５＊は、ライトアンプＷＡの対応する単位ライトアンプＷＡ０～ＷＡ３５の非反転及び反転出力端子にそれぞれ結合されるとともに、センスアンプＳＡの対応する単位センスアンプＳＡ０～ＳＡ３５の非反転及び反転入力端子にそれぞれ結合される。

【００４７】

ライトアンプＷＡは、相補共通データ線ＣＤ０＊～ＣＤ３５＊に対応して設けられる３６個の単位ライトアンプＷＡ０～ＷＡ３５を備える。これらの単位ライトアンプは、順次９個ずつ４つのグループにバイト分割され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８に対応付けられる。ライトアンプＷＡの各単位ライトアンプＷＡ０～ＷＡ３５の入力端子には、入力データレジスタＩＲ２から対応するライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８がそれぞれ供給され、その非反転及び反転出力端子は、対応する相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転又は反転信号線にそれぞれ結合される。ライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５には、タイミング発生回路ＴＧからライトパルス信号ＷＰが共通に供給される。また、ライトアンプＷＡの各グループを構成する単位ライトアンプＷＡ０～ＷＡ８ないしＷＡ２７～ＷＡ３５には、ライトイネーブル信号レジスタＷＥＲから対応するバイトライト制御信号ＷＥａ～ＷＥｄがそれぞれ共通に供給される。

【００４８】

これにより、ライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５は、ライトパルス信号ＷＰがハイレベルとされかつ対応するバイトライト制御信号ＷＥａ～ＷＥｄがハイレベルとされることで選択的に動作状態となり、ライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８に従った相補書き込み信号を形成する。これらの相補書き込み信号は、相

補共通データ線ＣＤ０＊～ＣＤ３５＊からＹスイッチＹＳのオン状態にあるトランスファゲートＧ１及びＧ２を介してメモリアレイＭＡＲＹの指定された３６個のメモリセルに書き込まれる。

【００４９】

なお、ライトアンプＷＡの各単位ライトアンプにより形成される相補書き込み信号は、そのハイレベルを電源電圧ＶＣＣとしそのロウレベルを接地電位ＶＳＳとするフルスィングの信号とされる。また、ライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５の動作が対応するバイトライト制御信号ＷＥａ～ＷＥｄのハイレベルを受けて選択的に行われることで、ライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８の書き込み動作はバイト単位で制御される。

【００５０】

センスアンプＳＡは、相補共通データ線ＣＤ０＊～ＣＤ３５＊に対応して設けられる３６個の単位センスアンプＳＡ０～ＳＡ３５を備える。これらの単位センスアンプは、順次９個ずつ４つのグループにバイト分割され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８に対応付けられる。センスアンプＳＡの各単位センスアンプＳＡ０～ＳＡ３５の非反転及び反転入力端子は、対応する相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転又は反転信号線にそれぞれ結合され、その出力信号は、リードデータＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８として出力データ選択回路ＯＳの第３の入力端子に供給される。センスアンプＳＡの単位センスアンプＳＡ０～ＳＡ３５には、さらにタイミング発生回路ＴＧからリードパルス信号ＲＰが共通に供給される。

【００５１】

これにより、センスアンプＳＡの単位センスアンプＳＡ０～ＳＡ３５は、リードパルス信号ＲＰがハイレベルとされることで選択的にかつ一斉に動作状態となり、メモリアレイＭＡＲＹの指定された３６個のメモリセルから相補共通データ線ＣＤ０＊～ＣＤ３５＊を介して出力される読み出し信号を増幅する。これらの読み出し信号は、リードデータＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８として、出力データ選択回路ＯＳの第３の入力端子に供給される。

【００５２】

図３には、図１のシンクロナスＳＲＡＭの書き込み動作に関する回路の一実施例の信号経路図が示されている。なお、図３は、図１のブロック図をやや詳細に書き換えたものであるため、これと異なる部分についてのみ説明を追加する。また、以下の信号経路図では、アドレス信号ＳＡ０～ＳＡｋならびに入出力データＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８の第１ビット目に関する部分が代表して示され、信号経路に関する説明もこれらを例に進められる。

【００５３】

図３において、外部のアクセス装置からアドレス入力端子ＳＡ０を介して供給されるアドレス信号ＳＡ０は、相補クロック信号Ｋ＊に従ってアドレスレジスタＡＲ１に取り込まれた後、アドレスレジスタＡＲ２に伝達されるとともに、アドレス比較回路ＡＣ１及びＡＣ２ならびにアドレス選択回路ＡＳ２の一方の入力端子に伝達される。アドレスレジスタＡＲ２及びＡＲ３のクロック入力端子には、タイミング発生回路ＴＧのナンド（ＮＡＮＤ）ゲートＮＡ１の出力信号が供給される。このナンドゲートＮＡ１の一方の入力端子には、ライトイネーブル信号／ＳＷＥを受けるライトイネーブル信号レジスタＷＥＲの出力信号が供給され、その他方の入力端子にはＢｉＣＭＯＳ（バイポーラＣＭＯＳ）ＢＶ２の出力信号つまり非反転内部クロック信号が供給される。

【００５４】

言うまでもなく、ナンドゲートＮＡ１の出力信号は、ライトイネーブル信号／ＳＷＥがロウレベルつまりライトイネーブル信号レジスタＷＥＲの出力信号がハイレベルとされシンクロナスＳＲＡＭがライトサイクルとされるとき、相補クロック信号Ｋ＊に従って選択的にロウレベルとされる。この結果、アドレスレジスタＡＲ２及びＡＲ３は、シンクロナスＳＲＡＭがライトサイクルとされることを条件に選択的にシフトレジスタとして作用し、

アドレス入力端子ＳＡ０を介して入力されるアドレス信号ＳＡ０を相補クロック信号Ｋ＊に従って順次取り込み、保持する。シンクロナスＳＲＡＭがリードサイクル又はデッドサイクルとされナンドゲートＮＡ１の出力信号がハイレベルとされるとき、アドレスレジスタＡＲ２及びＡＲ３は、そのシフト動作を停止し、直前に入力された二つのライトサイクルに関するライトアドレスを保持する。

【００５５】

アドレスレジスタＡＲ２の出力信号は、アドレス選択回路ＡＳ１の一方の入力端子に供給されるとともに、アドレス比較回路ＡＣ１の他方の入力端子に供給される。また、アドレスレジスタＡＲ３の出力信号は、アドレス選択回路ＡＳ１の他方の入力端子に供給されるとともに、アドレス比較回路ＡＣ２の他方の入力端子に供給される。アドレス比較回路ＡＣ１及びＡＣ２の出力信号ＡＭ１及びＡＭ２は、選択制御信号として出力データ選択回路ＯＳに供給され、アドレス選択回路ＡＳ１の出力信号は、アドレスレジスタＡＲ４に供給される。アドレス選択回路ＡＳ１の制御端子には、チップ選択信号／ＳＳを受けるチップ選択信号レジスタＳＳＲの出力信号が選択制御信号ＳＣ１として供給される。また、アドレスレジスタＡＲ４のクロック入力端子には、上記ナンドゲートＮＡ１の出力信号のインバータＶ２による反転信号が供給される。

【００５６】

これにより、アドレス比較回路ＡＣ１は、アドレスレジスタＡＲ２に保持されるライトアドレスとリードサイクルに際してアドレスレジスタＡＲ１を介して入力されるリードアドレスとを比較照合し、両アドレスが全ビット一致するときその出力信号ＡＭ１を選択的にハイレベルとする。また、アドレス比較回路ＡＣ２は、アドレスレジスタＡＲ３に保持されるライトアドレスとアドレスレジスタＡＲ１を介して入力されるリードアドレスとを比較照合し、両アドレスが全ビット一致するときその出力信号ＡＭ２を選択的にハイレベルとする。

【００５７】

アドレス選択回路ＡＳ１は、シンクロナスＳＲＡＭがデッドサイクルとされ選択制御信号ＳＣ１がロウレベルとされるとき、アドレスレジスタＡＲ３で待ち合わせ状態にある一つ目のライトアドレスを選択して、アドレスレジスタＡＲ４に伝達する。また、シンクロナスＳＲＡＭがデッドサイクルの後のライトサイクルとされ選択制御信号ＳＣ１がハイレベルとされるときには、アドレスレジスタＡＲ２で待ち合わせ状態にある二つ目のライトアドレスを選択して、アドレスレジスタＡＲ４に伝達する。一方、アドレス選択回路ＡＳ２は、シンクロナスＳＲＡＭがリードサイクルとされ選択制御信号ＳＣ２がロウレベルとされるとき、アドレスレジスタＡＲ１を介して入力されるリードアドレスを選択して、ＸアドレスデコーダＸＤ及び図示されないＹアドレスデコーダＹＤに伝達し、シンクロナスＳＲＡＭがライトサイクルとされ選択制御信号ＳＣ２がハイレベルとされるときには、アドレスレジスタＡＲ４に保持されるライトアドレスを選択して、ＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤに伝達する。

【００５８】

ＸアドレスデコーダＸＤは、ナンドゲートＮＡ２～ＮＡ４，ＢｉＣＭＯＳインバータＢＶ４及びＢＶ５ならびにＣＭＯＳインバータＶＡを含み、アドレス選択回路ＡＳ２から供給されるライトアドレス又はリードアドレスをデコードして、メモリアレイＭＡＲＹのワード線Ｗ０を択一的に電源電圧ＶＣＣのような選択レベルとする。メモリアレイＭＡＲＹの相補データ線Ｄ０＊は、前述のように、ＹスイッチＹＳの対応する単位回路に結合され、そのＭＯＳＦＥＴＰ３～Ｐ５からなるデータ線イコライズ回路によって選択的にイコライズされるとともに、そのトランスファゲートＧ１及びＧ２を介して選択的に相補共通データ線ＣＤ０＊つまりはライトアンプＷＡの対応する単位ライトアンプＷＡ０あるいはセンスアンプＳＡの対応する単位センスアンプＳＡ０に選択的に接続される。

【００５９】

ライトアンプＷＡの単位ライトアンプＷＡ０には、入力データレジスタＩＲ２からライトデータＷＤａ０が供給されるとともに、タイミング発生回路ＴＧからライトパルス信号Ｗ

Ｐが供給され、図示されないバイトライトイネーブル信号レジスタＢＷＲから対応するバイトライト制御信号ＷＥａが供給される。また、センスアンプＳＡの単位センスアンプＳＡ０には、図示されないリードパルス信号ＲＰが供給され、その出力信号は、リードデータＲＤａ０として出力データ選択回路ＯＳの第３の入力端子に供給される。

【００６０】

ここで、ライトアンプＷＡに供給されるライトパルス信号ＷＰは、特に制限されないが、ライトイネーブル信号／ＳＷＥつまりはライトイネーブル信号レジスタＷＥＲの出力信号がＣＭＯＳインバータＶ６～Ｖ７を含むパルス発生回路を介されることにより形成され、ＹスイッチＹＳのデータ線イコライズ回路に供給されるイコライズ制御信号ＥＱは、ライトパルス信号ＷＰ及びリードパルス信号ＲＰがオアゲートＯＧ２ならびにＣＭＯＳインバータＶ８～Ｖ９を含むパルス発生回路を介されることにより形成される。この結果、イコライズ制御信号ＥＱは、ライトパルス信号ＷＰ又はリードパルス信号ＲＰがともにロウレベルとされるとき所定のタイミングで選択的にロウレベルとされ、このイコライズ制御信号ＥＱのロウレベルを受けてＹスイッチＹＳのデータ線イコライズ回路による相補データ線Ｄ０＊～Ｄｎ＊のイコライズ動作が選択的に実行される。

【００６１】

一方、データ入出力端子ＤＱａ０を介して入力されるライトデータは、シンクロナスＳＲＡＭがライトサイクルとされるとき、タイミング発生回路ＴＧのナンドゲートＮＡ１の出力信号に従ってシフトレジスタ形態の入力データレジスタＩＲ１及びＩＲ２に取り込まれる。このうち、入力データレジスタＩＲ１の出力信号は、出力データ選択回路ＯＳの第１の入力端子に供給される。また、入力データレジスタＩＲ２の出力信号は、ライトデータＷＤａ０としてライトアンプＷＡの単位ライトアンプＷＡ０に供給されるとともに、出力データ選択回路ＯＳの第２の入力端子に供給される。前述のように、出力データ選択回路ＯＳの第３の入力端子には、センスアンプＳＡの単位センスアンプＳＡ０からリードデータＲＤａ０が供給され、その選択制御端子には、アドレス比較回路ＡＣ１及びＡＣ２の出力信号ＡＭ１及びＡＭ２が供給される。

【００６２】

出力データ選択回路ＯＳは、アドレス比較回路ＡＣ１及びＡＣ２の出力信号ＡＭ１及びＡＭ２がともにロウレベルとされるとき、センスアンプＳＡの単位センスアンプＳＡ０から出力されるリードデータＲＤａ０を選択して出力データレジスタＯＲに伝達する。また、アドレス比較回路ＡＣ１の出力信号ＡＭ１がハイレベルとされるときには、入力データレジスタＩＲ１で待ち合わせ状態にある前サイクルのライトデータを選択して出力データレジスタＯＲに伝達し、アドレス比較回路ＡＣ２の出力信号ＡＭ２がハイレベルとされるときには、入力データレジスタＩＲ２で待ち合わせ状態にある前前サイクルのライトデータを選択して出力データレジスタＯＲに伝達する。出力データレジスタＯＲは、ＢｉＣＭＯＳインバータＢＶ３の出力信号つまり相補クロック信号Ｋ＊に従って出力データ選択回路ＯＳの出力信号を取り込み、データ出力バッファＯＢに伝達する。データ出力バッファＯＢは、図示されない出力制御信号のハイレベルを受けて選択的に動作状態とされ、出力データレジスタＯＲに保持されるリードデータをデータ入出力端子ＤＱａ０を介して外部のアクセス装置に出力する。

【００６３】

図４には、図１のシンクロナスＳＲＡＭの一実施例の動作タイミング図が示され、図５には、その一実施例の信号波形図が示されている。これらの図により、この実施例のシンクロナスＳＲＡＭの具体的動作ならびにその特徴について説明する。なお、図５の信号波形図は、図４の動作タイミング図を部分的に拡大し、これに必要と思われる信号の波形を追加したものである。

【００６４】

図４において、シンクロナスＳＲＡＭは、相補クロック信号Ｋ＊が有効レベルつまり非反転クロック信号Ｋが電源電圧ＶＣＣのようなハイレベルに変化され反転クロック信号／Ｋが接地電位ＶＳＳのようなロウレベルに変化されるタイミングＴ１～Ｔ１４等でチップ選

択信号／ＳＳがロウレベルとされることにより、選択的に選択状態とされる。また、その動作モードは、各タイミングでライトイネーブル信号／ＳＷＥがハイレベルとされることで選択的にリードサイクル（ＲＥＡＤ）とされ、ライトイネーブル信号／ＳＷＥがロウレベルとされることで選択的にライトサイクル（ＷＲＩＴＥ）とされる。タイミングＴ１～Ｔ１４等においてチップ選択信号／ＳＳがハイレベルとされるとき、シンクロナスＳＲＡＭはいわゆるデッドサイクル（ＤＥＡＤ）とされるが、このデッドサイクルは、シンクロナスＳＲＡＭの動作モードがリードサイクルからライトサイクルに変化されるとき１サイクル分だけ挿入することが仕様書により義務付けられる。

【００６５】

例えばタイミングＴ１を始まりとするリードサイクルにおいて、アドレス入力端子ＳＡ０～ＳＡｋにはアクセスすべきリードアドレスＡＲ１が入力され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８は、すべてハイインピーダンス状態とされる。また、タイミングＴ３を始まりとするライトサイクルでは、アドレス入力端子ＳＡ０～ＳＡｋを介してアクセスすべきライトアドレスＡＷ１が入力され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８には、前前サイクルのリードサイクルのリードデータＤＲ１が出力される。さらに、タイミングＴ４を始まりとするライトサイクルでは、アドレス入力端子ＳＡ０～ＳＡｋを介してアクセスすべきライトアドレスＡＷ２が入力され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８には、直前のライトサイクルのライトデータＤＷ１が１サイクル遅れで入力される。

【００６６】

一方、タイミングＴ５を始まりとするライトサイクルでは、アドレス入力端子ＳＡ０～ＳＡｋを介してアクセスすべきライトアドレスＡＷ３が入力され、データ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８には、直前のライトサイクルのライトデータＤＷ２が１サイクル遅れで入力される。以下、タイミングＴ６，Ｔ７，Ｔ１２ならびにＴ１３を始まりとするサイクルはリードサイクルとされ、タイミングＴ９～Ｔ１１を始まりとするサイクルはライトサイクルとされる。リードサイクルの次サイクルつまりタイミングＴ２，Ｔ８ならびにＴ１４を始まりとするサイクルは、すべてデッドサイクルとされる。

【００６７】

上記タイミングＴ１を始まりとするリードサイクルにおいて、アドレス入力端子ＳＡ０～ＳＡｋを介して入力されるｋ＋１ビットのリードアドレスＡＲ１は、相補クロック信号Ｋ＊の有効レベルへの変化を受けてＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤに伝達され、デコードされる。そして、ＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤのデコード所要時間が経過した時点で、メモリアレイＭＡＲＹの対応するアドレス（ＡＲ１）が選択状態とされ、ワード線Ｗ０～Ｗｍならびにデータ線選択信号ＹＳ０～ＹＳｐの対応するビットが択一的に電源電圧ＶＣＣのようなハイレベルの選択レベルとされる。

【００６８】

これにより、メモリアレイＭＡＲＹの相補データ線Ｄ０＊～Ｄｎ＊には、選択ワード線に結合されたｎ＋１個のメモリセルの読み出し信号が出力されるが、その当初は、図５に示されるように、イコライズ制御信号ＥＱがロウレベルとされているため、相補データ線Ｄ０＊～Ｄｎ＊の非反転及び反転信号線は、イコライズ制御信号ＥＱがハイレベルに戻された時点で選択的にディスチャージされ、そのいずれかが選択的にレベル差Ｖ１つまり数百ｍＶ程度だけ低下する。

【００６９】

メモリアレイＭＡＲＹの相補データ線Ｄ０＊～Ｄｎ＊における小振幅の読み出し信号は、データ線選択信号ＹＳ０～ＹＳｐに従って３６ビットずつ選択され、相補共通データ線ＣＤ０＊～ＣＤ３５＊を介してセンスアンプＳＡの単位センスアンプＳＡ０～ＳＡ３５に伝達される。センスアンプＳＡの各単位センスアンプＳＡ０～ＳＡ３５は、リードパルス信号ＲＰのハイレベルを受けて動作状態とされ、相補共通データ線ＣＤ０＊～ＣＤ３５＊を介して出力される読み出し信号を増幅した後、リードデータＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８つまりＤＲ１として出力データ選択回路ＯＳに伝達する。これらのリー

ドデータは、出力データレジスタＯＲ，データ出力バッファＯＢからデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８を介して出力され、相補クロック信号Ｋ＊のタイミングＴ３において外部のアクセス装置に取り込まれる。

【００７０】

このように、本実施例のシンクロナスＳＲＡＭは、タイミングＴ１を始まりとする第ｒのサイクルのリードサイクルに関する実質的な読み出し動作を、タイミングＴ２を始まりとする第ｒ＋１のサイクルで実行し、そのリードデータＤＲ１は、外部のアクセス装置にタイミングＴ３で取り込まれるべくデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８から出力される。

【００７１】

リードパルス信号ＲＰがロウレベルとされセンスアンプＳＡの単位センスアンプＳＡ０～ＳＡ３５による読み出し信号の増幅動作が終了すると、イコライズ制御信号ＥＱがロウレベルとされ、Ｙスイッチ ＹＳの各単位回路のデータ線イコライズ回路による相補データ線Ｄ０＊～Ｄｎ＊のイコライズ動作が開始される。前記のように、読み出し動作時における相補データ線Ｄ０＊～Ｄｎ＊の信号振幅は数百ｍＶとされるため、その読み出し動作後のイコライズに要する時間つまりイコライズ所要時間Ｔｅｑｒは、無視できる程度に短いものとなる。

【００７２】

次に、例えばタイミングＴ３を始まりとするライトサイクルの場合、アドレス入力端子ＳＡ０～ＳＡｋを介して入力されるｋ＋１ビットのライトアドレスＡＷ１は、前述のように、シフトレジスタ形態のアドレスレジスタＡＲ２及びＡＲ３を介して１サイクル遅れでＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤに伝達された後、タイミングＴ４を開始点としてデコードされる。また、１サイクル遅れのタイミングＴ４でデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８から入力される３６ビットのライトデータＡＷ１は、シフトレジスタ形態の入力データレジスタＩＲ１及びＩＲ２を介してライトアンプＷＡの対応する単位ライトアンプＷＡ０～ＷＡ３５に伝達される。ライトアンプＷＡでは、図５に例示されるように、タイミングＴ５を始まりとするサイクルの所定のタイミングでライトパルス信号ＷＰが所定期間だけハイレベルとされ、これに対応してイコライズ制御信号ＥＱが所定期間だけハイレベルとされる。

【００７３】

これにより、シンクロナスＳＲＡＭでは、タイミングＴ５を開始点としてメモリアレイＭＡＲＹの対応するアドレス（ＡＷ１）が選択状態とされ、ワード線Ｗ０～Ｗｍならびにデータ線選択信号ＹＳ０～ＹＳｐが択一的に選択レベルとされる。また、ワード線Ｗ０～Ｗｍの択一的な選択レベルを受けて、メモリアレイＭＡＲＹの選択ワード線に結合されるｎ＋１個のメモリセルが選択状態とされ、その読み出し信号が対応する相補データ線Ｄ０＊～Ｄｎ＊に出力される。

【００７４】

メモリアレイＭＡＲＹの相補データ線Ｄ０＊～Ｄｎ＊に出力された読み出し信号は、データ線選択信号ＹＳ０～ＹＳｐの択一的な選択レベルを受けて、３６組分だけ選択的に相補共通データ線ＣＤ０＊～ＣＤ３５＊に伝達される。しかし、ライトパルス信号ＷＰがハイレベルとされライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５が一斉に動作状態とされると、ライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８に応じたフルスィングの相補書き込み信号が各相補共通データ線に出力されるため、メモリアレイＭＡＲＹの指定された３６個のメモリセルの保持データは、強制的にライトデータＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８に応じた論理レベルに書き換えられる。

【００７５】

このように、本実施例のシンクロナスＳＲＡＭは、タイミングＴ３を始まりとする第ｑのサイクルのライトサイクルに関するライトデータＤＷ１を、タイミングＴ４を始まりとする第ｑ＋１のサイクルでデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８から取り込み、その実質的な書き込み動作を、タイミングＴ５を始まりとする第ｑ＋２の

サイクルで実行する。

【００７６】

ところで、タイミングＴ４を始まりとするライトサイクルでアドレス入力端子ＳＡ０～ＳＡｋから入力されるライトアドレスＡＷ２は、１サイクル遅れでＸアドレスデコーダＸＤ及びＹアドレスデコーダＹＤに伝達され、タイミングＴ５を開始点としてデコードされる。ところが、タイミングＴ６を始まりとするサイクルがリードサイクルであるため、そのデコード動作は中止され、選択アドレスに対する実質的な書き込み動作が禁止されるとともに、ライトアドレスＡＷ２は、タイミングＴ５を始まりとする次のライトサイクルに関するライトアドレスＡＷ３とともに、アドレスレジスタＡＲ２又はＡＲ３で待ち合わせ状態となる。同様に、１サイクル遅れのタイミングＴ５で入力されるライトデータＤＷ２は、次のライトサイクルに関するライトデータＤＷ３とともに、入力データレジスタＩＲ１又はＩＲ２で待ち合わせ状態となる。待ち合わせ状態にある両ライトサイクルの実質的な書き込み動作は、タイミングＴ９を始まりとする次のライトサイクルの実質的な書き込み動作が行われる直前に、すなわちタイミングＴ９及びＴ１０を始まりとする二つのサイクルにおいて実行される。

【００７７】

ライトパルス信号ＷＰがロウレベルに戻されると、ライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５が非動作状態とされるとともに、イコライズ制御信号ＥＱがロウレベルとされ、ＹスイッチＹＳのデータ線イコライズ回路による相補データ線Ｄ０＊～Ｄｎ＊のイコライズ動作が開始される。

【００７８】

なお、ライトアンプＷＡによる実質的な書き込み動作が行われるとき、相補データ線Ｄ０＊～Ｄｎ＊の非反転及び反転信号線は、前述のように、フルスィングされ、そのイコライズ動作には比較的長いイコライズ所要時間Ｔｅｑｗが必要とされる。これに対処するため、この実施例のシンクロナスＳＲＡＭでは、実質的な書き込み動作が行われたサイクルの次サイクル、すなわち例えばタイミングＴ６を始まりとするサイクルが言わば実質的なデッドサイクルとされ、このタイミングＴ６のリードサイクルに関する実質的な読み出し動作は、その直前のライトサイクルの前前サイクルのライトサイクルに関する実質的な書き込み動作が行われたサイクルつまりタイミングＴ５を始まりとするサイクルの次次サイクル、すなわちタイミングＴ７を始まりとするサイクルで実行される。言うまでもなく、タイミングＴ６を始まりとする実質的なデッドサイクルでは、タイミングＴ３のライトサイクルに関する実質的な書き込み動作によりフルスィングされた相補データ線Ｄ０＊～Ｄｎ＊のイコライズが行われる。

【００７９】

つまり、本実施例の場合、シンクロナスＳＲＡＭとしてのサイクルタイムＴｃｙが、書き込み動作終了後における相補データ線Ｄ０＊～Ｄｎ＊のイコライズ所要時間Ｔｅｑｗを考慮することなく設定できる訳であって、シンクロナスＳＲＡＭのサイクルタイムＴｃｙは、メモリアレイＭＡＲＹの選択タイミングとライトアンプＷＡの駆動タイミングとの間のセットアップ時間をＴｓｕとし、ライトパルス信号ＷＰのパルス幅つまりライトアンプＷＡの単位ライトアンプＷＡ０～ＷＡ３５による書き込み動作の所要時間をＴｗｐとするとき、

Ｔｃｙ　Ｔｓｕ＋Ｔｗｐ

となる。現在の半導体集積回路技術において、シンクロナスＳＲＡＭのセットアップ時間Ｔｓｕは０．５ｎｓ程度とされ、ライトパルス信号ＷＰのパルス幅Ｔｗｐは２．６ｎｓ程度とされる。この結果、シンクロナスＳＲＡＭのサイクルタイムＴｃｙは、３．１ｎｓ程度に短縮され、図８～図１０に掲げた従来のシンクロナスＳＲＡＭに比較して約４４％もの改善が図られるとともに、相応してシンクロナスＳＲＡＭを含むＥＷＳのサイクルタイムも高速化される。

【００８０】

なお、リードサイクルにおいてサイクルタイムに対する制約がある場合、シンクロナスＳ

ＲＡＭの実質的なサイクルタイムは、ライトサイクルではなくリードサイクルによって律則され、３．１ｎｓを超えることもあり得る。

【００８１】

図６には、この発明が適用されたシンクロナスＳＲＡＭの書き込み動作に関する回路の第２の実施例の信号経路図が示され、図７には、その一実施例の動作タイミング図が示されている。なお、この実施例のシンクロナスＳＲＡＭは、前記図１ないし図５の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【００８２】

図６において、この実施例のシンクロナスＳＲＡＭは、前記図３の実施例にあるアドレスレジスタＡＲ３ならびにこれに対応するアドレス比較回路ＡＣ２及び入力データレジスタＩＲ２を備えず、ライトサイクルの直後サイクルでリードサイクルが指定されることによってその実質的な書き込み動作が待ち合わせ状態となるライトサイクルは、一つのみに制限される。

【００８３】

したがって、図７に示されるように、例えばタイミングＴ３のライトサイクルに関する実質的な書き込み動作は、リードサイクルの場合と同様、次サイクルつまりタイミングＴ４を始まりとするサイクルで実行され、後続するリードサイクルによりその実質的な書き込み動作が待ち合わせ状態となるライトサイクルは、タイミングＴ５のライトサイクルのみとなる。また、タイミングＴ５のライトサイクルの直後サイクルつまりタイミングＴ６のリードサイクルに関する実質的な読み出し動作は、上記ライトサイクルの前サイクルつまりタイミングＴ４のライトサイクルに関する実質的な書き込み動作が行われるサイクルつまりタイミングＴ５を始まりとするサイクルの次次サイクル、すなわちタイミングＴ７を始まりとするサイクルで実行され、その直前サイクルは、書き込み動作によりフルスィングされた相補データ線Ｄ０＊～Ｄｎ＊のイコライズに供される。

【００８４】

この結果、この実施例の場合も、前記図１ないし図５の実施例の場合と同様な作用効果を得ることができ、これによってシンクロナスＳＲＡＭひいてはこれを含むＥＷＳ等のサイクルタイムを高速化できるものとなる。

【００８５】

なお、この実施例では、例えばタイミングＴ３のライトサイクルに関するライトデータＤＷ１が、その実質的な書き込み動作が行われるサイクルの開始点つまりタイミングＴ４で入力されるため、ライトデータＤＷ１がデータ入出力端子ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８から入力データレジスタＩＲ１を介してライトアンプＷＡに伝達されるまでの時間がセットアップ時間Ｔｓｕより長いと、その分シンクロナスＳＲＡＭのサイクルタイムが影響を受ける。

【００８６】

以上の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）所定のクロック信号に従って同期動作し、ライトサイクルの次サイクルでのリードサイクルを許容するシンクロナスＳＲＡＭ等において、上記ライトサイクルの次サイクルのリードサイクルに関する実質的な読み出し動作を、対応するライトサイクルの前サイクル又は前前サイクルのライトサイクルに関する実質的な書き込み動作が行われるサイクルの次次サイクルで実行するとともに、シンクロナスＳＲＡＭ等に、後続するリードサイクルによりその実質的な書き込み動作が行われなかったライトサイクルに関するライトアドレス及びライトデータをそれぞれ保持する２個又は１個のアドレスレジスタ及び入力データレジスタと、後続するリードサイクルに関するリードアドレスとアドレスレジスタに保持されるライトアドレスとを比較照合しその結果に応じて対応する入力データレジスタに保持されるライトデータをそのままリードデータとして選択的に出力するための２個又は１個のアドレス比較回路とを設けることで、上記前サイクル又は前前サイクルのライトサイクルに関する実質的な書き込み動作が終了してから次サイクルのリードサイクルに関する実質的な読み出し動作が行われるまでの間に、実質的な書き込み動作によりフルスィン

グされたデータ線及び共通データ線のイコライズ動作を行うことができるという効果が得られる。

【００８７】

（２）上記（１）項により、シンクロナスＳＲＡＭ等のサイクルタイムを、セットアップ時間とライトパルス信号のパルス幅との関数とし、ほぼイコライズ所要時間分だけ短縮することができるという効果が得られる。

（３）上記（１）項及び（２）項により、シンクロナスＳＲＡＭ等のサイクルタイムを高速化することができるという効果が得られる。

（４）上記（３）項により、シンクロナスＳＲＡＭをキャッシュメモリとして含むＥＷＳ等のサイクルタイムを高速化できるという効果が得られる。

【００８８】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図１において、シンクロナスＳＲＡＭのメモリアレイＭＡＲＹは、その周辺部を含めて複数のメモリマットに分割できる。また、シンクロナスＳＲＡＭは、いわゆる×１８ビット又は×７２ビット等、任意のビット構成を採りうるし、バイト単位の書き込み制御機能を持つことを必須条件ともしない。シンクロナスＳＲＡＭは、種々のブロック構成を採りうるし、起動制御信号及び内部制御信号等の組み合わせや名称ならびにその有効レベル等は、種々の実施形態を採りうる。

【００８９】

図２において、メモリアレイＭＡＲＹは、任意数の冗長素子を含むことができる。また、上記実施例では、相補データ線Ｄ０＊～Ｄｎ＊の非反転及び反転信号線をともに電源電圧ＶＣＣのようなハイレベルにイコライズしているが、種々の条件を整えることで、接地電位ＶＳＳのようなロウレベルにイコライズすることも可能である。シンクロナスＳＲＡＭは、イコライズ制御信号ＥＱに従って相補共通データ線ＣＤ０＊～ＣＤ３５＊の非反転及び反転信号線をイコライズするための共通データ線イコライズ回路を備えることができる。

【００９０】

図３及び図６において、シンクロナスＳＲＡＭの書き込み動作に関する回路の具体的構成は、これらの実施例による制約を受けない。図４及び図５ならびに図７において、相補クロック信号Ｋ＊，各起動制御信号ならびに内部信号等の具体的な時間関係やレベルは、本発明の主旨に影響を与えない。

【００９１】

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるＥＷＳのキャッシュメモリを構成するシンクロナスＳＲＡＭに適用した場合について説明したが、それに限定されるものではなく、例えば、クロック信号に従って同期動作するダイナミック型ＲＡＭや各種のシンクロナス型メモリならびにこれを含む各種デジタルシステムにも種々の形で適用することができる。この発明は、少なくともクロック信号に従って同期動作しかつライトサイクルの次サイクルでのリードサイクルを許容する半導体記憶装置ならびにこれを含む装置又はシステムに広く適用できる。

【００９２】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、所定のクロック信号に従って同期動作し、ライトサイクルの次サイクルでのリードサイクルを許容するシンクロナスＳＲＡＭ等において、上記ライトサイクルの次サイクルのリードサイクルに関する実質的な読み出し動作を、対応するライトサイクルの前サイクル又は前前サイクルのライトサイクルに関する実質的な書き込み動作が行われるサイクルの次次サイクルで実行するとともに、シンクロナスＳＲＡＭ等に、後続するリードサイクルによりその実質的な書き込み動作が行われなかったライトサイクルに関するライトアドレス及びライトデータをそれぞれ保持する２個又は１個のア

ドレスレジスタ及び入力データレジスタと、後続するリードサイクルに関するリードアドレスとアドレスレジスタに保持されるライトアドレスとを比較照合しその結果に応じて対応する入力データレジスタに保持されるライトデータをそのままリードデータとして選択的に出力するための２個又は１個のアドレス比較回路とを設けることで、前サイクル又は前前サイクルのライトサイクルに関する実質的な書き込み動作が終了してから次サイクルのリードサイクルに関する実質的な読み出し動作が行われるまでの間に、実質的な書き込み動作によってフルスィングされたデータ線及び共通データ線のイコライズ動作を行うことができるため、シンクロナスＳＲＡＭ等のサイクルタイムを、セットアップ時間とライトパルス信号のパルス幅との関数とし、ほぼイコライズ所要時間分だけ短縮することができる。この結果、シンクロナスＳＲＡＭ等のサイクルタイムを高速化し、これをキャッシュメモリとして含むＥＷＳ等の高速化を図ることができる。

【図面の簡単な説明】

【図１】この発明が適用されたシンクロナスＳＲＡＭの一実施例を示すブロック図である。

【図２】図１のシンクロナスＳＲＡＭに含まれるメモリアレイ及びその周辺部の一実施例を示す部分的な回路図である。

【図３】図１のシンクロナスＳＲＡＭの書き込み動作に関する回路の第１の実施例を示す信号経路図である。

【図４】図３のシンクロナスＳＲＡＭの一実施例を示す動作タイミング図である。

【図５】図３のシンクロナスＳＲＡＭの一実施例を示す信号波形図である。

【図６】この発明が適用されたシンクロナスＳＲＡＭの書き込み動作に関する回路の第２の実施例を示す信号経路図である。

【図７】図６のシンクロナスＳＲＡＭの一実施例を示す動作タイミング図である。

【図８】この発明に先立って本願発明者等が開発したシンクロナスＳＲＡＭの書き込み動作に関する回路の一例を示す信号経路図である。

【図９】図８のシンクロナスＳＲＡＭの一例を示す動作タイミング図である。

【図１０】図８のシンクロナスＳＲＡＭの一例を示す信号波形図である。

【符号の説明】

ＭＡＲＹ……メモリアレイ、ＸＤ……Ｘアドレスデコーダ、ＹＳ……Ｙスイッチ、ＷＡ……ライトアンプ、ＳＡ……センスアンプ、ＹＤ……Ｙアドレスデコーダ、ＴＧ……タイミング発生回路、ＢＷＲ……バイトライトイネーブル信号レジスタ、ＩＲ１～ＩＲ２……入力データレジスタ、ＯＳ……出力データ選択回路、ＯＲ……出力データレジスタ、ＯＢ……データ出力バッファ、ＡＲ１～ＡＲ３……アドレスレジスタ、ＡＳ１～ＡＳ２……アドレス選択回路、ＡＣ１～ＡＣ２……アドレス比較回路。

Ｋ＊……相補クロック信号又はその入力端子、Ｋ……非反転クロック信号又はその入力端子、／Ｋ……反転クロック信号又はその入力端子、／ＳＳ……チップ選択信号又はその入力端子、／ＳＷＥ……ライトイネーブル信号又はその入力端子、／ＳＷＥａ～ＳＷＥｄ……バイトライトイネーブル信号又はその入力端子、ＤＱａ０～ＤＱａ８ないしＤＱｄ０～ＤＱｄ８……入出力データ又はデータ入出力端子、ＳＡ０～ＳＡｋ……アドレス信号又はその入力端子。

Ｗ０～Ｗｍ……ワード線、Ｄ０＊～Ｄｎ＊……相補データ線、Ｄ０～Ｄｎ……非反転データ線、／Ｄ０～／Ｄｎ……反転データ線、ＭＣ００～ＭＣ０ｎないしＭＣｍ０～ＭＣｍｎ……スタティック型メモリセル、ＣＤ０＊～ＣＤ３５＊……相補共通データ線、ＣＤ０～ＣＤ３５……非反転共通データ線、／ＣＤ０～／ＣＤ３５……反転共通データ線、ＷＡ０～ＷＡ３５……単位ライトアンプ、ＳＡ０～ＳＡ３５……単位センスアンプ。

ＥＱ……イコライズ制御信号、ＷＰ……ライトパルス信号、ＲＰ……リードパルス信号、ＹＳ０～ＹＳｐ……データ線選択信号、ＷＥａ～ＷＥｄ……バイトライト制御信号、ＷＤａ０～ＷＤａ８ないしＷＤｄ０～ＷＤｄ８……ライトデータ、ＲＤａ０～ＲＤａ８ないしＲＤｄ０～ＲＤｄ８……リードデータ。

ＳＳＲ……チップ選択信号レジスタ、ＷＥＲ……ライトイネーブル信号レジスタ、Ｐ１～

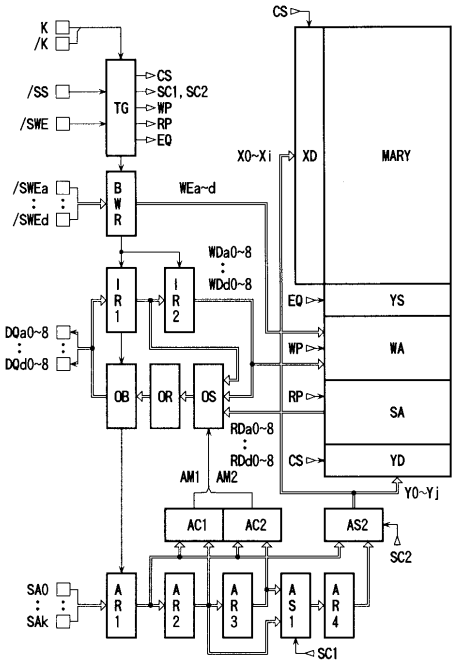
Ｐ５……ＰチャンネルＭＯＳＦＥＴ、Ｎ１～Ｎ４……ＮチャンネルＭＯＳＦＥＴ、Ｇ１～Ｇ２……トランスファゲート、Ｖ１～ＶＡ……ＣＭＯＳインバータ、ＯＧ１～ＯＧ２……オア（ＯＲ）ゲート、ＮＡ１～ＮＡ４……ナンド（ＮＡＮＤ）ゲート、ＢＶ１～ＢＶ５……ＢｉＣＭＯＳインバータ。

Ｔ１～Ｔ１４……タイミング、ＷＲＩＴＥ……ライトサイクル、ＲＥＡＤ……リードサイクル、ＤＥＡＤ……デッドサイクル、ＡＲ１～ＡＲ５……リードアドレス、ＡＷ１～ＡＷ６……ライトアドレス、ＤＲ１～ＤＲ５……リードデータ、ＤＷ１～ＤＷ６……ライトデータ。

Ｔｃｙ……サイクルタイム、Ｔｓｕ……セットアップ時間、Ｔｗｐ……ライトパルス幅、Ｔｅｑｗ，Ｔｅｑｒ……イコライズ所要時間。

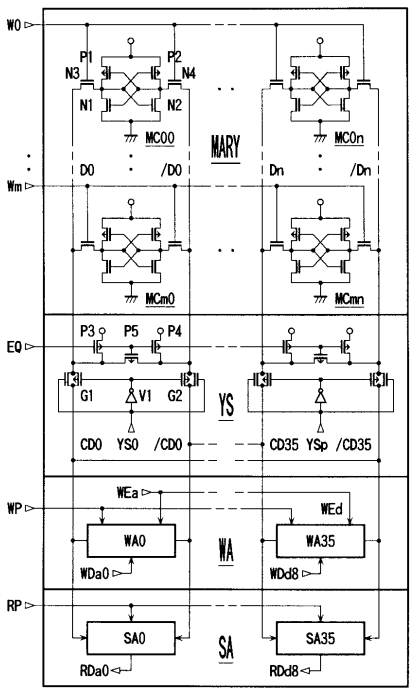
【図１】

図1　シンクロナスＳＲＡＭのブロック構成

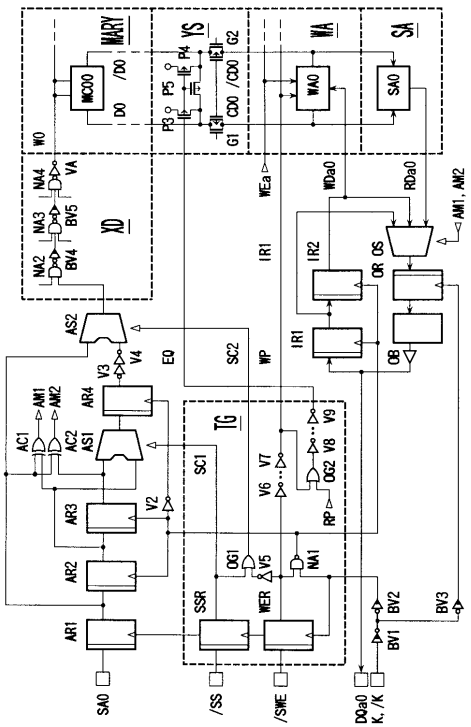


【図２】

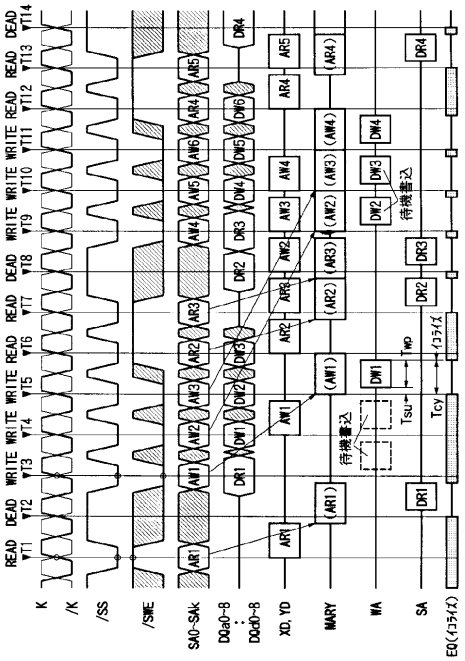
図2　メモリアレイ及び周辺部の部分回路構成



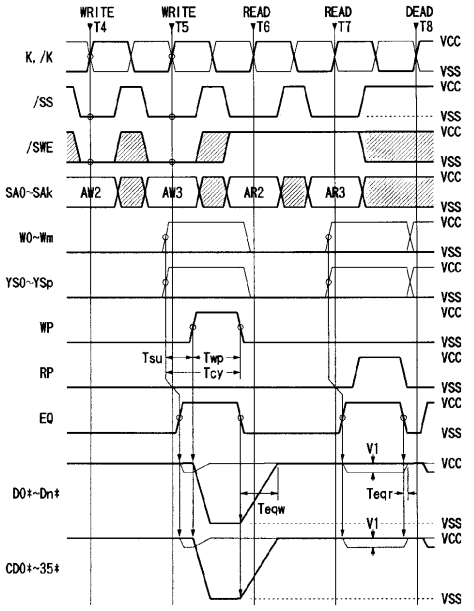
【図３】
図3 シンクロナスＳＲＡＭの書き込み信号経路（実施例１）



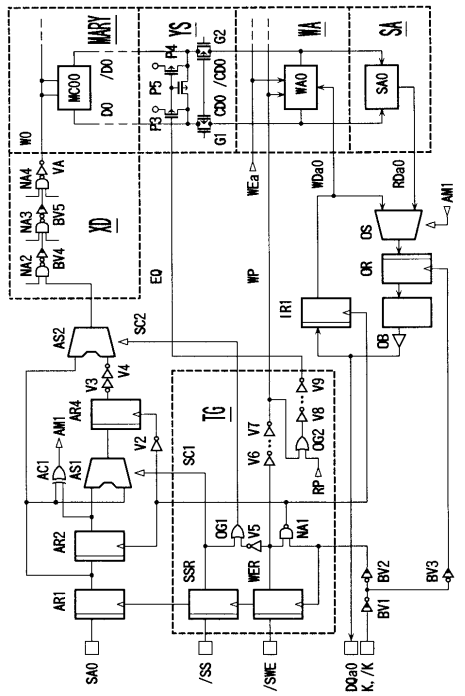
【図４】
図4 シンクロナスＳＲＡＭの動作タイミング（実施例１）



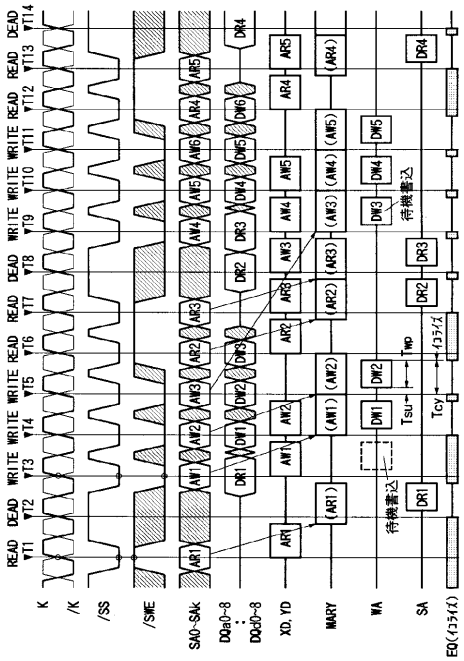
【図５】
図5 シンクロナスＳＲＡＭの信号波形（実施例１）



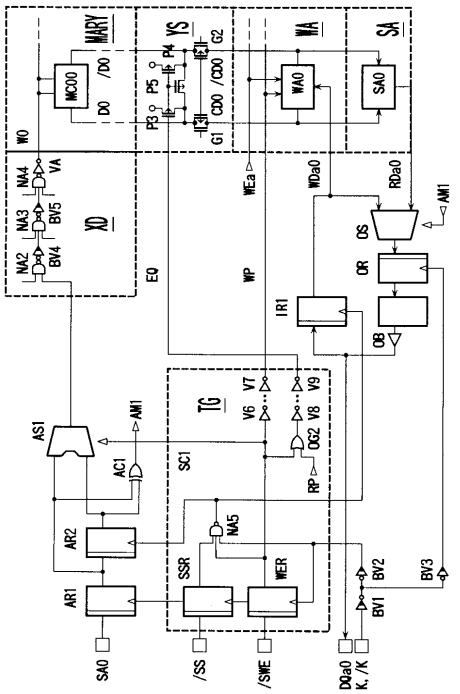
【図６】
図6 シンクロナスＳＲＡＭの書き込み信号経路（実施例２）



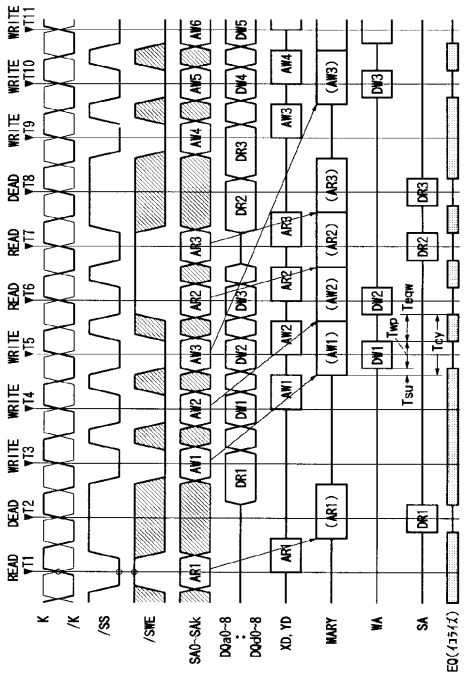
【図７】
図7 シンクロナスＳＲＡＭの動作タイミング（実施例2）



【図８】
図8 シンクロナスＳＲＡＭの書き込み信号経路



【図９】
図9 シンクロナスＳＲＡＭの動作タイミング



【図１０】
図10 シンクロナスＳＲＡＭの信号波形

