(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6658441号
(P6658441)

(45)発行日　令和2年3月4日(2020.3.4)　(24)登録日　令和2年2月10日(2020.2.10)

(51)Int.Cl.		F I		
H01L 21/822	(2006.01)	H01L	27/04	H
H01L 27/04	(2006.01)	H03F	1/30	
H03F 1/30	(2006.01)	H01L	27/04	R
H01L 25/065	(2006.01)	H01L	27/04	E
H01L 25/07	(2006.01)	H01L	25/08	C

請求項の数 12　(全 14 頁)　最終頁に続く

(21)出願番号　特願2016-198125(P2016-198125)
(22)出願日　平成28年10月6日(2016.10.6)
(65)公開番号　特開2018-60933(P2018-60933A)
(43)公開日　平成30年4月12日(2018.4.12)
審査請求日　平成31年1月29日(2019.1.29)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100082175
弁理士　高田　守
(74)代理人　100106150
弁理士　高橋　英樹
(74)代理人　100148057
弁理士　久野　淑己
(72)発明者　渡辺　伸介
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　西澤　弘一郎
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
第１基板と、
前記第１基板に設けられたトランジスタと、
前記第１基板の上面に設けられ、前記トランジスタのゲート電極と接続されたゲートパッドと、
前記ゲートパッドの上に設けられた導電性バンプと、
前記第１基板の上方に設けられ、第１面と、前記第１面と反対の面である第２面とを有する第２基板と、
前記第１面から前記第２面に貫通し、前記第２面側で前記導電性バンプと接続される第１電極と、
一端が前記第１電極の前記第１面側に接続され、他端が入力端子に接続された抵抗と、
前記第１面に前記第１電極と隣接して設けられ、前記抵抗を介さずに前記入力端子に接続された第２電極と、
を備え、
前記第１電極と前記第２電極は、前記第２基板の母材によって隔てられ、
前記トランジスタのドレイン電極から前記ゲート電極に流れるゲートリーク電流は、前記第１電極から前記第２基板の前記母材および前記第２電極を通って前記入力端子に流れることを特徴とする半導体装置。
【請求項２】

前記第１電極と前記第２電極との間の間隔は１００μｍ以下であることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記第２電極は、前記第１面に設けられた第２ボンディングパッドであることを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
前記第２電極は、前記第１面から前記第２面に貫通することを特徴とする請求項１または２に記載の半導体装置。
【請求項５】
前記第１電極は、前記導電性バンプと接続され、前記第２面に設けられた第１パッドを備え、
前記第１パッドは、前記第２ボンディングパッドの真下まで延びていることを特徴とする請求項３に記載の半導体装置。
【請求項６】
前記第２基板は、前記第２ボンディングパッドが設けられた部分が周囲よりも薄いことを特徴とする請求項５に記載の半導体装置。
【請求項７】
前記第１面には第１凹部が形成され、
前記第２ボンディングパッドは前記第１凹部を埋め込むことを特徴とする請求項６に記載の半導体装置。
【請求項８】
前記第２面には、前記第２ボンディングパッドの真下に第２凹部が形成され、
前記第１パッドは前記第２凹部を埋め込むことを特徴とする請求項６または７に記載の半導体装置。
【請求項９】
前記第２基板の前記母材は、抵抗率が１００Ωｃｍ以上のシリコンであることを特徴とする請求項１～８の何れか１項に記載の半導体装置。
【請求項１０】
前記第２基板には、整合回路が形成されていることを特徴とする請求項１～９の何れか１項に記載の半導体装置。
【請求項１１】
前記第１基板と前記第２基板は、樹脂で封止されていることを特徴とする請求項１～１０の何れか１項に記載の半導体装置。
【請求項１２】
前記第１基板は、化合物半導体から形成されることを特徴とする請求項１～１１の何れか１項に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、高周波信号を増幅する電界効果トランジスタを備えた半導体装置に関する。
【背景技術】
【０００２】
化合物半導体を用いた高周波用のＦＥＴ（Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）において、ゲート電極と入力端子が抵抗を介して接続されることがある。この抵抗は発振の抑制およびＦＥＴに印加されるゲート電圧の調整のために設けられる。ＦＥＴの温度が上昇するとゲートリーク電流が生じることがある。このゲートリーク電流が、ゲート電極に接続された抵抗を流れると、電圧降下によってＦＥＴに印加されるゲート電圧が上昇する。この結果、ＦＥＴに流れるドレイン電流が増加し、ＦＥＴは更に発熱する。これにより、更にゲートリーク電流が増加する。この連鎖によって、ＦＥＴが損傷する可能性がある。

【０００３】
これに対し、特許文献１には、ＮＩＮ素子を備えたバイアス回路を有する半導体装置が開示されている。ＮＩＮ素子は、ゲートバイアス供給電源とゲートとの間に接続された抵抗と並列に接続される。ＮＩＮ素子は、２つのＮ型の導電性コンタクト層の間に半絶縁性の半導体層を挟んだ構成を有する。ＮＩＮ素子は、温度上昇に伴って抵抗値が低下する。このため、温度が上昇するとバイアス回路の抵抗値が減少する。このとき、ゲートリーク電流が増加しても、ゲート電位の上昇は抑えられる。従って、ＦＥＴの温度上昇は抑制される。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開平１１－２９７９４１号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
特許文献１に示される半導体装置では、基板にＦＥＴおよびＮＩＮ素子が形成される。このとき、ＦＥＴとＮＩＮ素子を近接して配置することが制限される場合がある。このため、ＦＥＴが高温になっても、ＮＩＮ素子の温度が上昇し難い場合がある。従って、ゲート電位の上昇が十分に抑制できない可能性がある。また、シリコンと比較してバンドギャップが広い化合物半導体を基板に用いると、大電力動作に適したＦＥＴの作成が可能になる。一方で、化合物半導体から形成されたＮＩＮ素子は、ＦＥＴの温度が上昇しても抵抗が下がりにくい場合がある。従って、ＮＩＮ素子によるゲート電位の上昇の抑制が十分にできない可能性がある。
【０００６】
また、ＮＩＮ素子を形成するために、基板の面積が増加する。このため、製造コストが増加する。また、ＦＥＴの性能を十分に引き出すには、整合回路をＦＥＴの近傍に形成することが望ましい。しかし、ＦＥＴの近傍にＮＩＮ素子を形成すると、ＦＥＴの近傍に整合回路を配置することが出来ない場合がある。この時、ＦＥＴの性能が抑制される可能性がある。
【０００７】
本発明は、上述の課題を解決するためになされたもので、基板の面積の増加を抑制できる半導体装置を得ることを目的とする。
【課題を解決するための手段】
【０００８】
本発明に係る半導体装置は、第１基板と、該第１基板に設けられたトランジスタと、該第１基板の上面に設けられ、該トランジスタのゲート電極と接続されたゲートパッドと、該ゲートパッドの上に設けられた導電性バンプと、該第１基板の上方に設けられ、第１面と、該第１面と反対の面である第２面とを有する第２基板と、該第１面から該第２面に貫通し、該第２面側で該導電性バンプと接続される第１電極と、一端が該第１電極の該第１面側に接続され、他端が入力端子に接続された抵抗と、該第１面に該第１電極と隣接して設けられ、該抵抗を介さずに該入力端子に接続された第２電極と、を備え、該第１電極と該第２電極は、該第２基板の母材によって隔てられ、該トランジスタのドレイン電極から該ゲート電極に流れるゲートリーク電流は、該第１電極から該第２基板の該母材および該第２電極を通って該入力端子に流れる。
【発明の効果】
【０００９】
本発明に係る半導体装置では、ゲートパッドに導電性バンプを介して第２基板が接続される。トランジスタが発熱すると第２基板の母材の抵抗値が低下する。このとき、トランジスタのドレイン電極からゲート電極に流れるゲートリーク電流は、第１電極から第２基板の母材を通って第２電極に流れる。従って、ゲートリーク電流が第１抵抗に流れること

による電圧降下が抑制される。このため、ＦＥＴの発熱が抑制される。また、第１基板にゲートリーク電流を抑制するための素子を形成する必要がない。このため、第１基板の面積の増加を抑制できる。

【図面の簡単な説明】

【００１０】

【図１】実施の形態１に係る半導体装置の断面図である。

【図２】実施の形態１に係る第１基板の平面図である。

【図３】比較例に係る半導体装置の断面図である。

【図４】シリコンの導電率の温度特性を示す図である。

【図５】実施の形態１の第１の変形例に係る第２基板の平面図である。

【図６】実施の形態１の第１の変形例に係る第２基板の底面図である。

【図７】実施の形態１の第２の変形例に係る半導体装置の断面図である。

【図８】比較例に係る半導体装置の断面図である。

【図９】実施の形態２に係る半導体装置の断面図である。

【図１０】実施の形態３に係る半導体装置の断面図である。

【図１１】実施の形態４に係る半導体装置の断面図である。

【図１２】実施の形態４の第１の変形例に係る半導体装置の断面図である。

【図１３】実施の形態４の第２の変形例に係る半導体装置の断面図である。

【発明を実施するための形態】

【００１１】

本発明の実施の形態に係る半導体装置について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【００１２】

実施の形態１.

図１は、実施の形態１に係る半導体装置の断面図である。本実施の形態に係る半導体装置８０は、第１基板１０を備える。第１基板１０にはトランジスタ１２が設けられる。本実施の形態ではトランジスタ１２は高周波用のＦＥＴである。第１基板１０は化合物半導体から形成される。第１基板１０の材料として、ヒ化ガリウム、窒化ガリウム、リン化インジウムなどの化合物半導体が用いられる。

【００１３】

第１基板１０の上面にはゲートパッド１１が設けられる。ゲートパッド１１は、配線１５によってトランジスタ１２のゲート電極１３と接続される。第１基板１０の上面にはドレインパッド１８が設けられる。ドレインパッド１８は、配線１７によってトランジスタ１２のドレイン電極１４と接続される。第１基板１０の裏面には、グラウンド金属５２が設けられている。グラウンド金属５２にはグラウンド電位が印加される。

【００１４】

ゲートパッド１１の上には、導電性バンプ３０が設けられる。また、ドレインパッド１８の上には導電性バンプ３１が設けられる。導電性バンプ３０、３１には、金、銅またはそれらを用いることができる。導電性バンプ３０、３１の材料はこれに限らない。

【００１５】

第１基板１０の上方には、第２基板２０が設けられる。第２基板２０は、第１面６１と、第１面６１と反対の面である第２面６２とを有する。第２基板２０は抵抗率が１００Ωｃｍ以上のシリコンから形成される。第２基板２０の材料となるシリコンは、高周波用基板に用いられる真性シリコンである。第２基板２０は、第２面６２が第１基板１０の上面と対向するように、導電性バンプ３０、３１の上に設けられる。第２基板２０は、導電性バンプ３０、３１によって、第１基板１０の上方に実装されている。

【００１６】

第２基板２０には、第１電極４４が形成される。第１電極４４は、第１面６１から第２面６２に貫通する。また、第１電極４４は第２面６２側で導電性バンプ３０と接続される。第１電極４４は、第１パッド２１を第２面６２に備える。第１パッド２１は、導電性バ

ンプ３０と接続される。また、第１電極４４は、第１ボンディングパッド４０を第１面６１に備える。第１ボンディングパッド４０は、ワイヤボンディングを行うためのパッドである。第１パッド２１と第１ボンディングパッド４０は第１面６１から第２面６２に貫通する第１バイアホール２２によって導通している。

【００１７】

半導体装置８０は、抵抗５１を備える。抵抗５１は、一端が第１電極４４の第１面６１側に接続される。抵抗５１の一端は、第１ボンディングパッド４０と配線５３によって接続される。抵抗５１の他端は、入力端子５０に接続される。入力端子５０から高周波信号の入力およびゲート電圧の印加が行われる。抵抗５１によって、発振の抑制およびトランジスタ１２に印加されるゲート電圧の調整ができる。

【００１８】

第２基板２０には、第２電極４５が形成される。本実施の形態では、第２電極４５は、第１面６１に設けられた第２ボンディングパッド４１である。第２電極４５は、第１電極４４と隣接して設けられる。第２電極４５は、配線５４によって入力端子５０と接続される。第２電極４５は抵抗５１を介さずに、入力端子５０に接続される。

【００１９】

本実施の形態では、第２電極４５は第１面６１に設けられた第２ボンディングパッド４１であるものとした。第２電極４５の形状はこれに限らない。第２電極４５は、少なくとも第１面６１に設けられ、第１面６１側が入力端子５０に接続されていればよい。第２電極４５は、他のパッドおよびトランジスタ１２と接続されていない。第２電極４５と第１電極４４は、第２基板２０の母材によって隔てられている。第２電極４５は浮遊状態である。

【００２０】

第２基板２０は、第２面６２に第３パッド２３を備える。第３パッド２３は導電性バンプ３１と接続される。また、第２基板２０は第１面６１に第３ボンディングパッド４３を備える。第３パッド２３と第３ボンディングパッド４３は第１面６１から第２面６２に貫通する第３バイアホール２４によって接続される。第３ボンディングパッド４３は、配線５５によって出力端子５６に接続される。

【００２１】

図２は、実施の形態１に係る第１基板の平面図である。第１基板１０の上面には、ドレイン電極１４とソース電極１６が交互に配置されている。ドレイン電極１４およびソース電極１６は、平面視において長方形である。ドレイン電極１４とソース電極１６の間にはゲート電極１３が配置されている。ゲート電極１３、ドレイン電極１４およびソース電極１６が配置される領域の一端にはゲートパッド１１とソースパッド１９が配置される。ゲート電極１３、ドレイン電極１４およびソース電極１６が配置される領域の他端には、ドレインパッド１８が配置される。

【００２２】

図３は、比較例に係る半導体装置の断面図である。比較例に係る半導体装置８１は第１基板１０を備える。第１基板１０の構造は、半導体装置８０と同様である。半導体装置８１は、第２基板２０を備えない。ゲートパッド１１には配線５３を介して抵抗５１の一端が接続される。抵抗５１の他端には入力端子５０が接続される。ドレインパッド１８は配線５５を介して出力端子５６に接続される。

【００２３】

トランジスタ１２にゲート電圧が印加されドレイン電流が流れると、トランジスタ１２は発熱する。一般に、化合物半導体から形成されたＦＥＴでは、ＦＥＴの温度が一定値以上に上昇するとドレイン電極１４からゲート電極１３へ流れるゲートリーク電流が生じる。このゲートリーク電流は、ゲートパッド１１を通り、抵抗５１を介して入力端子５０へ向かって流れる。ゲートリーク電流が抵抗５１を流れると、電圧降下によってトランジスタ１２に印加されるゲート電圧が上昇する。この結果、トランジスタ１２に流れるドレイン電流が増加する。このため、トランジスタ１２は更に発熱する。これにより、更にゲー

トリーク電流が増加する。この連鎖によって、トランジスタ１２が損傷する可能性がある。

【００２４】

これに対し、本実施の形態に係る半導体装置８０の動作について説明する。トランジスタ１２の温度が常温の場合、トランジスタ１２の利得が高い。利得が高いＦＥＴでは発振が生じる可能性がある。本実施の形態では、入力端子５０に接続された抵抗５１によって、トランジスタ１２の発振を抑制できる。また、常温において第２基板２０の母材であるシリコンの導電率は低い。このため、第１電極４４と第２電極４５との間には電流が流れない。

【００２５】

入力端子５０にゲート電圧および大電力の高周波信号が入力されると、トランジスタ１２の温度が上昇する。トランジスタ１２が高温になると利得が減少する。このとき、発振が起こる可能性が低減される。一方で、トランジスタ１２が高温になるとゲートリーク電流が生じる。ゲートリーク電流は、ドレイン電極１４からゲート電極１３へ流れ、ゲートパッド１１、導電性バンプ３０を通り第１電極４４に向かう。

【００２６】

このとき、第１基板１０が発する熱は、第１基板１０と第２基板２０の間の空気および導電性バンプ３０、３１を介し第２基板２０に伝達される。この結果、第２基板２０の温度が上昇する。第２基板２０の温度が上昇すると、シリコンの内部に真性キャリアが発生する。このため、第２基板２０の導電率が上昇する。このとき、第２電極４５を第１電極４４と隣接して配置することで、第１電極４４と第２電極４５との間に電流の経路が形成される。

【００２７】

このとき、ドレイン電極１４からゲート電極１３に流れるゲートリーク電流は、第１電極４４から第２基板２０の母材および第２電極４５を通って入力端子５０に流れることとなる。ゲートリーク電流は、第２電極４５を介して入力端子５０から外部に向けて流れる。この結果、抵抗５１を流れるゲートリーク電流は低減され、抵抗５１による電圧降下が抑制される。このため、ゲート電圧の上昇が抑制され、トランジスタ１２の更なる発熱が抑制される。従って、発熱による半導体装置８０の損傷を防止できる。

【００２８】

ここで、第１電極４４と第２電極４５との間の電流の経路は低抵抗であると良い。このため、第２電極４５は、第１電極４４に近接して配置する。第１電極４４と第２電極４５との間の間隔は、１００μｍ以下であることが望ましい。

【００２９】

また、第１基板１０が発する熱は、第１基板１０と第２基板２０の間の空気および導電性バンプ３０、３１を介し第２基板２０に伝達される。空気は熱を伝えにくいため、第２基板２０の温度はトランジスタ１２の温度までは上昇しない。しかし、導電性バンプ３０、３１の高さは一般に数μｍから数十μｍである。このため、第１基板１０と第２基板２０を近接されることができる。従って、第２基板２０の導電率を増加させるのに十分、第２基板２０の温度を上昇させることができる。

【００３０】

トランジスタ１２が発熱した際の第２基板２０の温度を有限要素法による熱解析によって算出した。熱解析では第１基板１０と第２基板２０との間隔を１０μｍとした。また、ゲートリーク電流が流れるときのトランジスタ１２の温度を摂氏１９０度とした。このとき、第２基板２０の温度は摂氏１４０度以上になるという計算結果を得た。

【００３１】

図４は、シリコンの導電率の温度特性を示す図である。シリコンは常温において導電性を有さない。シリコンは摂氏１３０度を超えると急速に真性キャリアが発生する。この結果、導電率が増加する。熱解析によれば、トランジスタ１２が発熱することにより第２基板２０は１４０度になる。従って、トランジスタ１２の発熱により、第２基板２０では真

性キャリアが急速に増加する。この結果、第２基板２０の導電率が増加し、第１電極４４と第２電極４５との間に電流経路を形成することが可能になる。従って、ゲートリーク電流を、シリコンを介して第２電極４５に流すことが可能になる。

【００３２】

本実施の形態では、導電性バンプ３０、３１を介して、発熱源であるトランジスタ１２の直上に第２基板２０が配置されている。導電性バンプ３０、３１の高さは変更できる。このため、第１基板１０と第２基板２０の間隔が変更できる。従って、第２基板２０の温度をコントロールできる。第２基板２０の導電率を増加させたい場合は、第２基板２０を第１基板１０に近づける。これにより、第１基板１０から第２基板２０に熱が伝達され易くなる。従って、第２基板２０の温度が上昇し、導電率が増加する。

【００３３】

また、第１基板１０の温度が低い状態において、第２電極４５への電流経路を形成したい場合にも、第１基板１０と第２基板２０との間隔を狭める。これにより、第１基板１０からの熱が伝達され易くなり、第２基板２０の温度が１３０度以上になり易くなる。従って、第１基板１０と第２基板２０との間隔を狭める程、第１基板１０の温度が低い状態において第２電極４５への電流経路を形成できる。これにより、トランジスタ１２として、通常のＦＥＴよりも低温でゲートリーク電流が流れ始める特性を持ったＦＥＴを用いる場合にも、ゲート電圧の上昇を抑制できる。

【００３４】

また、第１電極４４と第２電極４５の間隔を変更することで、第１電極４４と第２電極４５との間の抵抗値を変更できる。第１電極４４と第２電極４５との間隔を近づけることで、第１電極４４と第２電極４５との間に電流を流し易くできる。また、本実施の形態では、第２電極４５は第１電極４４と第３ボンディングパッド４３の間に配置された。第１電極４４と第２電極４５の位置関係は、これ以外でも良い。

【００３５】

本実施の形態では、第１電極４４と第２電極４５の位置関係および第１基板１０と第２基板２０との間隔を調整できる。これにより、ゲートリーク電流が流れ始める温度などのトランジスタ１２の特性に合わせた半導体装置８０を得ることができる。

【００３６】

トランジスタ１２の特性に合わせた半導体装置８０の調整方法として、第２基板２０の材料を変更しても良い。本実施の形態では、第２基板２０は、常温における抵抗率が１００Ωｃｍ以上のシリコンであるものとした。これにより、常温において第２電極４５に電流が流れることを防ぐ事ができる。常温における抵抗率が低くても問題ない場合には、抵抗率が１００Ωｃｍ未満のシリコンを用いても良い。逆に、第２基板２０が高温まで高い抵抗率を維持する必要がある場合には、第２基板２０の材料としてワイドバンドギャップ半導体を用いても良い。

【００３７】

トランジスタ１２の温度上昇の抑制のために、第１基板１０に、抵抗５１と並列にサーミスタを接続する方法が考えられる。しかし、この方法によれば、サーミスタを形成するために第１基板１０の面積が大きくなる。

【００３８】

これに対し、本実施の形態に係る半導体装置８０は、第１基板１０の上方に第２基板２０を設けることで、トランジスタ１２の温度上昇が抑制できる。第１基板１０と第２基板２０を接続する導電性バンプ３０、３１は、それぞれ、ゲートパッド１１およびドレインパッド１８の上に設けられる。ゲートパッド１１およびドレインパッド１８は、ワイヤボンディングのためのパッドである。ゲートパッド１１およびドレインパッド１８は、一般に基板上に設けられるものである。

【００３９】

従って、本実施の形態では、トランジスタ１２の温度上昇の抑制のために第１基板１０に新たな要素を設ける必要がない。このため、第１基板１０の面積を拡大する必要がない

。従って、第１基板１０の面積の増加を抑制できる。特に、大電力用ＦＥＴに用いられる化合物半導体基板はシリコン基板と比較して高価であることが多い。従って、化合物半導体から形成される第１基板１０の面積の増加を抑制できることで、製造コストを低減できる。

【００４０】

図５は、実施の形態１の第１の変形例に係る第２基板の平面図である。図６は、実施の形態１の第１の変形例に係る第２基板の底面図である。本実施の形態の第１の変形例として、第２基板１２０が発熱の抑制以外の機能を有しても良い。例えば、第２基板１２０に整合回路などの別の回路を形成しても良い。

【００４１】

第１の変形例に係る第２基板１２０において、第１面６１には第１ボンディングパッド４０が設けられる。第２面６２には、第４パッド１２５が設けられる。第１ボンディングパッド４０と第４パッド１２５は第１バイアホール１２２によって接続される。なお、図５および図６において、便宜上、第１バイアホール１２２の位置は破線で示されている。また、第１の変形例に係る第２基板１２０では、第１ボンディングパッド４０、第２ボンディングパッド４１および第３ボンディングパッド４３の配置が第２基板２０と異なる。

【００４２】

第１の変形例に係る第２基板１２０には、第２面６２に整合回路１２６が形成されている。整合回路１２６は、第４パッド１２５と第１パッド１２１との間に接続されている。整合回路１２６はメアンダインダクタである。整合回路１２６はメアンダインダクタ以外でも良い。

【００４３】

一般に、ＦＥＴを高性能にするために、整合回路をＦＥＴの近傍に配置することが望ましい。一方で、第２基板１２０も、発熱したトランジスタ１２の温度を感知するためにトランジスタ１２に近接して配置される必要がある。本実施の形態では、第２基板１２０に整合回路１２６が設けられる。このため、第２基板１２０と整合回路１２６を共に、トランジスタ１２に近接して配置できる。従って、ＦＥＴの高性能化と、発熱による損傷の抑制の効果を両方得ることができる。また、第２基板１２０に整合回路１２６を設けることで、第１基板１０に整合回路を設ける必要がなくなる。従って、第１基板１０の面積を削減できる。このため、ＦＥＴの高集積化が実現できる。第２基板１２０に形成する回路は整合回路１２６に限らない。

【００４４】

図７は、実施の形態１の第２の変形例に係る半導体装置の断面図である。第２の変形例に係る半導体装置２８０において、第１基板１０と第２基板２０は、樹脂２６０で封止されている。その他の構造は、半導体装置８０と同様である。第１基板１０と第２基板２０が樹脂２６０で封止されることで、衝撃および高湿度の大気から半導体装置２８０を保護できる。樹脂２６０はエポキシ樹脂である。

【００４５】

図８は、比較例に係る半導体装置の断面図である。比較例に係る半導体装置２８１は、第１基板１０が樹脂２６１で封止されている。その他の構造は比較例に係る半導体装置８１と同様である。比較例に係る半導体装置２８１では、第１基板１０を樹脂２６１で封止すると、トランジスタ１２と樹脂２６１が接触する。このため、トランジスタ１２の性能が低下する場合がある。

【００４６】

これに対し、第２の変形例に係る半導体装置２８０では、第１基板１０の上に導電性バンプ３０、３１が設けられる。導電性バンプ３０、３１の上には第２基板２０が設けられる。このため、トランジスタ１２の周辺には中空領域が形成される。つまり、第２基板２０を第１基板１０のキャップとして用いることができる。これにより、トランジスタ１２の性能を下げることなく、半導体装置２８０を封止できる。

【００４７】

これらの変形は以下の実施の形態に係る半導体装置について適宜応用することができる。なお、以下の実施の形態に係る半導体装置については実施の形態１との共通点が多いので、実施の形態１との相違点を中心に説明する。

【００４８】

実施の形態２.

図９は、実施の形態２に係る半導体装置の断面図である。本実施の形態に係る半導体装置３８０は第２電極３４５の構造が半導体装置８０と異なる。その他の構造は、実施の形態１と同様である。第２電極３４５は、第２基板３２０の第１面６１から第２面６２に貫通する。第２電極３４５は、第１面６１に第２ボンディングパッド４１を備える。また、第２電極３４５は、第２面６２に第２パッド３４２を備える。第２ボンディングパッド４１と第２パッド３４２は第２バイアホール３２７によって接続される。第２電極３４５と第１電極４４は、第２基板３２０の母材によって隔てられている。

【００４９】

第２基板３２０の母材は第２基板２０と同じである。第２基板３２０が高温になると、第２基板３２０の導電率が上昇し、ゲートリーク電流が第２電極３４５に向かって流れる。第１電極４４と第２電極３４５の間の抵抗値は、電流経路の断面積が大きいほど小さくなる。本実施の形態では、第１バイアホール２２と第２バイアホール３２７の間をゲートリーク電流が流れる。このため、実施の形態１と比較して、電流経路の断面積が大きくなる。従って、第１電極４４と第２電極３４５の間の抵抗値を実施の形態１よりも低減できる。このため、第２電極３４５に向けてゲートリーク電流を流し易くなる。従って、トランジスタ１２の発熱の抑制の効果を高めることができる。

【００５０】

実施の形態３.

図１０は、実施の形態３に係る半導体装置の断面図である。本実施の形態に係る半導体装置４８０は第１電極４４４の構造が半導体装置８０と異なる。その他の構造は、実施の形態１と同様である。第１電極４４４は、導電性バンプ３０と接続され、第２面６２に設けられた第１パッド４２１を備える。第１パッド４２１は、第２ボンディングパッド４１の真下まで延びている。第１パッド４２１は、平面視において第２ボンディングパッド４１と重なる位置まで形成される。

【００５１】

実施の形態１および実施の形態２では、第１電極４４と第２電極４５、３４５の間を流れるゲートリーク電流は、主に第１面６１に平行な方向に流れる。これに対し本実施の形態では、第２面６２から第１面６１に向かう方向にゲートリーク電流を流すことができる。平面視において、第１パッド４２１と第２ボンディングパッド４１が重なる面積を拡張することで、電流経路の断面積を大きくできる。従って、第１電極４４４から第２電極４５へのゲートリーク電流の電流経路の抵抗値を低減できる。

【００５２】

実施の形態４.

図１１は、実施の形態４に係る半導体装置の断面図である。本実施の形態に係る半導体装置５８０は、第２基板５２０の形状が実施の形態３と異なる。第２基板５２０の第１面６１には第１凹部５２８が形成される。第２電極４５は、第１凹部５２８の底面に設けられる。その他の形状は実施の形態３と同様である。第１凹部５２８は、第２基板５２０の第１面６１をエッチングして形成される。

【００５３】

本実施の形態に係る第２基板５２０は、第２ボンディングパッド４１が設けられた部分が周囲よりも薄い。このため、第１パッド４２１と第２ボンディングパッド４１の間隔が、実施の形態３よりも小さくなる。従って、第１電極４４４から第２電極４５へのゲートリーク電流の電流経路をさらに低抵抗化できる。

【００５４】

図１２は、実施の形態４の第１の変形例に係る半導体装置の断面図である。第１の変形

例に係る半導体装置６８０は、第２電極６４５の形状が半導体装置５８０と異なる。第２電極６４５は第２ボンディングパッド６４１を備える。第２ボンディングパッド６４１は第１凹部５２８を埋め込む。

【００５５】

第２基板５２０は、第１凹部５２８が形成された部分が周囲よりも薄い。第２ボンディングパッド６４１が第１凹部５２８を充填することで、第２基板５２０を補強できる。また、半導体装置５８０では第１凹部５２８の内部において、第２ボンディングパッド４１にワイヤボンディングを実施することとなる。これに対し、第１の変形例に係る半導体装置６８０では、第１凹部５２８が第２ボンディングパッド６４１によって充填される。このため、第１凹部５２８の外部でワイヤボンディングを実施できる。従って、ワイヤボンディングが容易になる。

【００５６】

図１３は、実施の形態４の第２の変形例に係る半導体装置の断面図である。第２の変形例に係る半導体装置７８０は第２基板７２０の第２面６２に第２凹部７２９が形成されている。第２凹部７２９は、第２ボンディングパッド４１の真下に形成される。また、第１電極７４４は、第１パッド７２１を第２面６２に備える。第１パッド７２１は、導電性バンプ３０と接続される。また、第１パッド７２１は、第２凹部７２９を埋め込む。

【００５７】

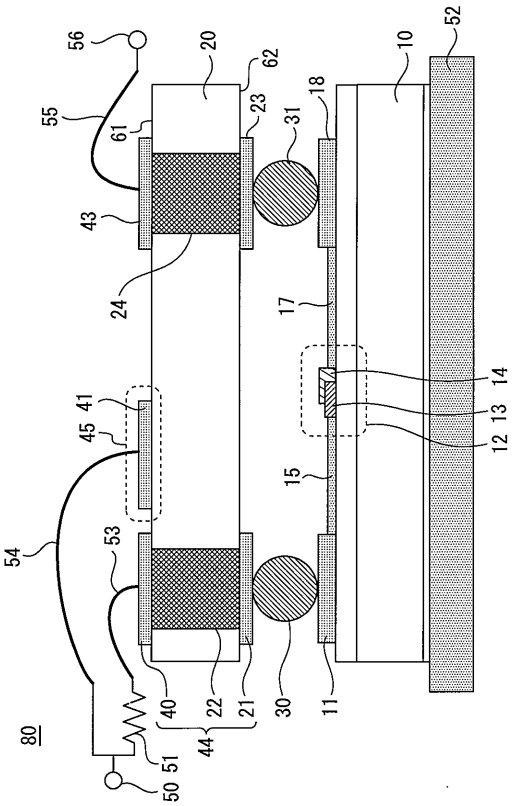
第２の変形例に示すように、第２面６２に第２凹部７２９を設け、第２凹部７２９を第１パッド７２１で充填しても良い。第２の変形例においても、第１の変形例と同様の効果を得ることができる。また、第１凹部５２８と第２凹部７２９を両方設けても良い。なお、各実施の形態で説明した技術的特徴は適宜に組み合わせて用いてもよい。

【符号の説明】

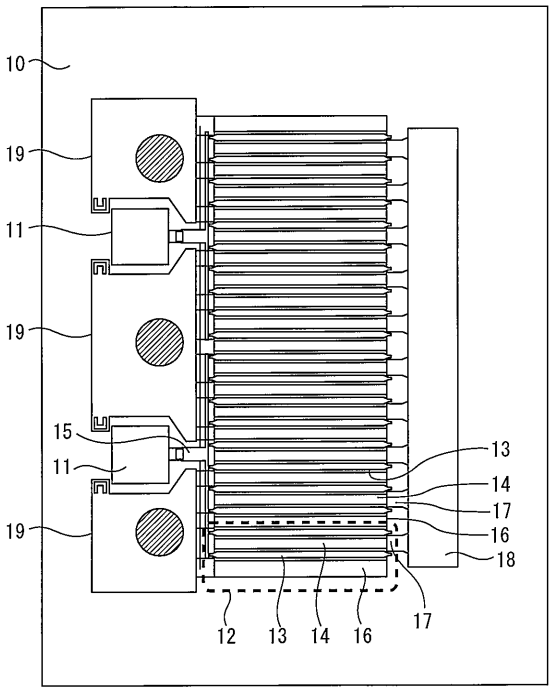
【００５８】

８０、２８０、３８０、４８０、５８０、６８０、７８０　半導体装置、１０　第１基板、１２　トランジスタ、１３　ゲート電極、１４　ドレイン電極、１１　ゲートパッド、３０　導電性バンプ、２０、１２０、３２０、５２０、７２０　第２基板、６１　第１面、６２　第２面、４４、４４４、７４４　第１電極、５０　入力端子、５１　抵抗、４５、３４５、６４５　第２電極、４１、６４１　第２ボンディングパッド、２１、１２１、４２１、７２１　第１パッド、５２８　第１凹部、７２９　第２凹部、１２６　整合回路、２６０　樹脂

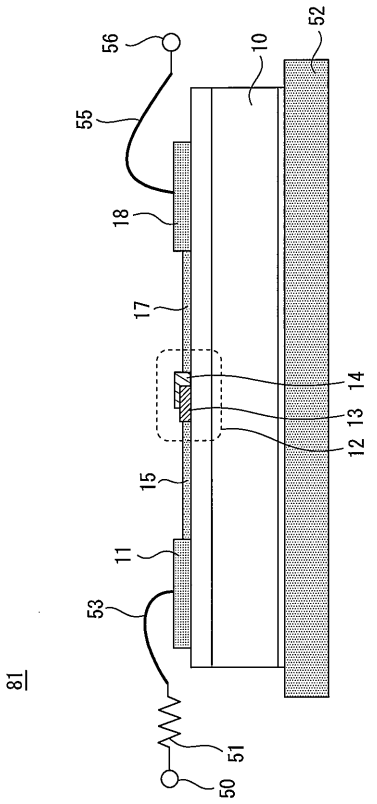
【図１】


80
56
55
61
20
62
23
31
18
10
52
43
24
17
14
13
12
41
45
15
54
53
40
22
21
30
11
44
51
50

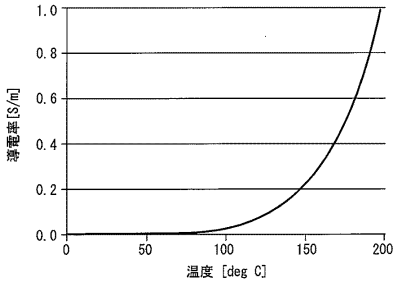
【図２】


10
19
11
19
19
15
11
13
14
17
16
18
12
13
14
16
17

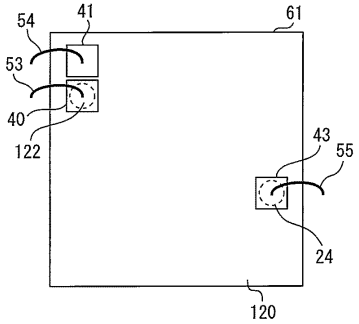
【図３】


81
56
55
10
52
18
17
14
13
12
15
11
53
51
50

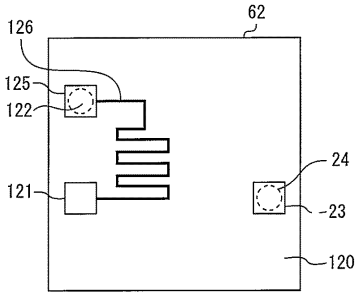
【図４】


導電率[S/m]
1.0
0.8
0.6
0.4
0.2
0.0
0
50
100
150
200
温度 [deg C]

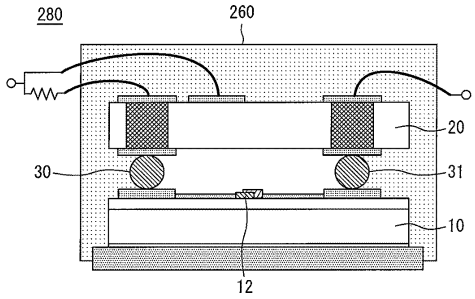
【図５】


54
41
61
53
40
122
43
55
24
120

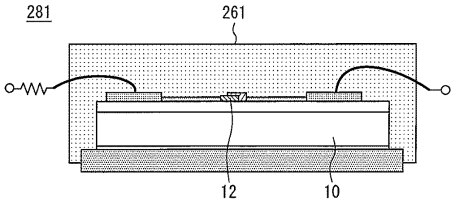
【図６】



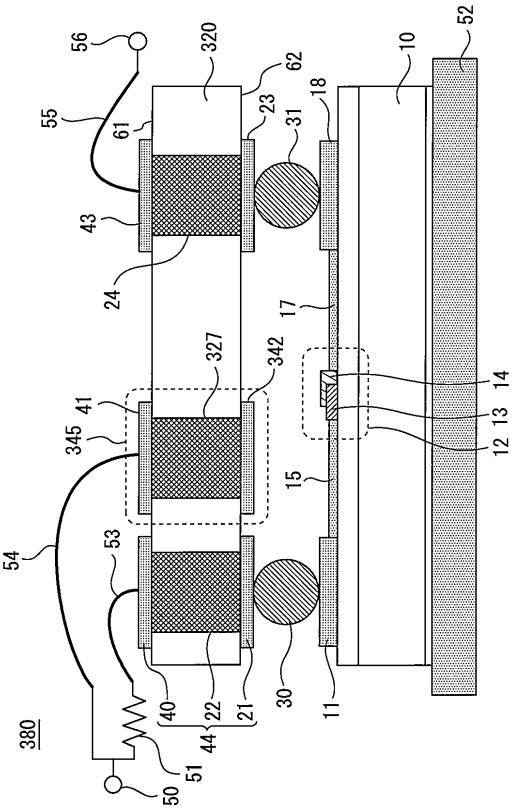
【図７】



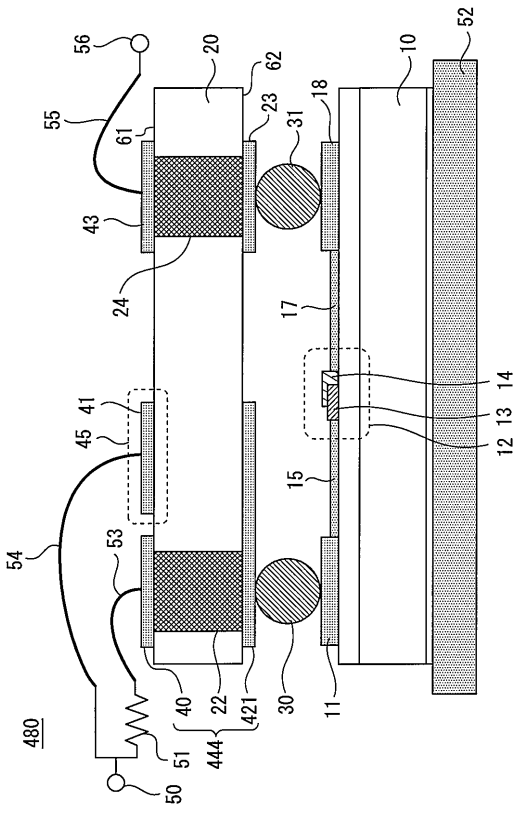
【図８】



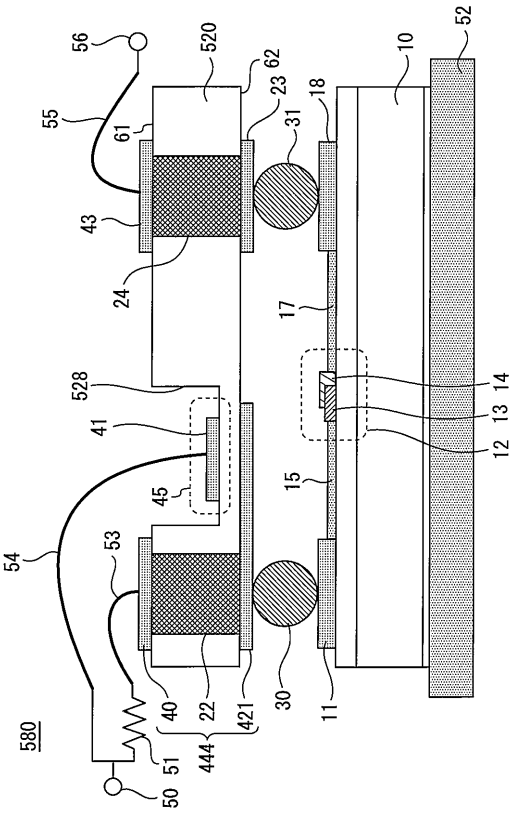
【図９】



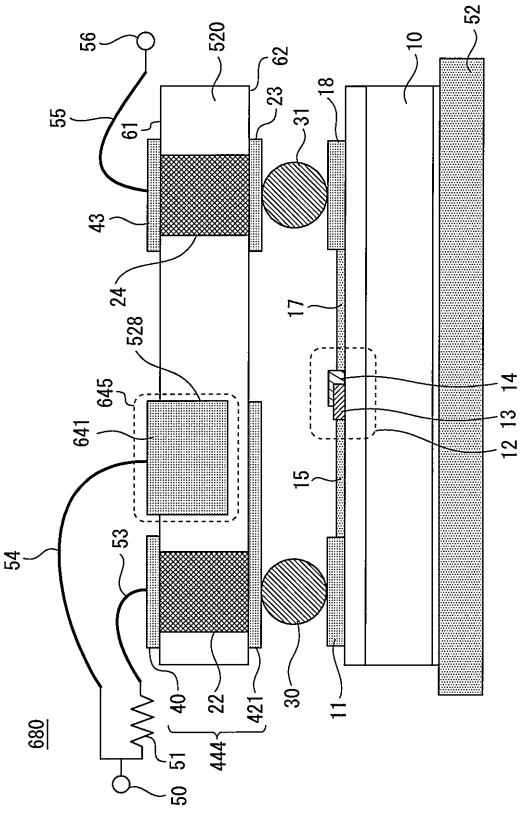
【図１０】



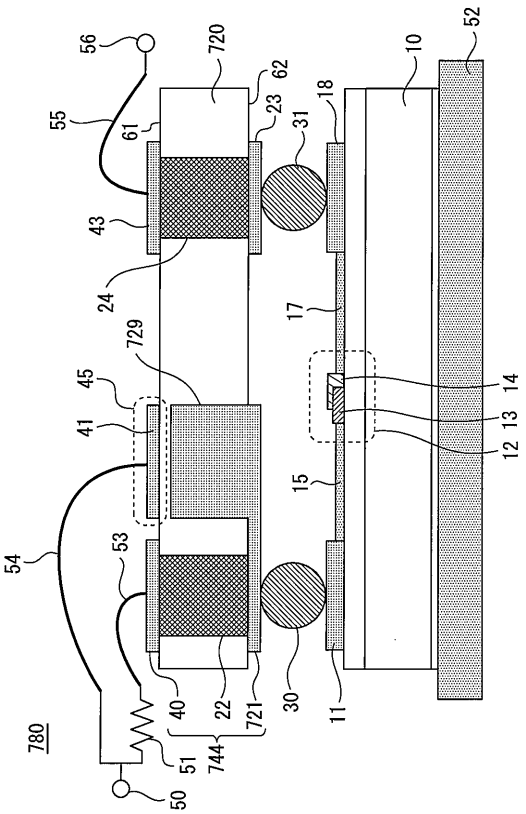
【図１１】



【図１２】


56
520
62
10
52
55
61
23
31
18
43
24
17
528
645
641
14
13
12
15
54
53
40
22
421
30
11
680
51
444
50

【図１３】


56
720
62
10
52
55
61
23
31
18
43
24
17
729
45
41
14
13
12
15
54
53
40
22
721
30
11
780
51
744
50

フロントページの続き

(51)Int.Cl. FI
H01L 25/18 (2006.01)

審査官 市川 武宜

(56)参考文献 特開平１１－２９７９４１（ＪＰ，Ａ）
特表２００７－５１６５８８（ＪＰ，Ａ）
特開平０９－１６２４５９（ＪＰ，Ａ）
米国特許出願公開第２００５／０１９４６３５（ＵＳ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２１／８２２
Ｈ０１Ｌ ２５／０６５
Ｈ０１Ｌ ２５／０７
Ｈ０１Ｌ ２５／１８
Ｈ０１Ｌ ２７／０４
Ｈ０３Ｆ １／３０