

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-526066

(P2013-526066A)

(43) 公表日 平成25年6月20日(2013.6.20)

(51) Int.Cl.

H01L 23/12 (2006.01)
H01L 25/065 (2006.01)
H01L 25/07 (2006.01)
H01L 25/18 (2006.01)

F 1

H01L 23/12 501B
H01L 25/08 Z

テーマコード (参考)

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2013-508271 (P2013-508271)
(86) (22) 出願日 平成23年4月29日 (2011.4.29)
(85) 翻訳文提出日 平成24年12月28日 (2012.12.28)
(86) 國際出願番号 PCT/US2011/034444
(87) 國際公開番号 WO2011/139875
(87) 國際公開日 平成23年11月10日 (2011.11.10)
(31) 優先権主張番号 12/770,058
(32) 優先日 平成22年4月29日 (2010.4.29)
(33) 優先権主張国 米国(US)

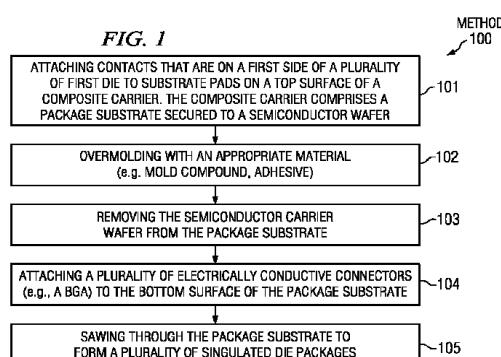
(71) 出願人 390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号
(71) 出願人 507107291
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国 テキサス州 75265
-5474 ダラス メイル ステイショ
ン 3999 ピーオーボックス 655
474
(74) 上記1名の代理人 100098497
弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】低減されたダイ歪みアッセンブリのためのパッケージ基板のためのC T E 補償

(57) 【要約】

ダイパッケージを組み立てるための方法(100)が、複数の第1のダイの第1の側のコンタクトをコンポジットキャリアの上面上の基板パッドに取り付けることを含む。コンポジットキャリアは、半導体ウエハに固定された底面を有する少なくとも1つの埋め込み金属層を含むパッケージ基板を含む。コンポジットキャリアは、アッセンブリの間、ダイとパッケージ基板との間のC T E ミスマッチの影響を最小化し、ダイの歪みを低減する。取り付けの後、半導体ウエハがパッケージ基板から取り除かれる(103)。電気的に導電性コネクタが、パッケージ基板の底面に取り付けられ(104)、パッケージ基板が、複数のシングュレートされたダイパッケージを形成するためソーキングされる(105)。



【特許請求の範囲】**【請求項 1】**

ダイパッケージを組み立てるための方法であって、
コンポジットキャリアの上面上の基板パッドに複数の第1のダイの第1の側のコンタクトを取り付けることであって、前記コンポジットキャリアが、半導体ウエハに固定される底面を有する少なくとも1つの埋め込み金属層を含むパッケージ基板を含むこと、
前記取り付けの後、前記パッケージ基板から前記半導体ウエハを取り外すこと、
前記パッケージ基板の底面に複数の電気的導電性コネクタを取り付けること、及び
複数のシンギュレーションされたダイパッケージを形成するように前記パッケージ基板をソーリングすること、
を含む方法。

10

【請求項 2】

請求項1に記載の方法であって、前記複数の第1のダイが、基板貫通ビアを含むダイを含み、前記コンタクトが前記基板貫通ビアへのコンタクトを含む、方法。

【請求項 3】

請求項1に記載の方法であって、
露出された基板貫通ビアエリアを提供するため、前記基板貫通ビアを露出させるように前記複数のダイの第2の側を薄化すること、及び
前記パッケージ基板上の複数のダイスタッツクを形成するため、複数のシンギュレーションされた第2のダイを、前記露出されたエリアに結合される基板貫通ビアコンタクトに取り付けること、
を更に含む方法。

20

【請求項 4】

スタッツクされたダイパッケージを組み立てるための方法であって、
複数の第1のダイの第1の側のコンタクトを、コンポジットキャリアの上面上の基板パッドに取り付けることであって、前記コンポジットキャリアが、半導体ウエハに固定される底面を有する少なくとも1つの埋め込み金属層を含むパッケージ基板を含むこと、
前記パッケージ基板上の複数のダイスタッツクを形成するように、複数のシンギュレーションされた第2のダイを前記第1のダイに取り付けること、
前記パッケージ基板から前記半導体ウエハを取り外すこと、
複数の電気的導電性コネクタを前記パッケージ基板の底面に取り付けること、及び
複数のシンギュレーションされた、スタッツクされたダイパッケージを形成するように前記パッケージ基板をソーリングすること、
を含む、方法。

30

【請求項 5】

請求項4に記載の方法であって、前記複数の第1のダイが、基板貫通ビアを備えたダイを含み、前記コンタクトが、前記基板貫通ビアへのコンタクトを含む、方法。

【請求項 6】

請求項5に記載の方法であって、
露出された基板貫通ビアエリアを提供するため、前記基板貫通ビアを露出させるように前記基板貫通ビアを備えた前記複数のダイの第2の側を薄化すること、及び
前記パッケージ基板上の複数のダイスタッツクを形成するように、複数のシンギュレーションされた第2のダイを、前記露出されたエリアに結合される前記基板貫通ビアコンタクトに取り付けること、
を更に含む、方法。

40

【請求項 7】

スタッツクされたダイパッケージを組み立てるための方法であって、
埋め込み基板貫通ビアであって、前記基板貫通ビアに結合される上側パッドを含む、前記埋め込み基板貫通ビアを有する複数のシンギュレーションされた基板貫通ビアダイの上側を、コンポジットキャリアの上面上の基板パッドに取り付けることであって、前記コン

50

ポジットキャリアが、シリコンウエハに固定される底面を有する少なくとも1つの埋め込み金属層を含む有機基板を含むこと、

露出された基板貫通ビアエリアを提供するように前記複数のシンギュレーションされた基板貫通ビアダイの底部側を薄化すること、

前記露出された基板貫通ビアエリア上に底部基板貫通ビアコンタクトを形成すること、

前記有機基板上に複数のダイスタックを形成するように、複数のシンギュレーションされた第2のダイを、前記底部側基板貫通ビアコンタクトに取り付けること、

前記有機基板から前記シリコンウエハを取り外すこと、

複数の電気的導電性コネクタを前記有機基板の底面に取り付けること、及び

複数のシンギュレーションされたスタックされたダイパッケージを形成するように前記有機基板を通してソーリングすること、

を含む、方法。

【請求項8】

請求項7に記載の方法であって、前記複数の基板貫通ビアダイが基板貫通ビアウエハ上に配置される、方法。

【請求項9】

電子的アッセンブリであって、

半導体ウエハに固定される底面を有する少なくとも1つの埋め込み金属層を含む有機パッケージ基板を含むコンポジットキャリア、及び

20~100μmの厚みを有し、前記パッケージ基板の上面上の上側基板パッドに取り付けられた上側コンタクトを有する、複数の第1のダイ、

を含む、電子的アッセンブリ。

【請求項10】

請求項9に記載の電子的アッセンブリであって、前記複数の第1のダイが、基板貫通ビアを含むダイであって、前記パッケージ基板の上側基板パッドに取り付けられた前記基板貫通ビアに結合される上側コンタクトを含む、電子的アッセンブリ。

【請求項11】

請求項10に記載の電子的アッセンブリであって、前記基板貫通ビアに接続される底部側コンタクトに取り付けられた複数のシンギュレーションされた第2のダイを更に含む、電子的アッセンブリ。

【請求項12】

請求項10に記載の電子的アッセンブリであって、前記複数の第1のダイがウエハ上に配置される、アッセンブリ。

【発明の詳細な説明】

【技術分野】

【0001】

開示される実施例は、集積回路(IC)パッケージング、及び更に特定して言えば、ダイアッセンブリに関連する。

【背景技術】

【0002】

従来技術で知られているように、「ダイボンディング」又は「ダイ取り付け」は、半導体ダイパッケージの基板へ又は、テープ自動ボンディングのためのテープキャリアなど幾つかの他の基板への取り付けのオペレーションを指す。ダイはまず個別のウエハ又はワッフルトレイからピックアップされ、キャリア又は基板上のターゲットパッドに整合され、及びその後、通常、はんだ又はエポキシエポキシ接着により、恒久的に取り付けられる。

【0003】

ICダイのアッセンブリ中ダイ取り付け温度は、一般的に少なくとも150℃の温度で実行され、共晶ダイ・アタッチのため375℃又はそれ以上の温度で実行され得る。非常に薄いダイ(<100μm厚み、例えば、20~80μm)の、有機基板などの幾つかのパッケージ基板へのアッセンブリは、ダイとパッケージ基板との間の大きな熱膨張係数(

10

20

30

40

50

CTE)ミスマッチにより引き起こされるダイの歪みのため、困難であることが知られている。例えば、シリコンダイの場合、ダイのCTEは、約3 ppm/°であり得、及び有機基板のCTEは、約20 ppm/°以上であり得る。この問題は、温度で剛性が欠落し得る、薄いパッケージ基板(例えば、約100-200 μm厚み)により更に悪化し得る。

【0004】

最小ダイ歪みでさえ、小さな面積及び/又は密集したダイコンタクトの場合に整合及びその結果のダイ・アタッチの問題を引き起こし得る。ミス整合の接合は、コンタクト面積を低減し、それは接合のコンタクト抵抗を増加させ、開回路コンタクトを生じさせる恐れもある。例えば、基板貫通ビア(TSVと略され、シリコン基板の特定の場合のシリコン貫通ビアを指す)に関連するコンタクトは、面積が非常に小さい可能性がある。同様に、ピラー(例えば、銅ピラー)又はスタッド(例えば、金スタッド)などの他のコンタクト構造が充分小さくなる及び/又は充分密集する場合、歪みは、大きな問題となり得る。また歪みは、ダイの一つが両側にコンタクトを有するとき、例えば、ダイの一つの側にフリップチップパッケージ基板接続を、及びダイの他方の側に小さな面積のTSV接続を含むとき、ダイスタックにとって特に問題である。

【0005】

上述の歪み問題に対処するための一つの既知の方法は、ダイとの改善されたCTEマッチングを提供する低CTEパッケージ基板を用いることである。例えば、セラミック基板及び幾つかの特別な重合体基板は、ダイとの改善されたCTEマッチングを提供し得る。しかし、低CTEパッケージ基板は、一般的に、従来のエポキシガラス樹脂ベースの(例えば、BT樹脂)有機基板に比べ、非常に高価である。必要とされているのは、従来の重合体基板の利用を可能にするためアッセンブリの間、歪み、及びその結果のダイとパッケージ基板との間のCTEミスマッチの影響を最小化するための新しいパッケージング手法である。

【発明の概要】

【0006】

開示される実施例は、低コスト従来の重合体基板の利用を可能にすることをはじめ、ダイの低減された歪みを提供する、アッセンブリの間ダイとパッケージ基板との間のCTEミスマッチの影響を最小化するための新しいパッケージング手法述べる。半導体ウエハに固定された底面を有する少なくとも1つの埋め込み金属層を含むパッケージ基板を含むコンポジットキャリアが、ダイと基板との間のCTEミスマッチを制御する。発明者は、コンポジットキャリアのCTEは、ダイとパッケージ基板との間のCTEミスマッチにもかかわらず、パッケージ基板がアッセンブリの間にCTE駆動される歪みに与える影響が小さくなるように、ダイのCTEに合致するように選択される、半導体キャリアウエハのCTEにより主として駆動されることを認識している。一実施例において、ダイ及びウエハキャリアはいずれもシリコンを含み得る。

【0007】

パッケージ基板は、一般的に、有機基板などの重合体基板である。典型的な実施例において、パッケージ基板は、ダイのCTEと少なくとも10 ppm/°異なる(典型的に、高い)CTEを有する。

【0008】

コンポジットキャリアは、アッセンブリプロセスの開始前に提供され得る。ダイ・アタッチ処理は、パッケージ基板上で実行され、半導体ウエハがそれに取り付けられるキャリアウエハとして機能する。半導体ウエハは、全てのダイ・アタッチが終了した後アッセンブリフローで取り除かれ得、その時、平坦なダイ表面の必要性はもはや全般的に重要ではない。の除去に続いてキャリアウエハ、複数の電気的導電性コネクタ(例えば、BGA)がその後パッケージ基板の底面に取り付けられ得る。パッケージ基板のソーコングが複数のダイパッケージを形成する。

【0009】

10

20

30

40

50

開示される実施例は、2つ又はそれ以上のスタックされたダイを含む、單一ダイパッケージ及びスタックされたダイパッケージのアッセンブリを含む。ダイは、TSVダイを含み得る。

【図面の簡単な説明】

【0010】

【図1】図1は、開示される実施例に従って、ダイパッケージを組み立てるための例示の方法を示す。

【0011】

【図2】図2は、開示される実施例に従って、スタックされたダイパッケージを組み立てるための例示の方法を示す。

【0012】

【図3】図3は、開示される実施例に従って、TSVダイを含むスタックされたダイパッケージを組み立てるための例示の方法を示す。

【0013】

【図4A】図4Aは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【図4B】図4Bは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【図4C】図4Cは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【図4D】図4Dは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【図4E】図4Eは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【図4F】図4Fは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【図4G】図4Gは、図3に関連して説明した例示の方法の工程から生じる断面図である。

【発明を実施するための形態】

【0014】

図1は、開示される実施例に従って、ダイパッケージを組み立てるための例示の方法100を示す。ステップ101が、複数の第1のダイの第1の側にあるコンタクトを、コンポジットキャリアの上面上の基板パッドに取り付けることを含む。第1のダイは、表を下に向けて取り付けられる（即ち、フリップチップ）又は表（即ち、回路側）を上に（例えば、後のワイヤボンディングのため、又はTSVダイを用いて）。ダイ間のCTE差（シリコンダイでは例えば、約3ppm/）及びパッケージ基板は、一般的に少なくとも10ppm/である。典型的な実施例において、ステップ101が、はんだバンプのリフローはんだ、銅ピラー、金スタッド、又は他の適切な取り付け方法を介する、重合体パッケージ基板への複数のシンギュレートされたダイのダイ・アタッチ及びアンダーフィルを含む。複数の第1のダイは、ウエハがパッケージ基板に取り付けられるように、シンギュレーションされたダイフォームからではなく、ウエハフォームで提供され得る。

【0015】

コンポジットキャリアは、半導体ウエハに固定された底面を有する少なくとも1つの（及び一般的に複数の）埋め込み金属層を含むパッケージ基板を含む。パッケージ基板は、有機基板などの重合体基板であり得る。パッケージ基板は更に、セラミック基板又は他の基板であり得る。パッケージ基板は、厚みが<200μm、例えば約100~200μmである、有機基板などの薄いパッケージ基板であり得る。上述のように、コンポジットキャリアのCTEは、ダイのCTEに合致するように選択される半導体キャリアウエハのCTEより主として駆動される。従って、ダイとパッケージ基板との間のCTEミスマッチにもかかわらず、パッケージ基板がアッセンブリの間にCTE駆動される歪みに与える

10

20

30

40

50

影響が小さくなる。

【0016】

ステップ102が、適切な材料（例えば、モールド化合物、接着剤）でオーバーモールディングすることを含み得る任意のオーバーモールディングステップを含む。ステップ103が、半導体キャリアウエハをパッケージ基板から取り除くことを含む。リリース方法は、熱的、溶媒又はレーザー補助方法を含み得る。ステップ104が、複数の電気的導電性コネクタ（例えば、BGA）をパッケージ基板の底面に取り付けることを含む。ステップ105が、複数のシンギュレートされたダイパッケージを形成するため、パッケージ基板をソーキングすることを含む。

【0017】

図2は、開示される実施例に従ってスタックされたダイパッケージを組み立てるための例示の方法200を示す。ステップ201が、複数の第1のダイの第1の側のコンタクトをコンポジットキャリアの上面上の基板パッドに取り付けることを含む。コンポジットキャリアは、半導体ウエハに固定された底面を有する少なくとも1つの埋め込み金属層を含むパッケージ基板を含む。典型的な実施例において、ステップ201が、はんだバンプのビアリフローはんだ、銅ピラー、金スタッド、又は他の適切な取り付け方法を介する、重合体パッケージ基板への複数のシンギュレートされた第1のダイのダイ・アタッチ及びアンダーフィルを含む。上述のように、前記複数の第1のダイは、ウエハがパッケージ基板に取り付けられるように、ウエハフォームで提供され得る。

【0018】

ステップ202において、パッケージ基板上に複数のダイスタックを形成するために、複数のシンギュレートされた第2のダイが第1のダイに取り付けられる。典型的な実施例において、シンギュレーションされた第2のダイは、はんだ付け又は銅ボンディングを用いて取り付けられ、その後アンダーフィルされる。

【0019】

ステップ203が、適切な材料（例えば、モールド化合物、接着剤）でオーバーモールディングを含み得る任意のオーバーモールディングステップを含む。ステップ204が、半導体キャリアウエハをパッケージ基板から取り除くことを含む。上述のように、リリース方法は、熱的、溶媒又はレーザー補助方法を含み得る。ステップ205が、複数の電気的導電性コネクタ（例えば、BGA）をパッケージ基板の底面に取り付けることを含む。ステップ206が、複数のシンギュレーションされたスタックされたダイパッケージを形成するため、パッケージ基板をソーキングすることを含む。

【0020】

図3は、開示される実施例に従って、TSVダイを含む、スタックされたダイパッケージを組み立てるための例示の方法300を示す。ステップ301が、基板パッドに結合される上側パッドを含む埋め込みTSVを有する複数の第1のTSVダイの上側を、コンポジットキャリアの上面上に取り付けることを含む。典型的な実施例において、ステップ301が、はんだバンプのリフローはんだ、銅ピラー、又は他の適切な取り付け方法を介する、重合体パッケージ基板へのダイ・アタッチ及びアンダーフィルシンギュレーションされた第1のTSVダイを含む。前記複数の第1のTSVダイは、本明細書においてTSVウエハと称するウエハフォームで提供され得る。

【0021】

ステップ302において、露出された底部側TSVエリアを提供するように、前記複数の第1のTSVダイが薄化されてTSVが露出される。薄化するための方法は、バックグラインド、化学機械研磨(CMP)、及び/又は化学的エッチングを含み得る。露出されたTSVエリアへの底部側TSVコンタクトがその後形成される。ステップ303が、パッケージ基板上に複数のダイスタックを形成するため、複数のシンギュレートされた第2のダイを第1のTSVダイの底部側TSVコンタクトに取り付けることを含む。典型的な実施例において、シンギュレーションされた第2のダイは、はんだ付け又は銅ボンディングを用いて取り付けられ、その後アンダーフィルされる。

10

20

30

40

50

【0022】

ステップ304が、適切な材料（例えば、モールド化合物、接着剤）でオーバーモールディングすることを含み得る任意のオーバーモールディングステップを含む。ステップ305が、半導体キャリアウエハをパッケージ基板から取り除くことを含む。上述のように、リリース方法は、熱的、溶媒又はレーザー補助方法を含み得る。ステップ306が、複数の電気的導電性コネクタ（例えば、BGA）をパッケージ基板の底面に取り付けることを含む。ステップ307が、複数のシンギュレーションされたスタックされたダイパッケージを形成するため、パッケージ基板をソーリングすることを含む。

【0023】

図4A～Gは、図3に関連して説明した例示の方法の工程から生じる連続断面図である。
10
図4Aは、コンポジットキャリア205と共に構成する半導体ウエハ202（例えば、シリコンウエハ）に接着された多層基板201への、シンギュレーションされたTSVダイ（TSVダイ1で示す）のダイ・アタッチ及びアンダーフィルの後の断面図である。TSVダイ1はフリップチップ取り付けされて示されている。TSVダイ1の上側パッド206は、パッケージ基板201上の基板パッド207に結合されて示されている。TSVダイ1は、一般的に、少なくとも500μm厚みである。

【0024】

図4Bは、埋め込みTSV215を露出するため、バックグラインド、CMP、及び／又は基板（例えば、シリコン）エッティングなどの適切な方法により薄化されたTSVダイ410を形成するための、TSVダイ1の底部側の薄化の後の電子的アッセンブリ400を示す断面図である。薄化されたTSVダイ1は、一般的に<150μm厚み、典型的には20～80μm厚みである。TSVコンタクト・パッド211（例えば銅パッド）は、TSV215の露出された部分上に示されている。TSV215の少なくとも一部が、上側パッド206に結合される。図4Cは、はんだ、又は銅ボンディングなどの適した方法を介して、薄化されたTSVダイ410への、シンギュレーションされた第2のダイ（ダイ2で示す）のダイ・アタッチ及びアンダーフィル後の電子的アッセンブリ450を示す断面図である。図4Dは、モールド化合物又は接着剤などの適切な材料425でオーバーモールディングした後の断面図である。図4Eは、重合体パッケージ基板201の底部から半導体ウエハ202を取り除いた後の断面図である。一実施例において、ダイ2はメモリダイであり、TSVダイ1はプロセッサダイである。図示していないが、付加的なダイがダイ2上にスタックされてもよい。

【0025】

図4Fは、BGAパッケージはんだボール218をパッケージ基板201に取り付けた後の断面図である。図4Gは、スタックされたダイパッケージをシンギュレーションするようオーバーモールド425及びパッケージ基板201をソーリングした後の断面図である。

【0026】

上述ではコンポジットキャリアは、半導体ウエハ上にパッケージ基板を含むように述べたが、パッケージ基板は、アッセンブリプロセスの間、同様の制御された歪みを達成するように、半導体（例えば、半導体ダイにマッチングするシリコン）を全体的に含むことができる。

【0027】

半導体上面に形成される能動回路要素が、一般的に、トランジスタ、ダイオード、キャパシタ、及びレジスタだけでなく、及びこれらの種々の回路要素を相互接続する信号ライン及び他の電気的導体を含む。

【0028】

開示される実施例は、種々のデバイス及び関連する製品を形成する種々のプロセス・フローに統合することが可能である。半導体基板は、その中に種々の要素を及び／その又は上に層を含み得る。これらは、障壁層、他の誘電体層、デバイス構造、能動要素、及びソース領域、ドレイン領域、ビットライン、ベース、エミッタ、コレクタ、導電性ライン、

10

20

30

40

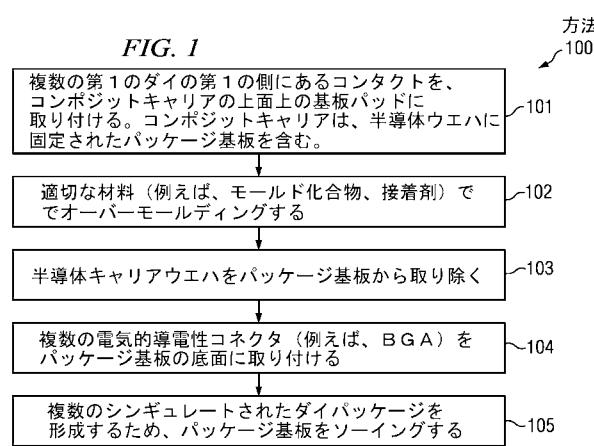
50

導電性ピアなどを含む受動要素を含み得る。また、バイポーラ、C M O S、B i C M O S、及びM E M Sを含む種々のプロセスにおいて、開示される実施例を用いることができる。

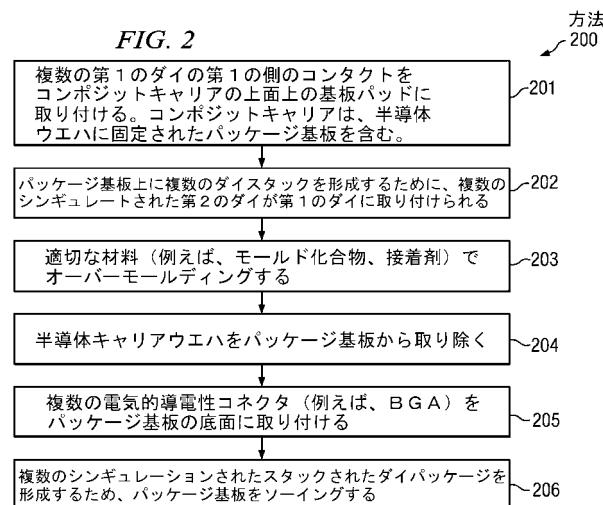
【0029】

例示の実施例の文脈で説明したような特徴又は工程のすべて又はその幾つかを有する例示の実施例の文脈で説明した1つ又はそれ以上の特徴又は工程の異なる組み合わせを有する実施例も、本明細書に包含されることも意図している。当業者であれば、他の多くの実施例及び変形も特許請求の範囲に包含されることが理解されるであろう。

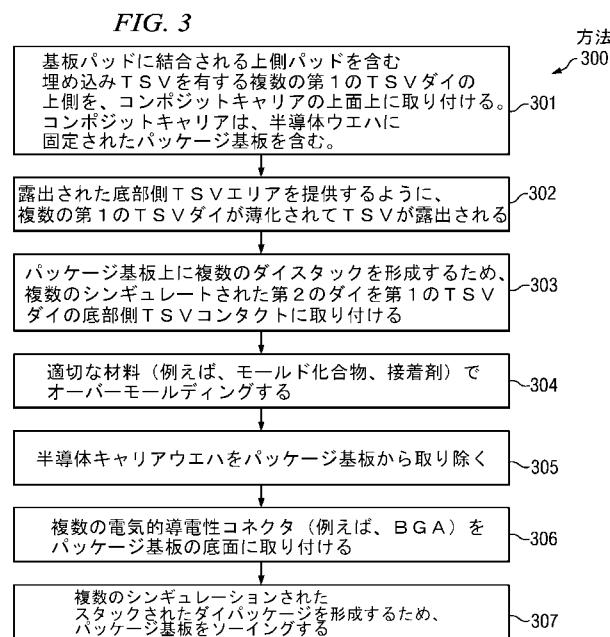
【図1】



【図2】



【図3】



【図4A】

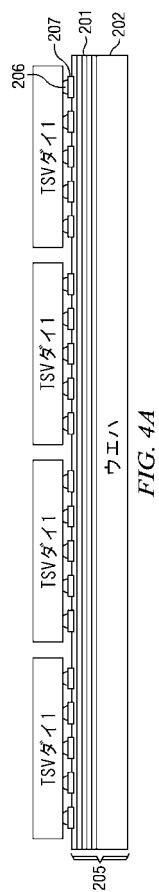


FIG. 4A

【図4B】

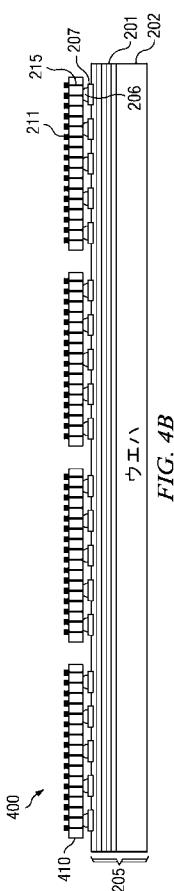


FIG. 4B

【図4C】

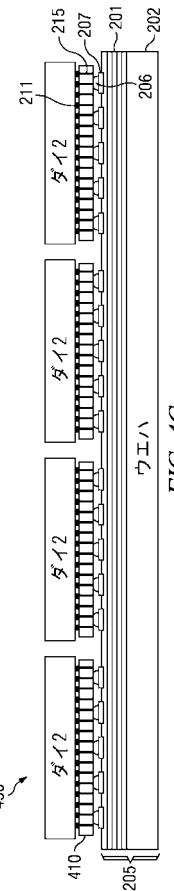
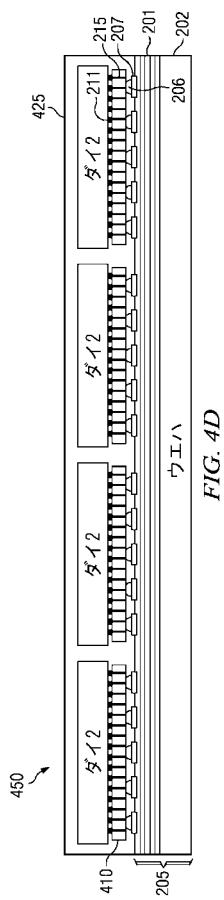
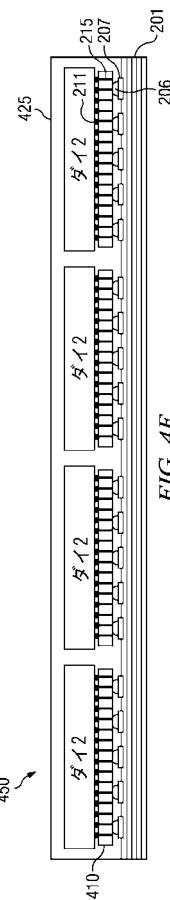


FIG. 4C

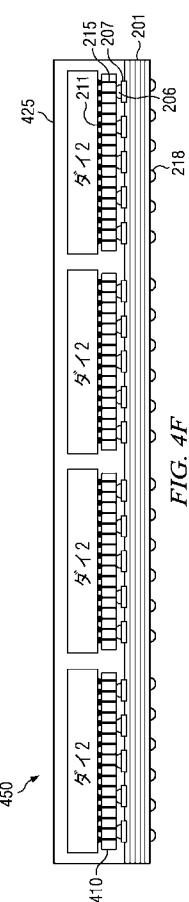
【図 4 D】



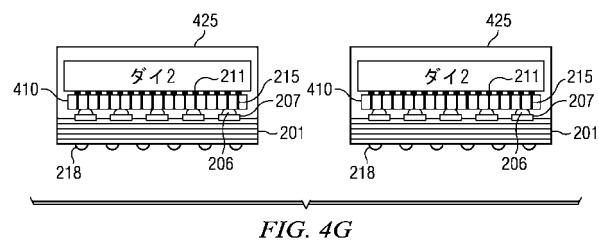
【図 4 E】



【図 4 F】



【図 4 G】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2011/034444
A. CLASSIFICATION OF SUBJECT MATTER		
H01L 23/48(2006.01)i, H01L 23/34(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 23/48; H01L 21/70; H01L 23/538; H01L 21/00; H01L 21/48; H01L 21/44		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: package, substrate pads, embedded metal layer		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008-0188037 A1 (LIN CHARLES W.C.) 07 August 2008 See abstract, paragraphs [0067]-[0079],[0082], claim 1 and figures 2-5.	1-12
A	US 2006-0088955 A1 (YU-PIN TSAI) 27 April 2006 See abstract, paragraphs [0060]-[0068] and figures 2,3A-3D.	1-12
A	US 2005-0035464 A1 (KWUN-YAO HO et al.) 17 February 2005 See abstract, paragraphs [0021]-[0030], claims 1,4 and figures 2A-2G.	1-12
A	US 2008-0179758 A1 (WONG TSE E. et al.) 31 July 2008 See abstract, paragraphs [0024]-[0037],[0046]-[0051] and figures 2-4.	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 28 DECEMBER 2011 (28.12.2011)	Date of mailing of the international search report 28 DECEMBER 2011 (28.12.2011)	
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer  SUL, KWAN SIK Telephone No. 82-42-481-8224	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2011/034444

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2008-0188037 A1	07.08.2008	CN 101436547 A CN 101436548 A CN 101436549 A CN 101436550 A CN 101436551 A TW 200921816 A TW 200921817 A TW 200921818 A TW 200921819 A TW 200921875 A TW 200921876 A TW 200921881 A TW 200921884 A TW 200922433 A	20.05.2009 20.05.2009 20.05.2009 20.05.2009 20.05.2009 16.05.2009 16.05.2009 16.05.2009 16.05.2009 16.05.2009 16.05.2009 16.05.2009 16.05.2009 16.05.2009
US 2006-0088955 A1	27.04.2006	TW 1254425B	01.05.2006
US 2005-0035464 A1	17.02.2005	TW 1245381B US 7071569 B2	11.12.2005 04.07.2006
US 2008-0179758 A1	31.07.2008	US 2010-0003785 A1 US 7605477 B2	07.01.2010 20.10.2009

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 マーガレット ローズ シモンズ マシューズ

アメリカ合衆国 75081 テキサス州 リチャードソン, キラニー 616