

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月12日(12.01.2017)



(10) 国際公開番号
WO 2017/006472 A1

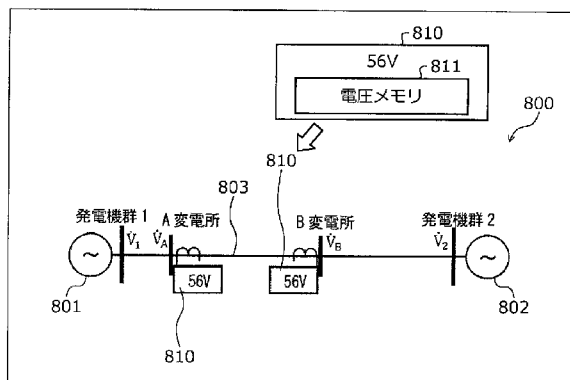
- (51) 国際特許分類:
H02H 3/26 (2006.01)
- (21) 国際出願番号: PCT/JP2015/069707
- (22) 国際出願日: 2015年7月8日(08.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 中国電力株式会社 (THE CHUGOKU ELECTRIC POWER CO., INC.) [JP/JP]; 〒7308701 広島県広島市中区小町4番33号 Hiroshima (JP).
- (72) 発明者: 杉内 栄夫 (SUGIUCHI, Takao); 〒7308701 広島県広島市中区小町4番33号 中国電力株式会社内 Hiroshima (JP). 浅田 康介 (ASADA, Kosuke); 〒7308701 広島県広島市中区小町4番33号 中国電力株式会社内 Hiroshima (JP). 竹下 充浩 (TAKESHITA, Mitsuhiro); 〒7308701 広島県広島市中区小町4番33号 中国電力株式会社内 Hiroshima (JP). 久芳 史朗 (KUBA, Shiro); 〒7308701 広島県広島市中区小町4番33号 中国電力株式会社内 Hiroshima (JP). 井上 眞吾 (INOUE, Shingo); 〒7308701 広島県広島市中区小町4番33号 中国電力株式会社内 Hiroshima (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町3番12号 紀尾井町ビル7階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: OUT-OF-STEP DETECTION RELAY

(54) 発明の名称: 脱調検出リレー



1, 2 Power generator group
811 Voltage memory
A, B Substation

(57) Abstract: An out-of-step detection relay (810) detects an out-of-step condition in an installation zone on the basis of the voltage phase difference between the voltages of bus lines (A, B) at both ends of a power transmission line (803). The out-of-step detection relay (810) has a voltage memory (811) for, when an input voltage is compared with a predetermined threshold value and it is found that the input voltage drops down to the threshold value, storing the magnitude and phase of the input voltage during a certain period of time from a time point when the input voltage drops to the threshold value. When an out-of-step condition is detected on the basis of the magnitude of the input voltage and the voltage phase difference and the input voltage drops down to the threshold voltage, the out-of-step detection relay (810) detects an out-of-step condition on the basis of the magnitude of the input voltage and the voltage phase difference, which are output from the voltage memory (811) during the certain period of time.

(57) 要約: 脱調検出リレー (810) は、送電線 (803) の両端母線 (A、B) の電圧の電圧位相差に基づき、設置区間での脱調を検出する。この脱調検出リレー (810) は、入力電圧を所定の閾値と比較し、

入力電圧が閾値まで低下した場合、低下した時点から一定時間の間、入力電圧の大きさと位相を記憶する電圧メモリ (811) を有し、入力電圧の大きさと電圧位相差に基づき脱調を検出し、入力電圧が閾値まで低下した場合には、一定時間の間、電圧メモリ (811) から出力される入力電圧の大きさと電圧位相差に基づいて脱調を検出する。

WO 2017/006472 A1

明 細 書

発明の名称：脱調検出リレー

技術分野

[0001] この発明は、送電線に設置され系統間脱調を検出し系統分離するための脱調検出リレーに関する。

背景技術

[0002] 従来、基幹送電線に設置された電圧位相比較方式の脱調検出リレー（例えば、56Vリレー）により系統間脱調を検出し、系統分離することで事故波及防止が図られている。

[0003] 例えば、一方の脱調検出リレーが自端子と相手端子の電圧位相差を算出する際に、自端子の電圧を所定のインピーダンス値と電流とで補償した電圧データを相手端子へ特定の伝送路を介して送信し、他方の脱調検出リレーが相手端子から受信した電圧データを所定のインピーダンス値と受信した電流とで補償することで、リレーに入力される電圧値が小さくても脱調ロカス（電圧がゼロとなる点）を検出するようにした技術がある（例えば、下記特許文献1参照。）。

[0004] また、リレーの設置区間内部での脱調ロカス点の有無を判別し系統事故と脱調との識別を行い外部事故時における脱調リレーの誤動作を防止する発明（例えば、下記特許文献2参照。）等がある。

[0005] 図43は、2電源のモデル系統における脱調を説明する図である。図43に示すように、両端に電源（発電機群）4301、4302を有し送電線4303で接続された等価2機系統モデル4300において、送電線4303上のA変電所、B変電所にそれぞれ56Vリレー4304を設置する。

[0006] 系統間脱調が発生したとき、電気的中心から見て加速する発電機群の系統と、減速する発電機群の系統に分かれることになり、双方の発電機群に属す発電機同士は同期が維持されており、56Vリレーが脱調の電気的中心付近（双方の発電機群の連系点付近）で早急に系統分離することで、分離後の両

系統を安定運用できる。

[0007] 図44は、脱調時の電圧ベクトルの変化を示す図である。56Vリレーは、脱調の電氣的中心を挟む両端電圧位相が反転する特性を利用して脱調を検出する。図中のベクトルは各地点（発電機群1、母線A、母線B、発電機群2）での電圧を示し、この電圧は円弧状の電圧軌跡上で変化する。図上部から下部にかけて事故発生の対応による事故除去後の時間 t 経過時の脱調に至る電圧（ベクトル）の変化例を示している。

[0008] 図45は、電圧位相差角の領域に基づく脱調検出を示す図表である。図45に示すように、自端正相電圧と相手端正相電圧の位相差角が動作領域（領域Ⅰ：電圧位相差角 $90^{\circ} \sim 180^{\circ}$ 、領域Ⅱ：電圧位相差角 $180^{\circ} \sim 270^{\circ}$ ）に侵入し、一定時間滞在したことを確認できれば脱調を検出する。例えば、電圧（電圧ベクトル） V_A と V_B の電圧位相差角の領域Ⅰ（または領域Ⅱ）への侵入を一定時間（例えば、 $40 \sim 60 \text{ msec}$ ）確認後、領域Ⅱ（または領域Ⅰ）への侵入を同様に一定時間確認できれば脱調を検出する。

先行技術文献

特許文献

[0009] 特許文献1：特開2001-231156号公報

特許文献2：特開2003-047146号公報

発明の概要

発明が解決しようとする課題

[0010] 上記の脱調検出リレーは、電圧位相差角算出誤差が大きくなならないよう入力電圧に下限値が設けてあり、さらに、各領域（Ⅰ・Ⅱ）への侵入確認のため、各領域において所定の滞在時間（ $40 \sim 60 \text{ msec}$ 程度）が必要である。このため、脱調時に56Vリレーに入力される電圧値が小さい場合（母線近傍に電氣的中心が位置する場合に相当）や、56Vリレー設置母線間の電圧位相差角の変化速度が速い場合には脱調を検出できないという課題が

ある。

[0011] 特許文献 1 および特許文献 2 の技術では、脱調検出リレーに入力される電圧値が小さい場合に所定のインピーダンス値と電流とで電圧を補償し、相手端との電圧位相差を算出することで電氣的中心（脱調ローカス）を検出するが、当該母線に複数の送電線などが接続されるような場合などには、電圧位相を正確に比較できず不必要な系統分離となったり、脱調を検出できないことがある。また、母線間の電圧位相差角の変化速度が速い場合には、脱調を検出できない。

[0012] この発明は、上述した従来技術による問題点を解消するため、入力電圧値が小さい場合および母線間の電圧位相差角の変化速度が早い場合にも対応でき、安定して電圧位相比較が行え、脱調を検出できる脱調検出リレーを提供することを目的とする。

課題を解決するための手段

[0013] 上述した課題を解決し、目的を達成するため、この発明にかかる脱調検出リレーは、送電線の両端母線の電圧の電圧位相差に基づき、設置区間両端母線間の脱調を検出する脱調検出リレーにおいて、入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、低下した時点から一定時間の間、電圧が低下した母線側の前記入力電圧の大きさと位相を記憶する電圧記憶部を有し、前記入力電圧の大きさと前記電圧位相差に基づき脱調を検出し、前記入力電圧が前記閾値まで低下した場合には、前記一定時間の間、前記電圧記憶部から出力される前記入力電圧の大きさと電圧位相差に基づいて脱調を検出することを特徴とする。なお、記憶する電圧の大きさと位相は正相電圧としてもよい。

[0014] また、この発明にかかる脱調検出リレーは、上記の発明において、前記電圧記憶部は、脱調検出に必要な前記両端母線間の電圧位相差角が所定の 2 つの領域それぞれに滞在する時間に基づき前記一定時間を設定したことを特徴とする。この脱調を判定する領域として、2 つの領域それぞれに滞在する時間による判定に限らず、1 つの領域や 3 つの領域など様々な領域による判定

についても同様である。

[0015] また、この発明にかかる脱調検出リレーは、上記の発明において、前記電圧記憶部は、前記一定時間を検出対象となる系統間脱調周期の $1/2$ の時間としたことを特徴とする。

[0016] また、この発明にかかる脱調検出リレーは、上記の発明において、前記電圧記憶部は、前記閾値を前記両端母線間の電圧位相差角の算出限界値以上であり、前記電圧位相差角の変化速度が検出不能となる前記両端母線の電圧より高い値に設定したことを特徴とする。

[0017] また、この発明にかかる脱調検出リレーは、上記の発明において、56Vリレーに前記電圧記憶部を設けてなることを特徴とする。

[0018] また、この発明にかかる脱調検出リレーは、上記の発明において、短絡距離リレーが有している脱調時に遮断ロックする機能（例えばモータ要素やリアクタンス要素を利用して脱調を検出し、脱調時に不要な遮断を回避する機能）を併用してもよく、前記電圧記憶部による前記入力電圧の大きさと位相を記憶することを特徴とする。なお、短絡距離リレーが有している脱調時に遮断ロックする機能の併用に変えて、その他脱調検出可能なリレーを使用して併用してもよい。

[0019] また、この発明にかかる脱調検出リレーは、上記の発明において、前記短絡距離リレーとして44Sリレーを用いる場合、インピーダンスローカスの変化が事故時に比して脱調時に遅いことに基づき、前記インピーダンスローカスが前記44Sリレーの脱調時に遮断ロックする機能の一例として44SOM、44SOMRおよび44SOMLの動作範囲内かつ44SX1あるいは44SM、44SMRおよび44SMLの動作範囲外となっている時間が一定値以上の場合に、前記44Sリレーをロックすることを特徴とする。

[0020] また、この発明にかかる脱調検出リレーは、送電線の両端母線の電圧の電圧位相差に基づき、設置区間両端母線間での脱調を検出する脱調検出リレーにおいて、入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、低下した時点から一定時間の間、前記入力電圧の大きさと位相

変化速度を記憶する電圧・位相変化速度記憶部を有し、前記入力電圧の大きさと前記電圧位相差に基づき脱調を検出し、前記入力電圧が前記閾値まで低下した場合には、前記一定時間の間、前記電圧記憶部から出力される前記入力電圧の大きさと電圧位相差に基づいて脱調を検出することを特徴とする。

なお、記憶する電圧の大きさと位相変化速度は正相電圧としてもよい。

[0021] また、この発明にかかる脱調検出リレーは、上記の発明において、送電線の両端母線の電圧の電圧位相差に基づき、設置区間両端母線間での脱調を検出する脱調検出リレーにおいて、入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、低下した時点から一定時間の間、前記入力電圧の大きさと位相変化速度を事故除去後からメモリ開始までの電圧位相角の加速度的な変化を曲線または線形近似により算出する電圧・位相変化速度記憶部を有し、前記入力電圧の大きさと前記電圧位相差に基づき脱調を検出し、前記入力電圧が前記閾値まで低下した場合には、前記一定時間の間、前記電圧記憶部から出力される前記入力電圧の大きさと電圧位相差に基づいて脱調を検出することを特徴とする。なお、記憶する電圧の大きさと位相変化速度は正相電圧としてもよい。

[0022] また、この発明にかかる脱調検出リレーは、上記の発明において、あらかじめ加速側および減速側母線を定めておき、加速側母線に設置された前記脱調検出リレーの入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、電圧低下検出情報を相手端に送信したうえで、相手端減速側母線において自端リレー入力電圧と入力電流の位相差が 180° に開いたことを検出することで脱調を検出することを特徴とする。

発明の効果

[0023] 本発明にかかる脱調検出リレーによれば、電氣的中心がリレー設置母線近傍に侵入する系統間脱調においても脱調判定できる。また、不必要な線路遮断を回避して系統の電氣的中心近傍の線路で系統分離できるという効果を奏する。

[0024] また、現行の脱調検出リレーに電圧メモリを付加するだけの簡単な構成で

脱調判定できる効果を奏する。

図面の簡単な説明

[0025] [図1]図 1 は、脱調の検出が不可能な現象をシミュレーションするための模擬システムを示す図である。

[図2]図 2 は、図 1 に示すケース 1 における電圧・位相差角の変化を示す図表である。

[図3]図 3 は、図 1 に示すケース 2 における電圧・位相差角の変化を示す図表である。（その 1）

[図4]図 4 は、図 1 に示すケース 2 における電圧・位相差角の変化を示す図表である。（その 2）

[図5]図 5 は、脱調の検出が不可能な現象を検証するための等価 2 機系統モデルを示す図である。

[図6]図 6 は、図 5 に示す発電電圧が一定で位相を変化させたときの母線 A の電圧の軌跡を示す図表である。

[図7]図 7 は、図 5 に示す各ケース別のパラメータによる位相変化に対する母線の電圧位相差角の変化を説明する図表である。

[図8]図 8 は、本発明の実施の形態 1 にかかる脱調検出リレーの構成を示す図である。

[図9]図 9 は、本発明の実施の形態 1 にかかる脱調検出リレーの動作概要を説明する電圧位相ベクトル図である。

[図10]図 10 は、図 1 のケース 1 に対して A B 線に脱調検出リレーを適用した結果を示す図表である。

[図11]図 11 は、ケース 1 に対して、B C 線に脱調検出リレーを適用した結果を示す図表である。

[図12]図 12 は、ケース 1 に対して、B F 線に脱調検出リレーを適用した結果を示す図表である。

[図13]図 13 は、図 1 のケース 2 に対して B C 線に脱調検出リレーを適用した結果を示す図表である。

[図14]図14は、図1のケース2に対してBF線に脱調検出リレーを適用した結果を示す図表である。

[図15]図15は、図1のケース2に対してAB線に脱調検出リレーを適用した結果を示す図表である。

[図16]図16は、事故時の電圧低下による不要遮断有無の確認の結果を示す図表である。（その1）

[図17]図17は、事故時の電圧低下による不要遮断有無の確認の結果を示す図表である。（その2）

[図18]図18は、事故時の電圧低下による不要遮断有無の確認の結果を示す図表である。（その3）

[図19]図19は、脱調時ローカスと脱調ロック領域の一例を説明する図である。

[図20]図20は、44Sリレーの脱調ロック機能のロジックシーケンスの一例を示す図である。

[図21]図21は、B変電所AB線の44Sリレーの設定範囲とインピーダンスローカスを示す図表である。

[図22]図22は、脱調ロックと電圧メモリのタイミングを示す図表である。

[図23]図23は、E変電所AE線44Sとインピーダンスローカスを示す図表である。

[図24]図24は、本発明の実施の形態2にかかる等価2機系統モデルを示す図である。

[図25]図25は、本発明の実施の形態2による電圧ベクトル軌跡を示す図表である。

[図26]図26は、本発明の実施の形態2による電流ベクトル軌跡を示す図表である。

[図27]図27は、本発明の実施の形態2による電圧・電流位相の変化を示す図表である。（その1）

[図28]図28は、本発明の実施の形態2による電圧・電流位相の変化を示す

図表である。（その２）

[図29]図 29 は、本発明の実施の形態 2 による電圧・電流位相の変化を示す図表である。（その３）

[図30]図 30 は、図 1 に示した各変電所での母線電圧・電流位相差を示す図である。（その１）

[図31]図 31 は、図 1 に示した各変電所での母線電圧・電流位相差を示す図である。（その２）

[図32]図 32 は、図 1 に示した各変電所での母線電圧・電流位相差を示す図である。（その３）

[図33]図 33 は、図 1 に示した各変電所での母線電圧・電流位相差を示す図である。（その４）

[図34]図 34 は、本発明の実施の形態 2 による各変電所での電圧・電流位相差方式による脱調検出を適用した場合の母線電圧・電流位相差を示す図表である。（その１）

[図35]図 35 は、本発明の実施の形態 2 による各変電所での電圧・電流位相差方式による脱調検出を適用した場合の母線電圧・電流位相差を示す図表である。（その２）

[図36]図 36 は、本発明の実施の形態 3 による各変電所での電圧位相角変化速度メモリ型方式による脱調検出を適用した場合の電圧・相差角変化を示す図表である。（その１）

[図37]図 37 は、本発明の実施の形態 3 による各変電所での電圧位相角変化速度メモリ型方式による脱調検出を適用した場合の電圧・相差角変化を示す図表である。（その２）

[図38]図 38 は、本発明の実施の形態 4 にかかる A 変電所 A B 線の 4 4 S リレーの応動を示す図表である。

[図39]図 39 は、本発明の実施の形態 4 にかかる A B 線 8 7 リレー動作判定状態を示す図表である。

[図40]図 40 は、本発明の実施の形態 4 にかかる 5 1 M リレーの特性図であ

る。

[図41]図4 1は、本発明の実施の形態4にかかる各変電所の母線5 1 Mリレー動作判定状態を示す図表である。（その1）

[図42]図4 2は、本発明の実施の形態4にかかる各変電所の母線5 1 Mリレー動作判定状態を示す図表である。（その2）

[図43]図4 3は、2電源のモデル系統における脱調を説明する図である。

[図44]図4 4は、脱調時の電圧ベクトルの変化を示す図である。

[図45]図4 5は、電圧位相差角の領域に基づく脱調検出を示す図表である。

発明を実施するための形態

[0026] 以下に添付図面を参照して、この発明にかかる脱調検出リレーの好適な実施の形態を詳細に説明する。はじめに、脱調検出リレー（5 6 Vリレー）で生じる脱調の検出が不可能となる現象について説明しておく。

[0027] （モデル系統を用いた脱調検出が不可能な現象のシミュレーション）

図1は、脱調の検出が不可能な現象をシミュレーションするための模擬系統を示す図である。図中で各変電所間を接続する線は、2回線送電線および2重母線である。

[0028] はじめに、図1に示すモデル（模擬）系統1 0 0でのシミュレーション例を用いて、5 6 Vリレーで生じる脱調の検出が不可能となる現象について説明しておく。このシミュレーションでは、需給バランスを調整することにより、A変電所からD変電所およびH変電所方向（系統の左側から右側）に流れる潮流を変えた2つのケース（ケース1：A B線のB変電所母線近傍に電氣的中心が侵入するケース、ケース2：B C線およびB F線のB変電所母線近傍に電氣的中心が侵入するケース）についてY法（一般財団法人 電力中央研究所の開発した電力系統動特性安定度解析プログラム）によるシミュレーションを行った。なお、A、D、H変電所以外に接続された発電機群については記載を省略した。

[0029] そして、E F線を1回線停止した系統条件のもと、E変電所片母線3相地絡事故を発生（時間0. 0 s e c）させ、7 0 m s e c後に同母線保護リレー

一により事故除去（E F線ルート断、A E線1回線遮断）すると、ケース1では電氣的中心（脱調ロカス点）がA B線のB変電所近傍に侵入し、ケース2では電氣的中心がB C線およびB F線のB変電所近傍に侵入した。このように、ケース1，2ともに系統間脱調が発生することが確認された。

[0030] 図2は、図1に示すケース1における電圧・位相差角の変化を示す図表である。横軸は時間[s e c]である。図2の(a)はケース1のA変電所およびB変電所の母線電圧値（縦軸は電圧[p u]）、(b)は電圧位相（縦軸は電圧位相[d e g]）、(c)はA B線の電圧位相差角（A変電所母線電圧位相角とB変電所母線電圧位相角の差）（縦軸は相差角[d e g]）を示している。

[0031] 図2の(a)に示すように、時間1.39 s e cでB変電所の電圧値が0 p u付近まで低下しており、B変電所母線近傍に電氣的中心が侵入していることが分かる。また、(b)に示すように、B変電所の電圧値が0 p u付近まで低下したタイミングで、B変電所の電圧位相が急峻に変化し、これにより、(c)に示すA B線の電圧位相差角も急峻に変化している。

[0032] 図3、図4は、図1に示すケース2における電圧・位相差角の変化を示す図表である。図3の(a)はケース2のB変電所およびC変電所の母線電圧値、(b)は電圧位相、(c)はB C線の電圧位相差角を示している。また、図4の(a)はB変電所およびF変電所の母線電圧値、(b)は電圧位相、(c)はB F線の電圧位相差角を示している。

[0033] ケース2でも同様に、図3、図4の(a)に示すように、時間1.34 s e cでB変電所の電圧値が0 p u付近まで低下しており、B変電所母線近傍に電氣的中心が侵入していることが分かる。また、(b)に示すように、B変電所の電圧値が0 p u付近まで低下したタイミングで、B変電所の電圧位相が急峻に変化し、これにより、(c)に示すように、B C線およびB F線の電圧位相差角も急峻な変化をしている。なお、2回目の電圧低下時には、電氣的中心がA B線のB変電所近傍に移動しているため、B C線およびB F線の電圧位相差角が領域Ⅰ、Ⅱを通過しない。このように母線近傍に電気

的中心が侵入するケースでは、侵入する線路が時間とともに変化する場合もある。

[0034] 以上から、56Vリレー設置母線近傍に電氣的中心が侵入した場合には、当該母線の56Vリレーへの入力電圧がほぼ0puとなる。また、そのタイミングで当該母線間の電圧位相差角が急峻に変化する。これらにより、現行（従来の）56Vリレーの性能上、脱調の検出が困難となる。

[0035] 具体的には、ケース1では、図2に示した時間1.39sec（時期t1）において（a）に示すB変電所の母線電圧が0.007puまで低下し、（c）に示すAB線の電圧位相差角は領域Ⅰを110msecで通過した後、領域Ⅱを2msecで通過する。この場合、56Vリレーの入力電圧が下限値より小さく、かつ、領域Ⅱの滞在時間が2msecと短く、要求される滞在時間を満たさないため脱調を検出できない。

[0036] また、ケース2では、図3、図4に示した時間1.34sec（時期t2）において（a）に示すB変電所の母線電圧が0.002puまで低下し、（c）に示すBC線の電圧位相差角は領域Ⅰを8msecで通過した後、領域Ⅱを17msecで通過し、BF線の電圧位相差角は領域Ⅰを5msecで通過した後、領域Ⅱを17msecで通過する。これらの場合、56Vリレーの入力電圧が下限値より小さく、かつ、領域Ⅰ、Ⅱの滞在時間がいずれも要求される滞在時間を満たさないため脱調を検出できない。

[0037] （等価2機系統モデルによる検証）

図5は、脱調の検出が不可能な現象を検証するための等価2機系統モデルを示す図である。上述した例では、図1に示した模擬系統100を用いたシミュレーションにより、56Vリレー設置母線近傍に電氣的中心が侵入した場合、脱調検出が困難となるケースがあることを説明した。

[0038] ここでは、図5に示す加速および減速する双方の発電機群を2機の発電機501、502に集約した等価2機系統モデル500を用いて、脱調の検出が不可能な現象について検証する。なお、この等価2機系統モデル500では、母線A、Bに56Vリレーが設置されているものとする。また、簡単な

ため、線路インピーダンスの抵抗分は考慮しない。

[0039] 図5において、電流 I と母線Aの電圧 V_A は下記式(1)で表される。

[数1]

$$\begin{aligned} I &= \frac{\dot{V}_1 - \dot{V}_2}{jX} = \frac{(V_1 \cos \delta + jV_1 \sin \delta) - V_2}{jX} \\ \dot{V}_A &= \dot{V}_1 - jaXI \\ &= (1-a)V_1 \cos \delta + aV_2 \\ &\quad + j(1-a)V_1 \sin \delta \quad \dots(1) \end{aligned}$$

このとき、 $\sin^2 \delta + \cos^2 \delta = 1$ という関係を利用すれば、 V_A の実部と虚部の間には、下記式(2)の関係が成り立つ。

[数2]

$$(\operatorname{Re}(\dot{V}_A) - aV_2)^2 + (\operatorname{Im}(\dot{V}_A))^2 = \{(1-a)V_1\}^2 \quad \dots(2)$$

[0040] V_1 と V_2 を一定とすれば、上記式は円の方程式を表しているので、 V_2 に対する V_1 の位相 δ を変化させたときの V_A の軌跡は、 $(aV_2, 0)$ を中心とする半径 $(1-a)V_1$ の円の軌跡となる。

[0041] 図6は、図5に示す発電電圧が一定で位相を変化させたときの母線Aの電圧の軌跡を示す図表である。 $V_1 = V_2 = 1.0 \text{ pu}$ で一定とし、 V_1 の位相 δ を変化させたときの V_A の軌跡を示す。この軌跡は、系統間脱調時に減速側にある基準母線（無限大母線）から各地点の電圧変化を眺めたものと同じである。 $V_1 = V_2$ としているため、電気的中心は $a = 0.5$ の地点であり、図6を見ると、 V_1 と V_2 の電圧位相差角が 180° 開いた時点で $a = 0.5$ の地点の V_A は0となることが分かる。

[0042] つぎに、図5の等価2機系統モデル500を用いて、56Vリレー設置母線A、Bと電気的中心の位置関係が脱調検出に与える影響について検証する

。

[0043] 図7は、図5に示す各ケース別のパラメータによる位相変化に対する母線の電圧位相差角の変化を説明する図表である。図7の(a)は、ケースA～C別の母線A、Bの位置を表すパラメータ a 、 b を示す図表、図7の(b)は、母線A、Bの位置に応じた V_1 の位相 δ に対する母線A、Bの電圧位相差角を示す図表である。図7(a)の各ケースA～C別のパラメータ a 、 b による位相 δ の変化に対する母線A、Bの電圧位相差角の変化が図7(b)に示されている。

[0044] このように、電気的中心が56Vリレー設置母線に近いほど、領域I($90^\circ \sim 180^\circ$)と領域II($180^\circ \sim 270^\circ$)における56Vリレー設置母線間の電圧位相差角の変化速度が速く、滞在時間が短いことが分かる。

。

[0045] 実際の電力系統では、発電機母線の電圧値が一定でないことなどの影響により、図6に示す各地点の電圧軌跡は円の軌跡から逸脱することにはなるが、電気的中心に近い地点ほど、その電圧軌跡が原点付近を通過して、56Vリレーへの入力電圧が小さくなることに変わりはない。また、電圧軌跡が図7(b)の原点付近を通過(電気的中心近傍に56Vリレーが設置された状態)すると、56Vリレーへの入力電圧が小さくなるとともに電圧位相差角が急峻に変化することになるため、図7(b)のケースC($\alpha = 0.45$ 、 $\beta = 0.55$)のように56Vリレー設置母線間の電圧位相差角も急峻に変化する。このように、脱調時の56Vリレーの入力電圧低下と電圧位相差角の急峻な変化には相関関係があり、電気的中心の近傍に設置された56Vリレーにおいては脱調検出が困難となる。

[0046] (実施の形態1)

図8は、本発明の実施の形態1にかかる脱調検出リレーの構成を示す図である。この図8を用いて本発明の脱調検出リレーの実施の形態1について説明する。図8の(a)は、上述した図43に対応する構成図であり、図43同様に、両端に電源(発電機群)801、802を有し送電線803で接続

された等価2機系統モデル800において、送電線803上のA変電所、B変電所にそれぞれ本発明の脱調検出リレー（電圧メモリ型56Vリレー）810を設置する。この設置構成については図43と変わりはない。

[0047] 実施の形態1にかかる脱調検出リレー810は、内部に入力電圧を保持する電圧メモリ811を有する。電圧メモリ811は、脱調検出リレー810への入力電圧が所定閾値まで低下した時点から一定時間の間、入力された電圧の大きさ（上記母線A、Bの電圧 V_A 、 V_B ）と位相を記憶する。なお、記憶する電圧の大きさと位相は正相電圧としてもよい。この一定時間は、上述した電圧位相差角の領域Ⅰ、領域Ⅱへの滞在時間を十分に確保できる時間とする。例えば、検出対象となる系統間脱調周期約1secの1/2の500msecとする方法がある。領域Ⅰ、Ⅱは電圧位相差角が $90^\circ \sim 270^\circ$ の範囲に相当するため、脱調周期の1/2（ $= (270^\circ - 90^\circ) / 360^\circ$ ）程度の時間を電圧メモリ811で電圧保持すれば検出可能である。

[0048] このような電圧メモリ811を設けることで、脱調検出リレー（電圧メモリ型56Vリレー）810の入力電圧低下時には、一定時間の間、電圧メモリ811に記憶された電圧の大きさと位相を用いて電圧位相判定を行うことが可能となり、56Vリレー設置母線間の急峻な電圧位相差角変化を緩和できるようになる。なお、脱調を判定する領域として、ここでは2つの領域それぞれに滞在する時間による判定について述べるが、1つの領域や3つの領域など様々な領域による判定についても同様である。

[0049] （動作概要）

図9は、本発明の実施の形態1にかかる脱調検出リレーの動作概要を説明する電圧位相ベクトル図である。

[0050] 1. はじめに、事故発生による事故除去後、脱調現象に進展したとき（電气的中心が図8のB変電所近傍のケース）、図9（a）に示すように電圧位相が変化しはじめる。

[0051] 2. この後、図9（b）に示すように、B変電所近傍の脱調検出リレー810では入力される電圧 V_B が低下する。この際、脱調検出リレー810は、電

圧 V_B 所定閾値以下となったときの電圧 V_B を電圧メモリ811によって保持する。これにより、B変電所近傍の脱調検出リレー810は、入力電圧 V_B が低い期間中（電圧 V_B が位相判定できない）場合でも、両端母線電圧位相角を認識でき、急峻な位相変化（図2（c）等参照）を抑制できるようになる。

[0052] 3. この後、図9（c）に示すように、A変電所の電圧 V_A と電圧メモリした電圧 V_B （電圧メモリ811の値）の位相差が 180° 以上となったときに、脱調検出リレー810は脱調と判定でき、この脱調検出リレー810の脱調検出に基づいて適切な系統分離（電氣的中心が入る系統の遮断）を行えるようになる。

[0053] （動作説明）

つぎに、本発明の脱調検出リレーの動作説明を行う。

（1）リレー設定（整定）値について

実施の形態1にかかる脱調検出リレー810では、電圧メモリを開始する電圧閾値と電圧メモリ時間を設定する必要がある。電圧メモリ開始電圧の閾値については、現行（従来の）56Vリレーの電圧位相差角算出限界値（0.1pu程度）以上であるとともに、電圧位相差角の変化速度が現行56Vリレーで検出不能となる母線電圧より高い値とする必要がある。これらを考慮し、電圧メモリ開始電圧の閾値は、例えば、0.12puとする。

[0054] 電圧メモリ時間については、電圧位相差角の領域Ⅰ、領域Ⅱへの滞在時間を十分に確保できる時間とする必要がある。検出対象の系統間脱調周期（脱調による電圧振動周期）約1secの半分程度を目安に500msecとする（詳細は後述する）。なお、現行56Vリレーの脱調検出可能な各領域所要滞在時間については、領域Ⅰを55msec（または領域Ⅱ）、領域Ⅱ（または領域Ⅰ）を40msecとする（現行56Vリレーの性能を想定）。

[0055] （2）電氣的中心が減速側の母線近傍に侵入する場合（ケース1）

図10は、図1のケース1に対してAB線に脱調検出リレーを適用した結果を示す図表である。図10の左側は従来の脱調検出リレー（電圧メモリな

し)であり、図10の右側は、実施の形態1にかかる脱調検出リレー（電圧メモリ型56Vリレー）810を示す図である。これらの図において、(a)はケース1のA変電所およびB変電所の母線電圧値（縦軸は電圧[p u]）、(b)は電圧位相（縦軸は電圧位相[deg]）、(c)はAB線の電圧位相差角（A変電所母線電圧位相角とB変電所母線電圧位相角の差）（縦軸は相差角[deg]）を示している。

[0056] このケース1において、B変電所の母線電圧が1.34secの時点で電圧メモリ閾値以下に低下するため、脱調検出リレー810は、500msecの間電圧メモリする（図10(a),(b)参照）。一方、図10の左側に記載した従来の56Vリレーの場合には、図2同様に、仮に電圧位相差角を算出可能とすると入力電圧をそのまま使用するため、AB線の電圧位相差角は領域Ⅰ滞在時間110msec、領域Ⅱ滞在時間2msecとなり、領域Ⅱへの滞在の検出が不能となる。

[0057] これに対し、実施の形態1にかかる脱調検出リレー（電圧メモリ型56Vリレー）810の場合には、図10(c)に示すように、領域Ⅰ滞在時間250msec、領域Ⅱ滞在時間250msecとなり、領域Ⅰ、Ⅱ双方とも滞在したことを検出できるため、脱調検出が可能となる。つまり、AB線では電圧位相角変化が小さい減速側のB変電所を電圧メモリし、電圧位相角変化の大きい加速側のA変電所の電圧を利用してAB線の電圧位相差角を判定することとなる。

[0058] なお、電圧メモリをかけた分、演算上の送電線電圧位相差角の開く速度が実際よりも遅くなるため、現行56Vリレーでは送電線電圧位相差角が180°となった40msec後に検出可能と仮定した場合、ケース1では電圧メモリ型56Vリレーの動作はそれよりも135msec遅れることとなる。しかし、脱調による2回目の電圧低下を迎える前には系統分離が完了している。また、このケースにおいて脱調検出に必要なメモリ時間は220msec（(1)の各領域所要滞在時間の条件下）であり、1.54secの時点で動作する。

[0059] 図 1 1 は、ケース 1 に対して、B C 線に脱調検出リレーを適用した結果を示す図表である。図 1 1 の左側は従来の脱調検出リレー（電圧メモリなし）であり、図 1 1 の右側は、実施の形態 1 にかかる脱調検出リレー（電圧メモリ型 5 6 V リレー）8 1 0 を示す図である。

[0060] 図 1 0 に示した A B 線と同様に、B C 線に設ける脱調検出リレー（電圧メモリ型 5 6 V リレー）8 1 0 についても、B 変電所の電圧をメモリするが（図 1 1（a）、（b））、B C 線では加速側の B 変電所は電圧位相角変化が大きく、減速側の C 変電所は電圧位相角変化が小さいことから B C 線の電圧位相差角が領域 I I に侵入しないため（図 1 1（c））、不要動作することはない。

[0061] 図 1 2 は、ケース 1 に対して、B F 線に脱調検出リレーを適用した結果を示す図表である。図 1 2 の左側は従来の脱調検出リレー（電圧メモリなし）であり、図 1 2 の右側は、実施の形態 1 にかかる脱調検出リレー（電圧メモリ型 5 6 V リレー）8 1 0 を示す図である。

[0062] 図 1 0 に示した A B 線と同様に、B F 線に設ける脱調検出リレー（電圧メモリ型 5 6 V リレー）8 1 0 についても、B 変電所の電圧をメモリするが（図 1 2（a）、（b））、B F 線では加速側の B 変電所の電圧位相角変化が大きく、減速側の F 変電所は電圧位相角変化が小さいことから B F 線の電圧位相差角が領域 I I に侵入しないため（図 1 2（c））、不要動作することはない。

[0063] （3）電氣的中心が加速側の母線近傍に侵入する場合（ケース 2）

図 1 3 は、図 1 のケース 2 に対して B C 線に脱調検出リレーを適用した結果を示す図表である。図 1 4 は、図 1 のケース 2 に対して B F 線に脱調検出リレーを適用した結果を示す図表である。図 1 5 は、図 1 のケース 2 に対して A B 線に脱調検出リレーを適用した結果を示す図表である。これらの図の左側は従来の脱調検出リレー（電圧メモリなし）であり、図の右側は、実施の形態 1 にかかる脱調検出リレー（電圧メモリ型 5 6 V リレー）8 1 0 を示す図である。

- [0064] これら図13～図15の結果から、電氣的中心が侵入したBF線およびBC線の電圧位相差角が 180° 以上開かず、電氣的中心が侵入していないAB線の電圧位相角が 180° 以上開いていることが分かる。
- [0065] 上述したケース1の場合には、脱調の減速側母線を電圧メモリしているため、加速側母線の電圧位相角変化が大きく、加速に従って電氣的中心が侵入したAB線の電圧位相差角は開いていくことから電圧メモリ型56Vリレーは動作する。
- [0066] 一方、ケース2の場合は、加速側母線を電圧メモリしているため、電圧位相角変化の大きい加速側母線の電圧位相角が固定されて、減速側の電圧位相角は加速と減速を繰り返しながら徐々に減速方向に変化していくことから、電氣的中心が侵入したBF線およびBC線の電圧位相差角が電圧メモリ時間内に 180° を超えることはないため、電圧メモリ型56Vリレーは動作しない。
- [0067] しかし、AB線（BF線・BC線の一つ加速側の送電線）では、B変電所の電圧位相角が固定されていることから、加速側のA変電所の電圧位相角変化に従って、電圧位相差角が開いていくため、電圧メモリ型56Vリレーが動作する。また、このケース2において、AB線での脱調検出に必要な電圧メモリ時間は195 msecであり、1.52 secの時点で動作する。
- [0068] 以上の結果から、電氣的中心が減速側の母線近傍に侵入した場合は、電氣的中心が侵入した線路の脱調検出リレー（電圧メモリ型56Vリレー）810が動作して該当する線路を開放できるが、加速側の母線近傍に侵入した場合には、電氣的中心が侵入した線路ではなく、電圧メモリされた母線と加速側母線を接続する線路により系統分離されることとなる。よって、リレー設置母線付近に電氣的中心が侵入した場合にも、脱調検出リレー（電圧メモリ型56Vリレー）810により、電圧メモリした母線から引き出された送電線のいずれかで脱調を検出し、その線路を遮断して系統分離することが可能である。
- [0069] （電圧メモリ開始電圧の閾値とメモリ時間の設定）

(1) 電圧メモリ開始電圧の閾値の設定

電圧メモリ開始電圧の閾値である電圧メモリ開始電圧の閾値が高すぎると、不要な母線において電圧メモリされることが懸念される。例えば、極短距離送電線に実施の形態1にかかる脱調検出リレー（電圧メモリ型56Vリレー）810を適用し、電圧メモリ開始電圧閾値を必要以上に高い値とした場合を考える。この場合、同送電線に電氣的中心が侵入した際には、両端の母線電圧が電圧メモリ開始電圧の閾値を下回って電圧メモリされる可能性が高く、その際には当該送電線で脱調検出が不能となる。ただし、一つ加速側の送電線で脱調分離することは可能である。

[0070] 逆に閾値が低すぎると、送電線の電圧位相角の変化速度が速い脱調を検出できない可能性がある。電圧メモリ開始電圧の閾値について、これら2点に留意する必要があるが、定量的にこの値を定めることは難しいため、想定する事故ケースについてケーススタディを行い、上記2点を回避するよう設定する必要がある。

[0071] (2) 電圧メモリ時間の設定

電圧メモリ時間を必要以上に長く設定すると、短絡事故等の瞬時電圧低下発生時点で電圧メモリされた場合に、その後、電圧メモリ解除前に脱調現象へ移行すれば、短絡事故時にメモリされた母線電圧位相角と相手端電圧位相角を比較した電圧位相差角が動作領域を通過し、不要遮断するおそれがある。

[0072] 逆に、電圧メモリ時間が短すぎると、領域Ⅰ、Ⅱの滞在時間が確保できず、脱調検出できない可能性がある。領域Ⅰ、Ⅱは電圧位相差角が $90^{\circ} \sim 270^{\circ}$ の範囲に相当するので、脱調周期の $1/2 (= (270^{\circ} - 90^{\circ}) / 360^{\circ})$ 程度の時間（ただし、56Vリレーの脱調検出可能な各領域所要滞在時間より長いことが条件）を電圧メモリできれば検出可能である。よって、想定する事故ケースについてケーススタディを行い、その脱調周期を基に電圧メモリ時間を設定する方法が考えられる。

[0073] (事故時の電圧低下による不要遮断有無の確認)

上述した動作説明では、脱調検出リレー（電圧メモリ型56Vリレー）810の設置母線の近傍に電氣的中心が侵入した場合に、脱調検出リレー810による脱調検出の可否について検討したが、この脱調現象の起因となるE変電所片母線3相地絡事故時には（図1参照）、E変電所の母線電圧が低下するため、AE線に脱調検出リレー810を適用していた場合、E変電所でも電圧メモリされることとなる。これにより、AE線が不要遮断されることがないか確認した。検討条件は、上記の動作説明のケース1（図10等）と同様とした。

[0074] 図16～図18は、それぞれ事故時の電圧低下による不要遮断有無の確認の結果を示す図表である。図16は、電圧、相差角の変化（メモリなし）を示す図表、図17は、電圧、相差角の変化（メモリ500msec）を示す図表、図18は、電圧、相差角の変化（メモリ1400msec）を示す図表である。

[0075] これら図16～図18に示すように、電圧メモリ時間が500msec（図17）であれば、演算上のAE線の電圧位相差角が領域Ⅰ、Ⅱに侵入しないため、脱調検出リレー（電圧メモリ型56Vリレー）810は動作しない。ただし、電圧メモリ時間を1400msec以上とすると（図18）、領域Ⅰ、Ⅱに侵入し滞在時間も確保されるため、脱調検出リレー（電圧メモリ型56Vリレー）810が動作して不要遮断となる。なお、この回避策は以下に説明する。このため、特に脱調検出リレー（電圧メモリ型56Vリレー）810を複数線路に採用する場合には、電圧メモリ時間は必要最小限の設定としておくことが望ましい。

[0076] （距離リレーの脱調ロック機能を活用した脱調判定の改良）

上述した事故時の電圧低下による不要遮断有無の確認では、脱調現象の起因となる事故による電圧低下の際に、電圧メモリ時間の設定値が長すぎると、不要遮断となる可能性があることを確認した。

[0077] つぎに、短絡距離リレー方式（以下、44Sリレーと称す）の機能の一つであり、脱調時に44Sリレーの不要な遮断を回避する機能（ここでは、リ

アクタンス要素とモー要素を組み合わせた保護範囲が最も狭く、かつ最速遮断する第一段領域）として脱調時の遮断をロックする（以下、脱調ロック）機能が動作し、かつ、母線電圧が閾値以下となった場合のみ電圧メモリをかけるロジックとすることで、脱調による電圧低下時のみに電圧メモリをかけ、上記不要遮断が行えることについて説明する。

[0078] 44Sリレーによる脱調時の不要遮断ロック機能とは、脱調による電力動揺によって44Sリレーが不要動作し、健全送電線を遮断して致命的な系統の不安定化を防止するための機能である。

[0079] 図19は、脱調時ローカスと脱調ロック領域の一例を説明する図である。44Sリレーの脱調時の不要遮断ロック機能として、ここでは第一段領域のみ不要遮断ロックする機能について説明する。脱調時の44Sリレーに入力される電圧や電流変化によって、図19に示すように、インピーダンスローカス（脱調ローカス）が44Sリレーの動作特性範囲内を通過した場合（図中矢印）の不要動作を防止するためのもので、通常の系統間脱調によるインピーダンスローカスの変化が事故時のものに比べて遅いことを利用し、インピーダンスローカスが44SOM、44SOMRおよび44SOMLの動作範囲内かつ44SX1あるいは44SM、44SMRおよび44SMLの動作範囲外の領域に一定時間以上滞在した場合に、44Sリレーをロックする。

[0080] 図20は、44Sリレーの脱調ロック機能のロジックシーケンスの一例を示す図である。脱調検出リレーである56Vリレーと併用する44Sリレー2001の44SM、44SMR、44SMLの出力はAND（&）条件を介して脱調ロックタイマ（56T）2002に入力される。また、44SOM、44SOMRおよび44SOMLの出力は、AND（&）条件を介して脱調ロックタイマ（56T）2002および脱調ロック解除用タイマ（500msec）2003に入力される。脱調ロックタイマ（56T）2002の出力は、FF（フリップフロップ回路）2004のS端子に接続されて、脱調ロック解除用タイマ（500msec）2003の出力はFFのR端子

に接続される。

[0081] FF2004は、脱調時の脱調ローカスの移動スピードが遅いこと（ここでは40msec以上）を検出するためのものであり、脱調ロック解除用タイマ（ここでは500msec）2003は、脱調ロック機能を解除するためのものである。

[0082] 図21は、B変電所AB線の44Sリレーの設定範囲とインピーダンスローカスを示す図表である。横軸はインピーダンス $ReZ(\Omega)$ 、縦軸はインピーダンス $ImZ(\Omega)$ である。図21(b)は、(a)の部分拡大図である。インピーダンスローカス変化について、1. 事故前、2. 事故直後、3. 事故除去直後、4. 56Tカウント開始、5. 56Tカウントアップ、6. 脱調ロック解除用タイマカウント開始、7. 脱調ロック解除用タイマカウントリセット、の時間経過順に説明する。

[0083] 電圧メモリをかけるべきB変電所AB線の44Sリレー2001は、図21(b)に示すように、インピーダンスローカスが1.02secの時点で44SOML、44SOM（44SOMRは事故前より動作状態を継続中）の動作範囲に入ってくること、44S第一段領域の脱調ロックタイマ（56T）2002のカウントが開始され、40msec後の1.06secに44Sリレー2001の第一段領域が脱調ロックとなる。

[0084] その後、1.53secの時点で44SOMが復帰すること、脱調ロック解除用タイマ（500msec）2003がカウントを開始するが、450msec後の1.98secの時点で再び44SOML、44SOM（44SOMRも再び動作状態中）の動作範囲に入ってくること、脱調ロック解除用タイマ2003が復帰するため、脱調ロックが継続状態となる。

[0085] 図22は、脱調ロックと電圧メモリのタイミングを示す図表である。横軸は時刻、縦軸は電圧である。上記のように、1.06sec時点では既に脱調ロックしていることから、図22に示すB変電所の母線電圧が電圧メモリ閾値の0.12puを下回る1.35sec時点は脱調ロックの継続時間帯となっており、44Sリレー2001の第一段領域の脱調ロック機能を利用

すれば、脱調時のみを対象として電圧メモリ機能を活用することが可能となる。

[0086] 図23は、E変電所AE線44Sとインピーダンスローカスを示す図表である。44Sリレー2001の第一段領域の脱調ロック機能を利用した電圧メモリ型56Vリレーの応動について、事故発生時に電圧が電圧メモリ閾値を下回るE変電所AE線の44Sリレーにより確認した。図23に示すとおり、44Sリレー2001でのインピーダンスローカスは、2. 事故発生時に脱調ロック動作範囲内となるものの、事故発生時の高速な変化のため44Sリレー2001の第一段領域の脱調ロック機能は動作せず、その後、脱調ローカスは脱調ロック判定領域外を通過するため、脱調ロックとはならないため、電圧メモリされない。

[0087] 以上のことから、44Sリレーの脱調ロック時のみ電圧メモリをかけることにより、事故発生時と脱調時の電圧低下を区別することができる。また、44SOM、44SOMR、44SOMLの設定値によっては脱調ロックのかかるタイミングが変化するものの、通常の44Sリレーの設定値であれば、脱調検出リレー（電圧メモリ型56Vリレー）810設置母線の電圧が極小となる。つまり、脱調ローカスが原点（0Ω）近傍を通過する前には、脱調ロック領域を通過し、脱調ロック機能が動作している可能性が高い。よって、44Sリレーの脱調ロック時のみ電圧メモリをかけるという対策は有効となる。また、本機能を56Vリレーによる脱調分離のためのフェイルセーフリレーとする方法もある。

[0088] 以上説明したように、脱調分離を担う現行56Vリレーの設置母線近傍に脱調の電氣的中心が侵入すると、同リレー入力電圧の大きさが電圧位相差角を高い精度で算出可能な限界値を下回ることによって動作不能となる場合や、リレー設置母線間の電圧位相差角の変化速度が急峻となることで脱調検出が困難となることについて、模擬システムのシミュレーションおよび等価2機系統モデルにより確認した。

[0089] そして、現行56Vリレーで脱調検出が不可能となるケースに対して、実

施の形態 1 による脱調検出リレー（電圧メモリ型 56 V リレー）810 を用いた結果、脱調の検出が可能となり、系統分離できるようになった。なお、リレー設置母線が電氣的中心より減速側にある場合には、電氣的中心が侵入した線路で系統分離するが、リレー設置母線が電氣的中心より加速側にある場合には、電氣的中心が侵入した線路より一つ加速側の線路で脱調を検出し、系統分離する。ただしこの場合であっても、系統分離のための線路遮断は必要最小限であることを確認できた。

[0090] さらに、電圧メモリ型 56 V リレーによる事故時の電圧低下に伴う不要遮断について、電圧メモリ時間が適切であれば、不要遮断しないことが確認できた。また、不要遮断のリスクを回避するための対策として、56 V リレーに 44 S リレーの脱調ロック機能を併用することも有効である。

[0091] 以上のように、実施の形態 1 による脱調検出リレー（電圧メモリ型 56 V リレー）810 によれば、現行 56 V リレーの欠点を補完することができ、電氣的中心がリレー設置母線近傍に侵入する系統間脱調においても脱調判定ができ、不必要な線路遮断を回避して系統の電氣的中心近傍の線路で系統分離できる。

[0092] （実施の形態 2：電圧・電流位相差方式脱調検出リレー）

実施の形態 1 では、脱調検出リレー（電圧メモリ型 56 V リレー）810 を用いて、現行 56 V リレーで検出が不可能なケースに対しても脱調検出が可能となることを確認できた。リレー設置母線が電氣的中心より加速側にある場合には、脱調を検出することはできるが、電氣的中心が侵入した線路より一つ加速側の線路で系統分離することになるため、一つ加速側の線路にリレーが設置されていない場合（例えば、図 1 の C J 線のように、一つ加速側の線路が変圧器の場合）には、脱調を検出することができない。

[0093] 実施の形態 2 では、実施の形態 1 にかかる脱調検出リレー（電圧メモリ型 56 V リレー）810 の脱調検出の機能向上について説明する。実施の形態 2 では、送電線保護リレー入力要素である電流を利用することによって、脱調検出リレー（電圧メモリ型 56 V リレー）810 の機能補完について説明

する。

[0094] 脱調時の送電線電流は、基本的に加速側母線から減速側母線に向かう通過電流になるとともに、脱調の周期に応じた周期変動となり、電圧をリレー入力要素とした場合と同様にリレー入力電流低下に起因した脱調検出が不能となる懸念がある。よって、送電線保護リレーに入力された、母線電圧とその母線から引き出された送電線電流双方を利用し、その位相差を用いた機能補完方法について説明する。

[0095] (動作原理)

ある母線の電圧とその母線から引き出された送電線電流の位相差を用いた脱調検出方法は、非特許文献1（佐藤正弘著、「送電線の電圧・電流を用いた脱調検出方法」、電学論B、123巻6号（2003年）、pp. 697～703）、および特許文献3（特許第4766434号公報）に開示されている。

[0096] 図24は、本発明の実施の形態2にかかる等価2機系統モデルを示す図である。図24に示す等価2機系統モデル2400において、簡単化のため、線路インピーダンスの抵抗分は無視し、母線A、Bに電圧・電流位相差方式の脱調検出リレーが設置されているものとする。

[0097] 図24中の電流 I と電圧 V_A 、 V_B は下記式（3）で表される。

[数3]

$$\begin{aligned} I &= \frac{\dot{V}_1 - \dot{V}_2}{jX} = \frac{(V_1 \cos \delta + jV_1 \sin \delta) - V_2}{jX} \\ \dot{V}_A &= \dot{V}_1 - jaXI \\ &= (1-a)V_1 \cos \delta + aV_2 \\ &\quad + j(1-a)V_1 \sin \delta \\ \dot{V}_B &= \dot{V}_1 - jbXI \\ &= (1-b)V_1 \cos \delta + bV_2 \\ &\quad + j(1-b)V_1 \sin \delta \quad \dots(3) \end{aligned}$$

母線A、Bの電圧と電流の異同差を α_1 （ $=\theta_A - \phi$ ）、 α_2 （ $=\theta_B - \phi$ ）

とすると、上記式（３）から、

$$\delta = 0^\circ \text{ のとき} \quad |\alpha_1| = 90^\circ, \quad |\alpha_2| = 90^\circ$$

$$0^\circ < \delta < 180^\circ \text{ のとき} \quad |\alpha_1| < 90^\circ, \quad |\alpha_2| < 90^\circ$$

$$\delta = 180^\circ \text{ のとき} \quad |\alpha_1| = 90^\circ, \quad |\alpha_2| = 90^\circ$$

$$180^\circ < \delta < 360^\circ \text{ のとき} \quad |\alpha_1| > 90^\circ, \quad |\alpha_2| > 90^\circ$$

となる。

[0098] 図２５は、本発明の実施の形態２による電圧ベクトル軌跡を示す図表、図２６は、本発明の実施の形態２による電流ベクトル軌跡を示す図表、図２７～図２９は、本発明の実施の形態２による電圧・電流位相の変化を示す図表である。これらの図では、 $V_A = V_B = 1.0 \text{ pu}$ とし、 V_1 の位相 δ を変化させたときの I 、 V_A 、 V_B の変化を示している。

[0099] 上記非特許文献１では、上記の関係から、母線Ａ、Ｂの電圧位相差角が $180^\circ + 360^\circ \times n$ （ $n = 0, 1, 2, \dots$ ）以上 $360^\circ \times (n + 1)$ （ $n = 0, 1, 2, \dots$ ）以下のとき（５６Ｖリレーが脱調と判定するとき）、母線Ａ、Ｂともに電圧と電流の位相差の絶対値が 90° 以上となることを利用して脱調検出する方法を提案している。

[0100] 送電線の電圧位相差角が $360^\circ \times n$ （ $n = 0, 1, 2, \dots$ ）のときにも、上記式（３）のとおり電圧と電流の位相差の絶対値が 90° を通過する。このため、送電線の電圧位相差角が $180^\circ + 360^\circ \times n$ （ $n = 0, 1, 2, \dots$ ）の場合と、 $360^\circ \times n$ （ $n = 0, 1, 2, \dots$ ）の場合を判別し、確実に脱調を検出する必要がある。この脱調検出の詳細は、非特許文献１に開示されている。この方式は自端の電圧・電流情報のみで脱調検出できる利点を有する。

[0101] （動作説明）

実施の形態１での動作説明のケース２と同様の検討条件において、非特許文献１で提案された方式を適用した場合に、脱調検出が可能であるか検証する。

[0102] 図３０～図３３は、図１に示した各変電所での母線電圧・電流位相差を示

す図である。図 30 は B 変電所の B C 線、図 31 は C 変電所の B C 線、図 32 は B 変電所の B F 線、図 33 は F 変電所の B F 線、のそれぞれの電圧・電流位相差を示している。

[0103] いずれの母線から引き出される送電線でも、電圧位相差角が 180° に開くのとほぼ同時に電圧・電流位相差の絶対値が 90° となることが分かる（図 30～図 33 の（b）、（c））。また、B 変電所の母線近傍に電気的中心が侵入して、該当送電線の電圧位相差角が 180° に開くタイミングで B 変電所の母線電圧位相が急峻に変化するため、B 変電所 B C 線および B F 線の電圧・電流位相差も急峻に変化することが分かる（図 30、図 32 の（b））。一方、C 変電所および F 変電所側は、電気的中心から離れているため、B 変電所に比べて緩やかに変化している（図 31、図 33 の（b））。

[0104] 電圧・電流位相差方式による脱調検出は、このケースの B 変電所のように電圧が小さすぎると、現行 56 V リレーと同様に電圧・電流位相差の演算ができなくなる。このため、相手端（このケースでは B 変電所）の電圧が閾値以下に低下したときのみ自端（C 変電所および F 変電所）において電圧・電流位相差による脱調検出を行う方法が考えられる。ただし、B 変電所の電圧が閾値以下に低下した情報を C 変電所と F 変電所に伝送する必要がある。

[0105] 本方式を A B 線にも適用し、上記方法で脱調検出を行った場合には、B 変電所の電圧が閾値以下に低下しているため、A 変電所 A B 線についても、電圧・電流位相差により脱調の判定が行われることとなる。

[0106] 図 34、図 35 は、本発明の実施の形態 2 による各変電所での電圧・電流位相差方式による脱調検出を適用した場合の母線電圧・電流位相差を示す図表である。図 34 は図 1 に記載の A 変電所の A B 線、図 35 は B 変電所の A B 線のそれぞれの電圧・電流位相差を示している。

[0107] 上記動作説明で説明した等価 2 機系統モデルによる動作原理から分かるように、発電機間の相差角が 180° 開いたタイミングで、任意の母線において電圧・電流位相差が 90° 開くことになる。このため、図 34 においても、A 変電所の電圧・電流位相差による脱調検出リレーが動作することになる

。よって、B F 線、B C 線およびA B 線が遮断される。

[0108] 以上から、電圧・電流位相差による脱調検出は、自端のみで脱調検出が可能であり、現行56Vリレーと同じタイミング（送電線の電圧位相差角が 180° 開くタイミング）で脱調検出することができるという利点を有する。ただし、56Vリレーのように電氣的中心で系統分離するといった選択性がないため、複数箇所に設置した場合には不要遮断することが懸念される。

[0109] このため、電圧・電流位相差方式を利用して脱調検出リレー（電圧メモリ型56Vリレー）810の機能を補充する場合には、当該送電線の両端母線について、あらかじめ加速側および減速側母線を定めておき、加速側母線に設置された脱調検出リレー（電圧メモリ型56Vリレー）810による電圧低下検出情報を受信したうえで、減速側母線にて電圧・電流位相差方式の脱調検出リレーを動作させることが有効となる。

[0110] （実施の形態3：電圧位相角変化速度メモリ型56Vリレー）

実施の形態2で説明した電圧メモリ型56Vリレー方式では脱調の加速側母線が電圧メモリされた場合、電圧位相角変化の少ない減速側母線電圧とメモリされた母線電圧との電圧位相差角の拡大が遅いため、脱調検出が困難になることを説明した。

[0111] その対応策として、実施の形態3では、電圧メモリ型56Vリレーの入力電圧が電圧メモリ開始電圧まで低下した場合の電圧および電圧位相角をメモリするにあたり、電圧位相角変化速度も合わせてメモリ（電圧位相角変化速度メモリ型56Vリレー方式）することで、上記現象を改善する。

[0112] （動作原理）

実施の形態1で検討した電圧メモリ型56Vリレー方式では、電氣的中心が加速側のリレー設置母線の付近に侵入したときには、加速側の電圧をメモリするため、当該送電線の電圧位相差角の演算値が電圧メモリ時間内に 180° 以上開かないことを確認した。

[0113] 電圧位相角変化速度メモリ型56Vリレー方式は、リレー設置母線電圧が設定した閾値より低下した場合に、母線電圧位相角に加え、その直前の母線

電圧位相角の変化速度をメモリし、当該母線電圧はその変化速度を維持したまま電圧位相角を変化させ、相手端の母線電圧との電圧位相差角を演算する。その電圧位相差角が動作領域（領域Ⅰ：電圧位相差角 $90^{\circ} \sim 180^{\circ}$ 、領域Ⅱ：電圧位相差角 $180^{\circ} \sim 270^{\circ}$ ）に一定時間滞在しながら通過したことを確認できれば脱調検出する方式である。

[0114] （動作説明）

検討条件は、実施の形態1にかかるケース2と同様とする。変化速度を固定する電圧閾値は脱調検出リレー（電圧メモリ型56Vリレー）810と同様に、 0.12 pu とするが、メモリ時間については 500 msec では電圧位相差角の開きが遅く、脱調検出が困難であることが確認されたため 700 ms とした。

[0115] 図36、図37は、実施の形態3による各変電所での電圧位相角変化速度メモリ型方式による脱調検出を適用した場合の電圧・相差角変化を示す図表である。図36は、図1に記載のB・C変電所の電圧・相差角を示し、図37は、B・F変電所の電圧・相差角を示す。

[0116] 本来、BC線の電圧位相差角の変化速度は事故除去後から加速度的に増加し、 180° 付近で急峻に変化するが、この急峻な変化が起きるよりも前の段階で変化速度を固定するため、固定後は電圧位相差角が等速で変化することとなり、図36（c）に示すように、実際の変化速度よりも遅くなる。BC線電圧位相差角 180° 付近におけるB変電所の実際の電圧位相変化速度： $108^{\circ} / 5\text{ msec}$ であり、電圧位相変化のメモリ速度： $0.75^{\circ} / 5\text{ msec}$ である。しかしながら、領域Ⅰ、Ⅱの滞在時間を確保できることから、脱調の検出が可能である。

[0117] つぎに、脱調検出に必要な時間について、実施の形態1で説明した脱調検出リレー（電圧メモリ型56Vリレー）810と比較する。電圧メモリ型56Vリレーでは、BC線での脱調検出が不可能であるが、AB線で脱調検出を行う。このとき、電圧位相角の急峻な変化を伴うB変電所の母線電圧がメモリされるが、相手端のA変電所が脱調の加速側であり、その電圧位相角が

メモリされていないため、A B線の電圧位相差角（B変電所母線電圧メモリ後の演算値）の変化速度は次第に増加していく。

[0118] 一方、実施の形態3による電圧位相角変化速度メモリ型56Vリレー方式では、BC線で脱調を検出するが、前述のように、B変電所の母線電圧変化速度がそれ程速くない時点でメモリされるため、BC線の電圧位相差角変化速度もそれ程増加しないため、実施の形態1にかかる脱調検出リレー（電圧メモリ型56Vリレー）810と比較して脱調検出時間が遅延する。

[0119] 電圧メモリ型56Vリレー方式の脱調検出に必要なメモリ時間は実施の形態1にかかる動作説明（3）で示したとおり195 msecだが、実施の形態3にかかる電圧位相変化速度メモリ型56Vリレー方式の脱調検出に必要なメモリ時間は560 msecとなる。脱調検出時間遅延への対策としては、上述のように電圧位相角変化速度をメモリ直前の値で固定して等速変化させるのではなく、事故除去後からメモリ開始までの電圧位相角の加速度的な変化を曲線近似することにより、等速変化よりも実際の変化により近づける方法が有効である。

[0120] また、実施の形態3にかかる方式では、電圧閾値の設定値によりメモリされた電圧位相の変化速度が異なることにより、メモリの所要時間が変化するため、メモリ時間の設定については適切な値の設定に工夫が必要となる。なお、実施の形態3にかかる方式では、極短距離送電線に電氣的中心が侵入し、両端母線電圧低下のため他方式では脱調検出が困難となるような場合にも、電圧位相変化速度のメモリによって時間の経過とともに確実に電圧位相差角差が増加することから脱調検出が可能となる。

[0121] また、上述した各実施の形態に記載した電圧メモリ型脱調分離リレーに、電圧・電流位相差方式脱調検出リレーを付加した構成としてもよい。この場合、あらかじめ加速側および減速側母線を定めておき、加速側母線に設置された前記脱調検出リレーの入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、電圧低下検出情報を相手端に送信したうえで、相手端減速側母線において自端リレー入力電圧と入力電流の位相差が180

。に開いたことを検出することで脱調検出できる。

[0122] (実施の形態4：脱調現象中の各種リレーの応動)

つぎに、実施の形態4では、本節では電氣的中心が侵入した線路の各種リレーの応動について確認する。現行56Vリレーでの脱調検出が不可能なケースに対して、各種リレーの応動によっては実施の形態1にかかる脱調検出リレー（電圧メモリ型56Vリレー）810で脱調検出できないことが懸念される。このため、実施の形態4では電氣的中心が侵入した線路の各種リレーの応動について確認する。検討条件は 実施の形態1にかかる動作説明（1）のケース1と同様とする。

[0123] (1) 距離リレー（44Sリレー）

44Sリレーについては、脱調ロック判定領域内でのインピーダンスローカスの変化速度が速い場合など、脱調ロック機能が動作しない場合には不要動作する可能性があるため、Y法の計算結果から下記式（4）のインピーダンスZを算出し、動作判定する。

[数4]

$$\dot{Z} = \frac{\dot{V}_a - \dot{V}_b}{\dot{I}_a - \dot{I}_b} \quad \dots(4)$$

($\dot{V}_a$ ：A相電圧（二次値）， $\dot{V}_b$ ：B相電圧（二次値）， $\dot{I}_a$ ：A相電流（二次値）， $\dot{I}_b$ ：B相電流（二次値）)

[0124] 図38は、本発明の実施の形態4にかかるA変電所AB線の44Sリレーの応動を示す図表である。図38（b）は、（a）の部分拡大図である。インピーダンスローカスは、1．事故前、2．事故直後、3．事故除去直後、4．56Tカウント開始、5．56Tカウントアップの時間経過順に変化する。

[0125] インピーダンスローカスが4．56Tカウント開始（0.96sec）の時点で44SOMRの動作範囲に入ってくること、脱調ロックタイマ（5

6 T) のカウントが開始され、40 ms 後の 1.00 sec に 5.56 T カウントアップで 44 S X 1 脱調ロックがかかる。

[0126] また、上述した、距離リレーの脱調ロック機能を活用した脱調判定の改良の欄で説明したように、B 変電所 AB 線の 44 S リレーについても動作しない。このため、実施の形態 1 にかかる脱調検出リレー（電圧メモリ型 56 V リレー）810 が動作する前に、44 S リレーによって AB 線が遮断されることはない。

[0127] (2) 電流差動リレー（87 リレー）

系統間脱調時の送電線に流れる電流は基本的に加速側母線から減速側母線に向かう通過電流となるため 87 リレーは動作することはないと考えられるが、Y 法の計算結果から下記式（5）に示す動作量および抑制量を算出のうえ、その確認をする。

[数5]

$$\text{動作量} : |\dot{I}_{Aa} + \dot{I}_{Ba}|, \text{抑制量} : |\dot{I}_{Aa}| + |\dot{I}_{Ba}| \quad \cdots(5)$$

($\dot{I}_{Aa}$: A 変電所 AB 線 A 相電流（二次値）,

$\dot{I}_{Ba}$: B 変電所 AB 線 A 相電流（二次値）)

[0128] 図 39 は、本発明の実施の形態 4 にかかる AB 線 87 リレー動作判定状態を示す図表である。図 39 の電流値は、事故発生から 2.0 sec 間を表示している。この図 39 に示すように、AB 線の電流は通過電流であるため、一般的な動作領域にかからず、87 リレーは動作しない。

[0129] (3) 多段式過電流リレー（51 M リレー）

図 40 は、本発明の実施の形態 4 にかかる 51 M リレーの特性図である。多段式過電流リレーである 51 M リレーは、脱調時の電流変動に対応した現行 56 V リレーによる脱調分離のためのフェイルセーフリレーである。図 40 に示すように、51 M リレーは、整定値を段階的に増加させた多段 In の過電流リレーで構成され、各段の入力電流が整定値を超過した場合に動作す

る。

[0130] 51Mリレーの第 n 段の整定値 I_n ($n=1, 2, \dots, 7$)は、 $I_n = 2 \times 1.6^{n-1}$ [A] とする。また、各段の整定値の超過時間が2秒より短い場合には超過している時間だけ動作し、2秒を超過した場合には2秒間だけ動作し、各段の整定値の80%となったときに復帰する仕様を一例として説明する。

[0131] Y法の計算結果から $Rela$ 、 $Imla$ を算出し、51Mリレー入力値に換算した結果により動作判定する。その結果を図41、図42に示す。図41、図42は、本発明の実施の形態4にかかる各変電所の母線51Mリレー動作判定状態を示す図表である。いずれの図においても、電流値は、事故発生から2.0sec間を表示している。

[0132] 図41に示すA変電所と、図42に示すB変電所のAB線の51Mリレーは、事故除去後に1段整定値を超過し、0.26secで2段整定値を超過する。2段整定値の80%となる1.65msecまで動作を継続する。このケースでは、実施の形態1での脱調検出リレー（電圧メモリ型56Vリレー）810は1.56secに動作するため、現行56Vリレーと同様に、51Mリレーを脱調検出リレー（電圧メモリ型56Vリレー）810のフェイルセーフリレーとして適用することが可能なことを示している。

[0133] 以上説明したように、各実施の形態の脱調検出リレーによれば、電気的中心がリレー設置母線近傍に侵入する系統間脱調においても脱調判定できる。また、不必要な線路遮断を回避して系統の電気的中心近傍の線路で系統分離できる。

[0134] また、現行の脱調検出リレーに電圧メモリを付加するだけの簡単な構成で脱調判定できる。

産業上の利用可能性

[0135] 以上のように、本発明にかかる脱調検出リレーは、伝送路上の系統間脱調を検出する脱調検出リレーに有用であり、特に、56Vリレーの改良に適している。

符号の説明

- [0136] 1 0 0 モデル模擬系統
- 5 0 0, 8 0 0, 2 4 0 0, 4 3 0 0 等価２機系統モデル
- 5 0 1, 5 0 2, 8 0 1, 8 0 2 発電機
- 8 0 3 送電線
- 8 1 0, 2 0 0 1 脱調検出リレー
- 8 1 1, 2 0 0 4 電圧メモリ（ＦＦ）
- 2 0 0 2 脱調ロックタイマ
- 2 0 0 3 脱調ロック解除用タイマ

請求の範囲

- [請求項1] 送電線の両端母線の電圧の電圧位相差に基づき、設置区間両端母線間の脱調を検出する脱調検出リレーにおいて、
- 入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、低下した時点から一定時間の間、電圧が低下した母線側の前記入力電圧の大きさと位相を記憶する電圧記憶部を有し、
- 前記入力電圧の大きさと前記電圧位相差に基づき脱調を検出し、前記入力電圧が前記閾値まで低下した場合には、前記一定時間の間、前記電圧記憶部から出力される前記入力電圧の大きさと電圧位相差に基づいて脱調を検出することを特徴とする脱調検出リレー。
- [請求項2] 前記電圧記憶部は、脱調検出に必要な前記両端母線間の電圧位相差角が所定の2つの領域それぞれに滞在する時間に基づき前記一定時間を設定したことを特徴とする請求項1に記載の脱調検出リレー。
- [請求項3] 前記電圧記憶部は、前記一定時間を送電線周波数系統の系統間脱調周期の $1/2$ の時間であることを特徴とする請求項2に記載の脱調検出リレー。
- [請求項4] 前記電圧記憶部は、前記閾値を前記両端母線間の電圧位相差角の算出限界値以上であり、前記電圧位相差角の変化速度が検出不能となる前記両端母線の電圧より高い値に設定したことを特徴とする請求項1～3のいずれか一つに記載の脱調検出リレー。
- [請求項5] 56Vリレーに前記電圧記憶部を設けてなることを特徴とする請求項1～4のいずれか一つに記載の脱調検出リレー。
- [請求項6] 短絡距離リレーのモー要素やリアクタンス要素を利用して脱調検出して脱調時の不要な遮断を回避する機能を併用し、前記電圧記憶部による前記入力電圧の大きさと位相を記憶することを特徴とする請求項1～5のいずれか一つに記載の脱調検出リレー。
- [請求項7] 前記短絡距離リレーとして44Sリレーを用い、インピーダンスローカスの変化が事故時に比して脱調時に遅いことに基づき、前記イン

ピーダンスローカスが前記4 4 Sリレーの4 4 S O M、4 4 S O M Rおよび4 4 S O M Lの動作範囲内かつ4 4 S X 1あるいは4 4 S M、4 4 S M Rおよび4 4 S M Lの動作範囲外となっている時間が一定値以上の場合に、前記4 4 Sリレーをロックすることを特徴とする請求項6に記載の脱調検出リレー。

[請求項8] 送電線の両端母線の電圧の電圧位相差に基づき、設置区間両端母線間での脱調を検出する脱調検出リレーにおいて、

入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、低下した時点から一定時間の間、前記入力電圧の大きさと位相変化速度を記憶する電圧・位相変化速度記憶部を有し、

前記入力電圧の大きさと前記電圧位相差に基づき脱調を検出し、前記入力電圧が前記閾値まで低下した場合には、前記一定時間の間、前記電圧記憶部から出力される前記入力電圧の大きさと電圧位相差に基づいて脱調を検出することを特徴とする脱調検出リレー。

[請求項9] 送電線の両端母線の電圧の電圧位相差に基づき、設置区間両端母線間での脱調を検出する脱調検出リレーにおいて、

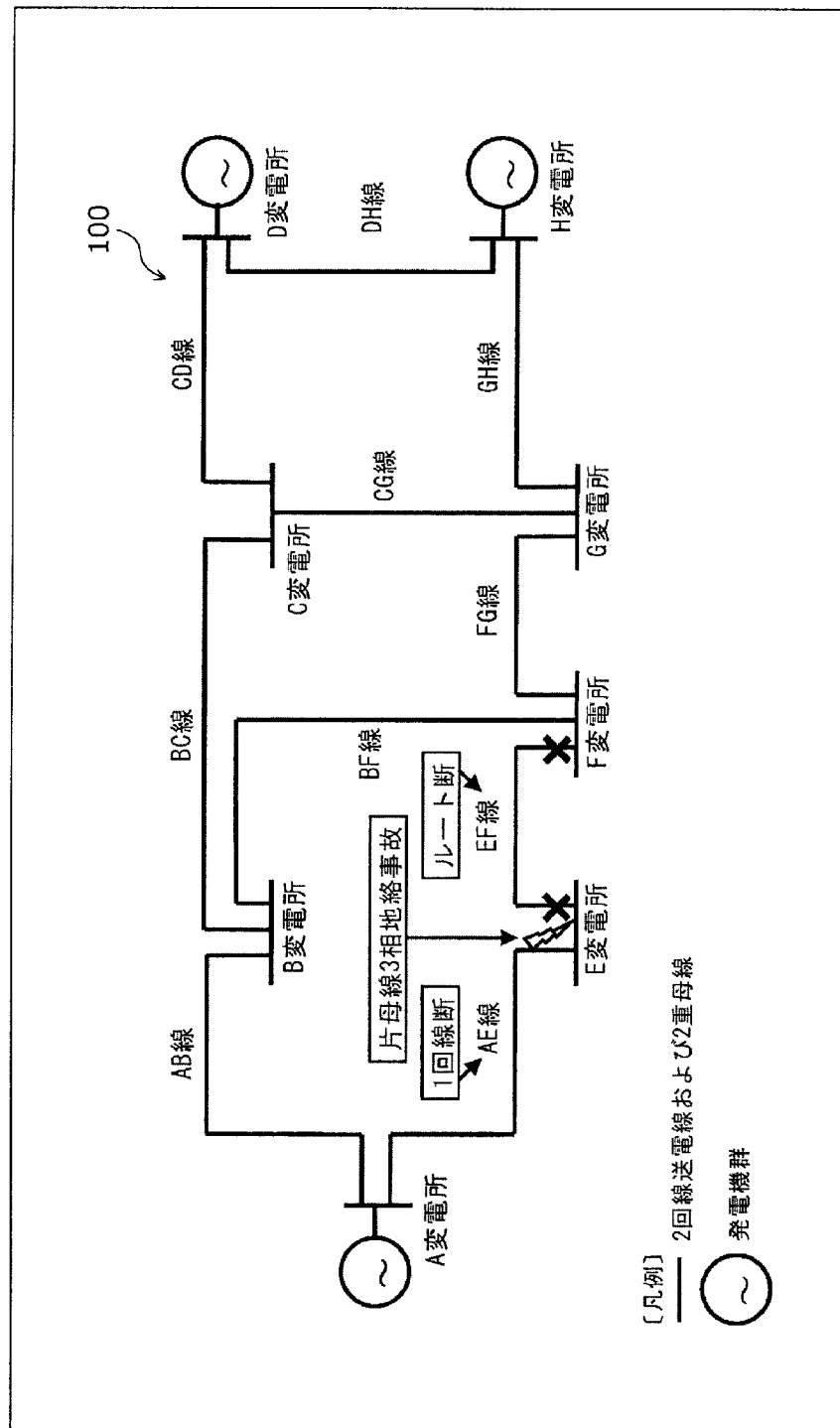
入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、低下した時点から一定時間の間、前記入力電圧の大きさと位相変化速度を事故除去後からメモリ開始までの電圧位相角の加速度的な変化を曲線または線形近似により算出する電圧・位相変化速度記憶部を有し、

前記入力電圧の大きさと前記電圧位相差に基づき脱調を検出し、前記入力電圧が前記閾値まで低下した場合には、前記一定時間の間、前記電圧記憶部から出力される前記入力電圧の大きさと電圧位相差に基づいて脱調を検出することを特徴とする脱調検出リレー。

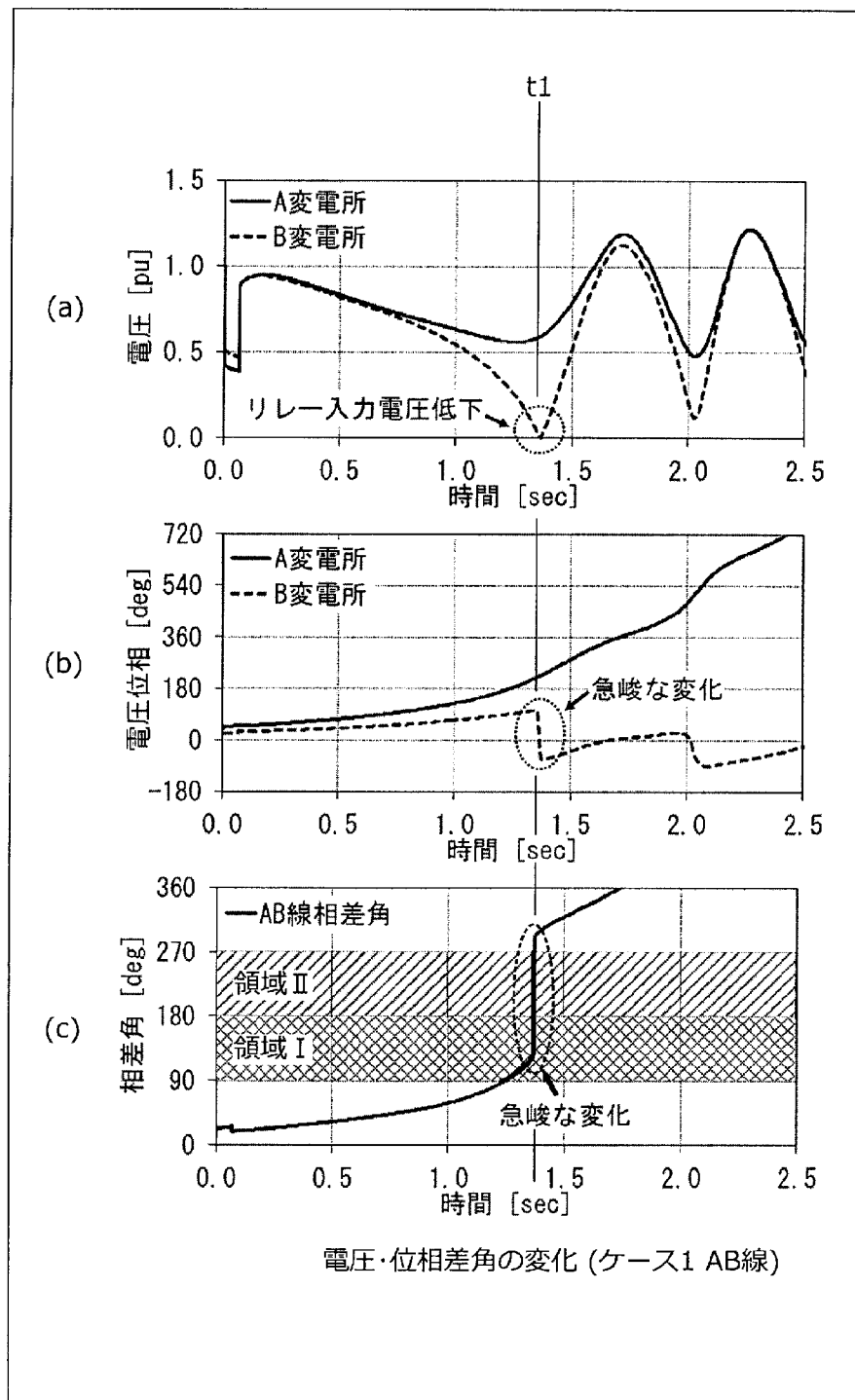
[請求項10] あらかじめ加速側および減速側母線を定めておき、加速側母線に設置された前記脱調検出リレーの入力電圧を所定の閾値と比較し、前記入力電圧が前記閾値まで低下した場合、電圧低下検出情報を相手端に

送信したうえで、相手端減速側母線において自端リレー入力電圧と入力電流の位相差が 180° に開いたことを検出することで脱調検出することを特徴とする請求項1、8、9のいずれか一つに記載の脱調検出リレー。

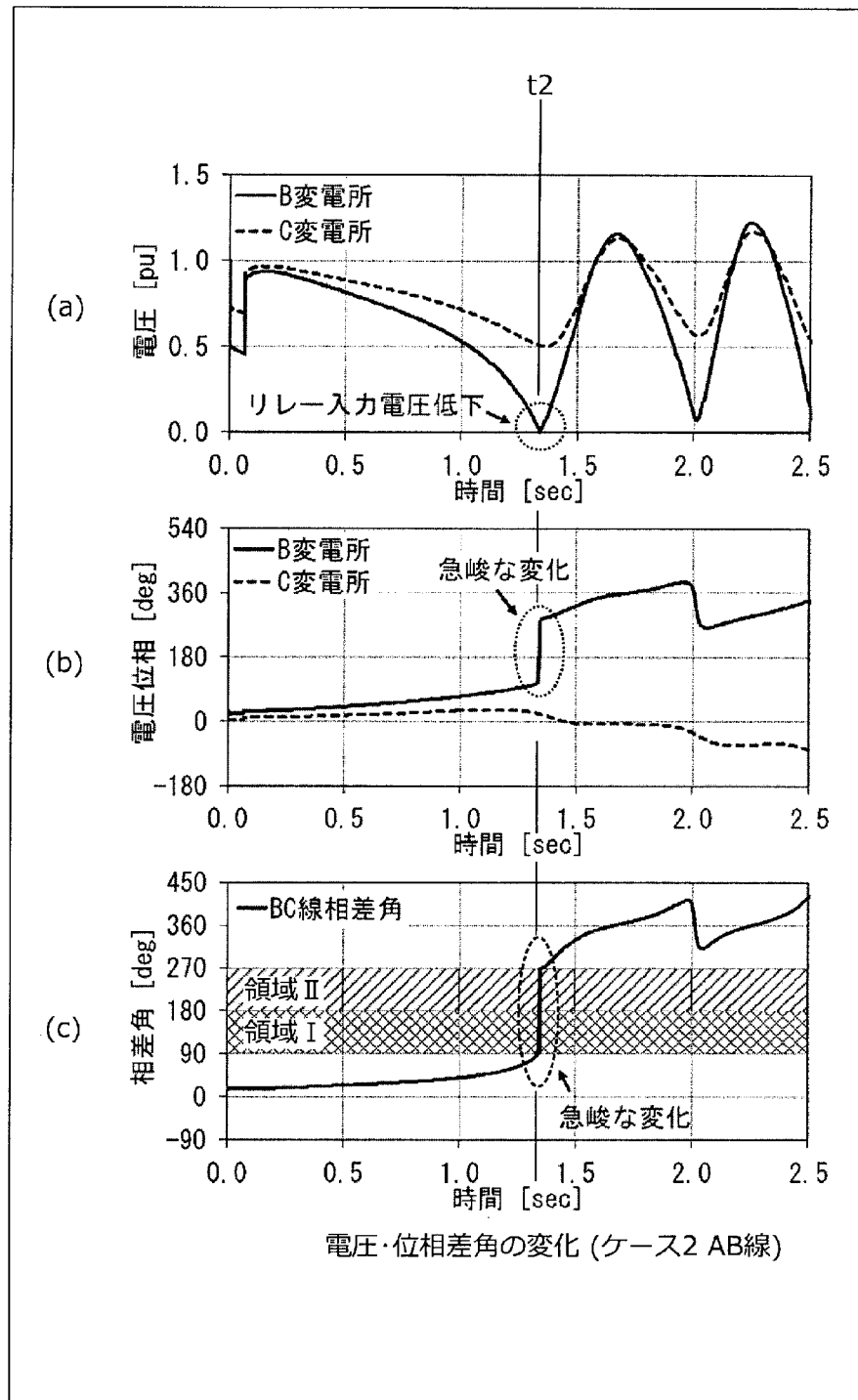
[図1]



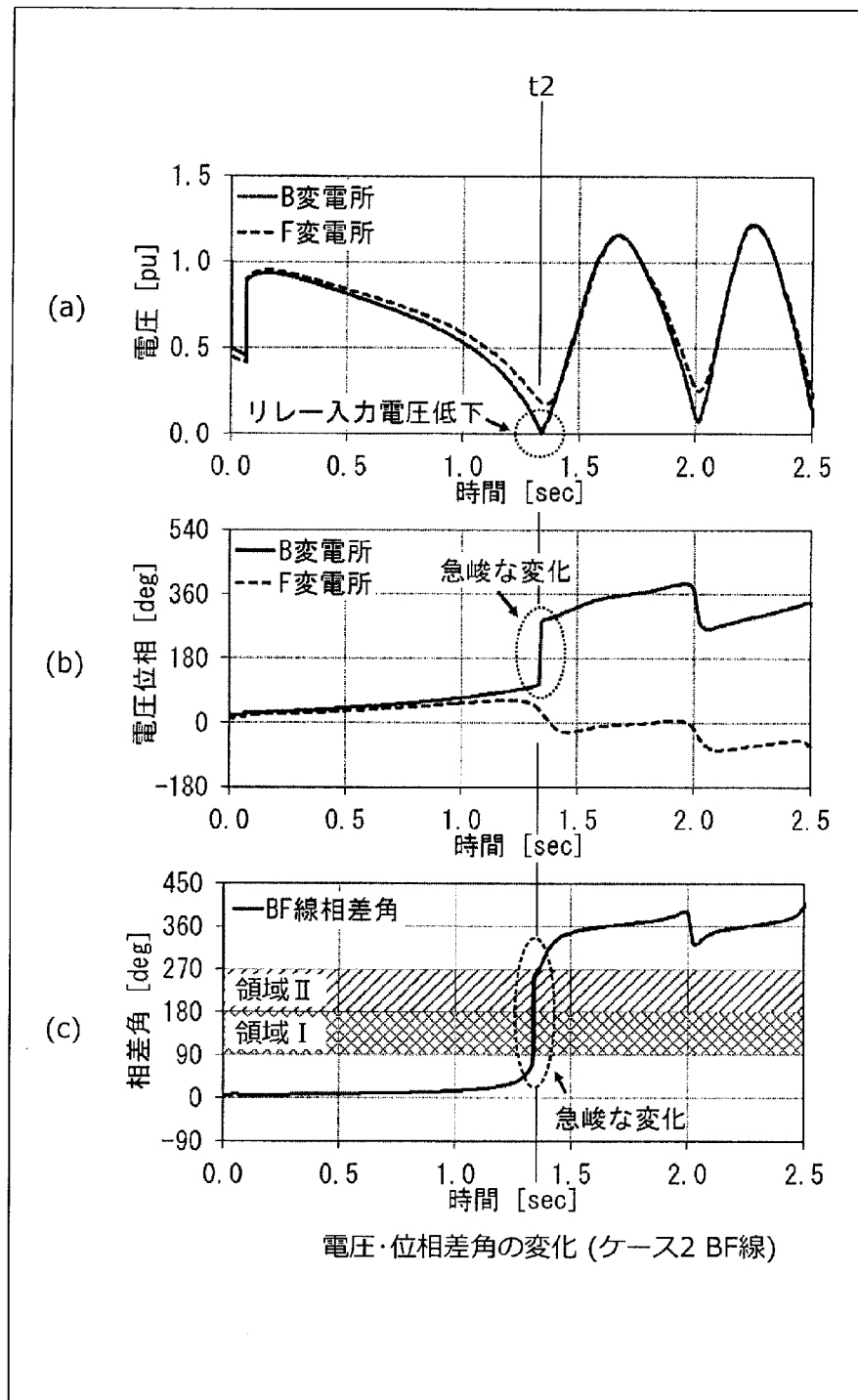
[図2]



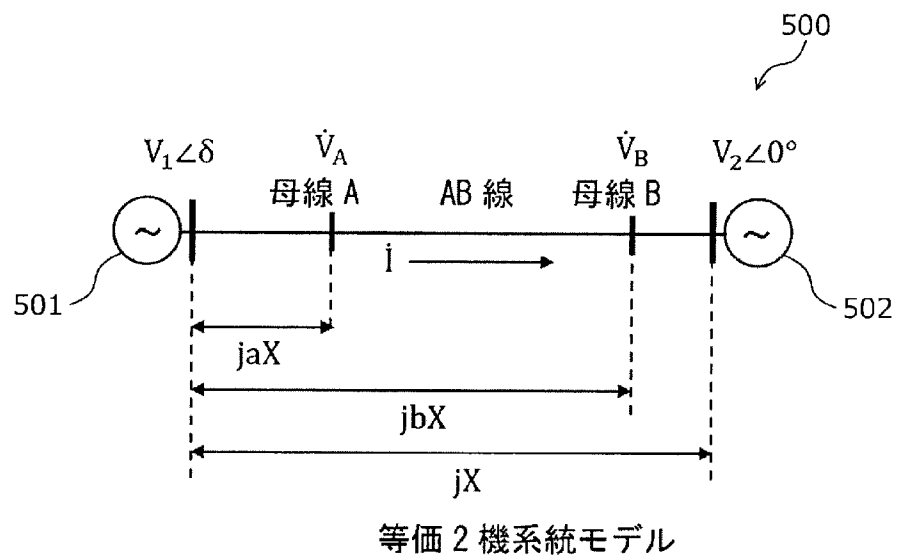
[図3]



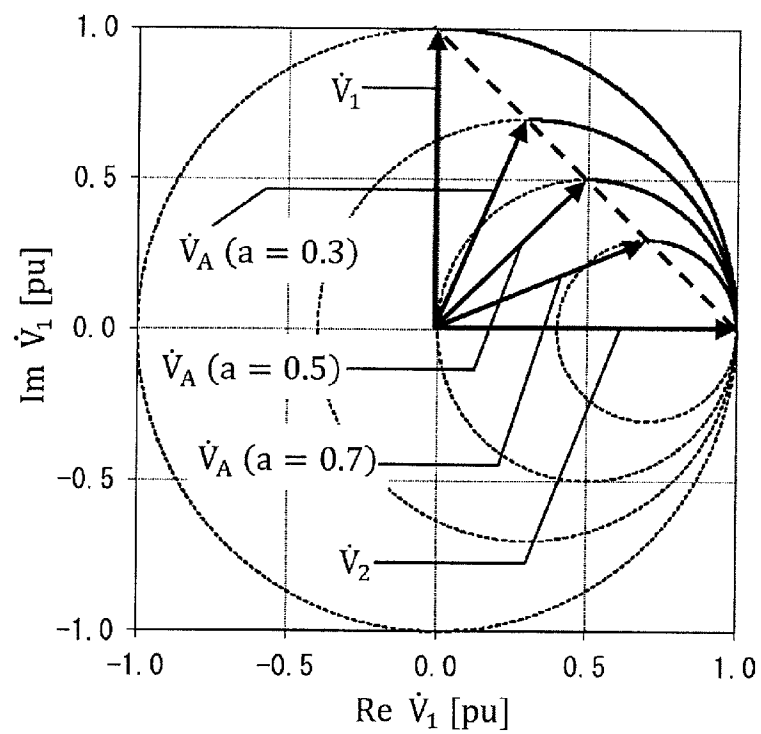
[図4]



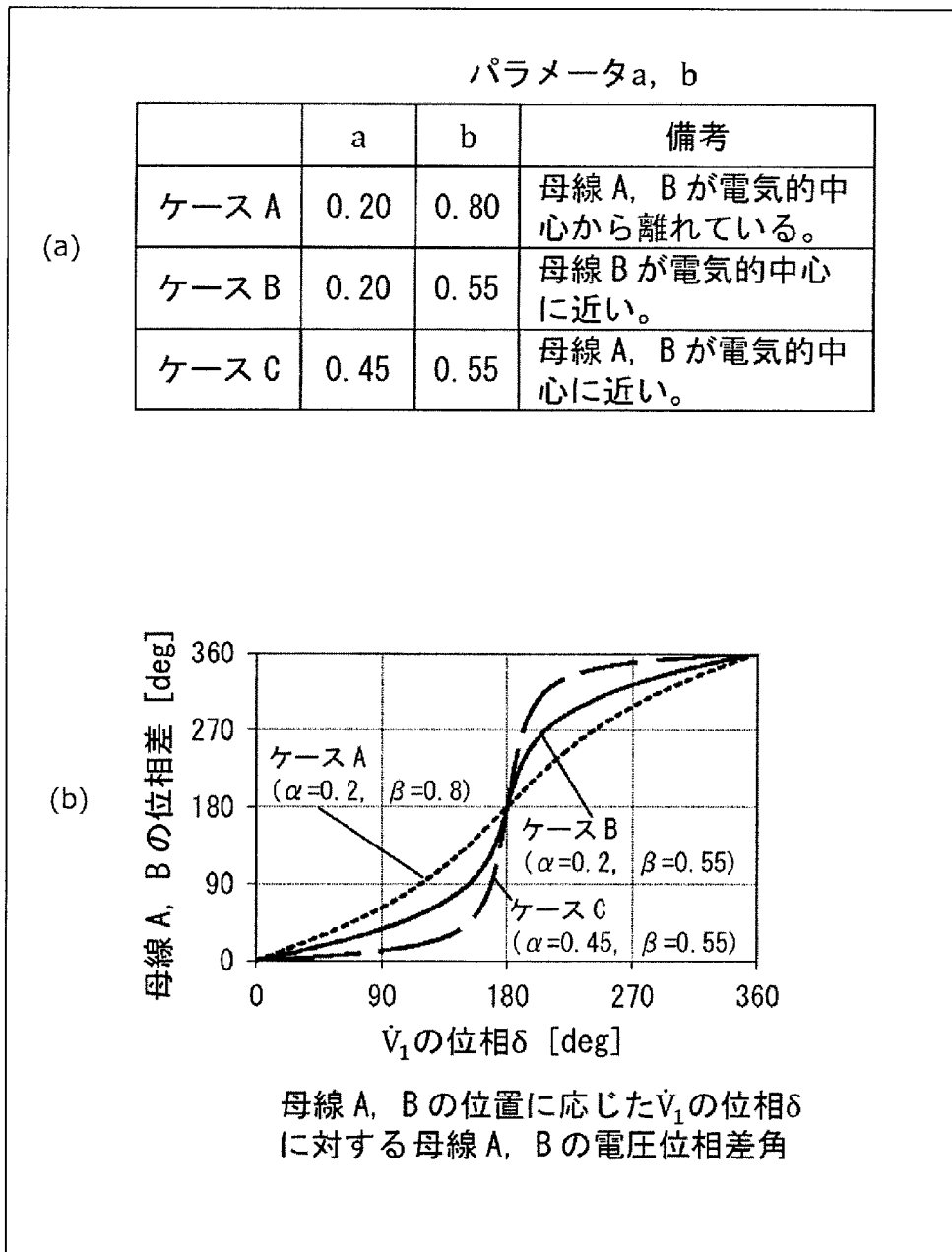
[図5]



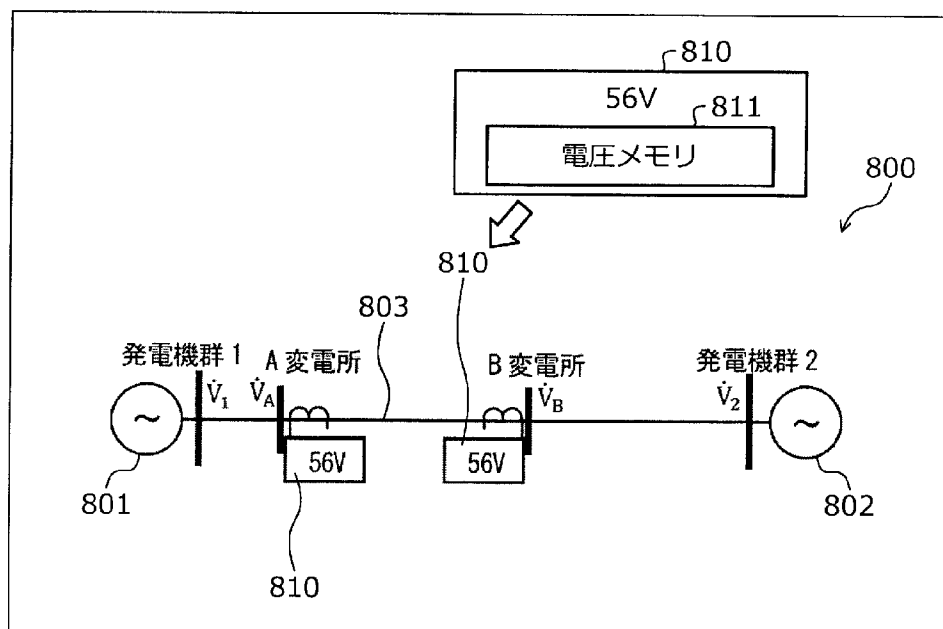
[図6]

 $\dot{V}_A$ の軌跡

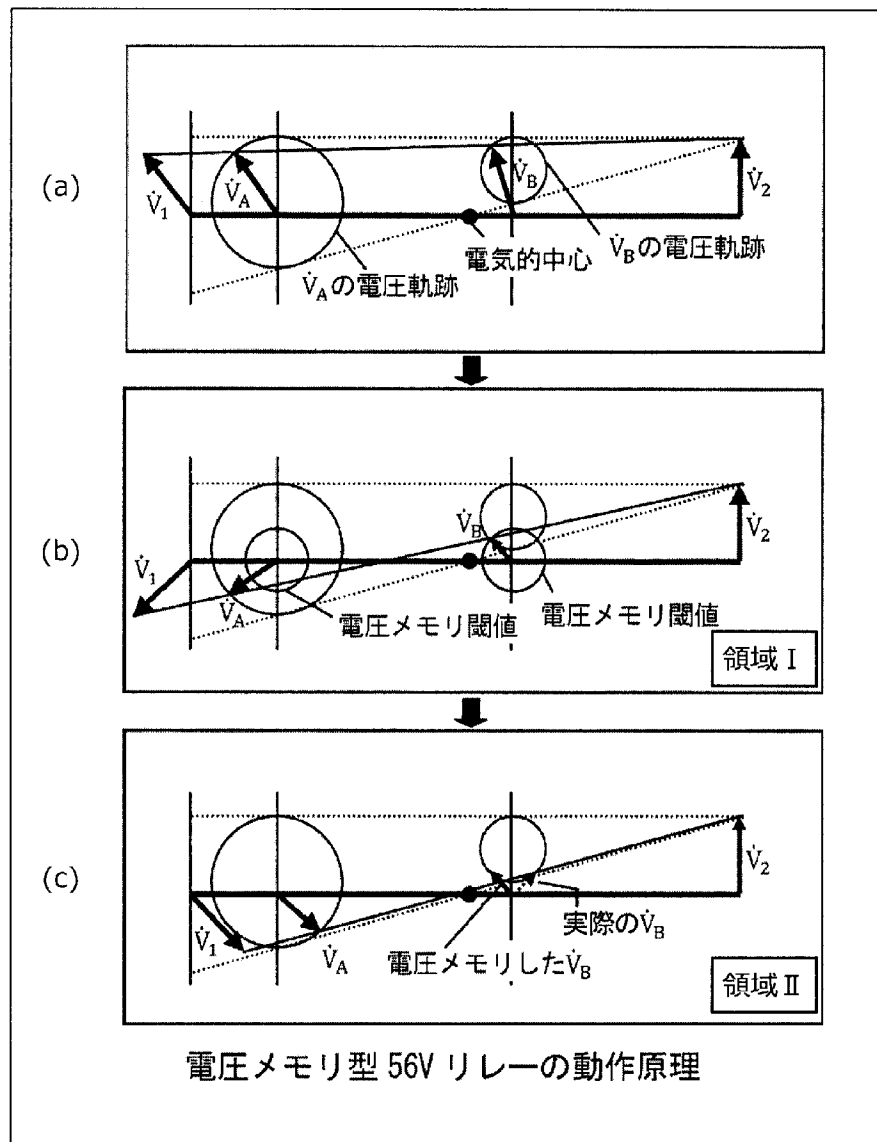
[図7]



[図8]



[図9]



[図10]

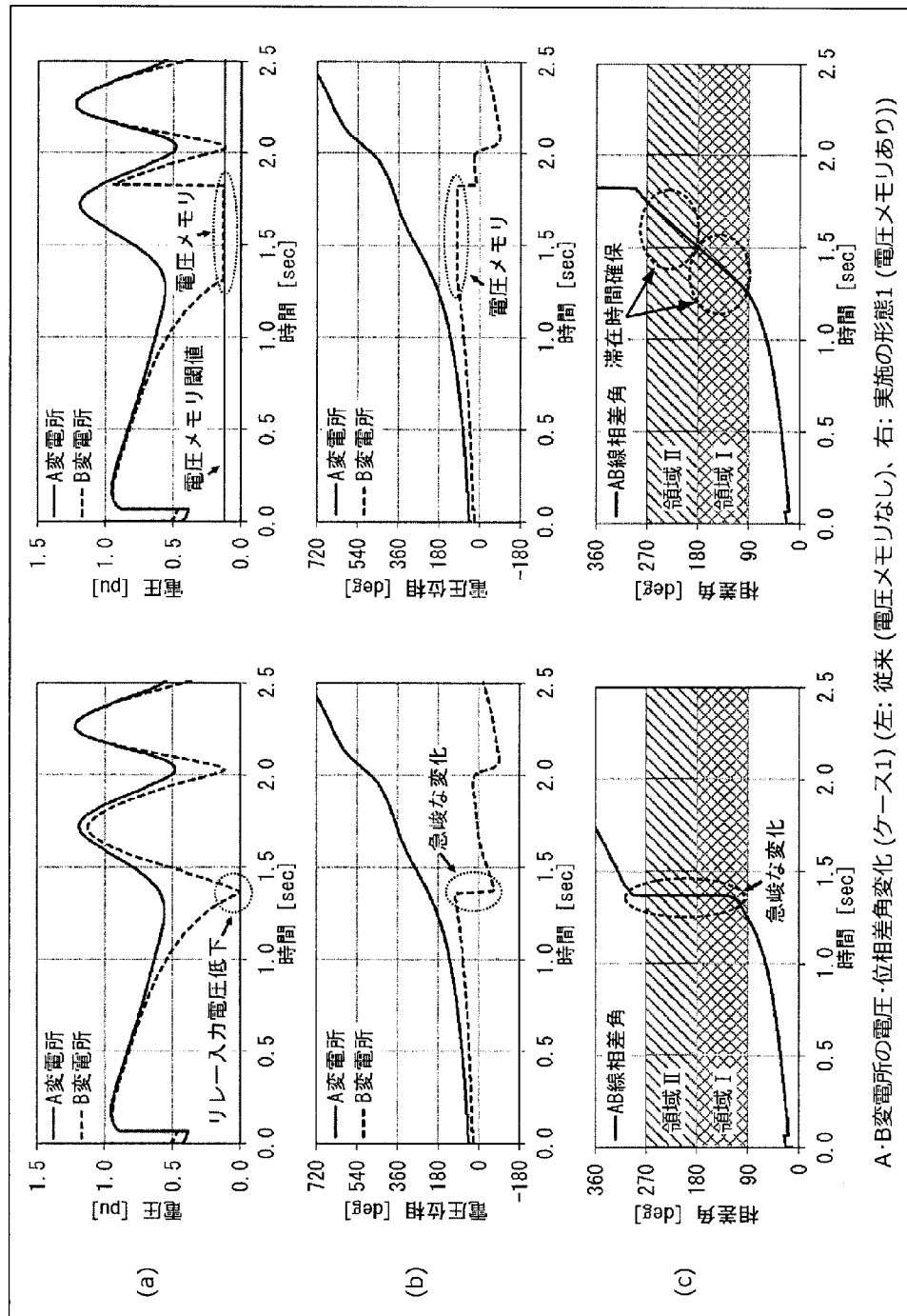
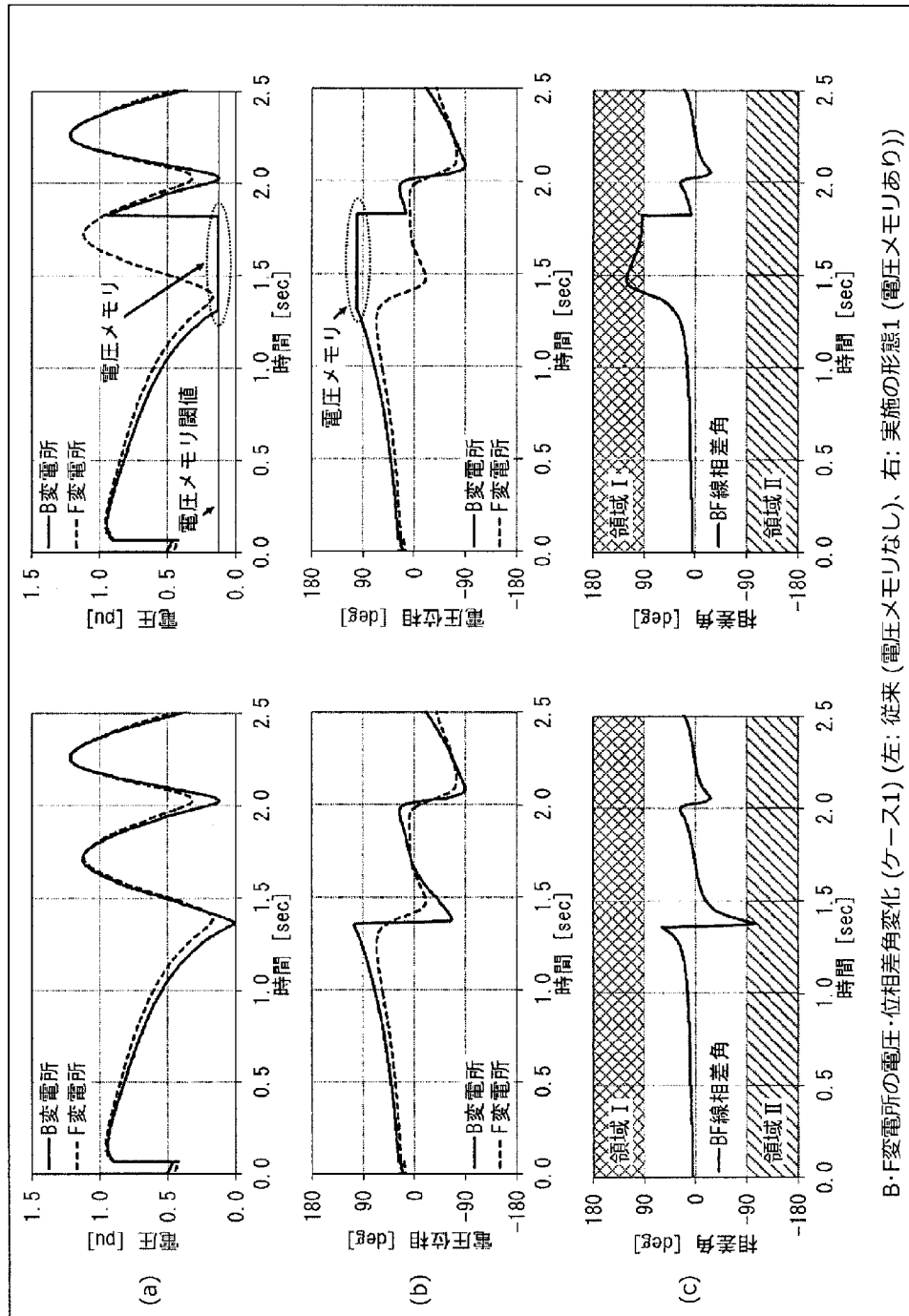


Figure 10 consists of six subplots arranged in a 3x2 grid, comparing Case 1 (left) and Case 2 (right). The top row shows voltage magnitude [pu] vs. time [sec] for B and C substations. The middle row shows voltage phase angle [deg] vs. time [sec] for B and C substations. The bottom row shows the BC line phase angle [deg] vs. time [sec], with shaded regions for Domain I and Domain II. Case 1 (left) shows a voltage memory effect (電圧メモリ) in the voltage magnitude plot, which is absent in Case 2 (right).

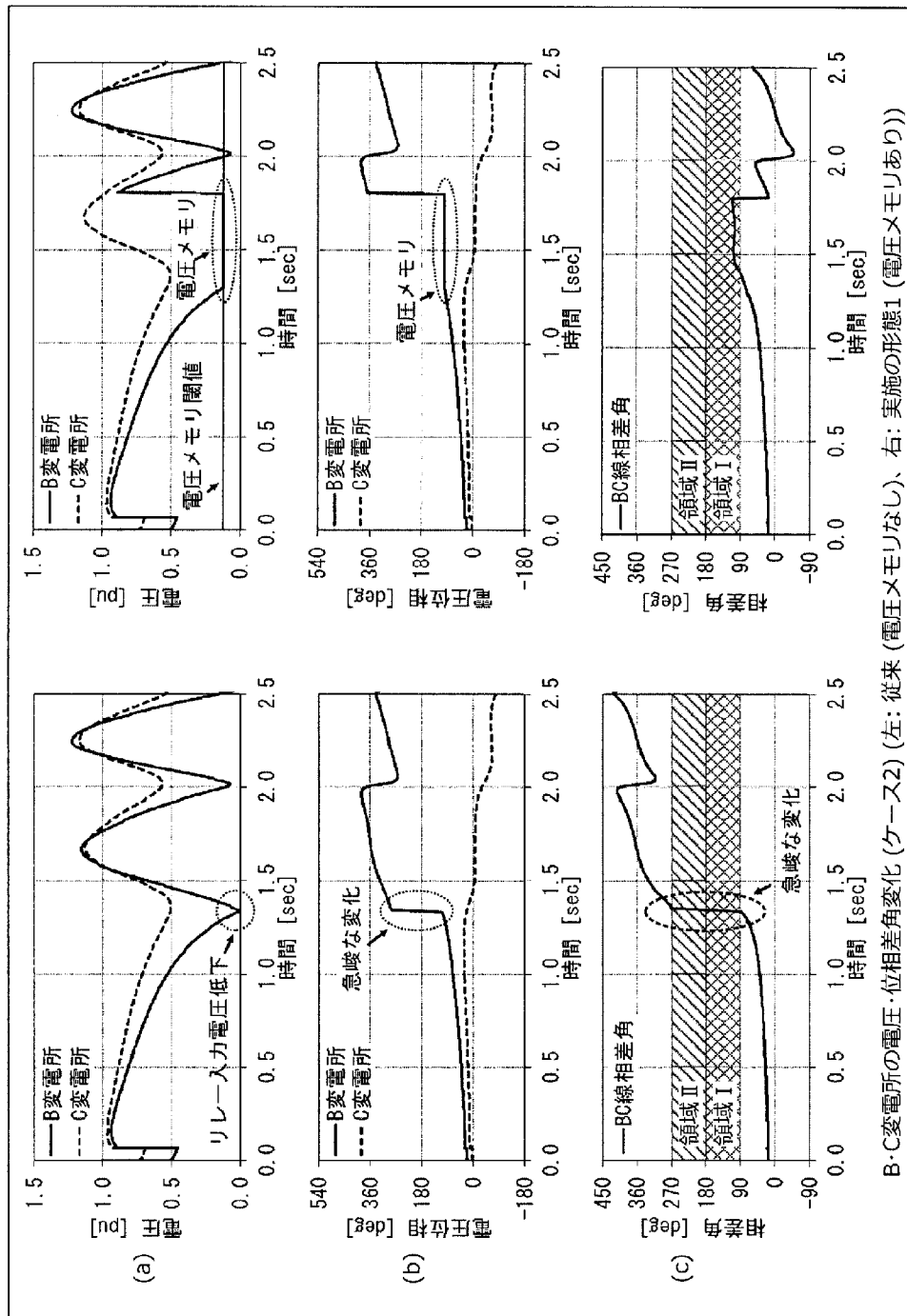
B・C変電所の電圧・位相差角変化(ケース1)(左:従来(電圧メモリなし)、右:実施の形態1(電圧メモリあり))

[図12]

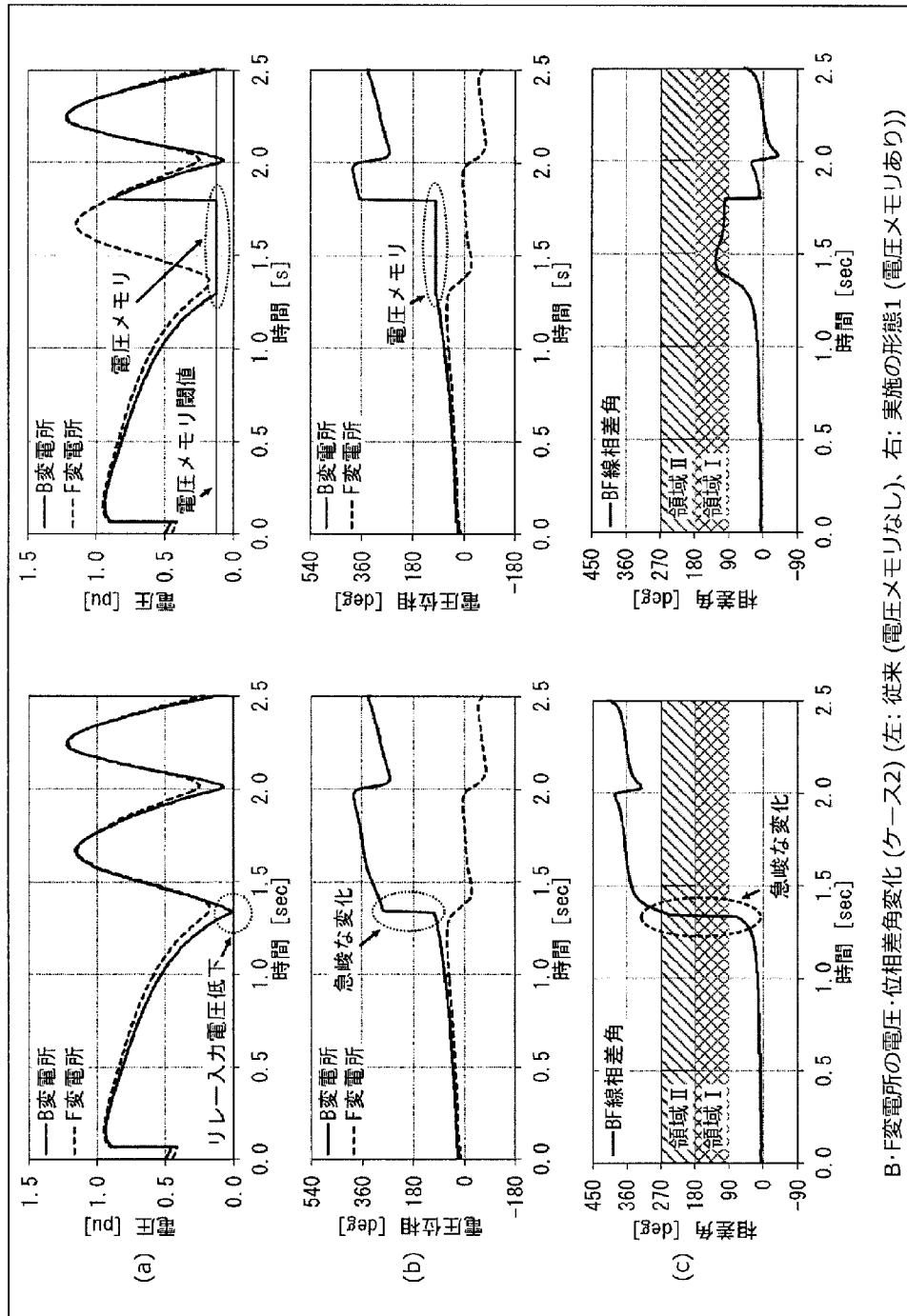


B・F変電所の電圧・位相差角変化 (ケース1) (左: 従来 (電圧メモリなし)、右: 実施の形態1 (電圧メモリあり))

[図13]

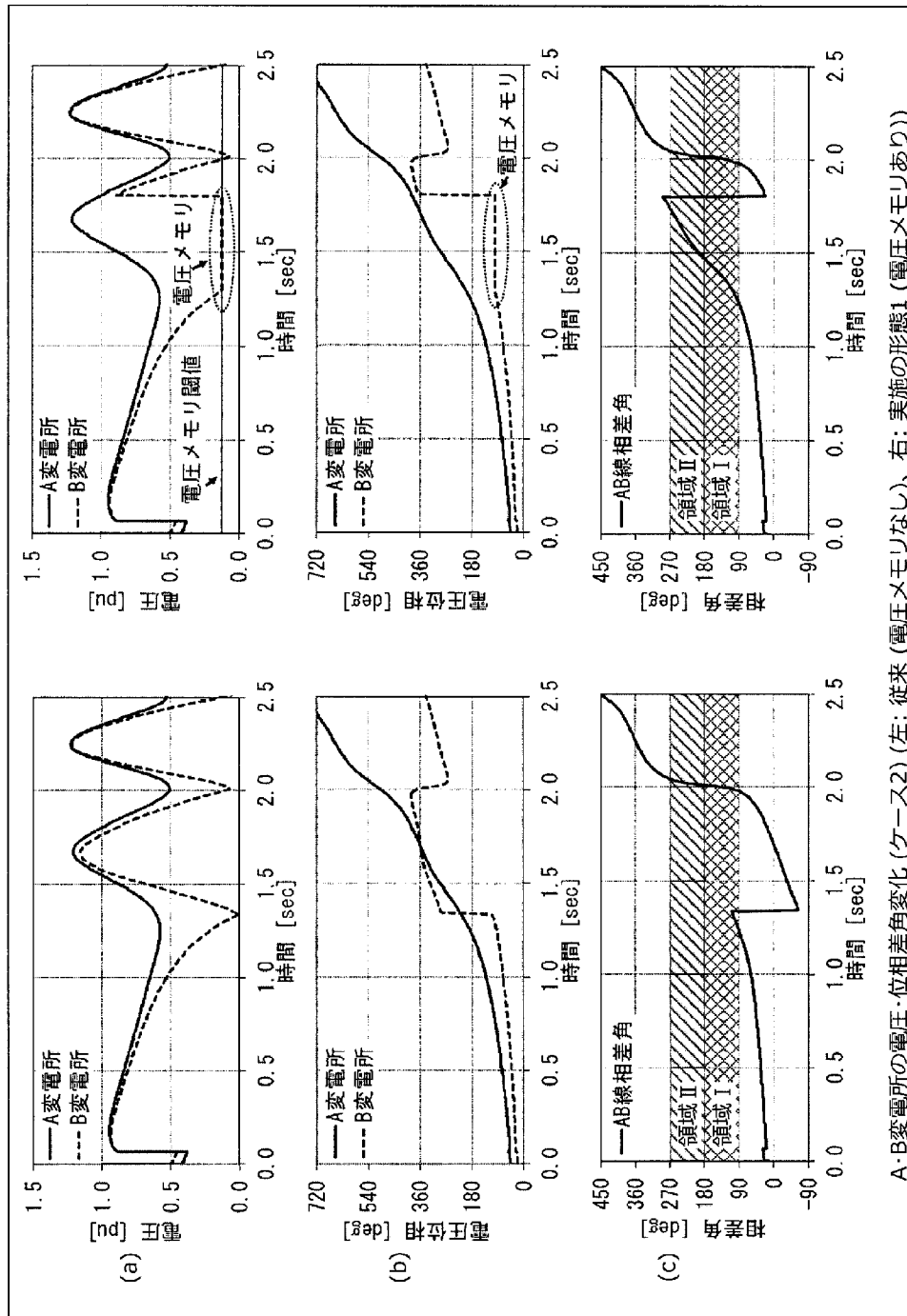


[図14]



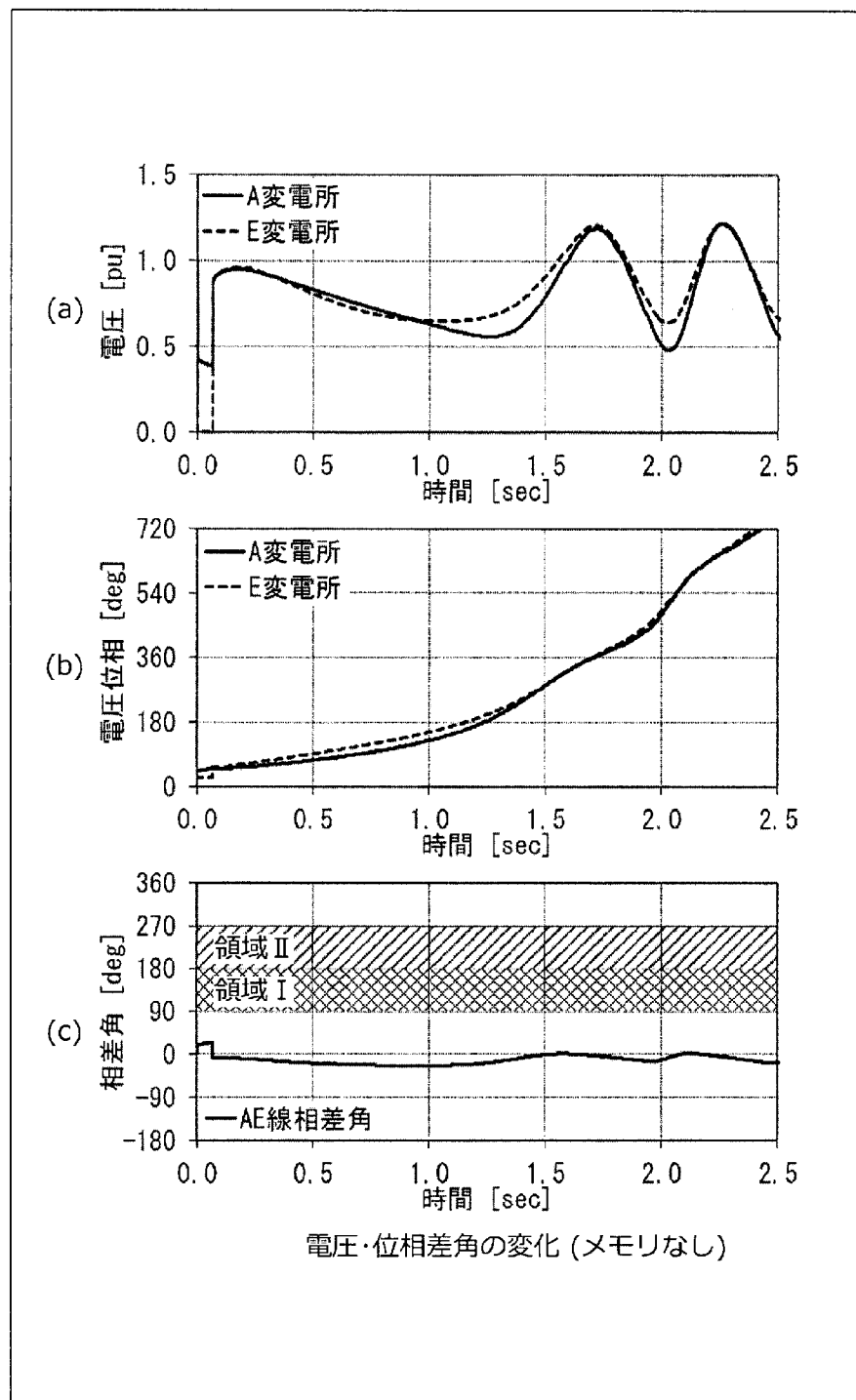
B・F変電所の電圧・位相差角変化 (ケース2) (左: 従来 (電圧メモリなし)、右: 実施の形態1 (電圧メモリあり))

[図15]

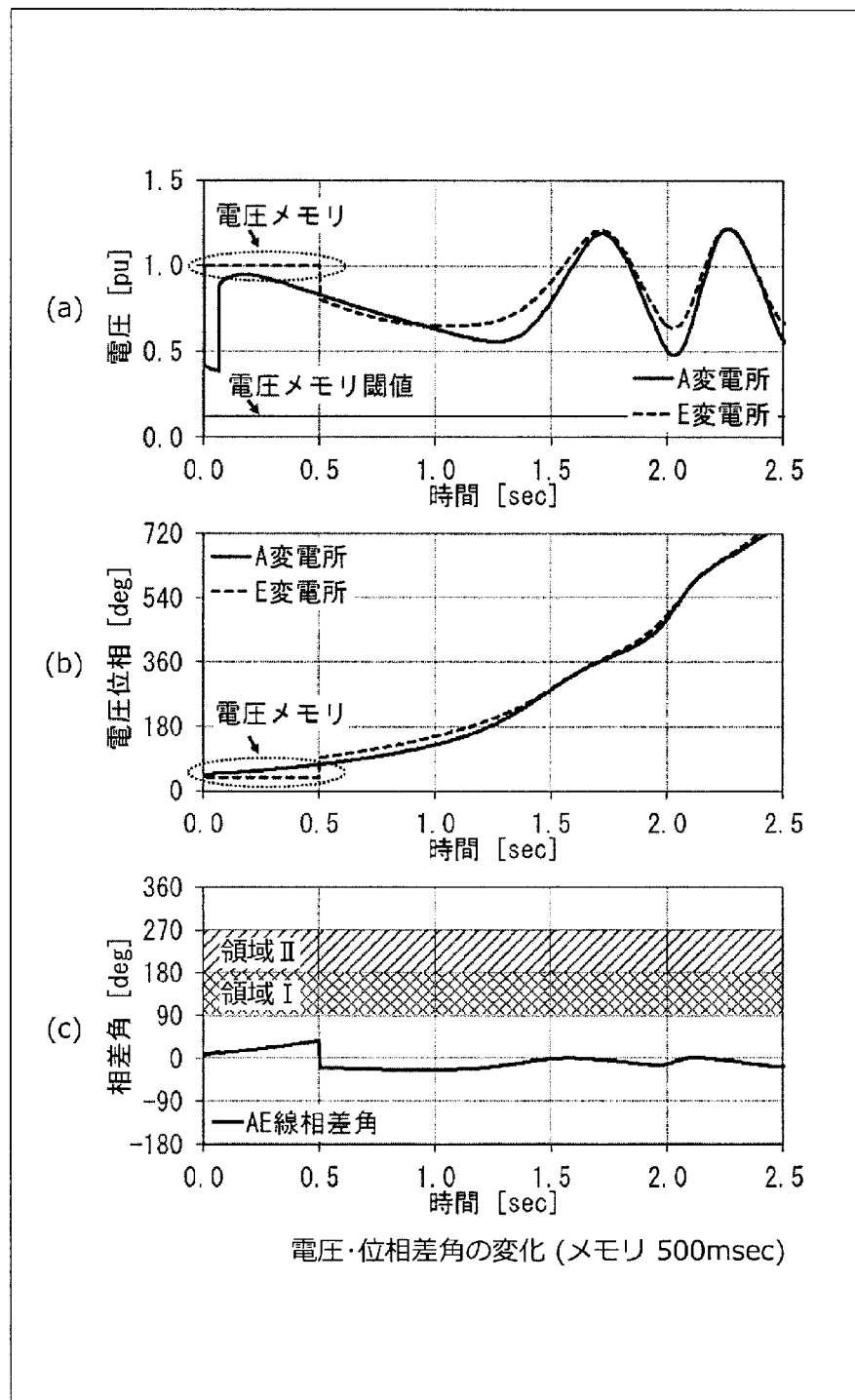


A・B変電所の電圧・位相差角変化 (ケース2) (左: 従来 (電圧メモリなし)、右: 実施の形態1 (電圧メモリあり))

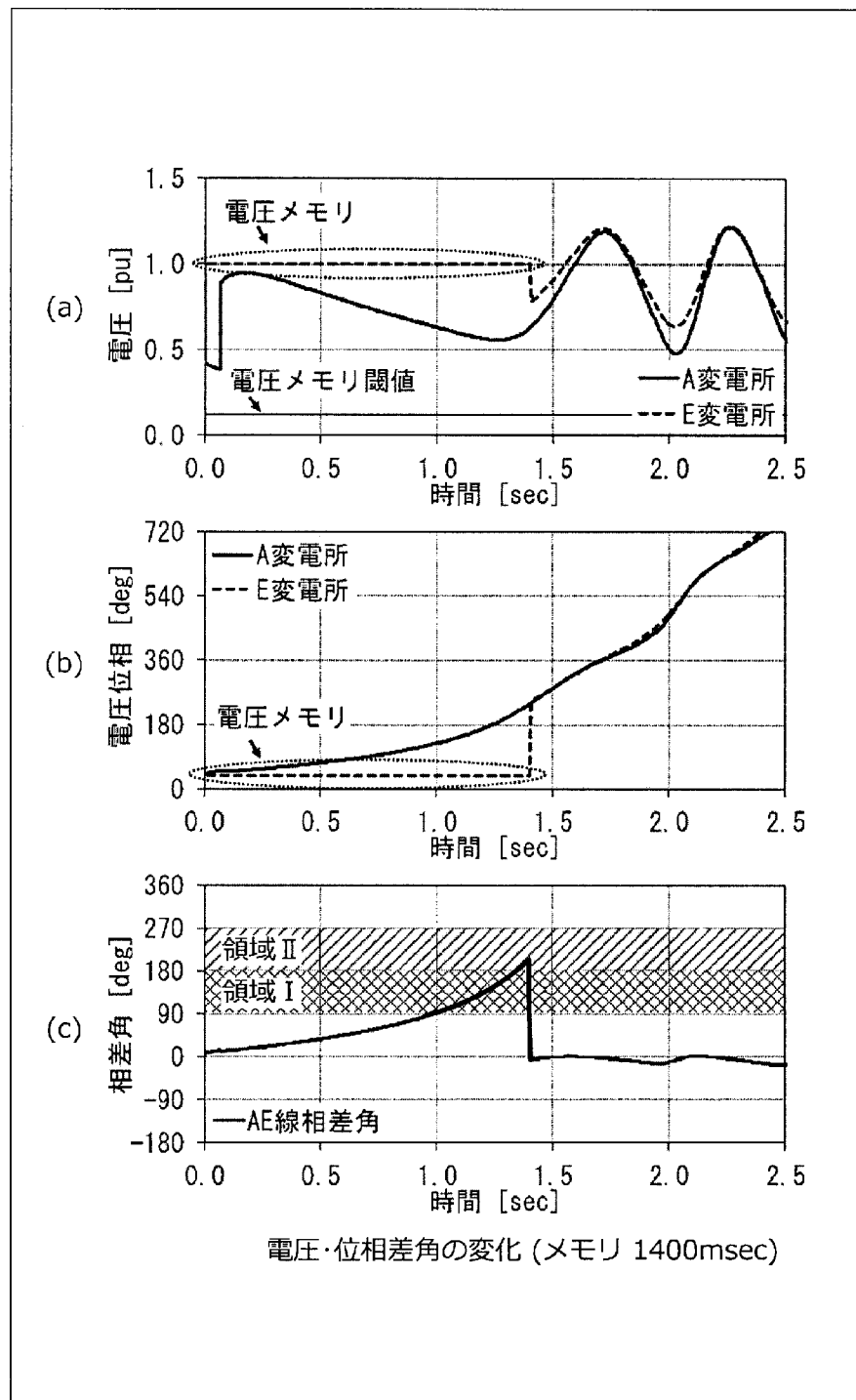
[図16]



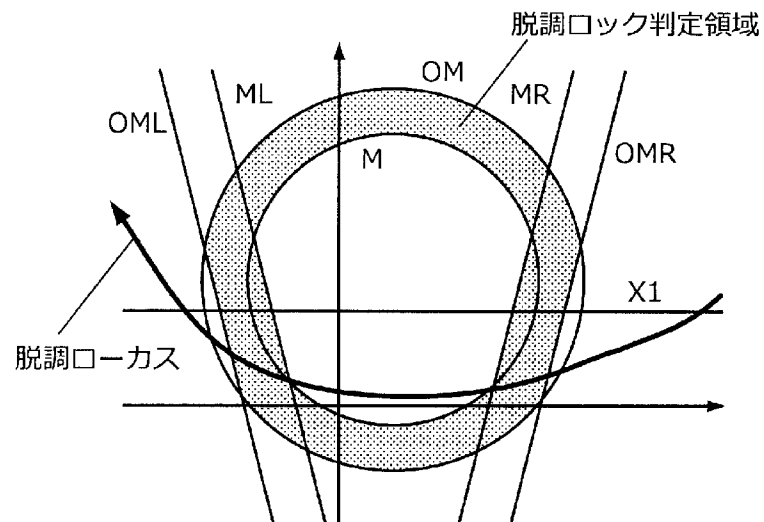
[図17]



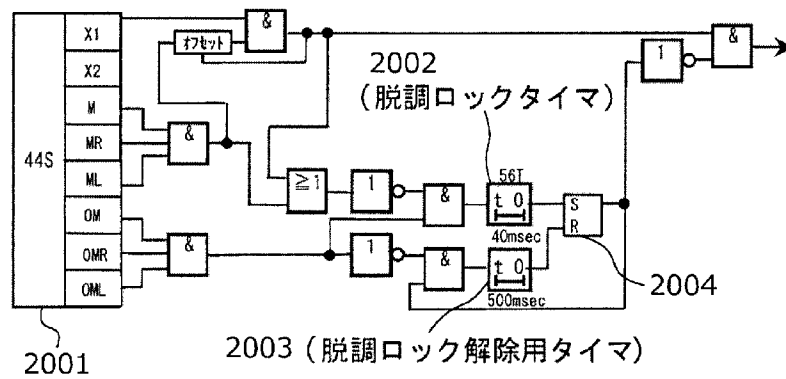
[図18]



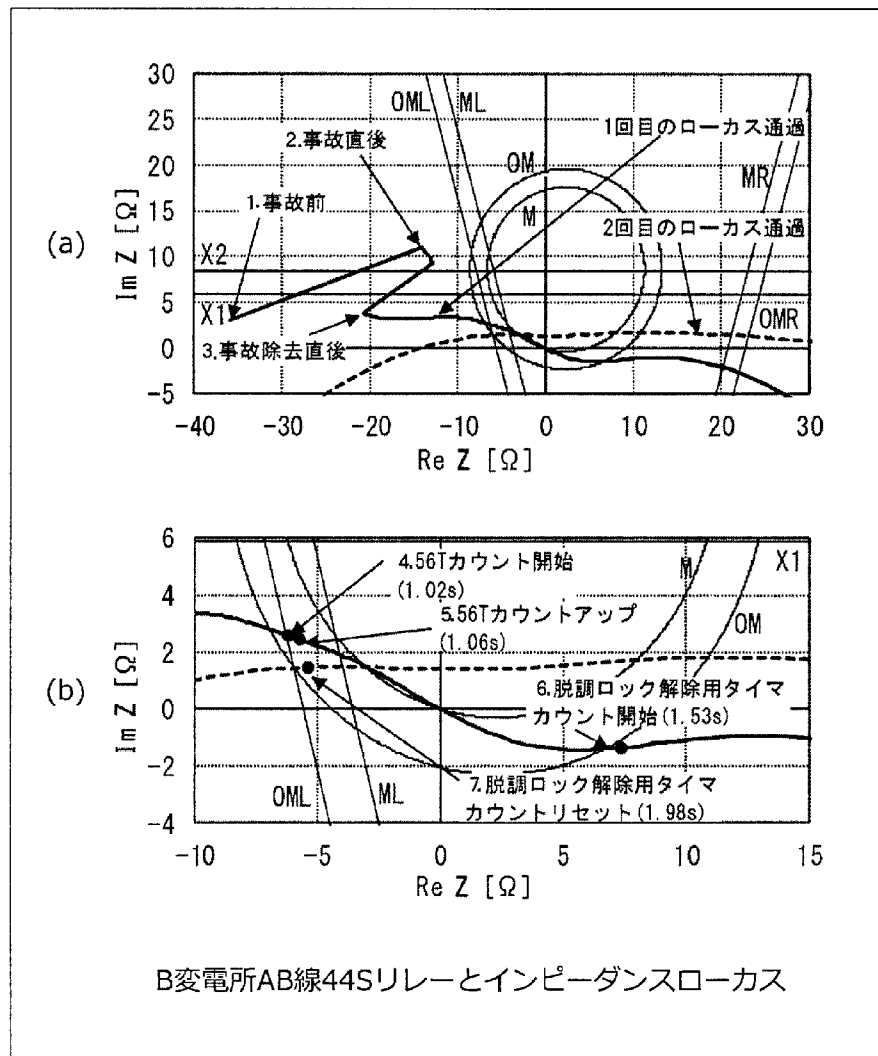
[図19]



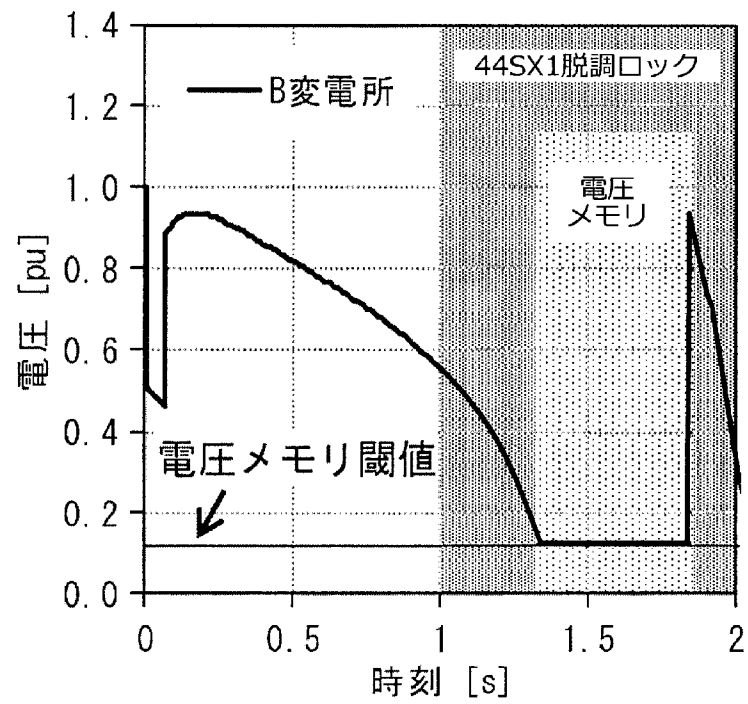
[図20]



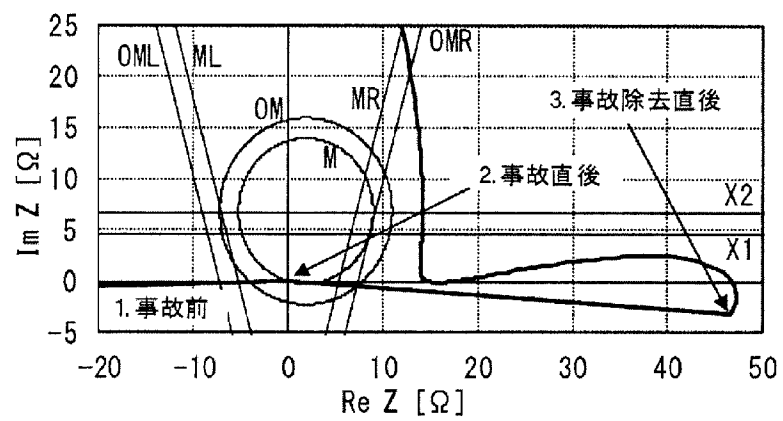
[図21]



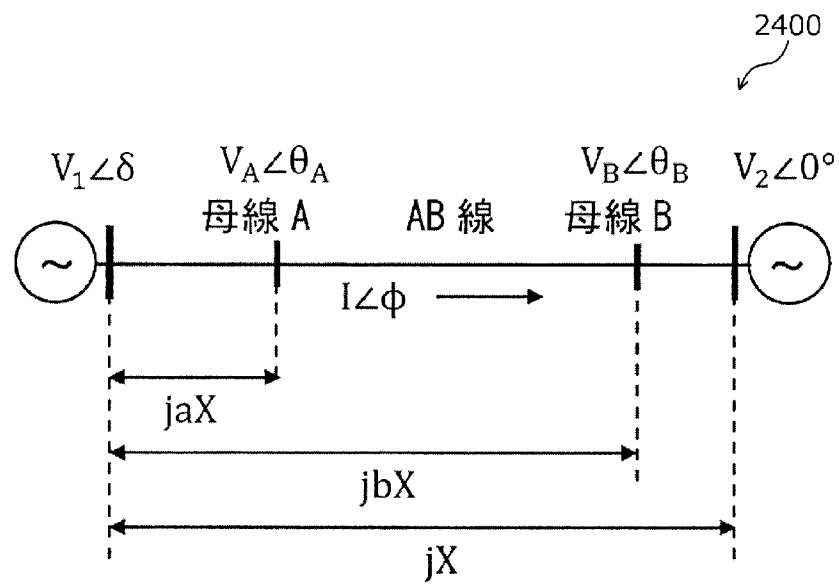
[図22]



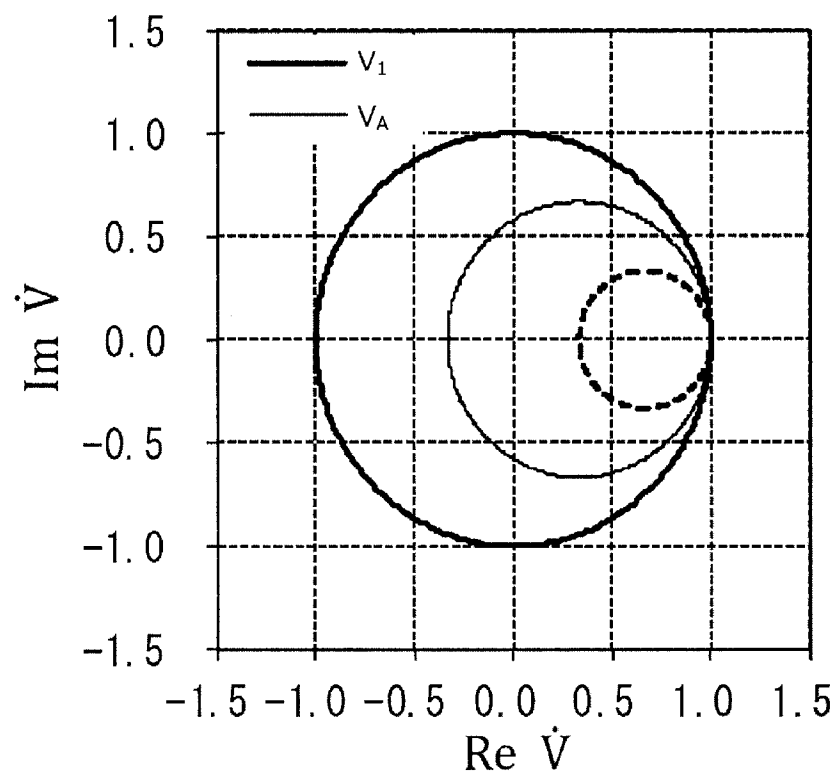
[図23]



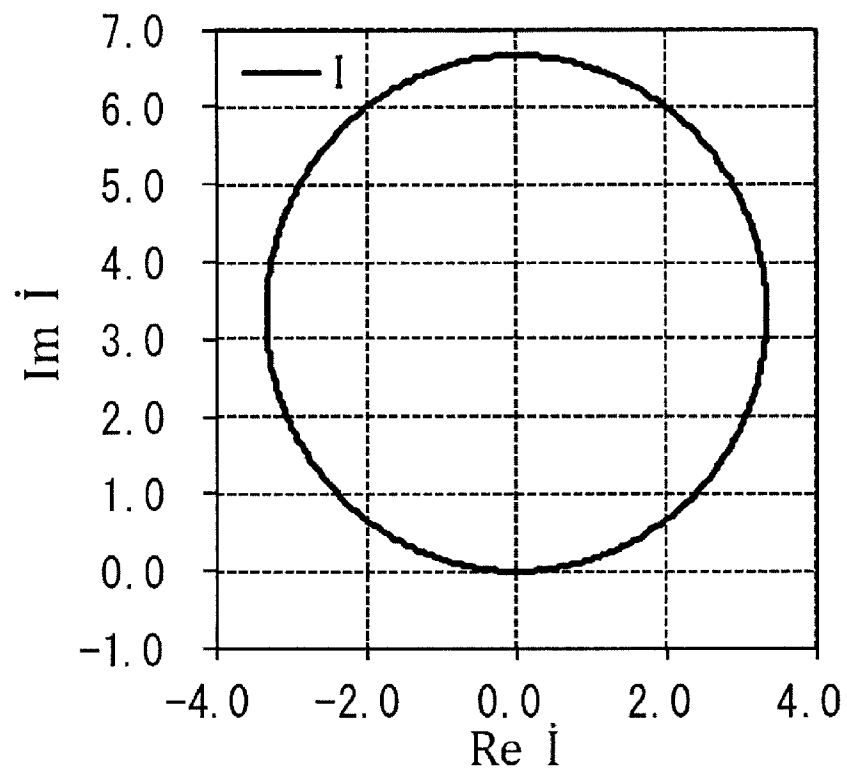
[図24]



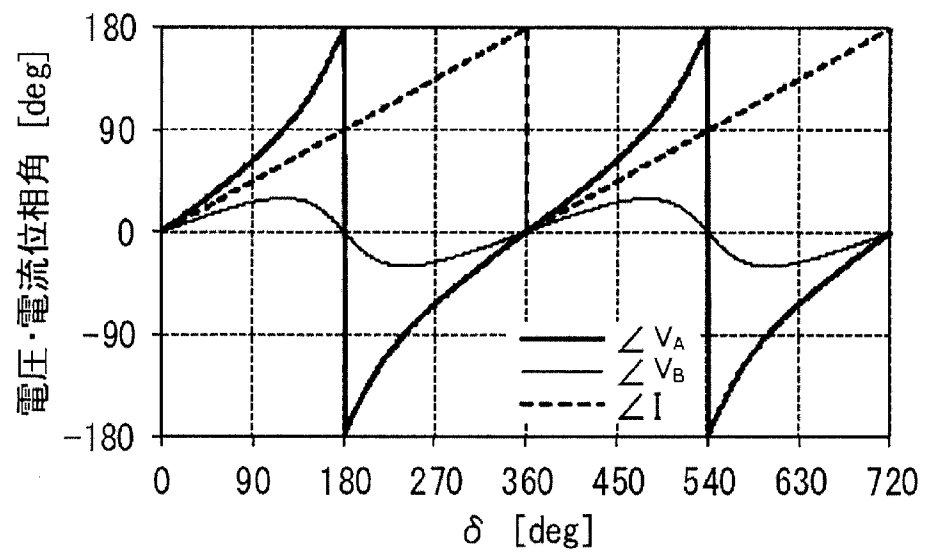
[図25]



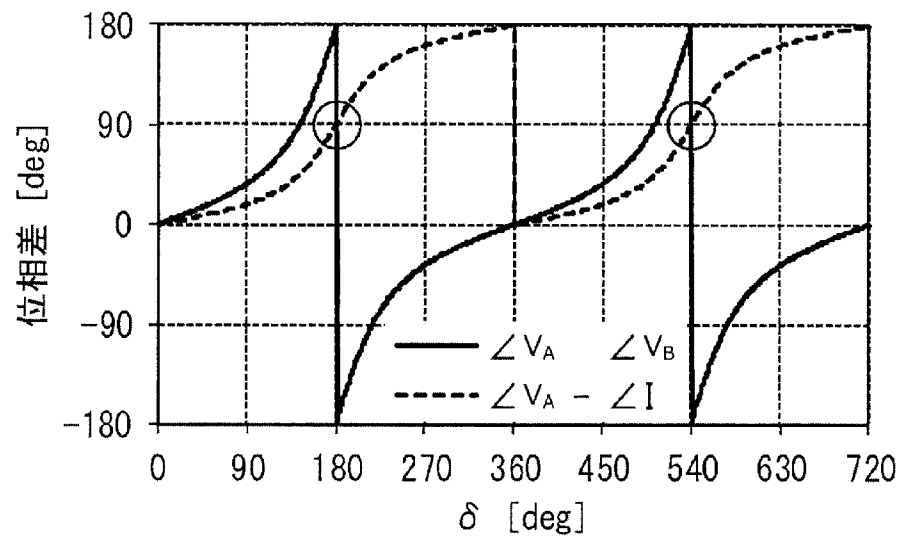
[図26]



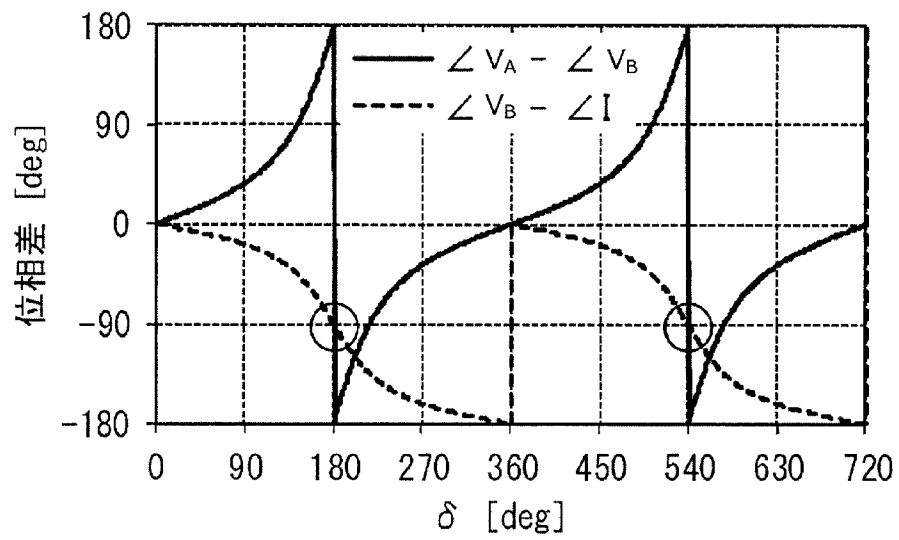
[図27]



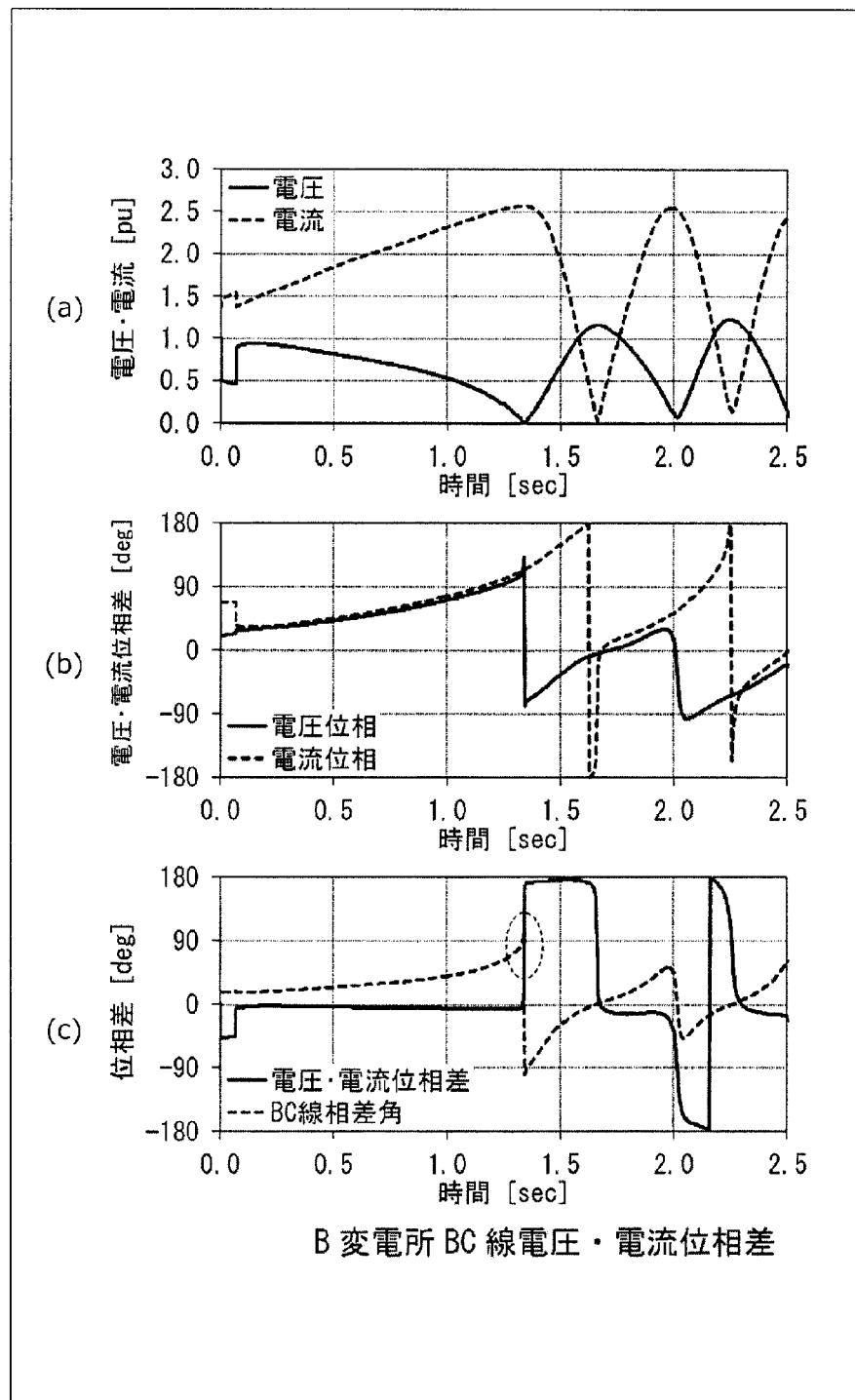
[図28]



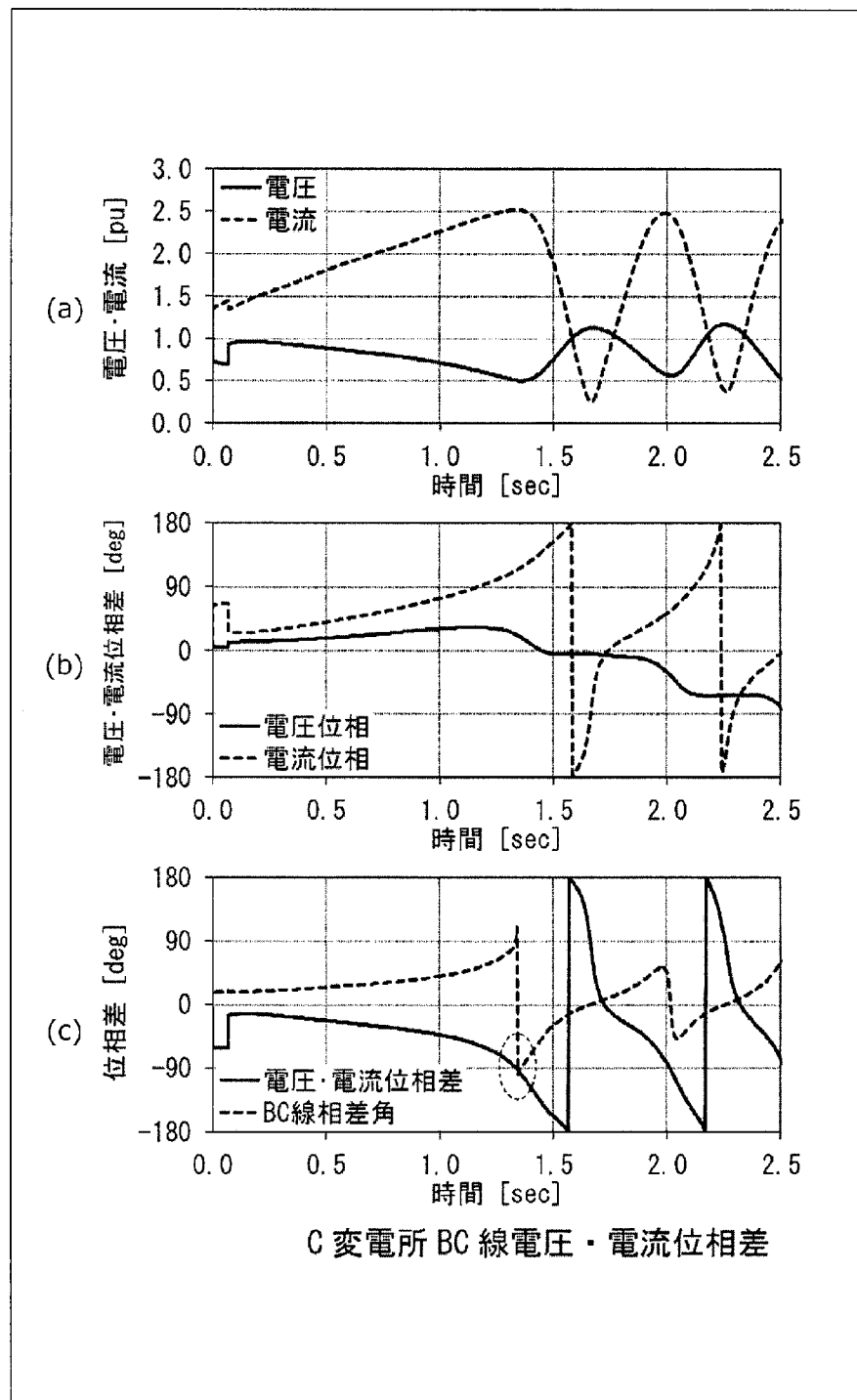
[図29]



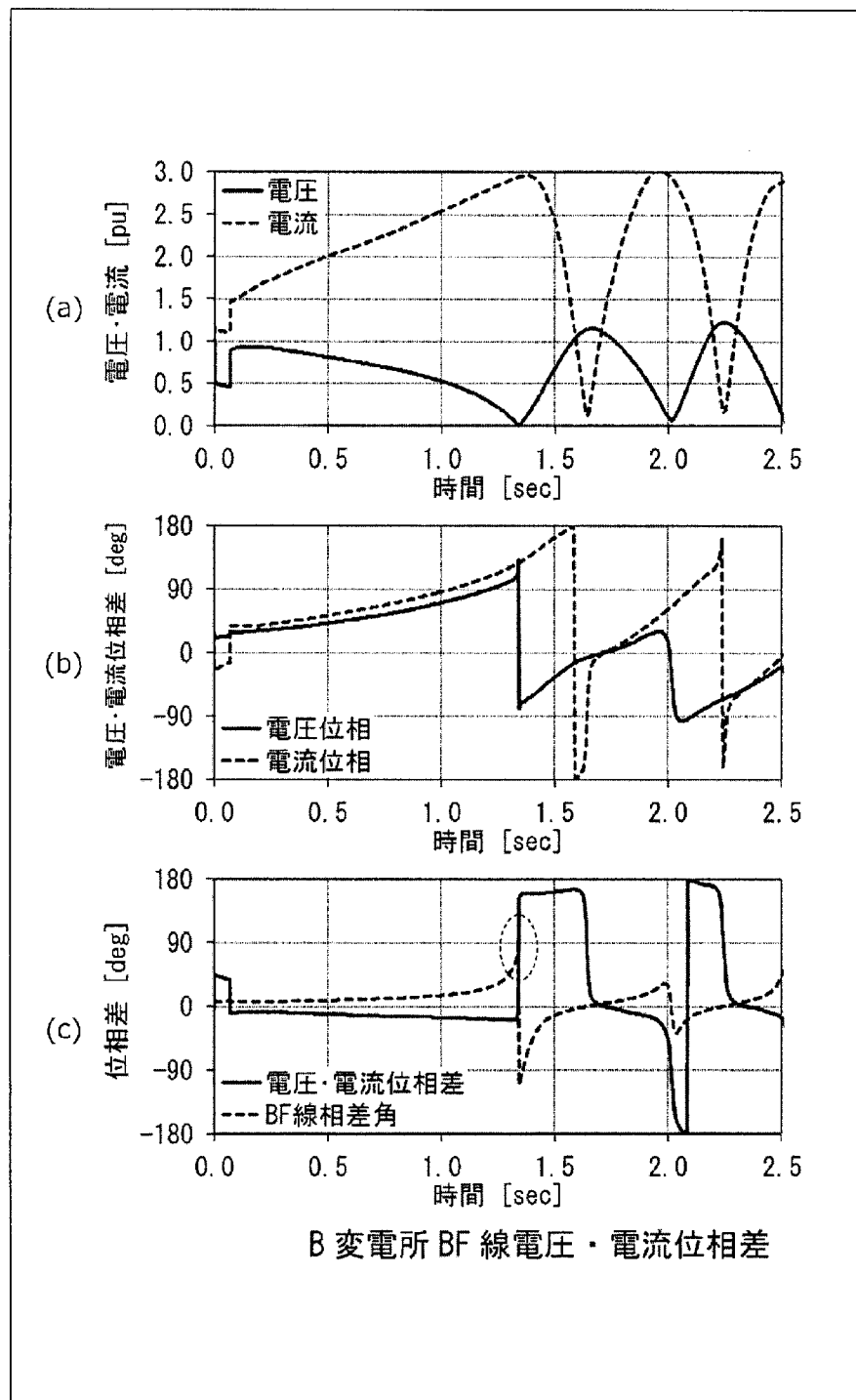
[図30]



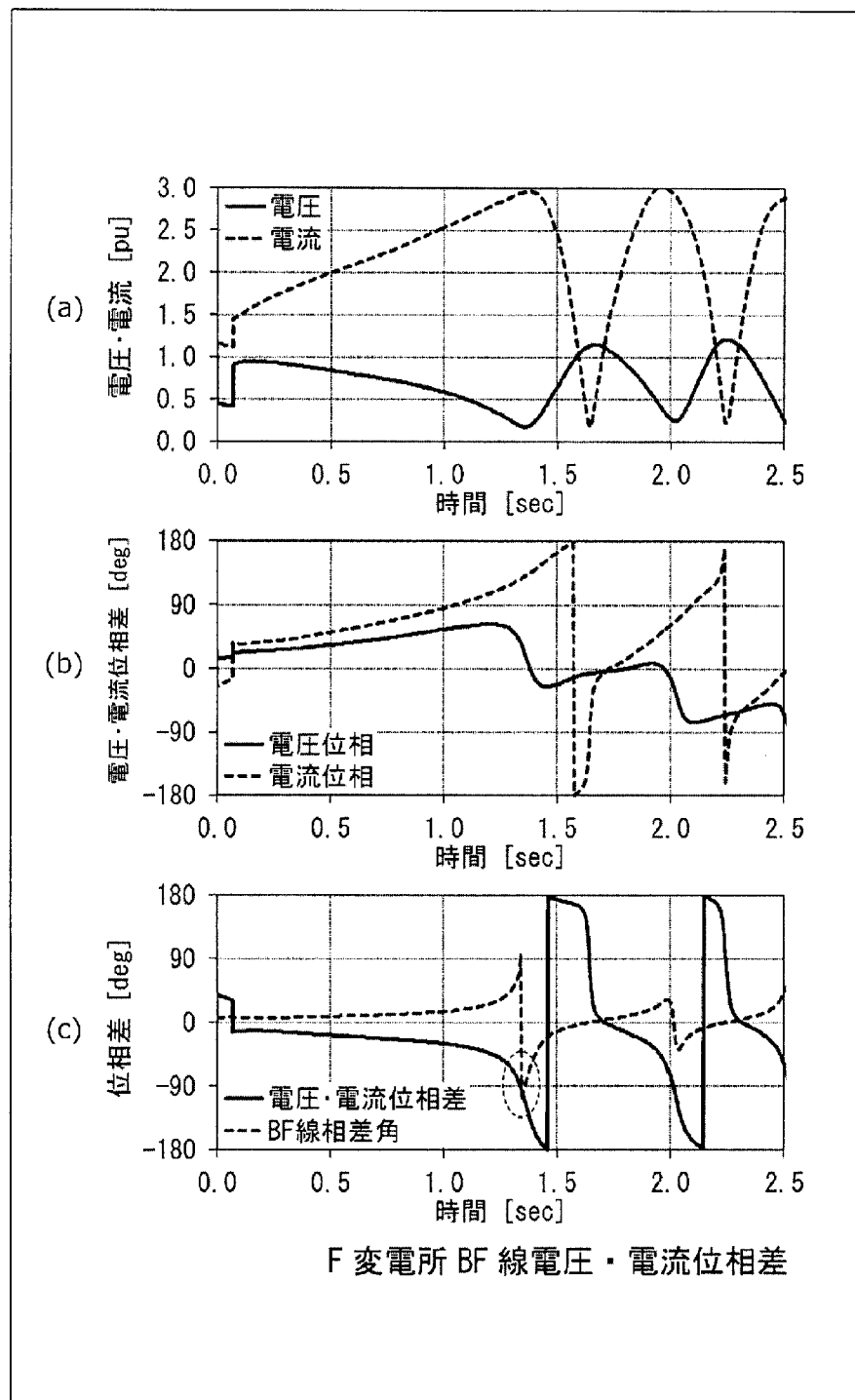
[図31]



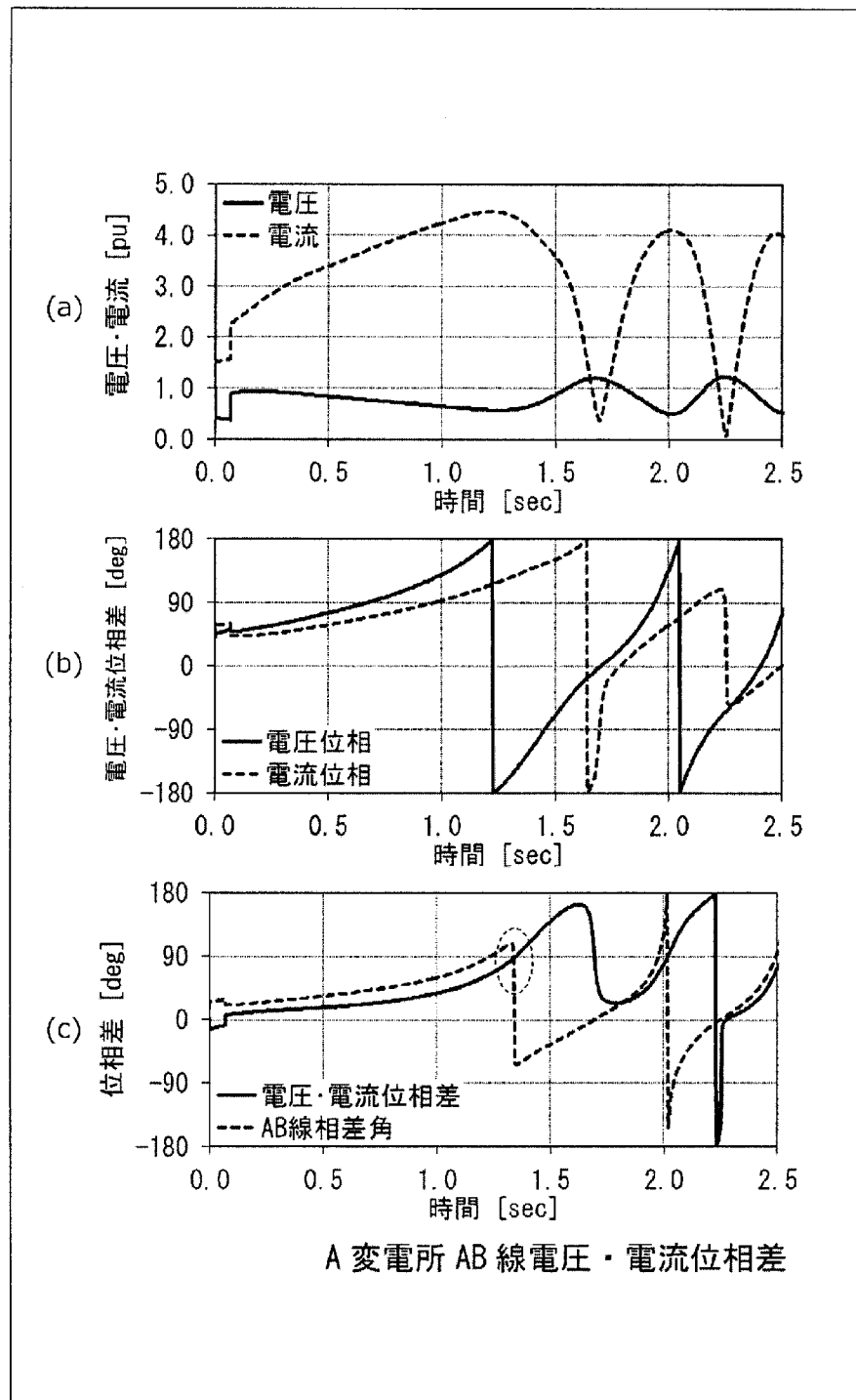
[図32]



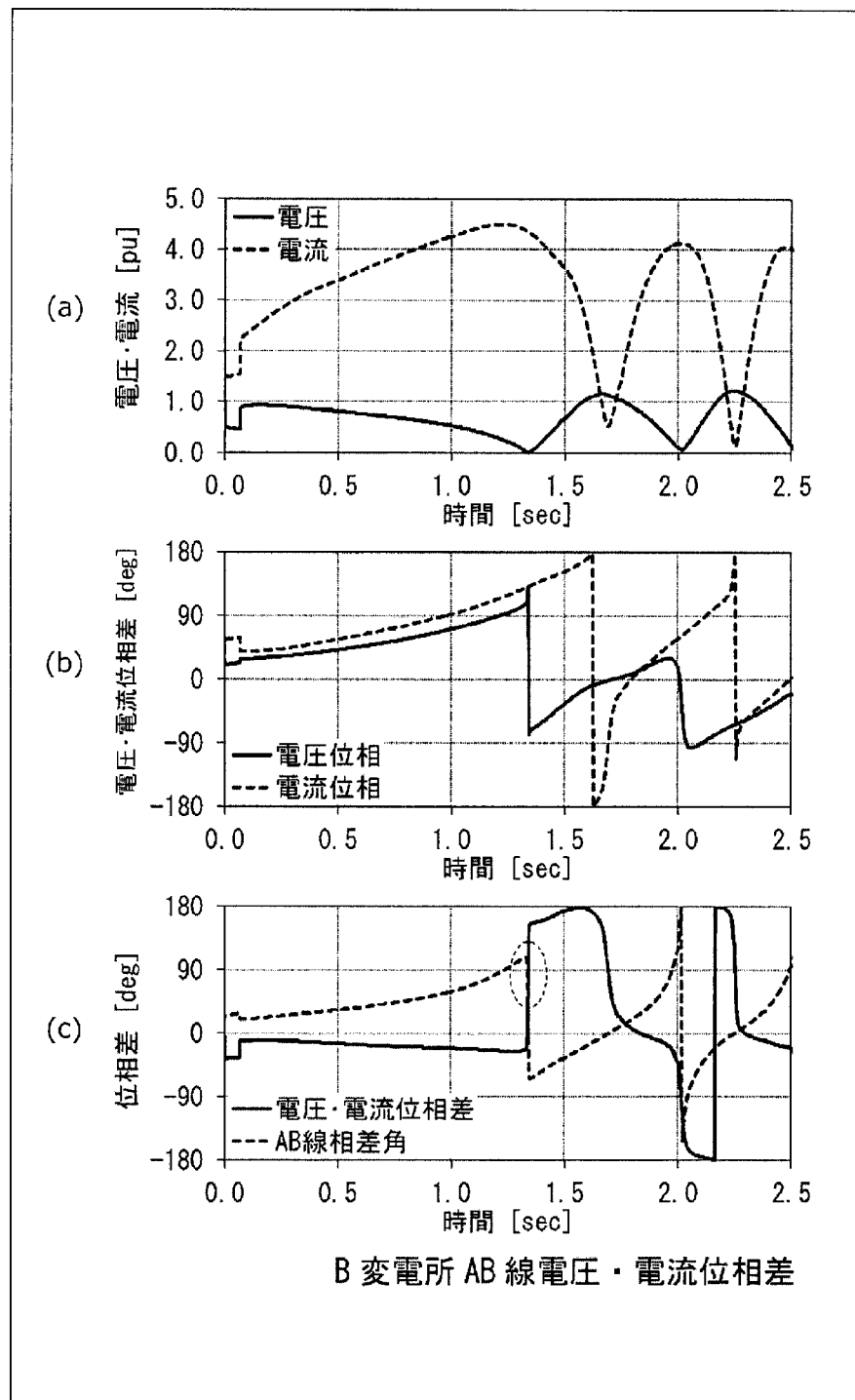
[図33]



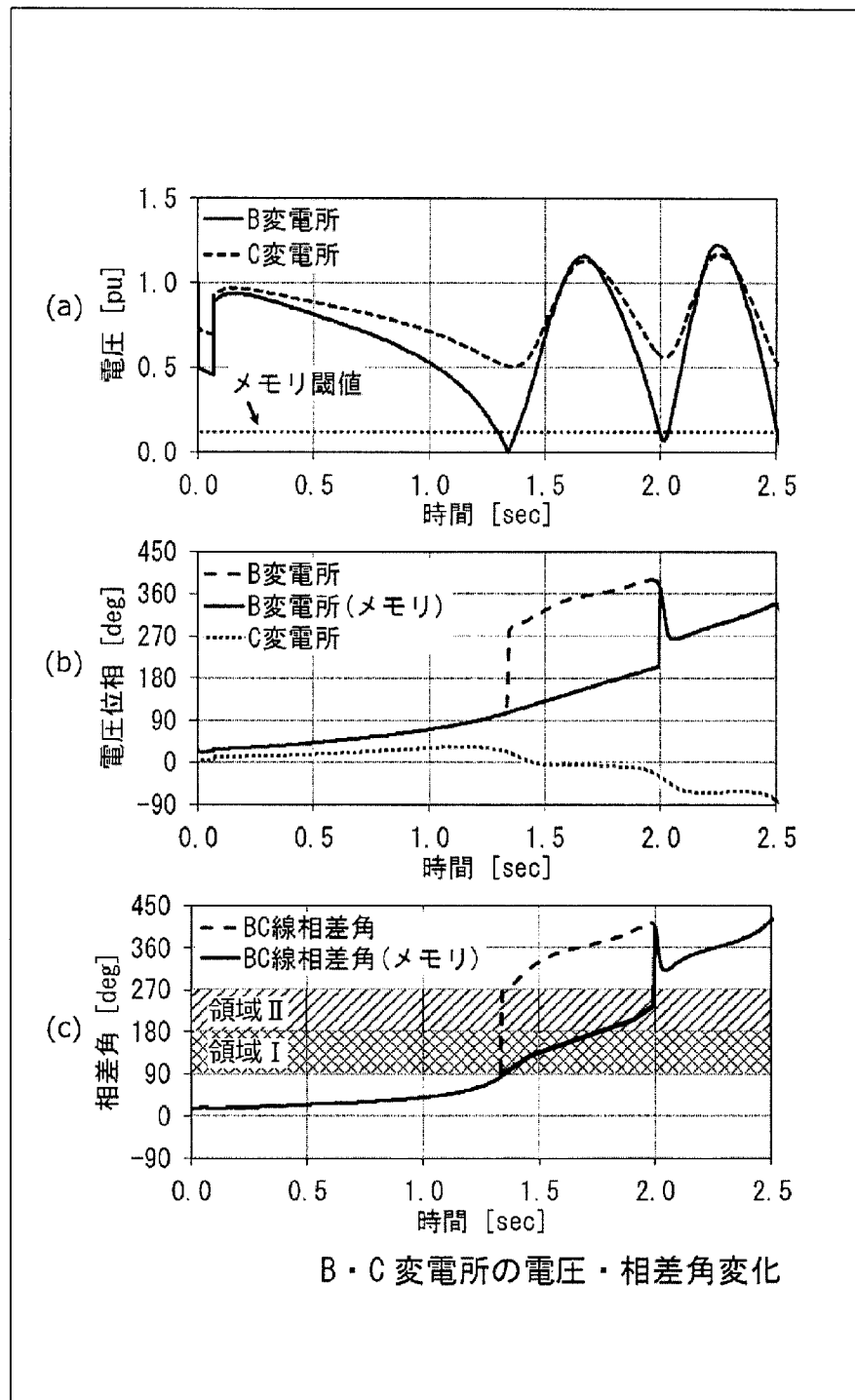
[図34]



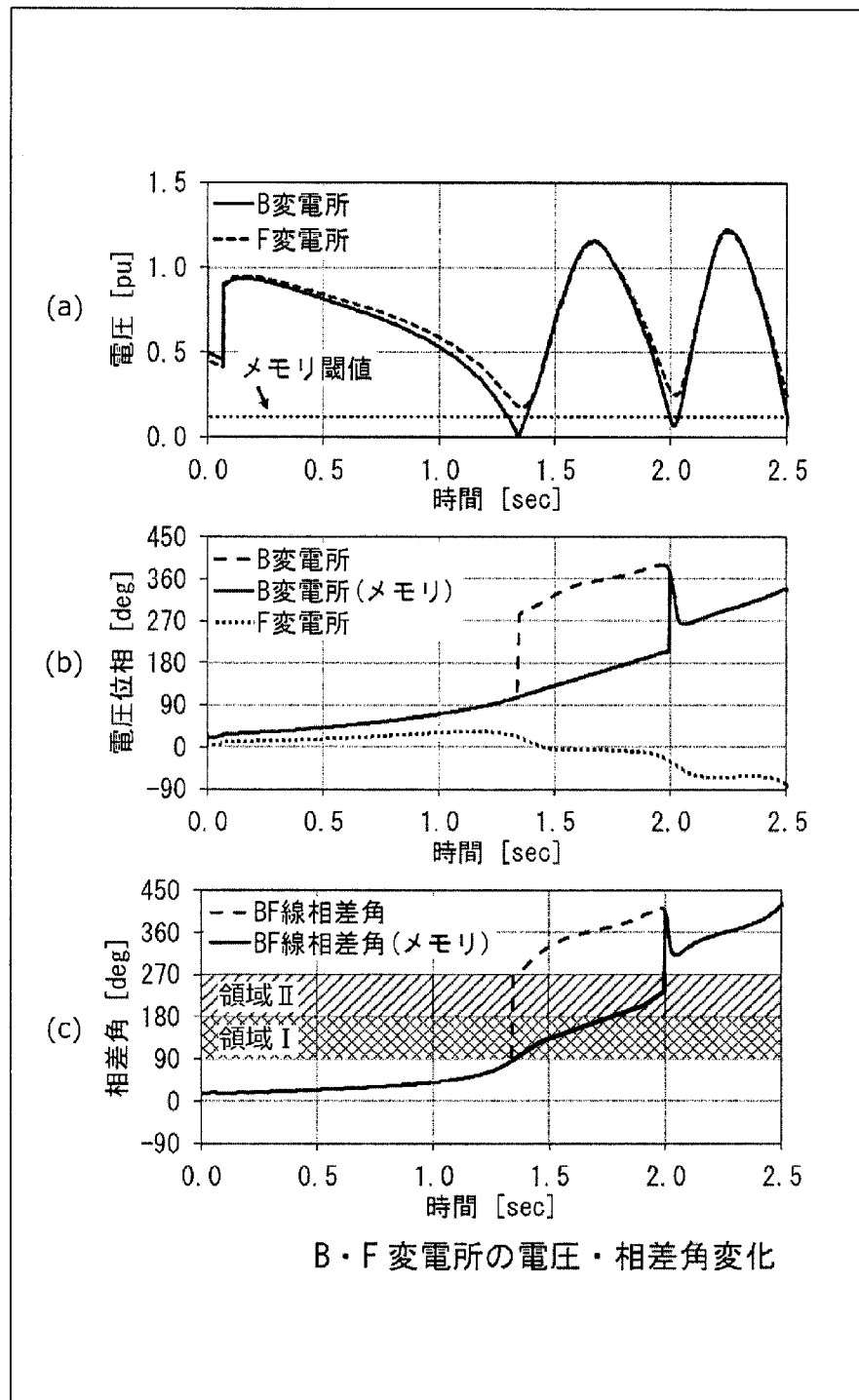
[図35]



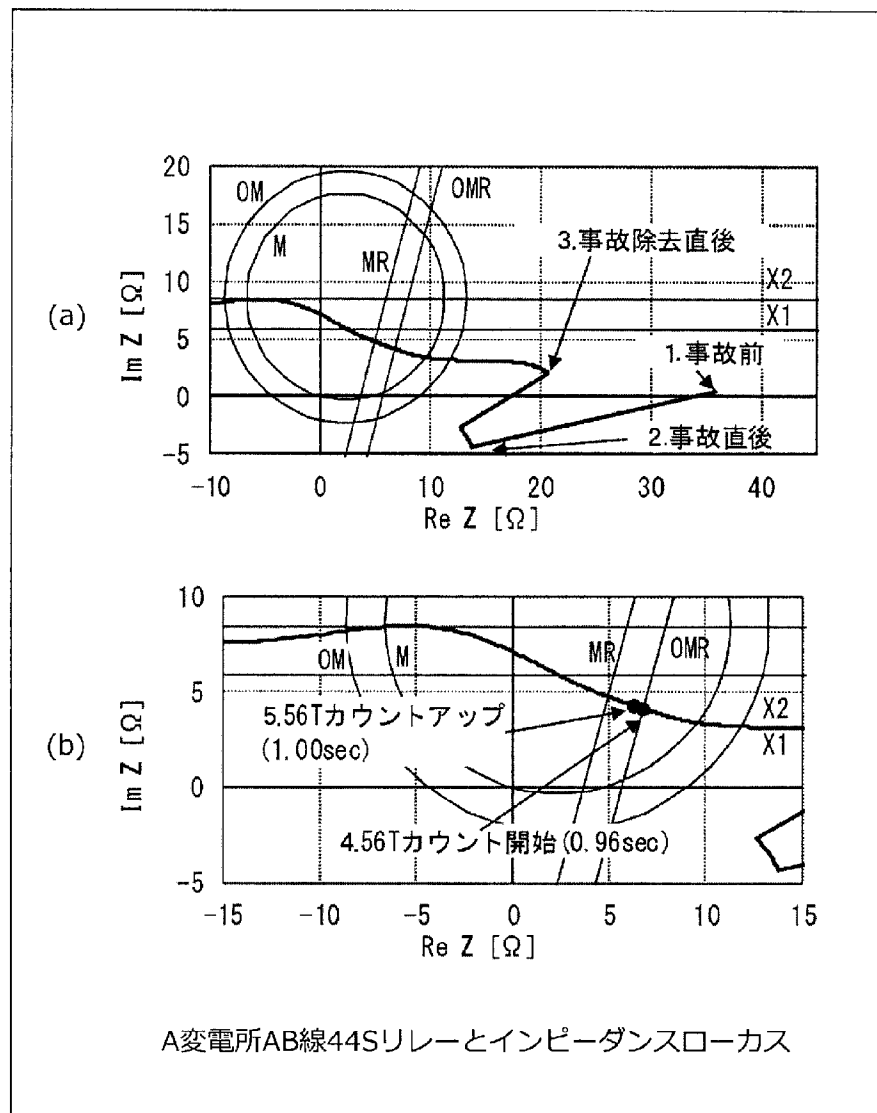
[図36]



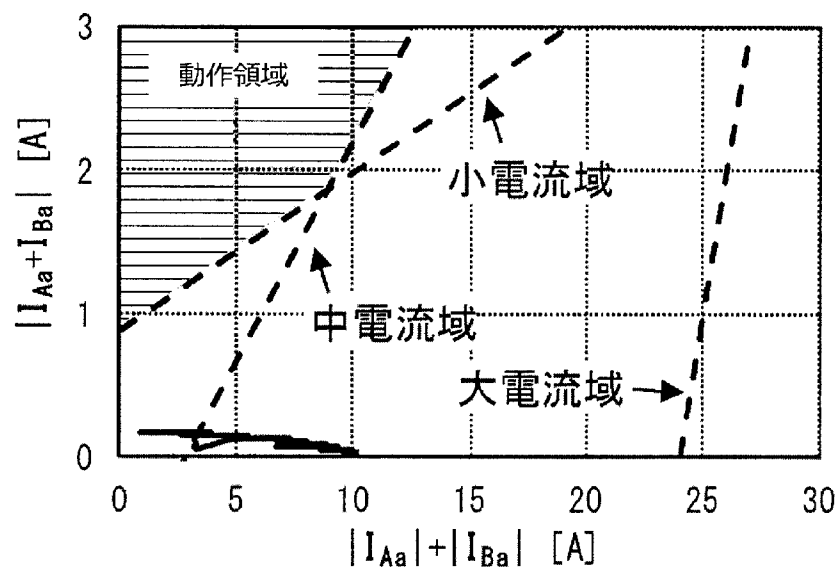
[図37]



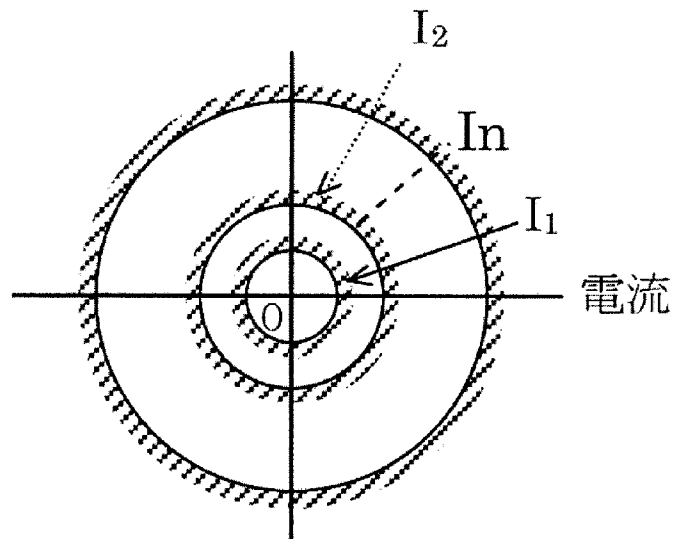
[図38]



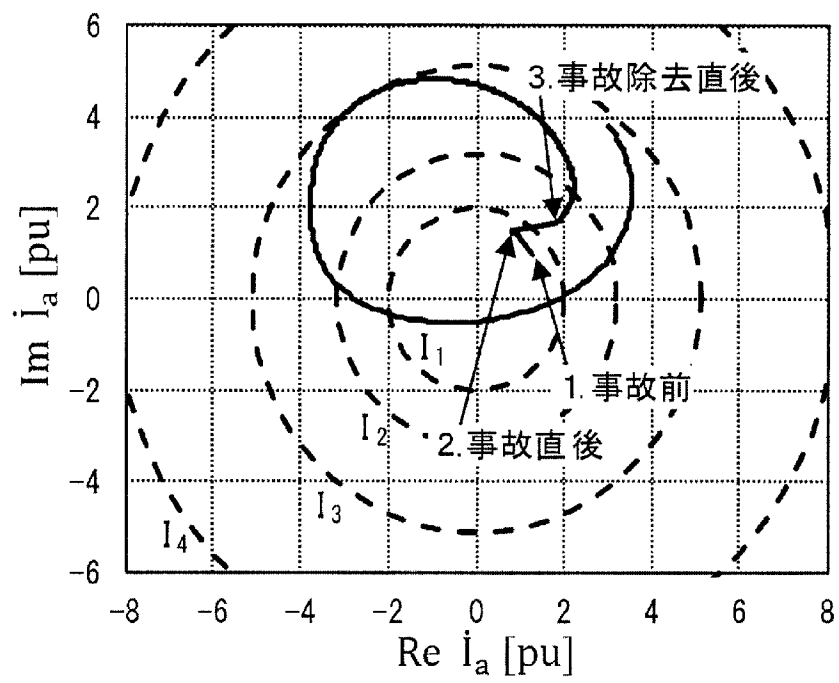
[図39]



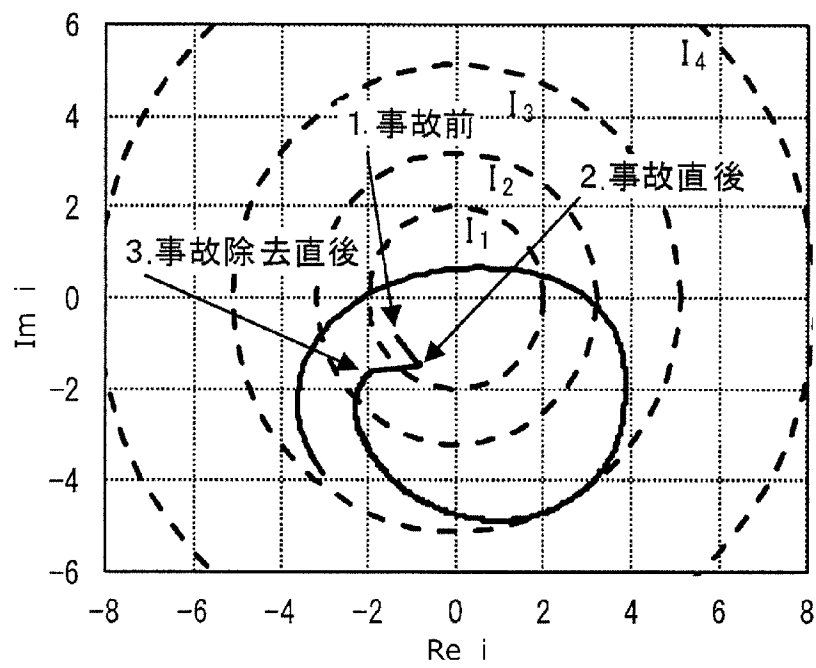
[図40]



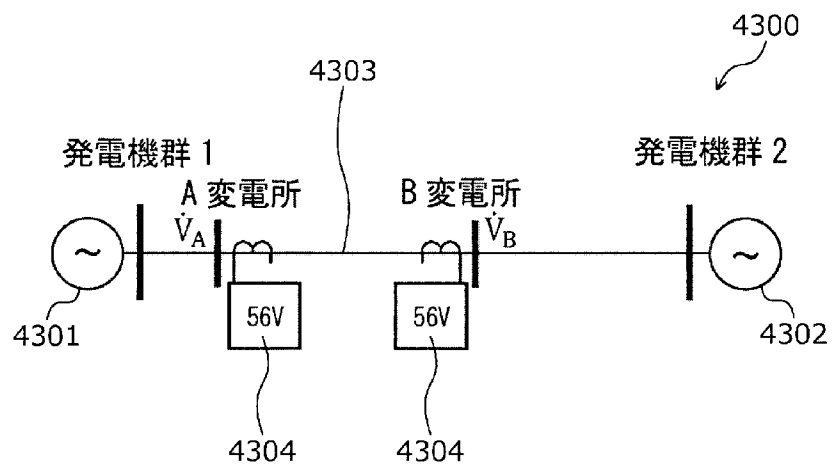
[図41]



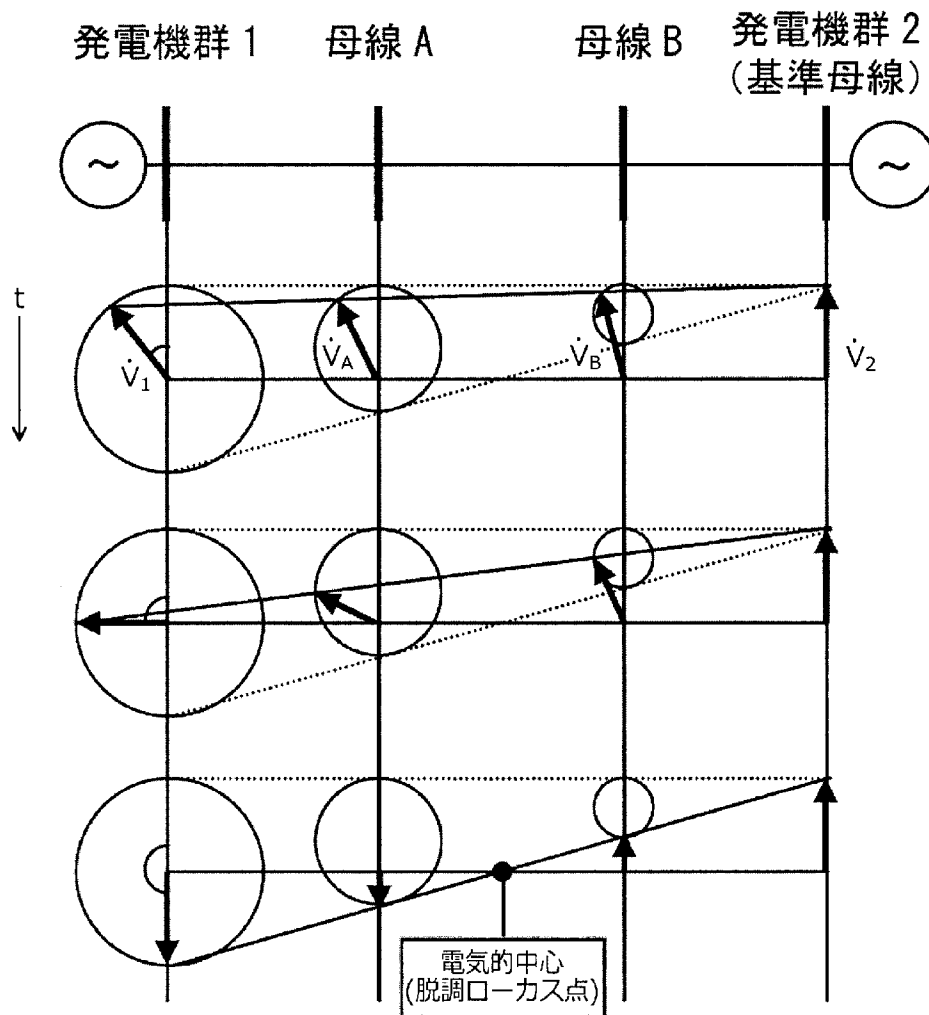
[図42]



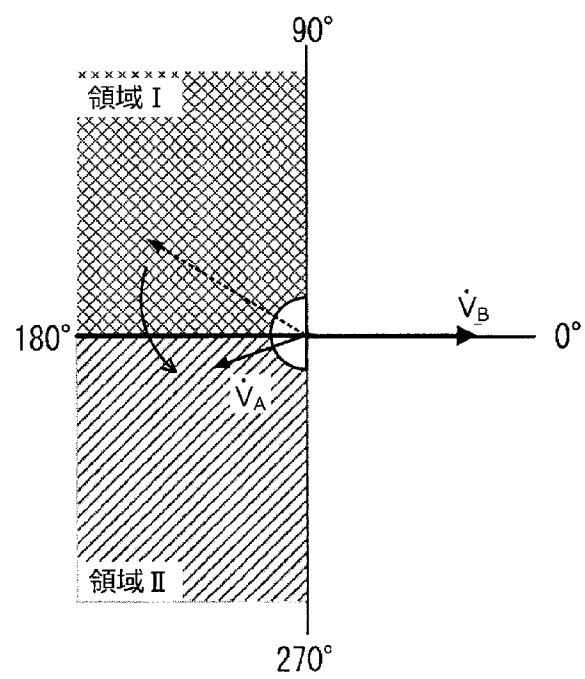
[図43]



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069707

A. CLASSIFICATION OF SUBJECT MATTER H02H3/26(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02H3/26		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-231156 A (The Kansai Electric Power Co., Inc., Toshiba Corp., Toshiba System Technology Corp.), 24 August 2001 (24.08.2001), entire text; all drawings (Family: none)	1-10
A	JP 2006-14416 A (Mitsubishi Electric Corp.), 12 January 2006 (12.01.2006), entire text; all drawings (Family: none)	1-10
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 August 2015 (28.08.15)		Date of mailing of the international search report 08 September 2015 (08.09.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H02H3/26(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H02H3/26			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
A	JP 2001-231156 A（関西電力株式会社、株式会社東芝、東芝システムテクノロジー株式会社）2001.08.24, 全文、全図 （ファミリーなし）	1-10	
A	JP 2006-14416 A（三菱電機株式会社）2006.01.12, 全文、全図 （ファミリーなし）	1-10	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 28.08.2015		国際調査報告の発送日 08.09.2015	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 田中 寛人 電話番号 03-3581-1101 内線 3568	5 T 4057