

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6788430号
(P6788430)

(45) 発行日 令和2年11月25日 (2020. 11. 25)

(24) 登録日 令和2年11月4日 (2020. 11. 4)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 7 K
HO 1 L 21/8242 (2006. 01)	HO 1 L 29/78 6 1 8 B
HO 1 L 27/108 (2006. 01)	HO 1 L 29/78 6 1 7 U
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/108 6 7 1 Z
HO 1 L 27/088 (2006. 01)	HO 1 L 27/108 3 2 1
請求項の数 9 (全 102 頁) 最終頁に続く	

(21) 出願番号	特願2016-163449 (P2016-163449)	(73) 特許権者	000153878
(22) 出願日	平成28年8月24日 (2016. 8. 24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2017-45989 (P2017-45989A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成29年3月2日 (2017. 3. 2)	(72) 発明者	笹川 慎也
審査請求日	令和1年8月22日 (2019. 8. 22)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2015-166557 (P2015-166557)		半導体エネルギー研究所内
(32) 優先日	平成27年8月26日 (2015. 8. 26)	(72) 発明者	浜田 崇
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	下村 明久
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	岡本 悟
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体と、第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 5 の導電体と、第 1 の絶縁体と、第 2 の絶縁体と、第 3 の絶縁体と、を有し、

前記第 2 の絶縁体は、開口部を有し、

前記酸化物半導体は、前記開口部の底面より露出され、

前記第 1 の絶縁体は、前記開口部の側面と接する領域を有し、

前記第 1 の導電体は、前記第 1 の絶縁体を介して前記開口部の側面と面する領域を有し

、

前記第 2 の導電体の側面の第 1 の領域は、前記第 1 の絶縁体と接する領域であり、

前記第 3 の導電体の側面の第 2 の領域は、前記第 1 の絶縁体と接する領域であり、

前記第 2 の導電体の底面及び側面の第 3 の領域は、前記第 4 の導電体と接する領域であり、

前記第 3 の導電体の底面及び側面の第 4 の領域は、前記第 5 の導電体と接する領域であり、

前記第 3 の絶縁体は、前記酸化物半導体と接する領域を有する、半導体装置。

【請求項 2】

請求項 1 において、前記第 3 の絶縁体は、前記酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有する、半導体装置。

【請求項 3】

10

20

半導体と、第1の導電体と、第2の導電体と、第3の導電体と、第4の導電体と、第5の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、

前記第2の絶縁体は、開口部を有し、

前記半導体は、前記開口部の底面より露出され、

前記第1の絶縁体は、前記開口部の側面と接する領域を有し、

前記第1の導電体は、前記第1の絶縁体を介して前記開口部の側面と面する領域を有し

、

前記第2の導電体の側面の第1の領域は、前記第1の絶縁体と接する領域であり、

前記第3の導電体の側面の第2の領域は、前記第1の絶縁体と接する領域であり、

前記第2の導電体の底面及び側面の第3の領域は、前記第4の導電体と接する領域であり、

前記第3の導電体の底面及び側面の第4の領域は、前記第5の導電体と接する領域であり、

前記第3の絶縁体は、前記半導体と接する領域を有する、半導体装置。

【請求項4】

請求項1乃至3のいずれかにおいて、前記第1の導電体は、トランジスタのゲート電極として機能する領域を有し、

前記トランジスタは、ゲート線幅が、3 nm以上60 nm以下である、半導体装置。

【請求項5】

請求項1乃至4のいずれかにおいて、互いに向かい合う、前記第2の導電体の端部と前記第3の導電体の端部との距離が、5 nm以上80 nm以下となる領域を有する、半導体装置。

【請求項6】

第1の絶縁体上に第2の絶縁体を成膜し、

前記第2の絶縁体上に酸化物半導体を成膜し、

前記酸化物半導体上に第3の絶縁体を成膜し、

前記第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、

前記レジストマスクをエッチングマスクとして、前記第3の絶縁体の一部をエッチングすることで、前記第3の絶縁体に、前記酸化物半導体の上面を露出する開口部を形成し、

前記第3の絶縁体上および前記酸化物半導体の露出部に第1の導電体を成膜し、

前記第1の導電体上に第2の導電体を成膜し、

前記第2の導電体および前記第1の導電体を研磨することで、前記第3の絶縁体を露出させ、前記第3の絶縁体の露出部をエッチングし、

前記第1の導電体および前記第2の導電体をエッチングマスクとして、前記酸化物半導体および前記第2の絶縁体を前記第1の絶縁体が露出するまでエッチングし、

前記第1の絶縁体上、前記第1の導電体上および前記第2の導電体上に第4の絶縁体を成膜し、

前記第4の絶縁体に、前記第2の導電体を露出する開口部を形成し、

前記第2の導電体に、前記第1の導電体を露出する開口部を形成することで前記第2の導電体を第1の導電体層と第2の導電体層に分離し、

前記第1の導電体に前記酸化物半導体を露出する開口部を形成することで前記第1の導電体を第3の導電体層と第4の導電体層に分離し、

前記第4の絶縁体上および前記酸化物半導体上に第5の絶縁体を成膜し、

前記第5の絶縁体上に第3の導電体を成膜し、

前記第3の導電体および前記第5の絶縁体を研磨することで前記第4の絶縁体を露出し

、

前記第2の絶縁体は、前記酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有する、半導体装置の作製方法。

【請求項7】

第1の絶縁体上に第2の絶縁体を成膜し、

前記第2の絶縁体上に酸化物半導体を成膜し、
前記酸化物半導体上に第3の絶縁体を成膜し、
前記第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、
前記レジストマスクをエッチングマスクとして、前記第3の絶縁体の一部をエッチング
することで、前記第3の絶縁体に、前記酸化物半導体の上面を露出する開口部を形成し、
前記第3の絶縁体上および前記酸化物半導体の露出部に第1の導電体を成膜し、
前記第1の導電体上に第2の導電体を成膜し、
前記第2の導電体および前記第1の導電体を研磨することで、前記第3の絶縁体を露出
させ、

前記第3の絶縁体の露出部をエッチングし、

10

前記第1の導電体および前記第2の導電体をエッチングマスクとして、前記酸化物半導
体および前記第2の絶縁体を前記第1の絶縁体が露出するまでエッチングし、

前記第1の絶縁体上、前記第1の導電体上および前記第2の導電体上に第4の絶縁体を
成膜し、

前記第4の絶縁体に、前記第2の導電体を露出する開口部を形成し、

前記第2の導電体に、前記第1の導電体を露出する開口部を形成することで前記第2の
導電体を第1の導電体層と第2の導電体層に分離し、

前記第1の導電体に前記酸化物半導体を露出する開口部を形成することで前記第1の導
電体を第3の導電体層と第4の導電体層に分離し、

前記第4の絶縁体上および前記酸化物半導体上に第5の絶縁体を成膜し、

20

前記第5の絶縁体上に第6の絶縁体を成膜し、

前記第6の絶縁体上に第3の導電体を成膜し、

前記第3の導電体、前記第6の絶縁体および前記第5の絶縁体を研磨することで前記第
4の絶縁体を露出し、

前記第2の絶縁体は、前記酸化物半導体の有する酸素以外の主成分元素の少なくとも一
を有する、半導体装置の作製方法。

【請求項8】

第1の絶縁体上に第2の絶縁体を成膜し、

前記第2の絶縁体上に酸化物半導体を成膜し、

前記酸化物半導体上に第1の導電体を成膜し、

30

前記第1の導電体上に第3の絶縁体を成膜し、

前記第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、

前記レジストマスクをエッチングマスクとして、前記第3の絶縁体の一部をエッチング
することで、前記第3の絶縁体に、前記第1の導電体の上面を露出する開口部を形成し、

前記第3の絶縁体上および少なくとも露出された前記第1の導電体上に第2の導電体を
成膜し、

前記第2の導電体を研磨することで、前記第3の絶縁体を露出させ、前記第3の絶縁体
の露出部および前記第1の導電体の一部をエッチングし、

前記第1の導電体および前記第2の導電体をエッチングマスクとして、前記酸化物半導
体および前記第2の絶縁体を前記第1の絶縁体が露出するまでエッチングし、

40

前記第1の絶縁体上および前記第2の導電体上に第4の絶縁体を成膜し、

前記第4の絶縁体に、前記第2の導電体を露出する開口部を形成し、

前記第2の導電体に、前記第1の導電体を露出する開口部を形成することで前記第2の
導電体を第1の導電体層と第2の導電体層に分離し、

前記第1の導電体に前記酸化物半導体を露出する開口部を形成することで前記第1の導
電体を第3の導電体層と第4の導電体層に分離し、

前記第4の絶縁体上および前記酸化物半導体上に第5の絶縁体を成膜し、

前記第5の絶縁体上に第3の導電体を成膜し、

前記第3の導電体および前記第5の絶縁体を研磨することで前記第4の絶縁体を露出し

50

前記第2の絶縁体は、前記酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有する、半導体装置の作製方法。

【請求項9】

第1の絶縁体上に第2の絶縁体を成膜し、
前記第2の絶縁体上に酸化物半導体を成膜し、
前記酸化物半導体上に第1の導電体を成膜し、
前記第1の導電体上に第3の絶縁体を成膜し、
前記第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、
前記レジストマスクをエッチングマスクとして、前記第3の絶縁体の一部をエッチング
することで、前記第3の絶縁体に、前記第1の導電体の上面を露出する開口部を形成し、
前記第3の絶縁体上および少なくとも露出された前記第1の導電体上に第2の導電体を
成膜し、

10

前記第2の導電体を研磨することで、前記第3の絶縁体を露出させ、前記第3の絶縁体の
露出部および前記第1の導電体の一部をエッチングし、

前記第1の導電体および前記第2の導電体をエッチングマスクとして、前記酸化物半導
体および前記第2の絶縁体を前記第1の絶縁体が露出するまでエッチングし、

前記第1の絶縁体上および前記第2の導電体上に第4の絶縁体を成膜し、

前記第4の絶縁体に、前記第2の導電体を露出する開口部を形成し、

前記第2の導電体に、前記第1の導電体を露出する開口部を形成することで前記第2の
導電体を第1の導電体層と第2の導電体層に分離し、

20

前記第1の導電体に前記酸化物半導体を露出する開口部を形成することで前記第1の導
電体を第3の導電体層と第4の導電体層に分離し、

前記第4の絶縁体上および前記酸化物半導体上に第5の絶縁体を成膜し、

前記第5の絶縁体上に第6の絶縁体を成膜し、

前記第6の絶縁体上に第3の導電体を成膜し、

前記第3の導電体、前記第6の絶縁体および前記第5の絶縁体を研磨することで前記第
4の絶縁体を露出し、

前記第2の絶縁体は、前記酸化物半導体の有する酸素以外の主成分元素の少なくとも一
を有する、半導体装置の作製方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、例えば、トランジスタおよび半導体装置、ならびにそれらの製造方法に関する。
または、本発明は、例えば、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プ
ロセッサ、電子機器に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、
電子機器の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置
、記憶装置、電子機器の駆動方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の
一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明
の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・
オブ・マター）に関するものである。

40

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置
全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器
は、半導体装置を有する場合がある。

【背景技術】

【0004】

近年は、酸化物半導体を用いたトランジスタが注目されている。酸化物半導体は、スパッ
タリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導

50

体に用いることができる。また、酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0005】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）

【0006】

また、酸化物半導体を用いたトランジスタで、ゲート電極を開口部に埋め込んで作製する方法などが開示されている（特許文献2および特許文献3参照。）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2012-257187号公報

【特許文献2】特開2014-241407号公報

【特許文献3】特開2014-240833号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

微細なトランジスタを提供することを課題の一とする。または、寄生容量の小さいトランジスタを提供することを課題の一とする。または、周波数特性の高いトランジスタを提供することを課題の一とする。または、電気特性の良好なトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、オン時の電流の大きいトランジスタを提供することを課題の一とする。または、オフ時の電流の小さいトランジスタを提供することを課題の一とする。または、新規なトランジスタを提供することを課題の一とする。または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、動作速度の速い半導体装置を提供することを課題の一とする。または、集積度の高い半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0010】

(1)

本発明の一態様は、酸化物半導体と、第1の導電体と、第2の導電体と、第3の導電体と、第4の導電体と、第5の導電体と、第1の絶縁体と、第2絶縁体と、第3の絶縁体と、を有し、第2の絶縁体には、第2の絶縁体を貫通して配置されている開口部が設けられ、開口部の底面は、酸化物半導体と接する領域を有し、第1の絶縁体は、開口部の側面および底面と接する領域を有し、第1の導電体は、第1の絶縁体を介して開口部の側面および底面と面する領域を有し、第2の導電体、第3の導電体、第4の導電体および第5の導電体は、酸化物半導体と第2の絶縁体との間に位置し、第2の導電体は、第2の導電体の側面および第2の導電体の底面と、第4の導電体と、が接する領域を有し、第3の導電体は、第3の導電体の側面および第3の導電体の底面と、第5の導電体と、が接する領域を有し、第3の絶縁体は、酸化物半導体と接する領域を有することを特徴とする半導体装置で

ある。

【0011】

(2)

本発明の一態様は、第3の絶縁体は、酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有することを特徴とする(1)に記載の半導体装置である。

【0012】

(3)

本発明の一態様は、第4の絶縁体は、第1の絶縁体と接する領域を有し、酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有することを特徴とする(1)または(2)に記載の半導体装置である。

10

【0013】

(4)

本発明の一態様は、第1の導電体は、トランジスタのゲート電極として機能する領域を有し、トランジスタは、ゲート線幅が、3nm以上60nm以下であることを特徴とする(1)乃至(3)のいずれかに記載の半導体装置である。

【0014】

(5)

本発明の一態様は互いに向かい合う、第2の導電体の端部と第3の導電体の端部との距離が、5nm以上80nm以下となる領域を有することを特徴とする(1)乃至(4)のいずれかに記載の半導体装置である。

20

【0015】

(6)

本発明の一態様は、第1の絶縁体上に第2の絶縁体を成膜し、第2の絶縁体上に酸化物半導体を成膜し、酸化物半導体上に第3の絶縁体を成膜し、第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、レジストマスクをエッチングマスクとして、第3の絶縁体の一部をエッチングすることで、第3の絶縁体に、酸化物半導体の上面を露出する開口部を形成し、第3の絶縁体上および酸化物半導体の露出部上に第1の導電体を成膜し、第1の導電体上に第2の導電体を成膜し、第2の導電体および第1の導電体を研磨することで、第3の絶縁体を露出させ、第3の絶縁体の露出部をエッチングし、第1の導電体および第2の導電体をエッチングマスクとして、酸化物半導体および第2の絶縁体を第1の絶縁体が露出するまでエッチングし、第1の絶縁体上、第1の導電体上および第2の導電体上に第4の絶縁体を成膜し、第4の絶縁体に、第2の導電体を露出する開口部を形成し、第2の導電体に、第1の導電体を露出する開口部を形成することで第2の導電体を第1の導電体層と第2の導電体層に分離し、第1の導電体に酸化物半導体を露出する開口部を形成することで第1の導電体を第3の導電体層と第4の導電体層に分離し、第4の絶縁体上および酸化物半導体上に第5の絶縁体を成膜し、第5の絶縁体上に第3の導電体を成膜し、第3の導電体および第5の絶縁体を研磨することで第4の絶縁体を露出し、第2の絶縁体は、酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有することを特徴とする半導体装置の作製方法である。

30

【0016】

(7)

本発明の一態様は、第1の絶縁体上に第2の絶縁体を成膜し、第2の絶縁体上に酸化物半導体を成膜し、酸化物半導体上に第3の絶縁体を成膜し、第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、レジストマスクをエッチングマスクとして、第3の絶縁体の一部をエッチングすることで、第3の絶縁体に、酸化物半導体の上面を露出する開口部を形成し、第3の絶縁体上および酸化物半導体の露出部上に第1の導電体を成膜し、第1の導電体上に第2の導電体を成膜し、第2の導電体および第1の導電体を研磨することで、第3の絶縁体を露出させ、第3の絶縁体の露出部をエッチングし、第1の導電体および第2の導電体をエッチングマスクとして、酸化物半導体および第2の絶縁体を第1の絶縁体が露出するまでエッチングし、第1の絶縁体上、第1の導電体上および第2

40

50

の導電体上に第4の絶縁体を成膜し、第4の絶縁体に、第2の導電体を露出する開口部を形成し、第2の導電体に、第1の導電体を露出する開口部を形成することで第2の導電体を第1の導電体層と第2の導電体層に分離し、第1の導電体に酸化物半導体を露出する開口部を形成することで第1の導電体を第3の導電体層と第4の導電体層に分離し、第4の絶縁体上および酸化物半導体上に第5の絶縁体を成膜し、第5の絶縁体上に第6の絶縁体を成膜し、第6の絶縁体上に第3の導電体を成膜し、第3の導電体、第6の絶縁体および第5の絶縁体を研磨することで第4の絶縁体を露出し、第2の絶縁体は、酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有することを特徴とする半導体装置の作製方法である。

【0017】

10

(8)

本発明の一態様は、第1の絶縁体上に第2の絶縁体を成膜し、第2の絶縁体上に酸化物半導体を成膜し、酸化物半導体上に第1の導電体を成膜し、第1の導電体上に第3の絶縁体を成膜し、第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、レジストマスクをエッチングマスクとして、第3の絶縁体の一部をエッチングすることで、第3の絶縁体に、第1の導電体の上面を露出する開口部を形成し、第3の絶縁体上および少なくとも露出された第1の導電体上に第2の導電体を成膜し、第2の導電体を研磨することで、第3の絶縁体を露出させ、第3の絶縁体の露出部および第1の導電体の一部をエッチングし、第1の導電体および第2の導電体をエッチングマスクとして、酸化物半導体および第2の絶縁体を第1の絶縁体が露出するまでエッチングし、第1の絶縁体上および第2の導電体上に第4の絶縁体を成膜し、第4の絶縁体に、第2の導電体を露出する開口部を形成し、第2の導電体に、第1の導電体を露出する開口部を形成することで第2の導電体を第1の導電体層と第2の導電体層に分離し、第1の導電体に酸化物半導体を露出する開口部を形成することで第1の導電体を第3の導電体層と第4の導電体層に分離し、第4の絶縁体上および酸化物半導体上に第5の絶縁体を成膜し、第5の絶縁体上に第3の導電体を成膜し、第3の導電体および第5の絶縁体を研磨することで第4の絶縁体を露出し、第2の絶縁体は、酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有することを特徴とする半導体装置の作製方法である。

20

【0018】

(9)

30

本発明の一態様は、第1の絶縁体上に第2の絶縁体を成膜し、第2の絶縁体上に酸化物半導体を成膜し、酸化物半導体上に第1の導電体を成膜し、第1の導電体上に第3の絶縁体を成膜し、第3の絶縁体上に、リソグラフィ法により、レジストマスクを形成し、レジストマスクをエッチングマスクとして、第3の絶縁体の一部をエッチングすることで、第3の絶縁体に、第1の導電体の上面を露出する開口部を形成し、第3の絶縁体上および少なくとも露出された第1の導電体上に第2の導電体を成膜し、第2の導電体を研磨することで、第3の絶縁体を露出させ、第3の絶縁体の露出部および第1の導電体の一部をエッチングし、第1の導電体および第2の導電体をエッチングマスクとして、酸化物半導体および第2の絶縁体を第1の絶縁体が露出するまでエッチングし、第1の絶縁体上および第2の導電体上に第4の絶縁体を成膜し、第4の絶縁体に、第2の導電体を露出する開口部を形成し、第2の導電体に、第1の導電体を露出する開口部を形成することで第2の導電体を第1の導電体層と第2の導電体層に分離し、第1の導電体に酸化物半導体を露出する開口部を形成することで第1の導電体を第3の導電体層と第4の導電体層に分離し、第4の絶縁体上および酸化物半導体上に第5の絶縁体を成膜し、第5の絶縁体上に第6の絶縁体を成膜し、第6の絶縁体上に第3の導電体を成膜し、第3の導電体、第6の絶縁体および第5の絶縁体を研磨することで第4の絶縁体を露出し、第2の絶縁体は、酸化物半導体の有する酸素以外の主成分元素の少なくとも一を有することを特徴とする半導体装置の作製方法である。

40

【0019】

なお、本発明の一態様に係る半導体装置において、酸化物半導体を他の半導体に置き換え

50

ても構わない。

【発明の効果】

【0020】

微細なトランジスタを提供することができる。または、寄生容量の小さいトランジスタを提供することができる。または、周波数特性の高いトランジスタを提供することができる。または、電気特性の良好なトランジスタを提供することができる。または、電気特性の安定したトランジスタを提供することができる。または、オン時の電流の大きいトランジスタを提供することができる。または、オフ時の電流の小さいトランジスタを提供することができる。または、新規なトランジスタを提供することができる。または、該トランジスタを有する半導体装置を提供することができる。または、動作速度の速い半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。

10

【0021】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

20

【0022】

【図1】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図2】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図3】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図4】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図5】本発明の一態様に係るトランジスタの一部を示す断面図。

【図6】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図7】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図8】本発明の一態様に係るトランジスタを示す断面図。

【図9】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。

30

【図10】CAAC-OSの断面TEM像、ならびに平面TEM像およびその画像解析像。

【図11】nc-OSの電子回折パターンを示す図、およびnc-OSの断面TEM像。

【図12】a-like OSの断面TEM像。

【図13】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図14】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図15】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図16】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図17】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

40

【図18】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図19】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図20】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図21】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図22】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図23】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図24】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図25】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図26】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

【図27】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。

50

- 【図 28】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 29】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 30】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 31】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 32】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 33】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 34】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 35】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 36】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 37】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 38】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 39】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 40】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 41】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 42】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 43】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 44】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 45】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 46】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 47】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 48】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 49】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 50】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 51】本発明の一態様に係るトランジスタの作製方法を示す上面図および断面図。
- 【図 52】本発明の一態様に係る記憶装置の回路図。
- 【図 53】本発明の一態様に係る半導体装置を示す断面図。
- 【図 54】本発明の一態様に係る半導体装置を示す断面図。
- 【図 55】本発明の一態様に係る半導体装置を示す回路図および断面図。
- 【図 56】本発明の一態様に係る CPU を示すブロック図。
- 【図 57】本発明の一態様に係る記憶素子の回路図。
- 【図 58】撮像装置を示す平面図。
- 【図 59】撮像装置の画素を示す平面図。
- 【図 60】撮像装置を示す断面図。
- 【図 61】撮像装置を示す断面図。
- 【図 62】RF タグの構成例を説明する図。
- 【図 63】本発明の一態様に係る、半導体装置を示す回路図、上面図および断面図。
- 【図 64】本発明の一態様に係る、半導体装置を示す回路図および断面図。
- 【図 65】本発明の一態様を説明するためのブロック図、回路図および波形図。
- 【図 66】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 67】本発明の一態様を説明するための回路図。
- 【図 68】本発明の一態様を説明するための回路図。
- 【図 69】本発明の一態様を説明するための回路図。
- 【図 70】本発明の一態様を説明するための回路図。
- 【図 71】本発明の一態様を説明するための回路図。
- 【図 72】表示モジュールを説明する図。
- 【図 73】リードフレーム型のインターポーザを用いたパッケージの断面構造を表す斜視図および携帯電話のモジュールの構成を表す平面図。
- 【図 74】本発明の一態様に係る電子機器を示す図。
- 【図 75】本発明の一態様に係る電子機器を示す図。
- 【図 76】本発明の一態様に係る電子機器を示す図。

【図 77】本発明の一態様に係る、RF タグの使用例。

【発明を実施するための形態】

【0023】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0024】

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【0025】

なお、本明細書において、例えば、物体の形状を「径」、「粒径」、「大きさ」、「サイズ」、「幅」などで規定する場合、物体が収まる最小の立方体における一辺の長さ、または物体の一断面における円相当径と読み替えてもよい。物体の一断面における円相当径とは、物体の一断面と等しい面積となる正円の直径をいう。

【0026】

なお、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0027】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0028】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体のDOS（Density of State）が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン膜である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0029】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0030】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領

10

20

30

40

50

域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0031】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

10

【0032】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

20

【0033】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

30

【0034】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0035】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

40

【0036】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0037】

なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

50

【0038】

(実施の形態1)

<トランジスタ構造1>

以下では、本発明の一態様に係る半導体装置が有するトランジスタの構造について説明する。図1(A)、(B)および(C)は、本発明の一態様に係る半導体装置の上面図および断面図である。図1(A)は上面図である。図1(B)は、図1(A)に示す一点鎖線A1-A2に対応する断面図である。図1(C)は、図1(A)に示す一点鎖線A3-A4に対応する断面図である。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0039】

図1(B)および(C)において、本トランジスタは、基板400上の絶縁体401と、絶縁体401上の絶縁体301および導電体310と、絶縁体301上および導電体310上の絶縁体302と、絶縁体302上の絶縁体303と、絶縁体303上の絶縁体402と、絶縁体402上の絶縁体406aと、絶縁体406a上の半導体406bと、半導体406bの上面と接する導電体441a1および導電体441a2と、導電体441a1の上面と接する導電体416a1と、導電体441a2の上面と接する導電体416a2と、導電体416a1の上面、導電体441a1の上面、導電体416a2の上面および導電体441a2の上面と接する絶縁体410と、半導体406bの上面と接する絶縁体406cと、絶縁体406c上の絶縁体412と、絶縁体412および絶縁体406cを介して半導体406b上に配置する導電体404と、絶縁体410上、導電体404上、絶縁体406c上および絶縁体412上の絶縁体418と、絶縁体418上の絶縁体408と、絶縁体408上の絶縁体428と、絶縁体428、絶縁体408および絶縁体418を通り導電体404に達する開口部と、絶縁体428、絶縁体408、絶縁体418および絶縁体410を通り導電体416a1に達する開口部と、絶縁体428、絶縁体408、絶縁体418および絶縁体410を通り導電体416a2に達する開口部と、それぞれの開口部に導電体437、導電体431および導電体429が埋め込まれ、絶縁体428上の導電体437と接する領域を有する導電体438と、絶縁体428上の導電体431と接する領域を有する導電体432と、絶縁体428上の導電体429と接する領域を有する導電体430と、を有する。

【0040】

なお、半導体406bは、半導体406bの上面と導電体441a1および導電体441a2とが接する領域407を有する。

【0041】

本トランジスタにおいて、導電体404は第1のゲート電極としての機能を有する。また、導電体404は、酸素の透過を抑制する機能を有する導電体と積層構造とすることができる。例えば酸素の透過を抑制する機能を有する導電体を下層に成膜することで導電体404の酸化による電気抵抗値の増加を防ぐことができる。絶縁体412はゲート絶縁体としての機能を有する。なお、導電体の電気抵抗値は、2端子法により測定することができる。

【0042】

また、導電体416a1、導電体416a2、導電体441a1および導電体441a2は、ソース電極またはドレイン電極としての機能を有し、導電体416a1の側面および底面と導電体441a1とが接する領域を有し、導電体416a2の側面および底面と導電体441a2とが接する領域を有する。また、導電体416a1および導電体416a2は、酸素の透過を抑制する機能を有する導電体と積層構造とすることができる。例えば酸素の透過を抑制する機能を有する導電体を上層に成膜することで導電体416a1および導電体416a2の酸化による電気抵抗値の増加を防ぐことができる。

【0043】

導電体404に印加する電位によって、半導体406bの抵抗を制御することができる。即ち、導電体404に印加する電位によって、導電体416a1および導電体441a1

10

20

30

40

50

と導電体416a2および導電体441a2との間の導通・非導通を制御することができる。

【0044】

図1(B)および(C)に示すように、半導体406bの上面は、導電体441a1および導電体441a2と接する。また、ゲート電極としての機能を有する導電体404の電界によって、絶縁体406aおよび半導体406bを電気的に取り囲むことができる。ゲート電極の電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。そのため、半導体406bの全体にチャンネルが形成される場合がある。s-channel 構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流(オン電流)を大きくすることができる。また、絶縁体406aおよび半導体406bが、導電体404の電界によって取り囲まれていることから、非導通時の電流(オフ電流)を小さくすることができる。

10

【0045】

本トランジスタは、ゲート電極として機能する領域が、絶縁体410などによって形成される開口部を埋めるように自己整合(self-align)的に形成されるので、TGSAs-channel FET (Trench Gate Self Align s-channel FET) と呼ぶこともできる。

【0046】

本発明の一態様について、図5を用いて説明する。図5(A)は、図1(A)に示す一点鎖線A3-A4に対応する断面図であり、チャンネル形成領域におけるチャンネル幅方向の断面図と呼ぶことが出来る。図5(B)は、図1(A)に示す一点鎖線A5-A6に対応する断面図であり、ソース電極またはドレイン電極部分におけるチャンネル幅方向の断面図と呼ぶことが出来る。図5(C)は、導電体441a2を設けないトランジスタのチャンネル形成領域におけるチャンネル幅方向の断面図である。また、図5(D)は、導電体441a2を設けないトランジスタのソース電極またはドレイン電極部分におけるチャンネル幅方向の断面図である。

20

【0047】

図5(A)中に記すトランジスタの半導体406bの断面積と、図5(C)中に記すトランジスタの半導体406bの断面積と、を比較すると図5(A)のトランジスタの方が、断面積が大きい構成となっている。さらに、図5(B)に記すトランジスタのソース電極またはドレイン電極としての機能を有する導電体416a2の断面積および導電体441a2の断面積と、図5(D)中に記す、ソース電極またはドレイン電極としての機能を有する導電体416a2の断面積と、を比較すると図5(B)のトランジスタの方が、断面積が大きい構成となっている。

30

【0048】

トランジスタのオン時にソース電極からドレイン電極に流れる電流(オン電流)は、チャンネル形成領域においては、主に半導体406bを流れ、ソース電極またはドレイン電極部分においては、ソース電極またはドレイン電極を流れることになる。図5(A)、(B)のトランジスタは、半導体406bの断面積およびソース電極またはドレイン電極の断面積が図5(C)、(D)のトランジスタよりも大きいためトランジスタのオン電流を図5(C)、(D)のトランジスタよりも大きくすることができる。一方、上述のようにs-channel 構造を有するトランジスタであるのでオフ時の電流(オフ電流)を小さくすることができる。すなわち、オン電流とオフ電流の比を大きくすることができるので、トランジスタのスイッチング特性が良好となる。

40

【0049】

また、本トランジスタにおいて、ゲート電極としての機能を有する導電体404の底面が、絶縁体412および絶縁体406cを介して、半導体406bの上面と平行に面する領域の長さをゲート線幅404wとして示す。また、チャンネル長とは、図1(A)に示す本トランジスタの上面図において、半導体406bとゲート電極としての機能を有する導電

50

体404とが互いに重なる領域、またはチャンネルが形成される領域における、ソース電極（またはドレイン電極）としての機能を有する導電体416a1および導電体441a1とドレイン電極（またはソース電極）としての機能を有する導電体416a2および導電体441a2との間の距離を言う。この距離をチャンネル長414wとして示す（図1（A）参照。）。

【0050】

本発明の一態様に係るトランジスタは、半導体406bに達する絶縁体410等の開口部よりもゲート線幅404wを小さくすることができる。即ち、ゲート線幅404wを最小加工寸法よりも小さくすることができる。具体的には、ゲート線幅404wを、5nm以上60nm以下、好ましくは5nm以上30nm以下とすることができる。また、チャンネル長414wは5nm以上80nm以下とすることができる。

10

【0051】

図1（B）において導電体416a1および導電体441a1と、導電体416a2および導電体441a2の間の領域における絶縁体412の厚さを導電体416a1および導電体441a1の合計の厚さまたは導電体416a2および導電体441a2の合計の厚さ以下とすることで、ゲート電極からの電界がチャンネル形成領域全体に掛かるのでトランジスタの動作が良好となり好ましい。導電体416a1および導電体441a1と、導電体416a2および導電体441a2の間の領域における絶縁体412の厚さは、30nm以下、好ましくは10nm以下とする。

20

【0052】

また、導電体310は、第2のゲート電極としての機能を有する。また、導電体310は酸素の透過を抑制する機能を有する導電膜を含む多層膜とすることもできる。酸素の透過を抑制する機能を有する導電膜を含む多層膜とすることで導電体310の酸化による導電率の低下を防ぐことができる。絶縁体302、絶縁体303および絶縁体402は第2のゲート絶縁膜としての機能を有する。導電体310へ印加する電位によって、本トランジスタのしきい値電圧を制御することができる。また、導電体310に印加する電位により、絶縁体303へ電子を注入させ本トランジスタのしきい値電圧を制御することができる。さらに第1のゲート電極と第2のゲート電極を電氣的に接続することで、導通時の電流（オン電流）を大きくすることができる。なお、第1のゲート電極の機能と、第2のゲート電極の機能と、が入れ替わっても構わない。

30

【0053】

図8に第1のゲート電極と第2のゲート電極を電氣的に接続した一例を示す。絶縁体428、絶縁体408および絶縁体418を通して導電体404に達する開口部には、導電体440が埋め込まれており、導電体440の上面と絶縁体428上に形成した導電体444とは、電氣的接続されている。一方、絶縁体428、絶縁体408、絶縁体418、絶縁体410、絶縁体402、絶縁体303および絶縁体302を通して導電体310に達する開口部には、導電体442が埋め込まれており、導電体442の上面と導電体444とは、電氣的に接続されている。つまり、第1のゲート電極としての機能を有する導電体404は、導電体440、導電体444および導電体442を通して、第2のゲート電極としての機能を有する導電体310とは、電氣的に接続される。

40

【0054】

なお、トランジスタを、水素などの不純物および酸素をブロックする機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。例えば絶縁体408として、水素などの不純物および酸素をブロックする機能を有する絶縁体を用いればよい。

【0055】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

50

【0056】

また、例えば、絶縁体408としては、酸化アルミニウム、酸化マグネシウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。なお、絶縁体408は、酸化アルミニウムを有することが好ましい。例えば、絶縁体408は酸素を有するプラズマを用いて成膜すると絶縁体408の下地層となる絶縁体418を通して絶縁体410へ酸素を添加することができる。または、絶縁体412の側面に酸素を添加することもできる。添加された酸素は、絶縁体410中または絶縁体412中で過剰酸素となる。絶縁体408が酸化アルミニウムを有することで、半導体406bに水素などの不純物が混入することを抑制することができる。また、例えば、絶縁体408が酸化アルミニウムを有することで、上述の絶縁体410および絶縁体412へ添加した過剰酸素の外方拡散を低減することができる。

10

【0057】

絶縁体401としては、酸化アルミニウム、酸化マグネシウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。なお、絶縁体401は、酸化アルミニウムまたは窒化シリコンを有することが好ましい。例えば、絶縁体401が酸化アルミニウムまたは窒化シリコンを有することで、半導体406bに水素などの不純物が混入することを抑制することができる。また、例えば、絶縁体401が酸化アルミニウムまたは窒化シリコンを有することで、酸素の外方拡散を低減することができる。

20

【0058】

絶縁体301および絶縁体302としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体301としては、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

【0059】

絶縁体303としては、例えば、電子注入層としての機能を有してもよい。絶縁体303としては例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体303としては、窒化シリコン、酸化ハフニウムまたは酸化アルミニウムを有することが好ましい。

30

【0060】

絶縁体402としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402としては、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

40

【0061】

なお、絶縁体410は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体410は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体410は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂とし

50

ては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0062】

絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体412としては、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

【0063】

なお、絶縁体412は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体412は、酸化ガリウム、酸化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、またはシリコンおよびハフニウムを有する酸化窒化物などを有することが好ましい。または、絶縁体412は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを絶縁体406c側に有することで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、半導体406bに混入することを抑制することができる。また、例えば、酸化シリコンまたは酸化窒化シリコンを絶縁体406c側に有することで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

【0064】

絶縁体412、絶縁体418および絶縁体428としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体412、絶縁体418および絶縁体428としては、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

【0065】

導電体416a1、導電体416a2、導電体441a1および導電体441a2としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、プラチナ、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金膜や化合物膜であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、またはチタンおよび窒素を含む導電体などを用いてもよい。

【0066】

導電体404としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金膜や化合物膜であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、またはチタンおよび窒素を含む導電体などを用いてもよい。

【0067】

導電体429、導電体430、導電体431、導電体432、導電体437および導電体

10

20

30

40

50

438としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金膜や化合物膜であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、またはチタンおよび窒素を含む導電体などを用いてもよい。

【0068】

導電体310、導電体440、導電体442および導電体444としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金膜や化合物膜であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、またはチタンおよび窒素を含む導電体などを用いてもよい。

【0069】

半導体406bとしては、酸化物半導体を用いることが好ましい。ただし、シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウムまたは有機半導体などを用いても構わない場合がある。

【0070】

絶縁体406aおよび絶縁体406cとしては、半導体406bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物を用いることが望ましい。ただし、シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウムまたは有機半導体などを用いても構わない場合がある。

【0071】

<トランジスタ構造2>

ここでは、図1と異なる構成のトランジスタについて、図2を用いて説明する。図2（A）、（B）および（C）は、本発明の一態様に係る半導体装置の上面図および断面図である。図2（A）は上面図である。図2（B）は、図2（A）に示す一点鎖線A1-A2に対応する断面図である。図2（C）は、図2（A）に示す一点鎖線A3-A4に対応する断面図である。なお、図2（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0072】

本トランジスタは、ソース電極またはドレイン電極としての機能を有する導電体416a1、導電体416a2、導電体441a1および導電体441a2の構成が図1に示すトランジスタと異なる。すなわち、導電体416a1の側面と導電体441a1とが接する領域を有さず、導電体416a2の側面と導電体441a2とが接する領域を有さない構成である。その他の構成は、上述の図1（A）、（B）および（C）に示したトランジスタの構成を参酌する。

【0073】

<トランジスタ構造3>

ここでは、図1と異なる構成のトランジスタについて、図3を用いて説明する。図3（A）、（B）および（C）は、本発明の一態様に係る半導体装置の上面図および断面図である。図3（A）は上面図である。図3（B）は、図3（A）に示す一点鎖線A1-A2に対応する断面図である。図3（C）は、図3（A）に示す一点鎖線A3-A4に対応する断面図である。なお、図3（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0074】

図3 (B) および (C) において、本トランジスタは、基板400上の絶縁体401と、絶縁体401上の絶縁体301および導電体310と、絶縁体301上および導電体310上の絶縁体302と、絶縁体302上の絶縁体303と、絶縁体303上の絶縁体402と、絶縁体402上の絶縁体406aと、絶縁体406a上の半導体406bと、半導体406bの上面と接する導電体441a1および導電体441a2と、導電体441a1の上面と接する導電体416a1と、導電体441a2の上面と接する導電体416a2と、半導体406bの上面と接する領域を有する絶縁体406cと、絶縁体406c上の絶縁体412と、半導体406bと絶縁体412および絶縁体406cを介して互いに重なる領域を有する導電体404と、絶縁体402の上面、絶縁体406aの側面、半導体406bの側面、導電体441a1の側面、導電体441a2の側面、導電体416a1の上面、導電体416a2の上面、絶縁体406cの側面、絶縁体412の側面、導電体404の側面および導電体404の上面を覆うように配置する絶縁体408と、絶縁体408上の絶縁体410と、絶縁体410上の絶縁体418と、絶縁体418上の絶縁体428と、絶縁体428、絶縁体418、絶縁体410および絶縁体408を通り導電体404に達する開口部と、絶縁体428、絶縁体418、絶縁体410および絶縁体408を通り導電体416a1に達する開口部と、絶縁体428、絶縁体418、絶縁体410および絶縁体408を通り導電体416a2に達する開口部と、それぞれの開口部に導電体437、導電体431および導電体429が埋め込まれ、絶縁体428上の導電体437と接する領域を有する導電体438と、絶縁体428上の導電体431と接する領域を有する導電体432と、絶縁体428上の導電体429と接する領域を有する導電体430と、を有する。

10

20

【0075】

なお、半導体406bは、半導体406bの上面と導電体441a1および導電体441a2と接する領域407を有する。

【0076】

本トランジスタにおいて、導電体404は第1のゲート電極としての機能を有する。また、導電体404は、酸素の透過を抑制する機能を有する導電体と積層構造とすることができる。例えば酸素の透過を抑制する機能を有する導電体を下層に成膜することで導電体404の酸化による電気抵抗値の増加を防ぐことができる。絶縁体412はゲート絶縁体としての機能を有する。なお、導電体の電気抵抗値は、2端子法により測定することができる。

30

【0077】

また、導電体416a1、導電体416a2、導電体441a1および導電体441a2は、ソース電極またはドレイン電極としての機能を有し、導電体416a1の側面および底面と導電体441a1とが接する領域を有し、導電体416a2の側面および底面と導電体441a2とが接する領域を有する。また、導電体416a1および導電体416a2は、酸素の透過を抑制する機能を有する導電体と積層構造とすることができる。例えば酸素の透過を抑制する機能を有する導電体を上層に成膜することで導電体416a1および導電体416a2の酸化による電気抵抗値の増加を防ぐことができる。

40

【0078】

導電体404に印加する電位によって、半導体406bの抵抗を制御することができる。即ち、導電体404に印加する電位によって、導電体416a1および導電体441a1と導電体416a2および導電体441a2との間の導通・非導通を制御することができる。

【0079】

図3 (B) および (C) に示すように、半導体406bの上面は、導電体441a1および導電体441a2と接する。また、ゲート電極としての機能を有する導電体404の電界によって、絶縁体406aおよび半導体406bを電氣的に取り囲むことができる。ゲート電極の電界によって、半導体を電氣的に取り囲むトランジスタの構造を、surro

50

unded channel (s-channel) 構造とよぶ。そのため、半導体 406b の全体にチャンネルが形成される場合がある。s-channel 構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を大きくすることができる。また、絶縁体 406a および半導体 406b が、導電体 404 の電界によって取り囲まれていることから、非導通時の電流（オフ電流）を小さくすることができる。

【0080】

本トランジスタにおいても図 1 に示すトランジスタと同様に半導体 406b の断面積と、ソース電極またはドレイン電極としての機能を有する導電体 416a2 の断面積および導電体 441a2 の断面積が導電体 441a2 を設けないトランジスタよりも大きい構成となっている。従って、図 3 に示すトランジスタは、図 1 に示すトランジスタと同様の効果が得られる。すなわち、トランジスタのオン電流を導電体 441a2 を設けないトランジスタよりも大きくすることができる。一方、上述のように s-channel 構造を有するトランジスタであるのでオフ時の電流（オフ電流）を小さくすることができる。すなわち、オン電流とオフ電流の比を大きくすることができるので、トランジスタのスイッチング特性が良好となる。

【0081】

<トランジスタ構造 4>

ここでは、図 3 と異なる構成のトランジスタについて、図 4 を用いて説明する。図 4 (A)、(B) および (C) は、本発明の一態様に係る半導体装置の上面図および断面図である。図 4 (A) は上面図である。図 4 (B) は、図 4 (A) に示す一点鎖線 A1-A2 に対応する断面図である。図 4 (C) は、図 4 (A) に示す一点鎖線 A3-A4 に対応する断面図である。なお、図 4 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0082】

本トランジスタは、ソース電極またはドレイン電極としての機能を有する導電体 416a1、導電体 416a2、導電体 441a1 および導電体 441a2 の構成が図 3 に示すトランジスタと異なる。すなわち、導電体 416a1 の側面と導電体 441a1 とが接する領域を有さず、導電体 416a2 の側面と導電体 441a2 とが接する領域を有さない構成である。その他の構成は、上述の図 3 (A)、(B) および (C) に示したトランジスタの構成を参酌する。

【0083】

<トランジスタ構造 5>

ここでは、図 1 と異なる構成のトランジスタについて、図 6 を用いて説明する。図 6 (A)、(B) および (C) は、本発明の一態様に係る半導体装置の上面図および断面図である。図 6 (A) は上面図である。図 6 (B) は、図 6 (A) に示す一点鎖線 A1-A2 に対応する断面図である。図 6 (C) は、図 6 (A) に示す一点鎖線 A3-A4 に対応する断面図である。なお、図 6 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0084】

本トランジスタは、一つのゲート電極に対して複数のチャンネル形成領域を有するところが、図 1 (A)、(B) および (C) に示すトランジスタの構成と異なる。図 6 (A)、(B) および (C) は、3 つのチャンネル領域を有する一例を示すが、チャンネル領域の数はこれに限定されない。その他の構成は、上述の図 1 (A)、(B) および (C) に示したトランジスタの構成を参酌する。

【0085】

<トランジスタ構造 6>

ここでは、図 1 と異なる構成のトランジスタについて、図 7 を用いて説明する。図 7 (A)、(B) および (C) は、本発明の一態様に係る半導体装置の上面図および断面図である。図 7 (A) は上面図である。図 7 (B) は、図 7 (A) に示す一点鎖線 A1-A2 に

対応する断面図である。図7（C）は、図7（A）に示す一点鎖線A3-A4に対応する断面図である。なお、図7（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0086】

本トランジスタは、チャネル幅の大きさが図7（A）に示すゲート線幅404wと比較して2倍以上の構成の一例を示した。その他の構成は、上述の図1（A）、（B）および（C）に示したトランジスタの構成を参酌する。

【0087】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0088】

（実施の形態2）

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0089】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS（c-axis-aligned crystalline oxide semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）および非晶質酸化物半導体などがある。

【0090】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0091】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0092】

即ち、安定な酸化物半導体を完全な非晶質（completely amorphous）酸化物半導体とは呼べない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆（ポイドともいう。）を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0093】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0094】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一種である。

【0095】

CAAC-OSをX線回折（XRD：X-Ray Diffraction）によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図9（A）に示すように回折角（2θ）が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面（被形成面ともいう

10

20

30

40

50

。)、または上面に略垂直な方向を向いていることが確認できる。なお、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-Osは、該ピークを示さないことが好ましい。

【0096】

一方、CAAC-Osに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(ϕ 軸)として試料を回転させながら分析(ϕ スキャン)を行っても、図9(B)に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図9(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

【0097】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、CAAC-Osの被形成面に平行にプローブ径が300nmの電子線を入射させると、図9(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図9(E)に示す。図9(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図9(E)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図9(E)における第2リングは(110)面などに起因すると考えられる。

【0098】

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-Osの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起りにくいといえる。

【0099】

図10(A)に、試料面と略平行な方向から観察したCAAC-Osの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0100】

図10(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-Osを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-Osの被形成面または上面の凹凸を反映しており、CAAC-Osの被形成面または上

面と平行となる。

【0101】

また、図10(B)および図10(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図10(D)および図10(E)は、それぞれ図10(B)および図10(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図10(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

10

【0102】

図10(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0103】

図10(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

20

【0104】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAA crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

30

【0105】

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

【0106】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

40

【0107】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0108】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体であ

50

る。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0109】

<nc-OS>

次に、nc-OSについて説明する。

【0110】

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

10

【0111】

また、例えば、InGaZnO₄の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図11(A)に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図11(B)に示す。図11(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

20

【0112】

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図11(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0113】

図11(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体（microcrystalline oxide semiconductor）と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

30

【0114】

このように、nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

40

【0115】

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0116】

50

$nc-Os$ は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、 $nc-Os$ は、 $a-like Os$ や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、 $nc-Os$ は、異なるペレット間で結晶方位に規則性が見られない。そのため、 $nc-Os$ は、 $CAAC-Os$ と比べて欠陥準位密度が高くなる。

【0117】

< $a-like Os$ >

$a-like Os$ は、 $nc-Os$ と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0118】

図12に、 $a-like Os$ の高分解能断面TEM像を示す。ここで、図12(A)は電子照射開始時における $a-like Os$ の高分解能断面TEM像である。図12(B)は $4.3 \times 10^8 e^-/nm^2$ の電子(e^-)照射後における $a-like Os$ の高分解能断面TEM像である。図12(A)および図12(B)より、 $a-like Os$ は電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0119】

鬆を有するため、 $a-like Os$ は、不安定な構造である。以下では、 $a-like Os$ が、 $CAAC-Os$ および $nc-Os$ と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0120】

試料として、 $a-like Os$ 、 $nc-Os$ および $CAAC-Os$ を準備する。いずれの試料も $In-Ga-Zn$ 酸化物である。

【0121】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0122】

なお、 $InGaZnO_4$ の結晶の単位格子は、 $In-O$ 層を3層有し、また $Ga-Zn-O$ 層を6層有する、計9層が c 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 (009) 面の格子面間隔(d 値ともいう。)と同程度であり、結晶構造解析からその値は $0.29 nm$ と求められている。したがって、以下では、格子縞の間隔が $0.28 nm$ 以上 $0.30 nm$ 以下である箇所を、 $InGaZnO_4$ の結晶部と見なした。なお、格子縞は、 $InGaZnO_4$ の結晶の $a-b$ 面に対応する。

【0123】

図13は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図13より、 $a-like Os$ は、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図13より、TEMによる観察初期においては $1.2 nm$ 程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 e^-/nm^2$ においては $1.9 nm$ 程度の大きさまで成長していることがわかる。一方、 $nc-Os$ および $CAAC-Os$ は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^-/nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図13より、電子の累積照射量によらず、 $nc-Os$ および $CAAC-Os$ の結晶部の大きさは、それぞれ $1.3 nm$ 程度および $1.8 nm$ 程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を $300 kV$ 、電流密度を $6.7 \times 10^5 e^-/(nm^2 \cdot s)$ 、照射領域の直径を $230 nm$ とした。

【0124】

このように、 $a-like Os$ は、電子照射によって結晶部の成長が見られる場合があ

る。一方、nc-O SおよびCAAC-O Sは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like O Sは、nc-O SおよびCAAC-O Sと比べて、不安定な構造であることがわかる。

【0125】

また、鬆を有するため、a-like O Sは、nc-O SおよびCAAC-O Sと比べて密度の低い構造である。具体的には、a-like O Sの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-O Sの密度およびCAAC-O Sの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

【0126】

例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357 g/cm³である。よって、例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、a-like O Sの密度は5.0 g/cm³以上5.9 g/cm³未満である。また、例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、nc-O Sの密度およびCAAC-O Sの密度は5.9 g/cm³以上6.3 g/cm³未満である。

【0127】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0128】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like O S、nc-O S、CAAC-O Sのうち、二種以上を有する積層膜であってもよい。

【0129】

絶縁体406a、半導体406b、絶縁体406cなどに適用可能な酸化物について説明する。

【0130】

半導体406bは、例えば、インジウムを含む酸化物半導体である。半導体406bは、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体406bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体406bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

【0131】

ただし、半導体406bは、インジウムを含む酸化物半導体に限定されない。半導体406bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物、酸化ガリウムなどの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0132】

半導体406bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体406bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8

10

20

30

40

50

eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下とする。

【0133】

例えば、絶縁体406aおよび絶縁体406cは、半導体406bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物である。半導体406bを構成する酸素以外の元素一種以上、または二種以上から絶縁体406aおよび絶縁体406cが構成されるため、絶縁体406aと半導体406bとの界面、および半導体406bと絶縁体406cとの界面において、界面準位が形成されにくい。

【0134】

絶縁体406a、半導体406bおよび絶縁体406cが、インジウムを含む場合について説明する。なお、絶縁体406aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。また、半導体406bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。また、絶縁体406cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。なお、絶縁体406cは、絶縁体406aと同種の酸化物を用いても構わない。

【0135】

半導体406bは、絶縁体406aおよび絶縁体406cよりも電子親和力の大きい酸化物を用いる。例えば、半導体406bとして、絶縁体406aおよび絶縁体406cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0136】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、絶縁体406cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga/(In+Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0137】

ただし、絶縁体406aまたは／および絶縁体406cが、酸化ガリウムであっても構わない。例えば、絶縁体406cとして、酸化ガリウムを用いると導電体416a1または導電体416a2と導電体404との間に生じるリーク電流を低減することができる。即ち、トランジスタのオフ電流を小さくすることができる。

【0138】

このとき、ゲート電圧を印加すると、絶縁体406a、半導体406b、絶縁体406cのうち、電子親和力の大きい半導体406bにチャネルが形成される。

【0139】

ここで、絶縁体406aと半導体406bとの間には、絶縁体406aと半導体406bとの混合領域を有する場合がある。また、半導体406bと絶縁体406cの間には、半導体406bと絶縁体406cとの混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、絶縁体406a、半導体406bおよび絶縁体406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる。

【0140】

このとき、電子は、絶縁体406a中および絶縁体406c中ではなく、半導体406b中を主として移動する。したがって、絶縁体406aおよび半導体406bの界面における界面準位密度、半導体406bと絶縁体406cとの界面における界面準位密度を低く

10

20

30

40

50

することによって、半導体406b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

【0141】

なお、トランジスタがs-channel構造を有する場合、半導体406bの全体にチャンネルが形成される。したがって、半導体406bが厚いほどチャンネル領域は大きくなる。即ち、半導体406bが厚いほど、トランジスタのオン電流を高くすることができる。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体406bとすればよい。ただし、トランジスタを有する半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体406bとすればよい。なお、チャンネル形成領域が縮小していくと、半導体406bが薄いほうがトランジスタの電気特性が向上する場合もある。よって、半導体406bの厚さが10nm未満であってもよい。

10

【0142】

また、トランジスタのオン電流を高くするためには、絶縁体406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する絶縁体406cとすればよい。一方、絶縁体406cは、チャンネルの形成される半導体406bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、絶縁体406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する絶縁体406cとすればよい。また、絶縁体406cは、絶縁体402などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

20

【0143】

また、信頼性を高くするためには、絶縁体406aは厚く、絶縁体406cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する絶縁体406aとすればよい。絶縁体406aの厚さを、厚くすることで、隣接する絶縁体と絶縁体406aとの界面からチャンネルの形成される半導体406bまでの距離を離すことができる。ただし、トランジスタを有する半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する絶縁体406aとすればよい。

30

【0144】

例えば、酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。したがって、半導体406bのシリコン濃度は低いほど好ましい。例えば、半導体406bと絶縁体406aとの間に、例えば、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）において、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満のシリコン濃度となる領域を有する。また、半導体406bと絶縁体406cとの間に、SIMSにおいて、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満のシリコン濃度となる領域を有する。

40

【0145】

また、半導体406bの水素濃度を低減するために、絶縁体406aおよび絶縁体406cの水素濃度を低減すると好ましい。絶縁体406aおよび絶縁体406cは、SIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下の水素濃度となる領域を有する。また、半導体406bの窒素濃度を低減するために、絶縁体406aおよび絶縁体406cの窒素濃度を低減すると好ましい。絶縁体406aおよび絶縁体406cは、SIMSにおいて、 5×10

50

10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下の窒素濃度となる領域を有する。

【0146】

なお、酸化物半導体に銅が混入すると、電子トラップを生成する場合がある。電子トラップは、トランジスタのしきい値電圧がプラス方向へ変動させる場合がある。したがって、半導体406bの表面または内部における銅濃度は低いほど好ましい。例えば、半導体406b、銅濃度が 1×10^{19} atoms/cm³以下、 5×10^{18} atoms/cm³以下、または 1×10^{18} atoms/cm³以下となる領域を有すると好ましい。

【0147】

上述の3層構造は一例である。例えば、絶縁体406aまたは絶縁体406cのない2層構造としても構わない。または、絶縁体406aの上もしくは下、または絶縁体406cの上もしくは下に、絶縁体406a、半導体406bおよび絶縁体406cとして例示した絶縁体または半導体のいずれか一を有する4層構造としても構わない。または、絶縁体406aの上、絶縁体406aの下、絶縁体406cの上、絶縁体406cの下のいずれか二箇所以上に、絶縁体406a、半導体406bおよび絶縁体406cとして例示した絶縁体または半導体のいずれか一を有するn層構造（nは5以上の整数）としても構わない。

【0148】

基板400としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0149】

また、基板400として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板400に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板400として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板400が伸縮性を有してもよい。また、基板400は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板400は、例えば、5 μm以上700 μm以下、好ましくは10 μm以上500 μm以下、さらに好ましくは15 μm以上300 μm以下の厚さとなる領域を有する。基板400を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板400を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板400上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0150】

可とう性基板である基板400としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板400は、線膨張

10

20

30

40

50

率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板400としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板400として好適である。

【0151】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0152】

（実施の形態3）

<トランジスタの作製方法1>

以下では、本発明の一態様に係る図1のトランジスタの作製方法を図14から図30を用いて説明する。

【0153】

まず、基板400を準備する。

【0154】

次に、絶縁体401を成膜する。絶縁体401の成膜は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法または原子層堆積（ALD：Atomic Layer Deposition）法などを用いて行うことができる。

【0155】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0156】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0157】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0158】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

10

20

30

40

50

【0159】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0160】

次に絶縁体401上に絶縁体301となる絶縁体を成膜する。絶縁体301となる絶縁体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

10

【0161】

次に、絶縁体301となる絶縁体に絶縁体401に達する溝を形成し、絶縁体301を形成する。溝とは、例えば、穴や開口部なども含まれる。溝の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体401は、絶縁体301となる絶縁体をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体301となる絶縁体に酸化シリコン膜を用いた場合は、絶縁体401は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

20

【0162】

溝の形成後に、導電体310となる導電体を成膜する。導電体310となる導電体は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体310となる導電体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0163】

次に、化学的機械研磨（Chemical Mechanical Polishing：CMP）を行うことで、絶縁体301上の導電体310となる導電体を除去する。その結果、溝部のみに、導電体310となる導電体が残存することで上面が平坦な配線層である導電体310を形成することができる。

30

【0164】

または、絶縁体301上に導電体310となる導電体を成膜し、リソグラフィー法などによって加工し、導電体310を形成してもよい。

【0165】

次に、絶縁体301上、導電体310上に絶縁体302を成膜する。絶縁体302の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体302上に絶縁体303を成膜する。絶縁体303は好ましくは、水素などの不純物および酸素の透過を抑制する機能を有することが望ましい。例えば、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。絶縁体303の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

40

【0166】

次に、絶縁体303上に絶縁体402を成膜する。絶縁体402の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体402に酸素を添加する処理を行っても構わない。酸素を添加する処理としては、例えば、イオン注入法、プラズマ処理法などがある。なお、絶縁体402に添加された酸素は過剰酸素となる。

【0167】

50

次に、絶縁体402上に絶縁体306aを成膜する。絶縁体306aの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0168】

次に、絶縁体306aに酸素を添加する処理を行っても構わない。酸素を添加する処理としては、例えば、イオン注入法、プラズマ処理法などがある。なお、絶縁体306aに添加された酸素は、過剰酸素となる。次に絶縁体306a上に半導体306bを成膜する。半導体306bの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0169】

次に、第1の加熱処理を行ってもよい。第1の加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行う。第1の加熱処理によって、半導体の結晶性を高めることや、水素や水などの不純物を除去することなどができる。または、第1の加熱処理は、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加するプラズマ電源を有してもよい。高密度プラズマを用いることより高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで高密度プラズマによって生成された酸素ラジカルを効率よく半導体306b内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、第1の加熱処理は行わなくてもよい。

【0170】

次に、半導体306b上に絶縁体433を成膜する。絶縁体433の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体433上にリソグラフィー法を用いてレジストマスク434を形成する。なお、リソグラフィー法では、まず、フォトマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、またはウェットエッチング処理を行う、またはドライエッチング処理に加えてウェットエッチング処理を行う、またはウェットエッチング処理に加えてドライエッチング処理を行うことができる。

【0171】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(CCP: Capacitively Coupled Plasma)エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するド

10

20

30

40

50

ライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

【0172】

また、絶縁体433とレジストマスク434との間に有機塗布膜を形成しても良い。有機塗布膜を形成することにより、レジストマスク434と絶縁体433との密着性が有機塗布膜を介して向上する場合がある（図14（A）、（B）および（C）参照。）。

【0173】

次に、レジストマスク434をエッチングマスクとして絶縁体433を半導体306bの表面が露出するまで加工して開口部を有する絶縁体436を形成する（図15（A）、（B）および（C）参照。）。 10

【0174】

次に、半導体306bの露出部および絶縁体436上に導電体439を成膜する（図16（A）、（B）および（C）参照。）。 20

【0175】

次に、導電体439上に導電体415を成膜する。導電体439および導電体415の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができるが、特に、導電体439はALD法などによって成膜し、導電体415はMCVD法で成膜すると導電体439と導電体415の密着性が向上する場合があるので好ましい。例えば、窒化チタンまたはタングステンと、タングステンをこの順に成膜すればよい（図17（A）、（B）および（C）参照。）。 20

【0176】

次に導電体415の上面から、導電体415および導電体439をCMPなどによって絶縁体436の上面に達するまで研磨および平坦化することにより導電体416および導電体441を形成する（図18（A）、（B）および（C）参照。）。 30

【0177】

次に、絶縁体436を選択的にエッチングする。エッチングはウエットエッチング法またはドライエッチング法を用いる。導電体416および導電体441のエッチング量を少なく抑えて、絶縁体436を選択的にエッチングするためには、導電体416および導電体441のエッチング速度と絶縁体436のエッチング速度の比が大きなエッチング条件を用いればよい。例えば、導電体416および導電体441のエッチング速度を1とした場合、絶縁体436のエッチング速度は、5以上、好ましくは10以上とする。以上により、導電体416および導電体441を有するハードマスクを形成する。（図19（A）、（B）および（C）参照。）。 30

【0178】

導電体416および導電体441を有するハードマスクは、後の工程によってソース電極またはドレイン電極としての機能を有する導電体となる。

【0179】

本発明の一態様の作製方法によれば、導電体416および導電体441を有するハードマスクの膜厚は、従来のハードマスクの作製方法であるレジストマスクによる形成方法と比較して、厚くすることができるので、導電体416および導電体441を有するハードマスクの断面積を大きくすることができる。または、導電体416および導電体441を有するハードマスクの形状を安定して作製することができるのでチャンネル幅方向の微細化が可能となる。従って、チャンネル幅方向の微細化を行ってもトランジスタのオン時の電流を大きくすることができるので、トランジスタのソース電極またはドレイン電極としての機能を向上することができる。 40

【0180】

次に導電体416および導電体441を有するハードマスクをエッチングマスクとして、半導体306bの一部および絶縁体306aの一部をエッチングし、半導体406bおよび絶縁体406aを形成する。 50

【0181】

半導体306bの一部および絶縁体306aの一部のエッチングは、ウェットエッチング法を用いることができるが、ドライエッチング法を用いてもよい。ドライエッチング法を用いることで、より微細な加工が可能となる。ドライエッチングに用いるガスとして、 CH_4 ガス、 Cl_2 ガスまたは BCl_3 ガスなどを単独または2以上のガスを混合して用いることができる。または、上記ガスに酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。ドライエッチング装置は上述のドライエッチング装置を使用することができるが、高密度プラズマ源を有するドライエッチング装置または、平行平板型電極それぞれに周波数の異なる高周波電源を接続する構成のドライエッチング装置の使用が好ましい。

10

【0182】

以上により、絶縁体406a、半導体406b、導電体416および導電体441を有する多層膜を形成する。この際、絶縁体402もエッチングされ、一部の領域が薄くなる場合がある。即ち、絶縁体402は、多層膜と接する領域に凸部を有する形状となる場合がある。(図20(A)、(B)または(C)参照。)

【0183】

次に、絶縁体446を成膜する。絶縁体446の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。または、スピニング法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。

20

【0184】

絶縁体446は、上面が平坦性を有するように形成してもよい。例えば、絶縁体446は、成膜直後に上面が平坦性を有していてもよい。または、例えば、絶縁体446は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。ただし、絶縁体446の上面が平坦性を有さなくても構わない。

【0185】

次に、絶縁体446上に導電体409を成膜する。導電体409の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、導電体409上に絶縁体411を成膜する。絶縁体411の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる(図21(A)、(B)および(C)参照。)

30

【0186】

次に、絶縁体411上に有機塗布膜421を成膜する。次に有機塗布膜421上にリソグラフィ法などを用いてレジストマスク420を形成する。有機塗布膜421を絶縁体411とレジストマスク420の間に形成することで、絶縁体411とレジストマスク420との密着性が、有機塗布膜421を介して向上することがある。なお、有機塗布膜421の成膜は省略することができる(図22(A)、(B)および(C)参照。)

40

【0187】

次に、レジストマスク420をマスクとして、有機塗布膜421をドライエッチング法などによって絶縁体411の上面に達するまでエッチングし、有機塗布膜422を形成する第1の加工を行う。第1の加工に使用するガスは、例えば C_4F_6 ガス、 C_2F_6 ガス、 CF_4 ガス、 SF_6 ガスまたは CHF_3 ガスなどを用いることができる。

【0188】

次に、絶縁体411をドライエッチング法によって導電体409の上面に達するまでエッチングし、絶縁体419を形成する第2の加工を行う。第2の加工に用いるガスは、例えば、 C_4F_6 ガス、 C_2F_6 ガス、 C_4F_8 ガス、 CF_4 ガス、 SF_6 ガスまたは CHF_3 ガスなどを単独または2以上のガスを混合して用いることができる。または、上記ガス

50

に酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。第1の加工および第2の加工に使用するドライエッチング装置は上述のドライエッチング装置を使用することができるが、平行平板型電極それぞれに周波数の異なる高周波電源を接続する構成のドライエッチング装置の使用が好ましい（図23（A）、（B）および（C）参照。）。

【0189】

次に、導電体409をドライエッチング法によって絶縁体446の上面に達するまでエッチングし、導電体417を形成する第3の加工を行う。第3の加工のドライエッチングに使用するガスは、例えば、 C_4F_6 ガス、 C_2F_6 ガス、 C_4F_8 ガス、 CF_4 ガス、 SF_6 ガス、 CHF_3 ガス、 Cl_2 ガス、 BCl_3 ガスまたは $SiCl_4$ ガスなどを単独ガスまたは2以上のガスを混合して用いることができる。または、上記ガスに酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。この時、レジストマスク420もエッチングして消失させる。ドライエッチング装置は上述の第1の加工および第2の加工に使用したドライエッチング装置を用いることができる。以上により導電体417および絶縁体419を有するハードマスクを形成する（図24（A）、（B）および（C）参照。）。

10

【0190】

なお、上記ハードマスクは、導電体417のみの1層としてもよい。この場合は、導電体409上にリソグラフィ法などを用いてレジストマスク420を形成した後に上記第3の加工を行えばよい。第3の加工によってレジストマスク420もエッチングして消失させる。または、ハードマスク無しでレジストマスク420のみまたは有機塗布膜422およびレジストマスク420の2層マスクとすることもできる場合がある。

20

【0191】

次に、導電体417および絶縁体419を有するハードマスクをマスクとして、絶縁体446をドライエッチング法によって導電体416の上面に達するまでおよび絶縁体402の上面に達するまで開口部を形成し、絶縁体410を形成する第4の加工を行う。第4の加工に使用するドライエッチングガスは、第2の加工と同様のガスを用いることができる。また、ドライエッチング装置は、第1の加工、第2の加工および第3の加工と同様のドライエッチング装置を用いることができる。

【0192】

第4の加工では、導電体417および絶縁体419を有するハードマスクの最表面は絶縁体419となるので、絶縁体446と絶縁体419は同時にエッチングされる。絶縁体446と絶縁体419が同じ元素を含む絶縁体であれば、プラズマ中のエッチング種との反応および反応生成物が場所によらず均一となり、場所の違いによるエッチングレートなどのばらつきを小さく抑えることができるので、加工ばらつきを最小限とすることができる。つまり精度の高い加工ができる。

30

【0193】

また、第4の加工では、導電体417のエッチングレートと絶縁体446のエッチングレートとのエッチングレート比を大きくすることで、ハードマスクとしての導電体417のエッチングを最小限にしてハードマスクの変形を抑えることができるので、絶縁体446の加工精度を高めることができる。導電体417のエッチングレートと絶縁体446のエッチングレートとのエッチングレート比としては、導電体417のエッチングレートを1として絶縁体446のエッチングレートを5以上とする、好ましくは10以上とする。

40

【0194】

以上の作製方法にて加工した絶縁体410の開口部の側面は、基板400に対して略垂直となることで、絶縁体410の開口部のチャンネル長方向の長さを開口寸法403wとすると、開口寸法403wのばらつきが、絶縁体410の膜厚ばらつきの影響をほとんど受けることがなく好適である。

【0195】

また、絶縁体419の膜厚は、絶縁体446の膜厚と比較して、同じか薄いことが望まし

50

い。第4の加工中にハードマスクの最表面の絶縁体419がエッチングされ、消失することで、次の第5の加工では、ハードマスクの最表面は導電体417となる（図25（A）、（B）および（C）参照。）。

【0196】

次に、導電体417をマスクとして、導電体416および導電体441をドライエッチング法によって半導体406bの上面に達するまで第5の加工をすることで、導電体416a1と導電体416a2と、に分離し、および導電体441a1と導電体441a2と、に分離する。第5の加工のドライエッチングに使用するガスは、第3の加工に使用するガスを用いればよい。また、ドライエッチング装置は、第1の加工、第2の加工、第3の加工および第4の加工と同様のドライエッチング装置を用いることができる。

10

【0197】

第5の加工では、導電体417がハードマスクの最表面となるので導電体417と導電体416は同時にエッチングされる。導電体417と導電体416が同じ元素を含む導電体であれば、プラズマ中のエッチング種との反応および反応生成物が場所によらず均一となり、場所の違いによるエッチングレートなどのばらつきを小さく抑えることができるので、加工ばらつきを最小限とすることができる。つまり精度の高い加工ができる。導電体416a1と導電体416a2の断面形状が基板400に対して垂直となることで、導電体416a1と導電体416a2と、の間の寸法を414wとすると414wのばらつきが、小さくなり好適である。

20

【0198】

また、導電体417の膜厚は、導電体416の膜厚と導電体441の膜厚の合計と比較して、同じか厚いことが望ましい。導電体417の膜厚を導電体416の膜厚と導電体441の膜厚の合計より厚くする事で、第5の加工中にハードマスクとしての導電体417の変形を抑えることができるので、絶縁体410の開口部上部の広がりなどの変形を抑えることができる場合がある。第5の加工によって導電体417はエッチングされ膜厚が薄くなり導電体423となる。

【0199】

導電体416a1、導電体416a2、導電体441a1および導電体441a2は、本トランジスタのソース電極およびドレイン電極としての機能を有するので、414wは、本トランジスタのチャネル長と呼ぶことができる。従って、チャネル長414wのばらつきを小さくすることで、本トランジスタの動作ばらつきを小さくすることができて好ましい。

30

【0200】

次に、酸素ガスを用いたプラズマ処理を行ってもよい。第1の加工、第2の加工、第3の加工、第4の加工および第5の加工を行うことにより、半導体406bの露出領域にエッチングガスの残留成分などの不純物が付着する場合がある。例えば、エッチングガスとして塩素を含むガスを用いると、塩素などが付着する場合がある。また、エッチングガスとして炭化水素系ガスを用いると、炭素や水素などが付着する場合がある。第5の加工後に基板を大気に晒すと半導体406bの露出領域などが腐食することがある。そのため第5の加工後に連続して酸素ガスによるプラズマ処理を行うと上記不純物を除去することができて半導体406bの露出領域などの腐食を防ぐことができて好ましい。また、酸素ガスによるプラズマ処理によって絶縁体410の側面に付着した有機物などを除去することができる。酸素ガスによるプラズマ処理は、第1の加工、第2の加工、第3の加工、第4の加工および第5の加工と同様のドライエッチング装置を用いることができる。

40

【0201】

なお、不純物の低減は、例えば、希釈フッ化水素酸などを用いた洗浄処理またはオゾンなどを用いた洗浄処理を行ってもよい。なお、複数の洗浄処理を組み合わせてもよい。

【0202】

第1の加工、第2の加工、第3の加工、第4の加工、第5の加工および酸素ガスを用いたプラズマ処理を同じドライエッチング装置を用いることで大気に晒されることなく、連続

50

的に行うことができるので大気成分の付着による汚染や、残留するエッチングガスと大気成分との反応による絶縁体、半導体および導電体の腐食などを防ぐことができる。または第1の加工、第2の加工、第3の加工、第4の加工、第5の加工および酸素ガスを用いたプラズマ処理を連続的に行うことで生産性の向上が見込まれる。

【0203】

以上のような作製方法にて絶縁体410の形成、導電体416a1の形成、導電体416a2の形成、導電体441a1の形成および導電体441a2の形成を行うことによって、チャンネル長ばらつきが小さくすることができ、高い加工精度で加工する事ができる(図26(A)、(B)および(C)参照。)

【0204】

次に、絶縁体306cを成膜する。絶縁体306cの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体306c上に絶縁体413成膜する。絶縁体413の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体413は、絶縁体410、導電体416a1、導電体416a2、導電体441a1および導電体441a2によって形成される開口部の側面および底面に均一な厚さで成膜する。したがって、ALD法を用いることが好ましい(図27(A)、(B)および(C)参照。)

【0205】

次に、導電体424を成膜する。導電体424の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。導電体424は、絶縁体410などによって形成される開口部を埋めるように成膜する。したがって、CVD法(特にMCVD法)を用いることが好ましい。また、絶縁体410とMCVD法で成膜する導電体の密着性を高めるために、ALD法などによって成膜した導電体と、MCVD法で成膜した導電体との多層膜にすると好ましい場合がある。例えば、窒化チタンと、タンゲステンとがこの順に成膜された多層膜などを用いればよい(図28(A)、(B)および(C)参照。)

【0206】

次に導電体424の上面から、導電体424、絶縁体413、絶縁体306cおよび導電体423をCMPなどによって絶縁体410の上面に達するまで研磨および平坦化することにより導電体404、絶縁体412および絶縁体406cを形成する。これにより、ゲート電極としての機能を有する導電体404は、リソグラフィ法を用いることなく自己整合的に形成できる。また、ゲート電極としての機能を有する導電体404とソース電極またはドレイン電極としての機能を有する導電体416a1、導電体416a2、導電体441a1、および導電体441a2との合わせ精度を考慮することなくゲート電極として機能を有する導電体404を形成できるので半導体装置の面積を小さくすることができる。また、リソグラフィ工程が不要となるので工程簡略化による生産性の向上が見込まれる(図29(A)、(B)および(C)参照。)

【0207】

次に、絶縁体410上、絶縁体412上、絶縁体406c上および導電体404上に絶縁体425を成膜する。絶縁体425の成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に絶縁体425上に絶縁体426を成膜する。絶縁体426の成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に絶縁体426上に絶縁体427を成膜する。絶縁体427の成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体426は、酸素を有するプラズマを用いて酸化アルミニウムを成膜することで、該プラズマ中の酸素を過剰酸素として、絶縁体425の上部に含ませることができる。

【0208】

絶縁体426の成膜より後のいずれかのタイミングにおいて、第2の加熱処理を行っても構わない。第2の加熱処理を行うことで、絶縁体425に含まれる過剰酸素が絶縁体41

10

20

30

40

50

0、絶縁体402および絶縁体406aを通過して半導体406bまで移動する。また、絶縁体425に含まれる過剰酸素が絶縁体410、絶縁体412および絶縁体406cを通過して半導体406bまで移動する。このように2つの経路を通して過剰酸素が半導体406bまで移動するため、半導体406bの欠陥(酸素欠損)を低減することができる。

【0209】

なお、第2の加熱処理は、絶縁体425に含まれる過剰酸素(酸素)が半導体406bまで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第2の加熱処理の温度差は、20℃以上150℃以下、好ましくは40℃以上100℃以下とする。これにより、絶縁体402から余分に過剰酸素(酸素)が放出することを抑えることができる。なお、第2の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある(図30(A)、(B)および(C)参照。)

10

【0210】

次に絶縁体427、絶縁体426、絶縁体425および絶縁体410を通り、導電体416a1および導電体416a2に達する開口部と、絶縁体427、絶縁体426および絶縁体425を通り導電体404に達する開口部と、を形成し、絶縁体428、絶縁体408および絶縁体418を形成する。それぞれの開口部に導電体431、導電体429および導電体437を埋め込む。

20

【0211】

次に、絶縁体428上、導電体431上、導電体429上および導電体437上に導電体432となる導電体、導電体430となる導電体および導電体438となる導電体を成膜し、リソグラフィ法などにより該導電体の一部をエッチングすることで、導電体432、導電体430および導電体438を形成する。以上により、図1に示すトランジスタを作製することができる(図1(A)、(B)および(C)参照。)

【0212】

<トランジスタの作製方法2>

以下では、本発明の一態様に係る図2のトランジスタの作製方法を図31から図36を用いて説明する。

30

【0213】

絶縁体306a上に半導体306bを成膜し、第1の加熱処理を行うところまでは、上述のトランジスタの作製方法1と同様である。次に、半導体306b上に導電体439を成膜する。導電体439の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0214】

次に、導電体439上に絶縁体433を成膜する。絶縁体433の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体433上にリソグラフィ法を用いてレジストマスク434を形成する。

40

【0215】

また、絶縁体433とレジストマスク434との間に有機塗布膜を形成しても良い。有機塗布膜を形成することにより、レジストマスク434と絶縁体433との密着性が有機塗布膜を介して向上する場合がある(図31(A)、(B)および(C)参照。)

【0216】

次に、レジストマスク434をエッチングマスクとして絶縁体433を導電体439の表面が露出するまで加工して開口部を有する絶縁体436を形成する(図32(A)、(B)および(C)参照。)

【0217】

次に、開口部に導電体415を成膜する。導電体415の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。導電体41

50

5の膜種と、導電体439の膜種と、を同種の膜とすることで、導電体415は、導電体439が露出している開口部に選択的に成膜することができる。または、選択的に成膜しなくてもよい。その場合には開口部および絶縁体436上にも成膜する（図33（A）、（B）および（C）参照。）。

【0218】

次に導電体415の上面から、導電体415をCMPなどによって絶縁体436の上面と略同じ高さに達するまで研磨および平坦化することにより導電体416を形成する（図34（A）、（B）および（C）参照。）。

【0219】

次に、絶縁体436を選択的にエッチングする。エッチングはウェットエッチング法またはドライエッチング法を用いる。導電体416のエッチング量を少なく抑えて、絶縁体436を選択的にエッチングするためには、導電体416のエッチング速度と絶縁体436のエッチング速度の比が大きなエッチング条件を用いればよい。例えば、導電体416のエッチング速度を1とした場合、絶縁体436のエッチング速度は、5以上、好ましくは10以上とする。次に導電体439をエッチングして導電体441を形成する。以上により、導電体416および導電体441を有するハードマスクを形成する。（図35（A）、（B）および（C）参照。）。

10

【0220】

導電体416および導電体441を有するハードマスクは、後の工程によってソース電極またはドレイン電極としての機能を持つ導電体となる。

20

【0221】

本発明の一態様の作製方法によれば、導電体416および導電体441を有するハードマスクの膜厚は、従来のハードマスクの作製方法であるレジストマスクによる形成方法と比較して、厚くすることができるので、導電体416および導電体441を有するハードマスクの断面積を大きくすることができる。または、導電体416および導電体441を有するハードマスクの形状を安定して作製することができるのでチャンネル幅方向の微細化が可能となる。従って、チャンネル幅方向の微細化を行ってもトランジスタのオン時の電流を大きくすることができるので、トランジスタのソース電極またはドレイン電極としての機能を向上することができる。

【0222】

30

次に導電体416および導電体441を有するハードマスクをエッチングマスクとして、半導体306bの一部および絶縁体306aの一部をエッチングし、半導体406bおよび絶縁体406aを形成する（図36（A）、（B）および（C）参照。）

【0223】

以降の作製方法は、トランジスタの作製方法1と同様の工程を行えばよい。これで、図2に示すトランジスタを作製することができる（図2（A）、（B）および（C）参照。）。

【0224】

<トランジスタの作製方法3>

以下では、本発明の一態様に係る図3のトランジスタの作製方法を図20および図37から図40を用いて説明する。

40

【0225】

絶縁体406a、半導体406b、導電体416および導電体441を有する多層膜を形成するところまでは、トランジスタの作製方法1と同様である。なお、多層膜を形成する際、絶縁体402もエッチングされ、一部の領域が薄くなる場合がある。即ち、絶縁体402は、多層膜と接する領域に凸部を有する形状となる場合がある（図20（A）、（B）および（C）参照。）。

【0226】

次に、リソグラフィ法などを用いて導電体416および導電体441を加工して、導電体416a1、導電体416a2、導電体441a1および導電体441a2を形成する

50

(図37(A)、(B)および(C)参照。))。

【0227】

次に、絶縁体402、絶縁体406a、半導体406b、導電体441a1、導電体441a2、導電体416a1および導電体416a2を覆うように絶縁体306cを成膜する。絶縁体306cの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体306c上に絶縁体413成膜する。絶縁体413の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる(図38(A)、(B)および(C)参照。))。

【0228】

次に、導電体404となる導電体を成膜する。導電体404となる導電体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができるが、CVD法(特にMCVD法)を用いることが好ましい。また、MCVD法で成膜する導電体の密着性を高めるために、ALD法などによって成膜した導電体と、CVD法で成膜した導電体との多層膜にすると好ましい場合がある。

【0229】

次に、リソグラフィー法などによって導電体404となる導電体を加工して導電体404を形成する。次に、絶縁体413および絶縁体306cをリソグラフィー法などによって加工し、絶縁体412および絶縁体406cを形成する(図39(A)、(B)および(C)参照。))。

【0230】

なお、導電体404となる導電体の加工と、絶縁体413及び絶縁体306cの加工と、を共通のリソグラフィー法による工程に行っても構わない。リソグラフィー法による工程を共通化することで、工程数を少なくすることができる。そのため、トランジスタを有する半導体装置の生産性を高くすることができる。または、導電体404となる導電体の加工と、絶縁体413および絶縁体306cの加工と、を異なるリソグラフィー法による工程で行っても構わない。異なるリソグラフィー法による工程で加工を行うことで、それぞれ独立した形状とすることがたやすくなる場合がある。また、ここでは絶縁体412および絶縁体406cを形成した例を示しているが、本発明の一態様に係るトランジスタは、これに限定されるものではない。例えば、絶縁体413および絶縁体306cを加工せずに用いても構わない場合がある。

【0231】

次に、絶縁体402、絶縁体406a、半導体406b、導電体441a1、導電体441a2、導電体416a1、導電体416a2、絶縁体406c、絶縁体412および導電体404を覆うように絶縁体426を成膜する。絶縁体426の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体426は、酸素を有するプラズマを用いて酸化アルミニウムを成膜することで、該プラズマ中の酸素を過剰酸素として、絶縁体412の側面、絶縁体406cの側面、半導体406bの側面および絶縁体406aの側面などへ含ませることができる。

【0232】

次に、絶縁体426上に、絶縁体410を成膜する。絶縁体410の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体410の上面をCMPなどによって平坦化してもよい。

【0233】

次に、絶縁体410上に、絶縁体425を成膜する。絶縁体425の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。次に、絶縁体425上に、絶縁体427を成膜する。絶縁体427の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる(図40(A)、(B)および(C)参照。))。

【0234】

絶縁体426の成膜より後のいずれかのタイミングにおいて、第2の加熱処理を行っても

10

20

30

40

50

構わない。第2の加熱処理を行うことで、絶縁体412の側面、絶縁体406cの側面、半導体406bの側面および絶縁体406aの側面などに含まれる過剰酸素が絶縁体412、絶縁体406cおよび絶縁体406aを通過して半導体406bまで移動するため、半導体406bの欠陥（酸素欠損）を低減することができる。

【0235】

なお、第2の加熱処理は、絶縁体412の側面、絶縁体406cの側面、半導体406bの側面および絶縁体406aの側面などに含まれる過剰酸素（酸素）が半導体406bまで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第2の加熱処理の温度差は、20℃以上150℃以下、好ましくは40℃以上100℃以下とする。これにより、絶縁体402から余分に過剰酸素（酸素）が放出することを抑えることができる。なお、第2の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができ、行わなくてもよい場合がある。

10

【0236】

次に絶縁体427、絶縁体425、絶縁体410および絶縁体426を通り、導電体416a1および導電体416a2に達する開口部と、絶縁体427、絶縁体425、絶縁体410および絶縁体426を通り、導電体404に達する開口部と、を形成し、絶縁体428、絶縁体418および絶縁体408を形成する。それぞれの開口部に導電体431、導電体429および導電体437を埋め込む。

【0237】

次に、絶縁体428上、導電体431上、導電体429上および導電体437上に導電体432となる導電体、導電体430となる導電体および導電体438となる導電体を成膜し、リソグラフィ法により該導電体の一部をエッチングすることで、導電体432、導電体430および導電体438を形成する。以上により、図3に示すトランジスタを作製することができる（図3（A）、（B）および（C）参照。）。

20

【0238】

<トランジスタの作製方法4>

以下では、本発明の一態様に係る図4のトランジスタの作製方法について説明する。

【0239】

導電体416および導電体441を有するハードマスクをエッチングマスクとして、半導体306bの一部および絶縁体306aの一部をエッチングし、半導体406bおよび絶縁体406aを形成するところまでは、トランジスタの作製方法2と同様である（図36（A）、（B）および（C）参照。）。

30

【0240】

以降の作製方法は、リソグラフィ法などを用いて導電体416および導電体441を加工して、導電体416a1、導電体416a2、導電体441a1および導電体441a2を形成するところから、トランジスタの作製方法3を参酌する。これで、図4に示すトランジスタを作製することができる（図4（A）、（B）および（C）参照。）。

【0241】

<ハードマスクを用いた導電体416および導電体441を有するハードマスクの作製方法1>

40

以下では、トランジスタの作製方法1およびトランジスタの作製方法3と異なる導電体416および導電体441を有するハードマスクの作製方法について、図18、図19および図41から図46を用いて説明する。

【0242】

絶縁体433の成膜までは、トランジスタの作製方法1を参酌する。次に、絶縁体433上に導電体443を成膜する。導電体443の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0243】

次に、導電体443上に絶縁体445を成膜する。絶縁体445の成膜は、スパッタリン

50

グ法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体445上に有機塗布膜449を成膜する。有機塗布膜449の成膜は、スピンコート法などを用いて塗布すればよい。次に、有機塗布膜449上にリソグラフィ法などを用いてレジストマスク434を形成する（図41（A）、（B）および（C）参照。）。

【0244】

次に、レジストマスク434をエッチングマスクとして、有機塗布膜449を絶縁体445の表面が露出するまで加工し、有機塗布膜451を形成する。有機塗布膜451を形成することにより、レジストマスク434と絶縁体433との密着性が有機塗布膜451を介して向上する場合がある。尚、有機塗布膜451の形成は行わなくてもよい。

【0245】

次に、レジストマスク434をエッチングマスクとして、絶縁体445を導電体443の表面が露出するまで加工し、絶縁体452を形成する（図42（A）、（B）および（C）参照。）。10

【0246】

次に、レジストマスク434をエッチングマスクとして、導電体443を絶縁体433の表面が露出するまで加工し、導電体453を形成する。導電体453の形成中にレジストマスク434は消失する。以上により、絶縁体452および導電体453からなるハードマスクを形成する（図43（A）、（B）および（C）参照。）。20

【0247】

次に、絶縁体452および導電体453からなるハードマスクをエッチングマスクとして絶縁体433を半導体306bの表面が露出するまで加工して開口部を有する絶縁体436を形成する。この加工により、絶縁体452は消失し、導電体453の膜厚もエッチングによって薄くなる（図44（A）、（B）および（C）参照。）。30

【0248】

以上のように絶縁体452および導電体453からなるハードマスクをエッチングマスクとして開口部を有する絶縁体436を形成する方が、トランジスタの作製方法1またはトランジスタの作製方法3の方法であるレジストマスクをエッチングマスクとして開口部を有する絶縁体436を形成するよりも、該開口部の広がり小さくすることができるので、微細な加工ができる。さらに開口部の寸法の制御および開口部の寸法のばらつきを抑えることができる場合がある。40

【0249】

次に、半導体406bの露出部および導電体453上に導電体439を成膜する（図45（A）、（B）および（C）参照。）。50

【0250】

次に、導電体439上に導電体415を成膜する。導電体439および導電体415の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができるが、特に、導電体439はALD法などによって成膜し、導電体415はMCVD法で成膜すると導電体439と導電体415の密着性が向上する場合があるので好ましい。例えば、窒化チタンまたはタングステンと、タングステンをこの順に成膜すればよい（図46（A）、（B）および（C）参照。）。60

【0251】

次に導電体415の上面から、導電体415、導電体439および導電体453をCMPなどによって絶縁体436の上面に達するまで研磨および平坦化することにより導電体416および導電体441を形成する（図18（A）、（B）および（C）参照。）。70

【0252】

次に、絶縁体436を選択的にエッチングする。エッチングはウェットエッチング法またはドライエッチング法を用いる。導電体416および導電体441のエッチング量を少なく抑えて、絶縁体436を選択的にエッチングするためには、導電体416および導電体441のエッチング速度と絶縁体436のエッチング速度の比が大きなエッチング条件を用いればよい。例えば、導電体416および導電体441のエッチング速度を1とした場80

合、絶縁体436のエッチング速度は、5以上、好ましくは10以上とする。以上により、導電体416および導電体441を有するハードマスクを形成することができる(図19(A)、(B)および(C)参照。)

【0253】

<ハードマスクを用いた導電体416および導電体441を有するハードマスクの作製方法2>

以下では、トランジスタの作製方法2およびトランジスタの作製方法4と異なる導電体416および導電体441を有するハードマスクの作製方法について図34、図35および図47から図51を用いて説明する。

【0254】

絶縁体433の成膜までは、トランジスタの作製方法2を参酌する。次に、絶縁体433上に導電体443を成膜する。導電体443の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0255】

次に、導電体443上に絶縁体445を成膜する。絶縁体445の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体445上に有機塗布膜449を成膜する。有機塗布膜449の成膜は、スピコート法などを用いて塗布すればよい。次に、有機塗布膜449上にリソグラフィ法などを用いてレジストマスク434を形成する(図47(A)、(B)および(C)参照。)

【0256】

次に、レジストマスク434をエッチングマスクとして、有機塗布膜449を絶縁体445の表面が露出するまで加工し、有機塗布膜451を形成する。有機塗布膜451を形成することにより、レジストマスク434と絶縁体433との密着性が有機塗布膜451を介して向上する場合がある。尚、有機塗布膜451の形成は行わなくてもよい。

【0257】

次に、レジストマスク434をエッチングマスクとして、絶縁体445を導電体443の表面が露出するまで加工し、絶縁体452を形成する(図48(A)、(B)および(C)参照。)

【0258】

次に、レジストマスク434をエッチングマスクとして、導電体443を絶縁体433の表面が露出するまで加工し、導電体453を形成する。導電体453の形成中にレジストマスク434は消失する。以上により、絶縁体452および導電体453からなるハードマスクを形成する(図49(A)、(B)および(C)参照。)

【0259】

次に、絶縁体452および導電体453からなるハードマスクをエッチングマスクとして絶縁体433を導電体439の表面が露出するまで加工して開口部を有する絶縁体436を形成する。この加工により、絶縁体452は消失し、導電体453の膜厚もエッチングによって薄くなる(図50(A)、(B)および(C)参照。)

【0260】

以上のように絶縁体452および導電体453からなるハードマスクをエッチングマスクとして開口部を有する絶縁体436を形成することで、レジストマスクをエッチングマスクとして開口部を有する絶縁体436を形成するよりも、該開口部の広がり小さくすることができるので、微細な加工ができる。さらに開口部の寸法の制御および開口部の寸法のばらつきを抑えることができる場合がある。

【0261】

次に、開口部および導電体439上に導電体415を成膜する。導電体415の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる(図51(A)、(B)および(C)参照。)

【0262】

次に導電体415の上面から、導電体415および導電体453をCMPなどによって絶

10

20

30

40

50

縁体436の上面に達するまで研磨および平坦化することにより導電体416を形成する（図34（A）、（B）および（C）参照。）。

【0263】

次に、絶縁体436を選択的にエッチングする。エッチングはウエットエッチング法またはドライエッチング法を用いる。導電体416のエッチング量を少なく抑えて、絶縁体436を選択的にエッチングするためには、導電体416のエッチング速度と絶縁体436のエッチング速度の比が大きなエッチング条件を用いればよい。例えば、導電体416のエッチング速度を1とした場合、絶縁体436のエッチング速度は、5以上、好ましくは10以上とする。

【0264】

以上により、導電体416および導電体441を有するハードマスクを形成することができる（図35（A）、（B）および（C）参照。）。

【0265】

（実施の形態4）

<記憶装置1>

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図52に示す。

【0266】

図52（A）に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタを用いることができる。

【0267】

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【0268】

図52（A）において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の一方の電極と電氣的に接続され、第5の配線3005は容量素子3400の他方の電極と電氣的に接続されている。

【0269】

図52（A）に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0270】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の一方の電極と電氣的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とするこ

10

20

30

40

50

とにより、ノードFGに電荷が保持される（保持）。

【0271】

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

【0272】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャンネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

【0273】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電位によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電位によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

【0274】

<半導体装置の構造1>

図53は、図52（A）に対応する半導体装置の断面図である。図53に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、図1に示したトランジスタを用いた例を示しているが、本発明の一態様に係る半導体装置は、これに限定されるものではない。よって適宜上述したトランジスタについての記載を参酌する。

【0275】

また、図53に示す半導体装置は、トランジスタ3200がFin型である場合を示している。トランジスタ3200をFin型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ3200のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ3200のオフ特性を向上させることができる。トランジスタ3200は、半導体基板450を用いたトランジスタである。トランジスタ3200は、半導体基板450中の領域474aと、半導体基板450中の領域474bと、絶縁体462と、導電体454と、を有する。

【0276】

トランジスタ3200において、領域474aおよび領域474bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電

体 4 5 4 に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電体 4 5 4 に印加する電位によって、領域 4 7 4 a と領域 4 7 4 b との間の導通・非導通を制御することができる。

【0277】

半導体基板 4 5 0 としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などを用いればよい。好ましくは、半導体基板 4 5 0 として単結晶シリコン基板を用いる。

【0278】

半導体基板 4 5 0 は、n 型の導電性を付与する不純物を有する半導体基板を用いる。ただし、半導体基板 4 5 0 として、p 型の導電性を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ 3 2 0 0 となる領域には、n 型の導電性を付与する不純物を有するウェルを配置すればよい。または、半導体基板 4 5 0 が i 型であっても構わない。

【0279】

半導体基板 4 5 0 の上面は、(1 1 0) 面を有することが好ましい。こうすることで、トランジスタ 3 2 0 0 のオン特性を向上させることができる。

【0280】

領域 4 7 4 a および領域 4 7 4 b は、p 型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ 3 2 0 0 は p チャネル型トランジスタを構成する。

【0281】

トランジスタ 3 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャネル型トランジスタであっても構わない。

【0282】

なお、トランジスタ 3 2 0 0 は、領域 4 6 0 などによって隣接するトランジスタと分離される。領域 4 6 0 は、絶縁性を有する領域である。

【0283】

図 5 3 に示す半導体装置は、絶縁体 4 6 4 と、絶縁体 4 6 6 と、絶縁体 4 6 8 と、絶縁体 4 7 0 と、絶縁体 4 7 2 と、絶縁体 4 7 5 と、絶縁体 4 0 2 と、絶縁体 4 1 0 と、絶縁体 4 0 8 と、絶縁体 4 2 8 と、絶縁体 4 6 5 と、絶縁体 4 6 7 と、絶縁体 4 6 9 と、絶縁体 4 9 8 と、導電体 4 8 0 a と、導電体 4 8 0 b と、導電体 4 8 0 c と、導電体 4 7 8 a と、導電体 4 7 8 b と、導電体 4 7 8 c と、導電体 4 7 6 a と、導電体 4 7 6 b と、導電体 4 7 6 c と、導電体 4 7 9 a と、導電体 4 7 9 b と、導電体 4 7 9 c と、導電体 4 7 7 a と、導電体 4 7 7 b と、導電体 4 7 7 c と、導電体 4 8 4 a と、導電体 4 8 4 b と、導電体 4 8 4 c と、導電体 4 8 4 d と、導電体 4 8 3 a と、導電体 4 8 3 b と、導電体 4 8 3 c と、導電体 4 8 3 d と、導電体 4 8 3 e と、導電体 4 8 3 f と、導電体 4 8 5 a と、導電体 4 8 5 b と、導電体 4 8 5 c と、導電体 4 8 5 d と、導電体 4 8 7 a と、導電体 4 8 7 b と、導電体 4 8 7 c と、導電体 4 8 8 a と、導電体 4 8 8 b と、導電体 4 8 8 c と、導電体 4 9 0 a と、導電体 4 9 0 b と、導電体 4 8 9 a と、導電体 4 8 9 b と、導電体 4 9 1 a と、導電体 4 9 1 b と、導電体 4 9 1 c と、導電体 4 9 2 a と、導電体 4 9 2 b と、導電体 4 9 2 c と、導電体 4 9 4 と、導電体 4 9 6 と、絶縁体 4 0 6 a、半導体 4 0 6 b、絶縁体 4 0 6 c と、を有する。

【0284】

絶縁体 4 6 4 は、トランジスタ 3 2 0 0 上に配置する。また、絶縁体 4 6 6 は、絶縁体 4 6 4 上に配置する。また、絶縁体 4 6 8 は、絶縁体 4 6 6 上に配置する。また、絶縁体 4 7 0 は、絶縁体 4 6 8 上に配置する。また、絶縁体 4 7 2 は、絶縁体 4 7 0 上に配置する。また、絶縁体 4 7 5 は、絶縁体 4 7 2 上に配置する。また、トランジスタ 3 3 0 0 は、絶縁体 4 7 5 上に配置する。また、絶縁体 4 0 8 は、トランジスタ 3 3 0 0 上に配置する。また、絶縁体 4 2 8 は、絶縁体 4 0 8 上に配置する。また、絶縁体 4 6 5 は、絶縁体 4 2 8 上に配置される。また、容量素子 3 4 0 0 は、絶縁体 4 6 5 上に配置される。また、

絶縁体469は、容量素子3400上に配置される。

【0285】

絶縁体464は、領域474aに達する開口部と、領域474bに達する開口部と、導電体454に達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

【0286】

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口部と、導電体480cに達する開口部と、を有する。また、開口部には、それぞれ導電体478a、導電体478bまたは導電体478cが埋め込まれている。

【0287】

また、絶縁体468は、導電体478aに達する開口部と、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。また、開口部には、それぞれ導電体476a、導電体476bまたは導電体476cが埋め込まれている。

【0288】

また、絶縁体468上に、導電体476aと接する導電体479aと、導電体476bと接する導電体479bと、導電体476cと接する導電体479cと、を有する。また、絶縁体472は、絶縁体470を通して導電体479aに達する開口部と、絶縁体470を通して導電体479bに達する開口部と、絶縁体470を通して導電体479cに達する開口部と、を有する。また、開口部には、それぞれ導電体477a、477bまたは477cが埋め込まれている。

【0289】

また、絶縁体475は、トランジスタ3300のチャネル形成領域と重なる開口部と、導電体477aに達する開口部と、導電体477bに達する開口部と、導電体477cに達する開口部と、を有する。また、開口部には、それぞれ導電体484d、導電体484a、導電体484bまたは導電体484cが埋め込まれている。

【0290】

また、導電体484dは、トランジスタ3300のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体484dに一定の電位を印加することで、トランジスタ3300のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体484dとトランジスタ3300のトップゲート電極とを電氣的に接続しても構わない。こうすることで、トランジスタ3300のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ3300の飽和領域における電気特性を安定にすることができる。

【0291】

また、絶縁体402は、導電体484aに達する開口部と、導電体484cに達する開口部と、導電体484bに達する開口部と、を有する。

【0292】

また、絶縁体428は、絶縁体408、絶縁体410および絶縁体402を通して導電体484a、導電体484bおよび導電体484cに達する3つの開口部と、絶縁体408および絶縁体410を通してトランジスタ3300のソース電極またはドレイン電極の一方の導電体に達する2つの開口部と、絶縁体408を通してトランジスタ3300のゲート電極の導電体に達する開口部と、を有する。また、開口部には、それぞれ導電体483a、導電体483b、導電体483c、導電体483e、導電体483fまたは導電体483dが埋め込まれている。

【0293】

また、絶縁体428上に、導電体483aおよび483eと接する導電体485aと、導電体483bと接する導電体485bと、導電体483cおよび導電体483fと接する導電体485cと、導電体483dと接する導電体485dと、を有する。また、絶縁体465は、導電体485aに達する開口部と、導電体485bに達する開口部と、導電体485cに達する開口部と、を有する。また、開口部には、それぞれ導電体487a、導

10

20

30

40

50

電体 487b または導電体 487c が埋め込まれている。

【0294】

また絶縁体 465 上に、導電体 487a と接する導電体 488a と、導電体 487b と接する導電体 488b と、導電体 487c と接する導電体 488c と、を有する。また、絶縁体 467 は、導電体 488a に達する開口部と、導電体 488b に達する開口部と、を有する。また、開口部には、それぞれ導電体 490a または導電体 490b が埋め込まれている。また、導電体 488c は容量素子 3400 の一方の電極の導電体 494 と接している。

【0295】

また、絶縁体 467 上に、導電体 490a と接する導電体 489a と、導電体 490b と接する導電体 489b と、を有する。また、絶縁体 469 は、導電体 489a に達する開口部と、導電体 489b に達する開口部と、容量素子 3400 の他方の電極である導電体 496 に達する開口部と、を有する。また、開口部には、それぞれ導電体 491a、導電体 491b または導電体 491c が埋め込まれている。

【0296】

また、絶縁体 469 上には、導電体 491a と接する導電体 492a と、導電体 491b と接する導電体 492b と、導電体 491c と接する導電体 492c と、を有する。

【0297】

絶縁体 464、絶縁体 466、絶縁体 468、絶縁体 470、絶縁体 472、絶縁体 475、絶縁体 402、絶縁体 410、絶縁体 408、絶縁体 428、絶縁体 465、絶縁体 467、絶縁体 469 および絶縁体 498 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 401 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0298】

絶縁体 464、絶縁体 466、絶縁体 468、絶縁体 470、絶縁体 472、絶縁体 475、絶縁体 402、絶縁体 410、絶縁体 408、絶縁体 428、絶縁体 465、絶縁体 467、絶縁体 469 または絶縁体 498 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 3300 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 3300 の電気特性を安定にすることができる。

【0299】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0300】

導電体 480a、導電体 480b と、導電体 480c、導電体 478a、導電体 478b、導電体 478c、導電体 476a、導電体 476b、導電体 476c、導電体 479a、導電体 479b、導電体 479c、導電体 477a、導電体 477b、導電体 477c、導電体 484a、導電体 484b、導電体 484c、導電体 484d、導電体 483a、導電体 483b と、導電体 483c、導電体 483d、導電体 483e、導電体 483f、導電体 485a、導電体 485b、導電体 485c、導電体 485d、導電体 487a、導電体 487b、導電体 487c、導電体 488a、導電体 488b、導電体 488c、導電体 490a、導電体 490b と、導電体 489a、導電体 489b と、導電体 491a、導電体 491b、導電体 491c、導電体 492a、導電体 492b、導電体 4

92c、導電体494および導電体496としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0301】

半導体406bとしては、酸化物半導体を用いることが好ましい。ただし、シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウムまたは有機半導体などを用いても構わない場合がある。

10

【0302】

絶縁体406aおよび絶縁体406cとしては、半導体406bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物を用いることが望ましい。ただし、シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウムまたは有機半導体などを用いても構わない場合がある。

【0303】

トランジスタ3200のソースまたはドレインは、導電体480aと、導電体478aと、導電体476aと、導電体479aと、導電体477aと、導電体484aと、導電体483aと、導電体485aと、導電体483eと、を介してトランジスタ3300のソース電極またはドレイン電極の一方である導電体と電気的に接続する。また、トランジスタ3200のゲート電極である導電体454は、導電体480cと、導電体478cと、導電体476cと、導電体479cと、導電体477cと、導電体484cと、導電体483cと、導電体485cと、導電体483fと、を介してトランジスタ3300のソース電極またはドレイン電極の他方である導電体と電気的に接続する。

20

【0304】

容量素子3400は、トランジスタ3300のソース電極またはドレイン電極の一方の電極と、導電体483fと、導電体485cと、導電体487cと、導電体488cと、を介して電気的に接続する、容量素子3400の一方の電極である導電体494と、絶縁体498と、容量素子3400の他方の電極である導電体496と、を有する。なお、容量素子3400は、トランジスタ3300の上方または下方に形成することで、半導体装置の大きさを縮小することができて好適である。

30

【0305】

そのほかの構造については、適宜図1などについての記載を参照することができる。

【0306】

本実施の形態では、トランジスタ3200上にトランジスタ3300を有し、トランジスタ3300上に容量素子3400を有する半導体装置の一例を示したが、トランジスタ3200上にトランジスタ3300と同様の半導体を有するトランジスタを一以上有する構成としても構わない。または、トランジスタ3200の上に容量素子3400を有し、容量素子3400上にトランジスタ3300を有してもよい。このような構成とすることで半導体装置の集積度をより高めることができる（図54参照。）。

40

【0307】

<記憶装置2>

図52（B）に示す半導体装置は、トランジスタ3200を有さない点で図52（A）に示した半導体装置と異なる。この場合も図52（A）に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0308】

図52（B）に示す半導体装置における、情報の読み出しについて説明する。トランジス

50

タ 3 3 0 0 が導通状態になると、浮遊状態である第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 とが導通し、第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 の間で電荷が再分配される。その結果、第 3 の配線 3 0 0 3 の電位が変化する。第 3 の配線 3 0 0 3 の電位の変化量は、容量素子 3 4 0 0 の一方の電極の電位（または容量素子 3 4 0 0 に蓄積された電荷）によって、異なる値をとる。

【0309】

例えば、容量素子 3 4 0 0 の一方の電極の電位を V 、容量素子 3 4 0 0 の容量を C 、第 3 の配線 3 0 0 3 が有する容量成分を C_B 、電荷が再分配される前の第 3 の配線 3 0 0 3 の電位を V_{B0} とすると、電荷が再分配された後の第 3 の配線 3 0 0 3 の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3 4 0 0 の一方の電極の電位が V_1 と V_0 ($V_1 > V_0$) の 2 つの状態をとるとすると、電位 V_1 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

10

【0310】

そして、第 3 の配線 3 0 0 3 の電位を所定の電位と比較することで、情報を読み出すことができる。

【0311】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体が適用されたトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

20

【0312】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0313】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせることで実施することができる。

30

【0314】

（実施の形態 5）

<半導体装置の構造 2>

40

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

<断面構造>

図 5 5 (A) および (B) に本発明の一態様の半導体装置の断面図を示す。図 5 5 (A) において、 $X_1 - X_2$ 方向はチャネル長方向、図 5 5 (B) において、 $Y_1 - Y_2$ 方向はチャネル幅方向を示す。図 5 5 (A) および (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 2 2 0 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 2 1 0 0 を有している。図 5 5 (A) および (B) では、第 2 の半導体材料を用いたトランジスタ 2 1 0 0 として、図 1 に例示したトランジスタを適用した例を示している。

50

【0315】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウム、有機半導体など）とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、先の実施の形態で例示したトランジスタを適用することで、優れたサブスレッショルド特性が得られ、微細なトランジスタとすることが可能である。また、スイッチ速度が速いため高速動作が可能であり、オフ電流が低いためリーク電流が小さい。

10

【0316】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0317】

図55（A）および（B）に示す構成では、トランジスタ2200の上部に、絶縁体2201、絶縁体2207および絶縁体2208を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁体に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ2100を覆う絶縁体2204と、絶縁体2204上に配線2205と、が設けられている。

20

【0318】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0319】

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体膜の近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体膜の近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁体2207を設けることは特に効果的である。絶縁体2207により、下層に水素を閉じ込めることでトランジスタ2200の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ2100の信頼性も同時に向上させることができる。

30

【0320】

絶縁体2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（YSZ）等を用いることができる。

40

【0321】

また、酸化物半導体膜を含んで構成されるトランジスタ2100を覆うように、トランジスタ2100上に水素の拡散を防止する機能を有するブロック膜を形成することが好ましい。当該ブロック膜としては、絶縁体2207と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミ膜は、その成膜中に下層の絶縁体に過剰酸素を添加することができ、熱工程によって、過剰酸素がトランジスタ2100の酸化物半導体層に移動し、酸化物半導体層中の欠陥を修復する効果がある。さらに酸化ア

50

ルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断（ブロッキング）効果が高い。したがって、トランジスタ2100を覆う当該ブロック膜として酸化アルミニウム膜を用いることで、トランジスタ2100に含まれる酸化物半導体膜からの酸素の脱離を防止するとともに、酸化物半導体膜への水および水素の混入を防止することができる。なお、当該ブロック膜は、絶縁体2204を積層にすることで用いてもよいし、絶縁体2204の下側に設けてもよい。

【0322】

なお、トランジスタ2200は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN（フィン）型、TRI-GATE（トライゲート）型などのトランジスタなどとすることができる。その場合の断面図の例を、図55（E）および（F）に示す。半導体基板2211の上に、絶縁体2212が設けられている。半導体基板2211は、先端の細い凸部（フィンともいう）を有する。なお、凸部の上には、絶縁体が設けられていてもよい。その絶縁体は、凸部を形成するときに、半導体基板2211がエッチングされないようにするためのマスクとして機能するものである。なお、凸部は、先端が細くなくてもよく、例えば、略直方体の凸部であってもよいし、先端が太い凸部であってもよい。半導体基板2211の凸部の上には、ゲート絶縁体2214が設けられ、その上には、ゲート電極2213が設けられている。半導体基板2211には、ソース領域およびドレイン領域2215が形成されている。なお、ここでは、半導体基板2211が、凸部を有する例を示したが、本発明の一態様に係る半導体装置は、これに限定されない。例えば、SOI基板を加工して、凸部を有する半導体領域を形成しても構わない。

【0323】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0324】

（実施の形態6）

〔CMOS回路〕

図55（C）に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。

【0325】

〔アナログスイッチ〕

また図55（D）に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0326】

（実施の形態7）

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0327】

図56は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0328】

図56に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1

198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図56に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図56に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0329】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

10

【0330】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

20

【0331】

図56に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0332】

図56に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

30

【0333】

図57は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

40

【0334】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0335】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)の

50

トランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213の導通状態または非導通状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214の導通状態または非導通状態）が選択される。

10

【0336】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうちの一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電気的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電気的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。

20

30

【0337】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0338】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

40

【0339】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図57では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0340】

なお、図57では、スイッチ1203の第2の端子（トランジスタ1213のソースとド

50

レインの他方) から出力される信号は、論理素子 1206 および回路 1220 を介して回路 1201 に入力する例を示したがこれに限定されない。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) から出力される信号が、論理値を反転させられることなく、回路 1201 に入力されてもよい。例えば、回路 1201 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) から出力される信号を当該ノードに入力することができる。

【0341】

また、図 57 において、記憶素子 1200 に用いられるトランジスタのうち、トランジスタ 1209 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1190 にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子 1200 に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1200 は、トランジスタ 1209 以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1190 にチャンネルが形成されるトランジスタとすることもできる。

【0342】

図 57 における回路 1201 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1206 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0343】

本発明の一態様に係る半導体装置では、記憶素子 1200 に電源電圧が供給されない間は、回路 1201 に記憶されていたデータを、回路 1202 に設けられた容量素子 1208 によって保持することができる。

【0344】

また、酸化物半導体にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶素子 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1200 は電源電圧の供給が停止した間も記憶内容 (データ) を保持することが可能である。

【0345】

また、スイッチ 1203 およびスイッチ 1204 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

【0346】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号に応じて、トランジスタ 1210 の状態 (導通状態、または非導通状態) が決まり、回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0347】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を

10

20

30

40

50

抑えることができる。

【0348】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF-Tag (Radio Frequency Tag) にも応用可能である。

【0349】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0350】

(実施の形態8)

<撮像装置>

図58(A)は、本発明の一態様に係る撮像装置200の例を示す上面図である。撮像装置200は、画素部210と、画素部210を駆動するための周辺回路260と、周辺回路270、周辺回路280と、周辺回路290と、を有する。画素部210は、p行q列(pおよびqは2以上の整数)のマトリクス状に配置された複数の画素211を有する。周辺回路260、周辺回路270、周辺回路280および周辺回路290は、それぞれ複数の画素211に接続し、複数の画素211を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路260、周辺回路270、周辺回路280および周辺回路290などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路260は周辺回路の一部といえる。

【0351】

また、撮像装置200は、光源291を有することが好ましい。光源291は、検出光P1を放射することができる。

【0352】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の1つを有する。また、周辺回路は、画素部210を形成する基板上に作製してもよい。また、周辺回路の一部または全部にICチップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路260、周辺回路270、周辺回路280および周辺回路290のいずれか一以上を省略してもよい。

【0353】

また、図58(B)に示すように、撮像装置200が有する画素部210において、画素211を傾けて配置してもよい。画素211を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置200における撮像の品質をより高めることができる。

【0354】

<画素の構成例1>

撮像装置200が有する1つの画素211を複数の副画素212で構成し、それぞれの副画素212に特定の波長帯域の光を透過するフィルタ(カラーフィルタ)を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0355】

図59(A)は、カラー画像を取得するための画素211の一例を示す上面図である。図59(A)に示す画素211は、赤(R)の波長帯域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212R」ともいう)、緑(G)の波長帯域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212G」ともいう)および青(B)の波長帯域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212B」ともいう)を有する。副画素212は、フォトセンサとして機能させることができる。

【0356】

副画素212(副画素212R、副画素212G、および副画素212B)は、配線23

10

20

30

40

50

1、配線247、配線248、配線249、配線250と電氣的に接続される。また、副画素212R、副画素212G、および副画素212Bは、それぞれが独立した配線253に接続している。また、本明細書等において、例えばn行目の画素211に接続された配線248および配線249、および配線250を、それぞれ配線248[n]、配線249[n]、および配線250[n]と記載する。また、例えばm列目の画素211に接続された配線253を、配線253[m]と記載する。なお、図59(A)において、m列目の画素211が有する副画素212Rに接続する配線253を配線253[m]R、副画素212Gに接続する配線253を配線253[m]G、および副画素212Bに接続する配線253を配線253[m]Bと記載している。副画素212は、上記配線を介して周辺回路と電氣的に接続される。

10

【0357】

また、撮像装置200は、隣接する画素211の、同じ波長帯域の光を透過するカラーフィルタが設けられた副画素212同士がスイッチを介して電氣的に接続する構成を有する。図59(B)に、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素211が有する副画素212と、該画素211に隣接するn+1行m列に配置された画素211が有する副画素212の接続例を示す。図59(B)において、n行m列に配置された副画素212Rと、n+1行m列に配置された副画素212Rがスイッチ201を介して接続されている。また、n行m列に配置された副画素212Gと、n+1行m列に配置された副画素212Gがスイッチ202を介して接続されている。また、n行m列に配置された副画素212Bと、n+1行m列に配置された副画素212Bが

20

【0358】

なお、副画素212に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素211に3種類の異なる波長帯域の光を検出する副画素212を設けることで、フルカラー画像を取得することができる。

【0359】

または、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた副画素212に加えて、黄(Y)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。または、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた副画素212に加えて、青(B)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。1つの画素211に4種類の異なる波長帯域の光を検出する副画素212を設けることで、取得した画像の色の再現性をさらに高めることができる。

30

【0360】

また、例えば、図59(A)において、赤の波長帯域の光を検出する副画素212、緑の波長帯域の光を検出する副画素212、および青の波長帯域の光を検出する副画素212の画素数比(または受光面積比)は、1:1:1でなくても構わない。例えば、画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。または、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

40

【0361】

なお、画素211に設ける副画素212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長帯域の光を検出する副画素212を2つ以上設けることで、冗長性を高め、撮像装置200の信頼性を高めることができる。

【0362】

また、可視光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出する撮像装置200を実現することができる。

【0363】

また、ND(ND:Neutral Density)フィルタ(減光フィルタ)を用いることで、光電変換素子(受光素子)に大光量光が入射した時に生じる出力飽和すること

50

を防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

【0364】

また、前述したフィルタ以外に、画素211にレンズを設けてもよい。ここで、図60の断面図を用いて、画素211、フィルタ254、レンズ255の配置例を説明する。レンズ255を設けることで、副画素212中に設けられた光電変換素子が入射光を効率よく受光することができる。具体的には、図60(A)に示すように、画素211に形成したレンズ255、フィルタ254（フィルタ254R、フィルタ254Gおよびフィルタ254B）、および画素回路230等を通して光256を光電変換素子220に入射させる構造とすることができる。

10

【0365】

ただし、一点鎖線で囲んだ領域に示すように、矢印で示す光256の一部が配線257の一部によって遮光されてしまうことがある。したがって、図60(B)に示すように光電変換素子220側にレンズ255およびフィルタ254を配置して、光電変換素子220が光256を効率良く受光させる構造が好ましい。光電変換素子220側から光256を光電変換素子220に入射させることで、検出感度の高い撮像装置200を提供することができる。

【0366】

図60に示す光電変換素子220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

20

【0367】

また、光電変換素子220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能として、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

【0368】

例えば、光電変換素子220にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子220を実現できる。

【0369】

ここで、撮像装置200が有する1つの画素211は、図60に示す副画素212に加えて、第1のフィルタを有する副画素212を有してもよい。

30

【0370】

<画素の構成例2>

以下では、シリコンを用いたトランジスタと、本発明の一態様に係る酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0371】

図61(A)および(B)は、撮像装置を構成する素子の断面図である。

【0372】

図61(A)に示す撮像装置は、シリコン基板300に設けられたシリコンを用いたトランジスタ351上に積層して配置された酸化物半導体を用いたトランジスタ353およびトランジスタ354、ならびにシリコン基板300に設けられた、アノード361と、カソード362を有するフォトダイオード360を含む。各トランジスタおよびフォトダイオード360は、種々のプラグ370および配線371と電気的な接続を有する。また、フォトダイオード360のアノード361は、低抵抗領域363を介してプラグ370と電気的に接続を有する。

40

【0373】

また撮像装置は、シリコン基板300に設けられたトランジスタ351およびフォトダイオード360を有する層305と、層305と接して設けられ、配線371を有する層320と、層320と接して設けられ、トランジスタ353およびトランジスタ354を有

50

する層 3 3 1 と、層 3 3 1 と接して設けられ、配線 3 7 2 および配線 3 7 3 を有する層 3 4 0 を備えている。

【0 3 7 4】

なお、図 6 1 (A) の断面図の一例では、シリコン基板 3 0 0 において、トランジスタ 3 5 1 が形成された面とは逆側の面にフォトダイオード 3 6 0 の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード 3 6 0 の受光面をトランジスタ 3 5 1 が形成された面と同じとすることもできる。

【0 3 7 5】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層 3 0 5 を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層 3 0 5 を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0 3 7 6】

また、図 6 1 (A) の断面図において、層 3 0 5 に設けるフォトダイオード 3 6 0 と、層 3 3 1 に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0 3 7 7】

また、図 6 1 (B) は、撮像装置は層 3 4 0 側にフォトダイオード 3 6 5 をトランジスタの上に配置した構造とすることができる。図 6 1 (B) において、例えば層 3 0 5 には、シリコンを用いたトランジスタ 3 5 1 およびトランジスタ 3 5 2 を有し、層 3 2 0 には配線 3 7 1 を有し、層 3 3 1 には酸化物半導体層を用いたトランジスタ 3 5 3、トランジスタ 3 5 4 を有し、層 3 4 0 にはフォトダイオード 3 6 5 を有しており、フォトダイオード 3 6 5 は半導体層 3 6 6、半導体層 3 6 7、半導体層 3 6 8 で構成されており、配線 3 7 3 と、プラグ 3 7 0 を介した配線 3 7 4 と電気的に接続している。

【0 3 7 8】

図 6 1 (B) に示す素子構成とすることで、開口率を広くすることができる。

【0 3 7 9】

また、フォトダイオード 3 6 5 には、非晶質シリコン膜や微結晶シリコン膜などを用いた p i n 型ダイオード素子などを用いてもよい。フォトダイオード 3 6 5 は、n 型の半導体層 3 6 8、i 型の半導体層 3 6 7、および p 型の半導体層 3 6 6 が順に積層された構成を有している。i 型の半導体層 3 6 7 には非晶質シリコンを用いることが好ましい。また、p 型の半導体層 3 6 6 および n 型の半導体層 3 6 8 には、それぞれの導電型を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオード 3 6 5 は可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

【0 3 8 0】

ここで、トランジスタ 3 5 1 およびフォトダイオード 3 6 0 を有する層 3 0 5 と、トランジスタ 3 5 3 およびトランジスタ 3 5 4 を有する層 3 3 1 と、の間には絶縁体 3 8 0 が設けられる。ただし、絶縁体 3 8 0 の位置は限定されない。

【0 3 8 1】

トランジスタ 3 5 1 のチャンネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ 3 5 1 の信頼性を向上させる効果がある。一方、トランジスタ 3 5 3 およびトランジスタ 3 5 4 などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ 3 5 3 およびトランジスタ 3 5 4 などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体 3 8 0 を設けることが好ましい。絶縁体 3 8 0 より下層に水素を閉じ込めることで、トランジスタ 3 5 1 の信頼性が向上させることができる。さらに、絶縁体 3 8 0 より下層から、絶縁体 3 8 0 より上層に水素が拡散することを抑制できるため、トランジスタ 3 5 3 およびトラン

10

20

30

40

50

ンジスタ354などの信頼性を向上させることができる。また、トランジスタ353およびトランジスタ354上に絶縁体381を設けることにより、酸化物半導体中の酸素の拡散を防ぐことができて好ましい。

【0382】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0383】

(実施の形態9)

<RFタグ>

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含むRFタグについて、図62を参照して説明する。

10

【0384】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【0385】

RFタグの構成について図62を用いて説明する。図62は、RFタグの構成例を示すブロック図である。

20

【0386】

図62に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

30

【0387】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

40

【0388】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0389】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応

50

じて変調を行うための回路である。

【0390】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号（ID）などを格納し、処理に応じて出力を行うための回路である。

【0391】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0392】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

10

【0393】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザーが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

20

【0394】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0395】

（実施の形態10）

<表示装置>

30

以下では、本発明の一態様に係る表示装置について、図63および図64を用いて説明する。

【0396】

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electroluminescence）、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置（EL表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

【0397】

40

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0398】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible Printed Circuits）、TCP（Tape Carrier Package）が取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG（Chip on Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0399】

50

図63は、本発明の一態様に係るEL表示装置の一例である。図63(A)に、EL表示装置の画素の回路図を示す。図63(B)は、EL表示装置全体を示す上面図である。また、図63(C)は、図63(B)の一点鎖線M-Nの一部に対応するM-N断面である。

【0400】

図63(A)は、EL表示装置に用いられる画素の回路図の一例である。

【0401】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0402】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0403】

図63(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0404】

なお、図63(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図63(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

【0405】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電氣的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電氣的に接続され、発光素子719の一方の電極と電氣的に接続される。トランジスタ741のドレインには電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電氣的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0406】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または／およびスイッチ素子743としては、例えば、図1に示すトランジスタを適用することができる。

【0407】

図63(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板7

10

20

30

40

50

50と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または／および駆動回路736をシール材734の外側に配置しても構わない。

【0408】

図63(C)は、図63(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

【0409】

図63(C)には、トランジスタ741として、基板700上の絶縁体712aと、導電体704aと、を有し、絶縁体712aおよび導電体704a上にあり導電体704aと一部が重なる領域を有する絶縁体706aと、絶縁体706a上の半導体706bと、半導体706bの上面と接する導電体716a1および導電体716a2と、導電体716a1の上面と接する導電体716b1と、導電体716a2の上面と接する導電体716b2と、導電体716b1の上面、導電体716a1の上面、導電体716b2の上面および導電体716a2の上面と接する絶縁体710と、半導体706bの上面と接する絶縁体706cと、絶縁体706c上の絶縁体718bと、絶縁体718bおよび絶縁体706cを介して半導体706b上に配置する導電体714aと、を有する構造を示す。なお、トランジスタ741の構造は一例であり、図63(C)に示す構造と異なる構造であっても構わない。

【0410】

図63(C)に示すトランジスタ741において、導電体704aはゲート電極としての機能を有し、絶縁体712aはゲート絶縁体としての機能を有し、導電体716a1および導電体716b1はソース電極としての機能を有し、導電体716a2および導電体716b2はドレイン電極としての機能を有し、絶縁体718bはゲート絶縁体としての機能を有し、導電体714aはゲート電極としての機能を有する。なお、絶縁体706a、半導体706bおよび絶縁体706cは、光が当たることによって電気特性が変動する場合がある。したがって、導電体704a、導電体716a1、導電体716b1、導電体716a2、導電体716b2または導電体714aのいずれか一以上が遮光性を有すると好ましい。

【0411】

図63(C)には、容量素子742として、導電体704b上にあり導電体704bと一部が重なる領域を有する絶縁体706dと、絶縁体706d上の半導体706eと、半導体706eの上面と接する導電体716a3および導電体716a4と、導電体716a3の上面と接する導電体716b3と、導電体716a4の上面と接する導電体716b4と、導電体716b3の上面、導電体716a3の上面、導電体716b4の上面および導電体716a4の上面と接する絶縁体710と、半導体706eの上面と接する絶縁体706fと、絶縁体706f上の絶縁体718bと、絶縁体718bおよび絶縁体706fを介して半導体706e上に配置する導電体714bと、を有する構造を示す。

【0412】

容量素子742において、導電体704bは一方の電極として機能し、導電体714bは他方の電極として機能する。

【0413】

容量素子742は、トランジスタ741と共通する膜を用いて作製することができる。また、導電体704aおよび導電体704bを同種の導電体とすると好ましい。その場合、導電体704aおよび導電体704bは、同一工程を経て形成することができる。また、導電体714aおよび導電体714bを同種の導電体とすると好ましい。その場合、導電体714aおよび導電体714bは、同一工程を経て形成することができる。

【0414】

図63(C)に示す容量素子742は、占有面積当たりの容量が大きい容量素子である。したがって、図63(C)は表示品位の高いEL表示装置である。なお、なお、容量素子

10

20

30

40

50

742の構造は一例であり、図63(C)に示す構造と異なる構造であっても構わない。

【0415】

トランジスタ741および容量素子742上には、絶縁体728が配置され、絶縁体728上には絶縁体720が配置される。ここで、絶縁体728および絶縁体720は、トランジスタ741のソース電極として機能する導電体716b1に達する開口部を有してもよい。絶縁体720上には、導電体781が配置される。導電体781は、絶縁体728および絶縁体720の開口部を介してトランジスタ741と電氣的に接続してもよい。

【0416】

導電体781上には、導電体781に達する開口部を有する隔壁784が配置される。隔壁784上には、隔壁784の開口部で導電体781と接する発光層782が配置される。発光層782上には、導電体783が配置される。導電体781、発光層782および導電体783の重なる領域が、発光素子719となる。図63(C)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、トランジスタ741を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

10

【0417】

ここまでは、EL表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0418】

図64(A)は、液晶表示装置の画素の構成例を示す回路図である。図64(A)に示す画素は、トランジスタ751と、容量素子752と、一对の電極間に液晶の充填された素子(液晶素子)753とを有する。

20

【0419】

トランジスタ751では、ソース、ドレインの一方が信号線755に電氣的に接続され、ゲートが走査線754に電氣的に接続されている。

【0420】

容量素子752では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0421】

液晶素子753では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

30

【0422】

なお、液晶表示装置も、上面図はEL表示装置と同様として説明する。図63(B)の一点鎖線M-Nに対応する液晶表示装置の断面図を図64(B)に示す。図64(B)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、トランジスタ751を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0423】

トランジスタ751は、トランジスタ741についての記載を参照する。また、容量素子752は、容量素子742についての記載を参照する。なお、図64(B)には、図63(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

40

【0424】

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液

50

晶表示装置とすることができる。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

【0425】

トランジスタ751および容量素子752上には、絶縁体721が配置される。ここで、絶縁体721は、トランジスタ751に達する開口部を有する。絶縁体721上には、導電体791が配置される。導電体791は、絶縁体721の開口部を介してトランジスタ751と電氣的に接続する。

【0426】

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁体794が配置される。絶縁体794上には、スペーサ795が配置される。スペーサ795および絶縁体794上には、導電体796が配置される。導電体796上には、基板797が配置される。

【0427】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

【0428】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子、または発光装置は、例えば、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェロメトリック・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。

【0429】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0430】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さ

10

20

30

40

50

らに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

【0431】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0432】

(実施の形態11)

10

<単一電源回路>

本実施の形態では、上述の実施の形態で説明した酸化物半導体を用いたトランジスタ（OSTランジスタ）を有する複数の回路を有する半導体装置の一例について、図65乃至71を用いて説明する。

【0433】

図65（A）は、半導体装置900のブロック図である。半導体装置900は、電源回路901、回路902、電圧生成回路903、回路904、電圧生成回路905および回路906を有する。

【0434】

電源回路901は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置900の外部から与えられる電圧 V_0 を基に生成することができる。半導体装置900は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置900は、外部から電源電圧を複数与えることなく動作することができる。

20

【0435】

回路902、904および906は、異なる電源電圧で動作する回路である。例えば回路902の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} （ $V_{ORG} > V_{SS}$ ）とを基に印加される電圧である。また、例えば回路904の電源電圧は、電圧 V_{POG} と電圧 V_{SS} （ $V_{POG} > V_{ORG}$ ）とを基に印加される電圧である。また、例えば回路906の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} と電圧 V_{NEG} （ $V_{ORG} > V_{SS} > V_{NEG}$ ）とを基に印加される電圧である。なお電圧 V_{SS} は、グラウンド電位（GND）と等電位とすれば、電源回路901で生成する電圧の種類を削減できる。

30

【0436】

電圧生成回路903は、電圧 V_{POG} を生成する回路である。電圧生成回路903は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路904を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

【0437】

電圧生成回路905は、電圧 V_{NEG} を生成する回路である。電圧生成回路905は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路906を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

40

【0438】

図65（B）は電圧 V_{POG} で動作する回路904の一例、図65（C）は回路904を動作させるための信号の波形の一例である。

【0439】

図65（B）では、トランジスタ911を示している。トランジスタ911のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} とする。電圧 V_{POG} は、図65（C）に図示するように、電圧 V_{ORG} より大きい

50

。そのため、トランジスタ911は、ソース(S)とドレイン(D)との間をより確実に導通状態にできる。その結果、回路904は、誤動作が低減された回路とすることができる。

【0440】

図65(D)は電圧 V_{NEG} で動作する回路906の一例、図65(E)は回路906を動作させるための信号の波形の一例である。

【0441】

図65(D)では、バックゲートを有するトランジスタ912を示している。トランジスタ912のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ912を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} を基に生成される。また、トランジスタ912のバックゲートに与える信号は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図65(E)に図示するように、電圧 V_{SS} (GND)より小さい。そのため、トランジスタ912の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ912をより確実に非導通状態とすることができ、ソース(S)とドレイン(D)との間を流れる電流を小さくできる。その結果、回路906は、誤動作が低減され、且つ低消費電力化が図られた回路とすることができる。

10

【0442】

なお電圧 V_{NEG} は、トランジスタ912のバックゲートに直接与える構成としてもよい。あるいは、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ912のゲートに与える信号を生成し、当該信号をトランジスタ912のバックゲートに与える構成としてもよい。

20

【0443】

また図66(A)、(B)には、図65(D)、(E)の変形例を示す。

【0444】

図66(A)に示す回路図では、電圧生成回路905と、回路906と、の間に制御回路921によって導通状態が制御できるトランジスタ922を示す。トランジスタ922は、nチャネル型のOSトランジスタとする。制御回路921が出力する制御信号 S_{BG} は、トランジスタ922の導通状態を制御する信号である。また回路906が有するトランジスタ912A、912Bは、トランジスタ922と同じOSトランジスタである。

30

【0445】

図66(B)のタイミングチャートには、制御信号 S_{BG} の電位の変化を示し、トランジスタ912A、912Bのバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ922が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電氣的にフローティングとなる。トランジスタ922は、OSトランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電氣的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。

【0446】

また図67(A)には、上述した電圧生成回路903に適用可能な回路構成の一例を示す。図67(A)に示す電圧生成回路903は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する5段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加される電圧とすると、クロック信号CLKを与えることによって、電圧 V_{ORG} の5倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得ることができる。

40

【0447】

また図67(B)には、上述した電圧生成回路905に適用可能な回路構成の一例を示す

50

。図67(B)に示す電圧生成回路905は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する4段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加される電圧とすると、クロック信号CLKを与えることによって、グラウンド、すなわち電圧 V_{SS} から電圧 V_{ORG} の4倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{NEG} を得ることができる。

【0448】

なお上述した電圧生成回路903の回路構成は、図67(A)で示す回路図の構成に限らない。電圧生成回路903の変形例を図68(A)乃至(C)、図69(A)、(B)に示す。

【0449】

図68(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10、キャパシタC11乃至C14、およびインバータINV1を有する。クロック信号CLKは、トランジスタM1乃至M10のゲートに直接、あるいはインバータINV1を介して与えられる。クロック信号CLKを与えることによって、電圧 V_{ORG} の4倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、段数を変更することで、所望の電圧 V_{POG} を得ることができる。図68(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC11乃至C14に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

【0450】

また図68(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKを与えることによって、電圧 V_{ORG} の2倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。図68(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

【0451】

また図68(C)に示す電圧生成回路903Cは、インダクタI1、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 V_{ORG} が昇圧された電圧 V_{POG} を得ることができる。図68(C)に示す電圧生成回路903Cは、インダクタI1を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

【0452】

また図69(A)に示す電圧生成回路903Dは、図67(A)に示す電圧生成回路903のダイオードD1乃至D5をダイオード接続したトランジスタM16乃至M20に置き換えた構成に相当する。図69(A)に示す電圧生成回路903Dは、トランジスタM16乃至M20をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC1乃至C5に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

【0453】

また図69(B)に示す電圧生成回路903Eは、図69(A)に示す電圧生成回路903DのトランジスタM16乃至M20を、バックゲートを有するトランジスタM21乃至M25に置き換えた構成に相当する。図69(B)に示す電圧生成回路903Eは、バックゲートにゲートと同じ電圧を与えることができるため、トランジスタを流れる電流量を

10

20

30

40

50

増やすことができる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

【0454】

なお電圧生成回路903の変形例は、図67(B)に示した電圧生成回路905にも適用可能である。この場合の回路図の構成を図70(A)乃至(C)、図71(A)、(B)に示す。図70(A)に示す電圧生成回路905Aは、クロック信号CLKを与えることによって、電圧 V_{SS} から電圧 V_{ORG} の3倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。また図70(B)に示す電圧生成回路905Bは、クロック信号CLKを与えることによって、電圧 V_{SS} から電圧 V_{ORG} の2倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。

10

【0455】

図70(A)乃至(C)、図71(A)、(B)に示す電圧生成回路905A乃至905Eでは、図68(A)乃至(C)、図69(A)、(B)に示す電圧生成回路903A乃至903Eにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更した構成に相当する。図70(A)乃至(C)、図71(A)、(B)に示す電圧生成回路905A乃至905Eは、電圧生成回路903A乃至903Eと同様に、効率的に電圧 V_{SS} から電圧 V_{NEG} への降圧を図ることができる。

【0456】

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の種類を削減できる。

20

【0457】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0458】

(実施の形態12)

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図72を用いて説明を行う。

【0459】

<表示モジュール>

30

図72に示す表示モジュール6000は、上部カバー6001と下部カバー6002との間に、FPC6003に接続されたタッチパネル6004、FPC6005に接続された表示パネル6006、バックライトユニット6007、フレーム6009、プリント基板6010、バッテリー6011を有する。なお、バックライトユニット6007、バッテリー6011、タッチパネル6004などは、設けられない場合もある。

【0460】

本発明の一態様の半導体装置は、例えば、表示パネル6006またはプリント基板に実装された集積回路などに用いることができる。

【0461】

上部カバー6001および下部カバー6002は、タッチパネル6004および表示パネル6006のサイズに合わせて、形状や寸法を適宜変更することができる。

40

【0462】

タッチパネル6004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル6006に重畳して用いることができる。また、表示パネル6006の対向基板(封止基板)に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル6006の各画素内に光センサを設け、光学式のタッチパネル機能を付加することも可能である。または、表示パネル6006の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネル機能を付加することも可能である。

【0463】

バックライトユニット6007は、光源6008を有する。光源6008をバックライト

50

ユニット6007の端部に設け、光拡散板を用いる構成としてもよい。

【0464】

フレーム6009は、表示パネル6006の保護機能の他、プリント基板6010から発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム6009は、放熱板としての機能を有していてもよい。

【0465】

プリント基板6010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であってもよいし、別途設けたバッテリー6011であってもよい。なお、商用電源を用いる場合には、バッテリー6011を省略することができる。

10

【0466】

また、表示モジュール6000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0467】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0468】

(実施の形態13)

<リードフレーム型のインターポーザを用いたパッケージ>

図73(A)に、リードフレーム型のインターポーザを用いたパッケージの断面構造を表す斜視図を示す。図73(A)に示すパッケージは、本発明の一態様に係る半導体装置に相当するチップ551が、ワイヤボンディング法により、インターポーザ550上の端子552と接続されている。端子552は、インターポーザ550のチップ551がマウントされている面上に配置されている。そしてチップ551はモールド樹脂553によって封止されているが、各端子552の一部が露出した状態で封止されるようにする。

20

【0469】

パッケージが回路基板に実装されている電子機器(携帯電話)のモジュールの構成を、図73(B)に示す。図73(B)に示す携帯電話のモジュールは、プリント配線基板601に、パッケージ602と、バッテリー604とが実装されている。また、表示素子が設けられたパネル600に、プリント配線基板601がFPC603によって実装されている。

30

【0470】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0471】

(実施の形態14)

本実施の形態では、本発明の一態様の電子機器及び照明装置について、図面を用いて説明する。

【0472】

<電子機器>

40

本発明の一態様の半導体装置を用いて、電子機器や照明装置を作製できる。また、本発明の一態様の半導体装置を用いて、信頼性の高い電子機器や照明装置を作製できる。また本発明の一態様の半導体装置を用いて、タッチセンサの検出感度が向上した電子機器や照明装置を作製できる。

【0473】

電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0474】

50

また、本発明の一態様の電子機器または照明装置は可撓性を有する場合、家屋やビルの内壁もしくは外壁、または、自動車の内装もしくは外装の曲面に沿って組み込むことも可能である。

【0475】

また、本発明の一態様の電子機器は、二次電池を有していてもよく、非接触電力伝送を用いて、二次電池を充電することができると好ましい。

【0476】

二次電池としては、例えば、ゲル状電解質を用いるリチウムポリマー電池（リチウムイオンポリマー電池）等のリチウムイオン二次電池、リチウムイオン電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などが挙げられる。

10

【0477】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器が二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0478】

図74（A）は携帯型ゲーム機であり、筐体7101、筐体7102、表示部7103、表示部7104、マイク7105、スピーカー7106、操作キー7107、スタイラス7108等を有する。本発明の一態様に係る半導体装置は、筐体7101に内蔵されている集積回路、CPUなどに用いることができる。表示部7103または表示部7104に本発明の一態様に係る発光装置を用いることで、ユーザーの使用感に優れ、品質の低下が起こりにくい携帯型ゲーム機を提供することができる。なお、図74（A）に示した携帯型ゲーム機は、2つの表示部7103と表示部7104とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0479】

図74（B）は、スマートウォッチであり、筐体7302、表示部7304、7305および7306、操作ボタン7311および7312、接続端子7313、バンド7321、留め金7322、等を有する。本発明の一態様に係る半導体装置は筐体7302に内蔵されているメモリ、CPUなどに用いることができる。

【0480】

図74（C）は、携帯情報端末であり、筐体7501に組み込まれた表示部7502の他、操作ボタン7503、外部接続ポート7504、スピーカー7505、マイク7506などを備えている。本発明の一態様に係る半導体装置は、筐体7501に内蔵されているモバイル用メモリ、CPUなどに用いることができる。なお、表示部7502は、非常に高精細とすることができるため、中小型でありながらフルハイビジョン、4k、または8kなど、様々な表示を行うことができ、非常に鮮明な画像を得ることができる。

30

【0481】

図74（D）はビデオカメラであり、第1筐体7701、第2筐体7702、表示部7703、操作キー7704、レンズ7705、接続部7706等を有する。操作キー7704およびレンズ7705は第1筐体7701に設けられており、表示部7703は第2筐体7702に設けられている。そして、第1筐体7701と第2筐体7702とは、接続部7706により接続されており、第1筐体7701と第2筐体7702の間の角度は、接続部7706により変更が可能である。表示部7703における映像を、接続部7706における第1筐体7701と第2筐体7702との間の角度にしたがって切り替える構成としてもよい。レンズ7705の焦点となる位置には本発明の一態様の撮像装置を備えることができる。本発明の一態様に係る半導体装置は、第1筐体7701に内蔵されている集積回路、CPUなどに用いることができる。

40

【0482】

図74（E）は、デジタルサイネージであり、電柱7921に設置された表示部7922を備えている。本発明の一態様に係る表示装置は、表示部7922の制御回路に用いるこ

50

とができる。

【0483】

図75(A)はノート型パーソナルコンピュータであり、筐体8121、表示部8122、キーボード8123、ポインティングデバイス8124等を有する。本発明の一態様に係る半導体装置は、筐体8121内に内蔵されているCPUや、メモリに適用することができる。なお、表示部8122は、非常に高精細とすることができるため、中小型でありながら8kの表示を行うことができ、非常に鮮明な画像を得ることができる。

【0484】

図75(B)に自動車9700の外観を示す。図75(C)に自動車9700の運転席を示す。自動車9700は、車体9701、車輪9702、ダッシュボード9703、ライト9704等を有する。本発明の一態様の半導体装置は、自動車9700の表示部、および制御用の集積回路に用いることができる。例えば、図75(C)に示す表示部9710乃至表示部9715に本発明の一態様の半導体装置を設けることができる。

10

【0485】

表示部9710と表示部9711は、自動車のフロントガラスに設けられた表示装置、または入出力装置である。本発明の一態様の表示装置、または入出力装置は、表示装置、または入出力装置が有する電極を、透光性を有する導電性材料で作製することによって、反対側が透けて見える、いわゆるシースルー状態の表示装置、または入出力装置とすることができる。シースルー状態の表示装置、または入出力装置であれば、自動車9700の運転時にも視界の妨げになることがない。よって、本発明の一態様の表示装置、または入出力装置を自動車9700のフロントガラスに設置することができる。なお、表示装置、または入出力装置に、表示装置、または入出力装置を駆動するためのトランジスタなどを設ける場合には、有機半導体材料を用いた有機トランジスタや、酸化物半導体を用いたトランジスタなど、透光性を有するトランジスタを用いるとよい。

20

【0486】

表示部9712はピラー部分に設けられた表示装置である。例えば、車体に設けられた撮像手段からの映像を表示部9712に映し出すことによって、ピラーで遮られた視界を補完することができる。表示部9713はダッシュボード部分に設けられた表示装置である。例えば、車体に設けられた撮像手段からの映像を表示部9713に映し出すことによって、ダッシュボードで遮られた視界を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの映像を映し出すことによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。

30

【0487】

また、図75(D)は、運転席と助手席にベンチシートを採用した自動車の室内を示している。表示部9721は、ドア部に設けられた表示装置、または入出力装置である。例えば、車体に設けられた撮像手段からの映像を表示部9721に映し出すことによって、ドアで遮られた視界を補完することができる。また、表示部9722は、ハンドルに設けられた表示装置である。表示部9723は、ベンチシートの座面の中央部に設けられた表示装置である。なお、表示装置を座面や背もたれ部分などに設置して、当該表示装置を、当該表示装置の発熱を熱源としたシートヒーターとして利用することもできる。

40

【0488】

表示部9714、表示部9715、または表示部9722はナビゲーション情報、スピードメーターやタコメーター、走行距離、給油量、ギア状態、エアコンの設定など、その他様々な情報を提供することができる。また、表示部に表示される表示項目やレイアウトなどは、使用者の好みに合わせて適宜変更することができる。なお、上記情報は、表示部9710乃至表示部9713、表示部9721、表示部9723にも表示することができる。また、表示部9710乃至表示部9715、表示部9721乃至表示部9723は照明装置として用いることも可能である。また、表示部9710乃至表示部9715、表示部9721乃至表示部9723は加熱装置として用いることも可能である。

50

【0489】

また、図76（A）に、カメラ8000の外観を示す。カメラ8000は、筐体8001、表示部8002、操作ボタン8003、シャッターボタン8004、結合部8005等を有する。またカメラ8000には、レンズ8006を取り付けることができる。

【0490】

結合部8005は、電極を有し、後述するファインダー8100のほか、ストロボ装置等を接続することができる。

【0491】

ここではカメラ8000として、レンズ8006を筐体8001から取り外して交換することが可能な構成としたが、レンズ8006と筐体が一体となってもよい。

10

【0492】

シャッターボタン8004を押すことにより、撮像することができる。また、表示部8002はタッチパネルとしての機能を有し、表示部8002をタッチすることにより撮像することも可能である。

【0493】

表示部8002に、本発明の一態様の表示装置、または入出力装置を適用することができる。

【0494】

図76（B）には、カメラ8000にファインダー8100を取り付けた場合の例を示している。

20

【0495】

ファインダー8100は、筐体8101、表示部8102、ボタン8103等を有する。

【0496】

筐体8101には、カメラ8000の結合部8005と係合する結合部を有しており、ファインダー8100をカメラ8000に取り付けることができる。また当該結合部には電極を有し、当該電極を介してカメラ8000から受信した映像等を表示部8102に表示させることができる。

【0497】

ボタン8103は、電源ボタンとしての機能を有する。ボタン8103により、表示部8102の表示のオン・オフを切り替えることができる。

30

【0498】

筐体8101の中にある、集積回路、イメージセンサに本発明の一態様の半導体装置を適用することができる。

【0499】

なお、図76（A）（B）では、カメラ8000とファインダー8100とを別の電子機器とし、これらを脱着可能な構成としたが、カメラ8000の筐体8001に、本発明の一態様の表示装置、または入出力装置を備えるファインダーが内蔵されていてもよい。

【0500】

また、図76（C）には、ヘッドマウントディスプレイ8200の外観を示している。

【0501】

ヘッドマウントディスプレイ8200は、装着部8201、レンズ8202、本体8203、表示部8204、ケーブル8205等を有している。また装着部8201には、バッテリー8206が内蔵されている。

40

【0502】

ケーブル8205は、バッテリー8206から本体8203に電力を供給する。本体8203は無線受信機等を備え、受信した画像データ等の映像情報を表示部8204に表示させることができる。また、本体8203に設けられたカメラで使用者の眼球やまぶたの動きを捉え、その情報をもとに使用者の視点の座標を算出することにより、使用者の視点を入力手段として用いることができる。

【0503】

50

また、装着部 8 2 0 1 には、使用者に触れる位置に複数の電極が設けられていてもよい。本体 8 2 0 3 は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視点を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニタする機能を有していてもよい。また、装着部 8 2 0 1 には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部 8 2 0 4 に表示する機能を有していてもよい。また、使用者の頭部の動きなどを検出し、表示部 8 2 0 4 に表示する映像をその動きに合わせて変化させてもよい。

【0504】

本体 8 2 0 3 の内部の集積回路に、本発明の一態様の半導体装置を適用することができる。

10

【0505】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0506】

(実施の形態 15)

本実施の形態では、本発明の一態様に係る半導体装置を用いた R F タグの使用例について図 7 7 を用いながら説明する。

【0507】

< R F タグの使用例 >

20

R F タグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 7 7 (A) 参照）、乗り物類（自転車等、図 7 7 (B) 参照）、包装用容器類（包装紙やボトル等、図 7 7 (C) 参照）、記録媒体（DVD やビデオテープ等、図 7 7 (D) 参照）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、E L 表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図 7 7 (E)、図 7 7 (F) 参照）等に設けて使用することができる。

【0508】

本発明の一態様に係る R F タグ 4 0 0 0 は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係る R F タグ 4 0 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係る R F タグ 4 0 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係る R F タグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係る R F タグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

30

【0509】

以上のように、本発明の一態様に係わる半導体装置を用いた R F タグを、本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

40

【0510】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0511】

50

2 0 0	撮像装置	
2 0 1	スイッチ	
2 0 2	スイッチ	
2 0 3	スイッチ	
2 1 0	画素部	
2 1 1	画素	
2 1 2	副画素	
2 1 2 B	副画素	
2 1 2 G	副画素	
2 1 2 R	副画素	10
2 2 0	光電変換素子	
2 3 0	画素回路	
2 3 1	配線	
2 4 7	配線	
2 4 8	配線	
2 4 9	配線	
2 5 0	配線	
2 5 3	配線	
2 5 4	フィルタ	
2 5 4 B	フィルタ	20
2 5 4 G	フィルタ	
2 5 4 R	フィルタ	
2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	
2 9 0	周辺回路	
2 9 1	光源	30
3 0 0	シリコン基板	
3 0 1	絶縁体	
3 0 2	絶縁体	
3 0 3	絶縁体	
3 0 5	層	
3 0 6 a	絶縁体	
3 0 6 b	半導体	
3 0 6 c	絶縁体	
3 1 0	導電体	
3 2 0	層	40
3 3 1	層	
3 4 0	層	
3 5 1	トランジスタ	
3 5 2	トランジスタ	
3 5 3	トランジスタ	
3 5 4	トランジスタ	
3 6 0	フォトダイオード	
3 6 1	アノード	
3 6 2	カソード	
3 6 3	低抵抗領域	50

3 6 5	フォトダイオード	
3 6 6	半導体層	
3 6 7	半導体層	
3 6 8	半導体層	
3 7 0	プラグ	
3 7 1	配線	
3 7 2	配線	
3 7 3	配線	
3 7 4	配線	
3 8 0	絶縁体	10
3 8 1	絶縁体	
4 0 0	基板	
4 0 1	絶縁体	
4 0 2	絶縁体	
4 0 3 w	開口寸法	
4 0 4	導電体	
4 0 4 w	ゲート線幅	
4 0 6 a	絶縁体	
4 0 6 b	半導体	
4 0 6 c	絶縁体	20
4 0 7	領域	
4 0 8	絶縁体	
4 0 9	導電体	
4 1 0	絶縁体	
4 1 1	絶縁体	
4 1 2	絶縁体	
4 1 3	絶縁体	
4 1 4 w	チャネル長	
4 1 5	導電体	
4 1 6	導電体	30
4 1 6 a 1	導電体	
4 1 6 a 2	導電体	
4 1 7	導電体	
4 1 8	絶縁体	
4 1 9	絶縁体	
4 2 0	レジストマスク	
4 2 1	有機塗布膜	
4 2 2	有機塗布膜	
4 2 3	導電体	
4 2 4	導電体	40
4 2 5	絶縁体	
4 2 6	絶縁体	
4 2 7	絶縁体	
4 2 8	絶縁体	
4 2 9	導電体	
4 3 0	導電体	
4 3 1	導電体	
4 3 2	導電体	
4 3 3	絶縁体	
4 3 4	レジストマスク	50

4 3 6	絶縁体	
4 3 7	導電体	
4 3 8	導電体	
4 3 9	導電体	
4 4 0	導電体	
4 4 1	導電体	
4 4 1 a 1	導電体	
4 4 1 a 2	導電体	
4 4 2	導電体	
4 4 3	導電体	10
4 4 4	導電体	
4 4 5	絶縁体	
4 4 6	絶縁体	
4 4 9	有機塗布膜	
4 5 0	半導体基板	
4 5 1	有機塗布膜	
4 5 2	絶縁体	
4 5 3	導電体	
4 5 4	導電体	
4 6 0	領域	20
4 6 2	絶縁体	
4 6 4	絶縁体	
4 6 5	絶縁体	
4 6 6	絶縁体	
4 6 7	絶縁体	
4 6 8	絶縁体	
4 6 9	絶縁体	
4 7 0	絶縁体	
4 7 2	絶縁体	
4 7 4 a	領域	30
4 7 4 b	領域	
4 7 5	絶縁体	
4 7 6 a	導電体	
4 7 6 b	導電体	
4 7 6 c	導電体	
4 7 7 a	導電体	
4 7 7 b	導電体	
4 7 7 c	導電体	
4 7 8 a	導電体	
4 7 8 b	導電体	40
4 7 8 c	導電体	
4 7 9 a	導電体	
4 7 9 b	導電体	
4 7 9 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	
4 8 3 a	導電体	
4 8 3 b	導電体	
4 8 3 c	導電体	50

4 8 3 d	導電体	
4 8 3 e	導電体	
4 8 3 f	導電体	
4 8 4 a	導電体	
4 8 4 b	導電体	
4 8 4 c	導電体	
4 8 4 d	導電体	
4 8 5 a	導電体	
4 8 5 b	導電体	
4 8 5 c	導電体	10
4 8 5 d	導電体	
4 8 7 a	導電体	
4 8 7 b	導電体	
4 8 7 c	導電体	
4 8 8 a	導電体	
4 8 8 b	導電体	
4 8 8 c	導電体	
4 8 9 a	導電体	
4 8 9 b	導電体	
4 9 0 a	導電体	20
4 9 0 b	導電体	
4 9 1 a	導電体	
4 9 1 b	導電体	
4 9 1 c	導電体	
4 9 2 a	導電体	
4 9 2 b	導電体	
4 9 2 c	導電体	
4 9 4	導電体	
4 9 6	導電体	
4 9 8	絶縁体	30
5 5 0	インターポザ	
5 5 1	チップ	
5 5 2	端子	
5 5 3	モールド樹脂	
6 0 0	パネル	
6 0 1	プリント配線基板	
6 0 2	パッケージ	
6 0 3	F P C	
6 0 4	バッテリー	
7 0 0	基板	40
7 0 4 a	導電体	
7 0 4 b	導電体	
7 0 6 a	絶縁体	
7 0 6 b	半導体	
7 0 6 c	絶縁体	
7 0 6 d	絶縁体	
7 0 6 e	半導体	
7 0 6 f	絶縁体	
7 1 0	絶縁体	
7 1 2 a	絶縁体	50

7 1 4 a	導電体	
7 1 4 b	導電体	
7 1 6 a 1	導電体	
7 1 6 a 2	導電体	
7 1 6 a 3	導電体	
7 1 6 a 4	導電体	
7 1 6 b 1	導電体	
7 1 6 b 2	導電体	
7 1 6 b 3	導電体	
7 1 6 b 4	導電体	10
7 1 8 b	絶縁体	
7 1 9	発光素子	
7 2 0	絶縁体	
7 2 1	絶縁体	
7 2 8	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	20
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	30
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電体	
7 8 2	発光層	
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	
7 9 4	絶縁体	40
7 9 5	スペーサ	
7 9 6	導電体	
7 9 7	基板	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	50

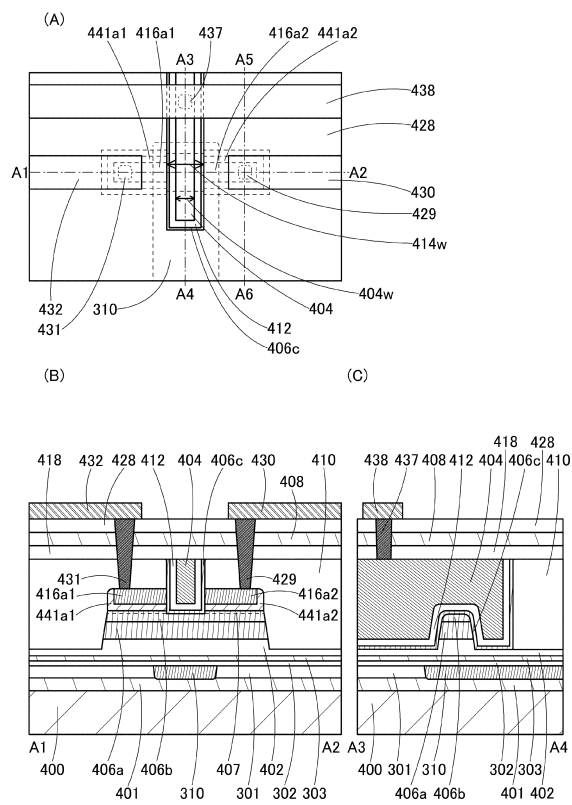
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 0	半導体装置	
9 0 1	電源回路	
9 0 2	回路	
9 0 3	電圧生成回路	
9 0 3 A	電圧生成回路	10
9 0 3 B	電圧生成回路	
9 0 3 C	電圧生成回路	
9 0 3 D	電圧生成回路	
9 0 3 E	電圧生成回路	
9 0 4	回路	
9 0 5	電圧生成回路	
9 0 5 A	電圧生成回路	
9 0 5 E	電圧生成回路	
9 0 6	回路	
9 1 1	トランジスタ	20
9 1 2	トランジスタ	
9 1 2 A	トランジスタ	
9 1 2 B	トランジスタ	
9 2 1	制御回路	
9 2 2	トランジスタ	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	30
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	40
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	50

2 2 0 0	トランジスタ	
2 2 0 1	絶縁体	
2 2 0 2	配線	
2 2 0 3	プラグ	
2 2 0 4	絶縁体	
2 2 0 5	配線	
2 2 0 7	絶縁体	
2 2 0 8	絶縁体	
2 2 1 1	半導体基板	
2 2 1 2	絶縁体	10
2 2 1 3	ゲート電極	
2 2 1 4	ゲート絶縁体	
2 2 1 5	ソース領域およびドレイン領域	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	20
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
6 0 0 0	表示モジュール	
6 0 0 1	上部カバー	
6 0 0 2	下部カバー	
6 0 0 3	F P C	
6 0 0 4	タッチパネル	
6 0 0 5	F P C	
6 0 0 6	表示パネル	
6 0 0 7	バックライトユニット	30
6 0 0 8	光源	
6 0 0 9	フレーム	
6 0 1 0	プリント基板	
6 0 1 1	バッテリー	
7 1 0 1	筐体	
7 1 0 2	筐体	
7 1 0 3	表示部	
7 1 0 4	表示部	
7 1 0 5	マイク	
7 1 0 6	スピーカー	40
7 1 0 7	操作キー	
7 1 0 8	スタイラス	
7 3 0 2	筐体	
7 3 0 4	表示部	
7 3 0 5	表示部	
7 3 0 6	表示部	
7 3 1 1	操作ボタン	
7 3 1 2	操作ボタン	
7 3 1 3	接続端子	
7 3 2 1	バンド	50

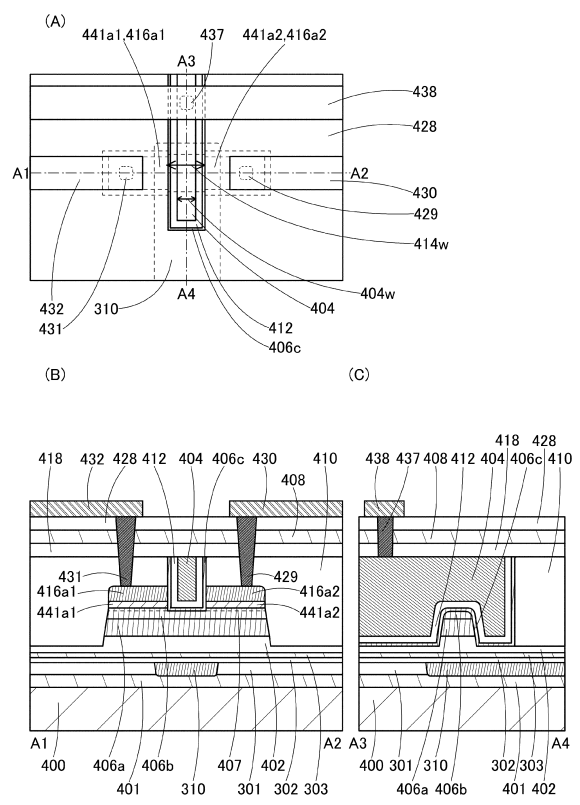
7 3 2 2	留め金	
7 5 0 1	筐体	
7 5 0 2	表示部	
7 5 0 3	操作ボタン	
7 5 0 4	外部接続ポート	
7 5 0 5	スピーカー	
7 5 0 6	マイク	
7 7 0 1	筐体	
7 7 0 2	筐体	
7 7 0 3	表示部	10
7 7 0 4	操作キー	
7 7 0 5	レンズ	
7 7 0 6	接続部	
7 9 2 1	電柱	
7 9 2 2	表示部	
8 0 0 0	カメラ	
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	操作ボタン	
8 0 0 4	シャッターボタン	20
8 0 0 5	結合部	
8 0 0 6	レンズ	
8 1 0 0	ファインダー	
8 1 0 1	筐体	
8 1 0 2	表示部	
8 1 0 3	ボタン	
8 1 2 1	筐体	
8 1 2 2	表示部	
8 1 2 3	キーボード	
8 1 2 4	ポインティングデバイス	30
8 2 0 0	ヘッドマウントディスプレイ	
8 2 0 1	装着部	
8 2 0 2	レンズ	
8 2 0 3	本体	
8 2 0 4	表示部	
8 2 0 5	ケーブル	
8 2 0 6	バッテリー	
9 7 0 0	自動車	
9 7 0 1	車体	
9 7 0 2	車輪	40
9 7 0 3	ダッシュボード	
9 7 0 4	ライト	
9 7 1 0	表示部	
9 7 1 1	表示部	
9 7 1 2	表示部	
9 7 1 3	表示部	
9 7 1 4	表示部	
9 7 1 5	表示部	
9 7 2 1	表示部	
9 7 2 2	表示部	50

9 7 2 3 表示部

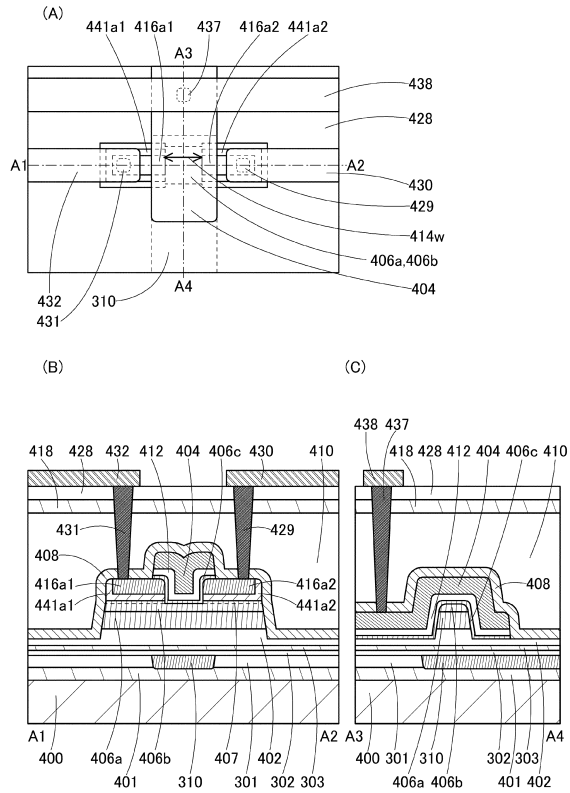
【図 1】



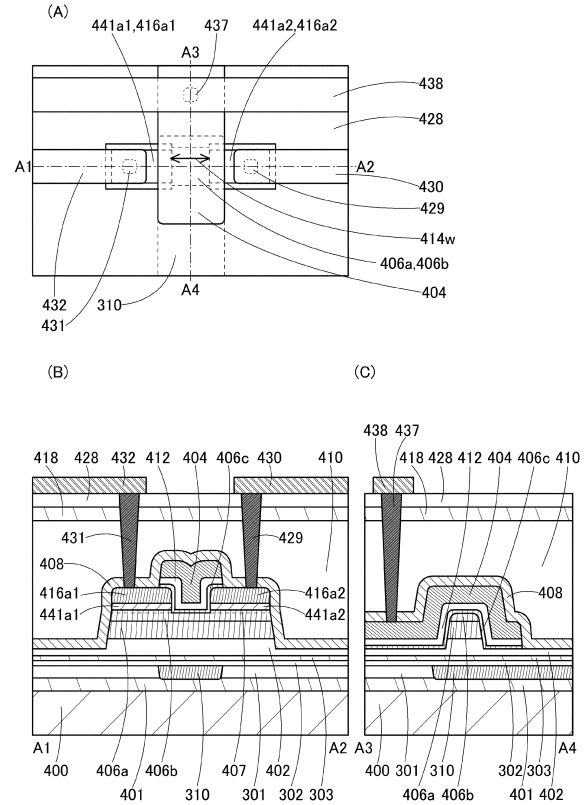
【図 2】



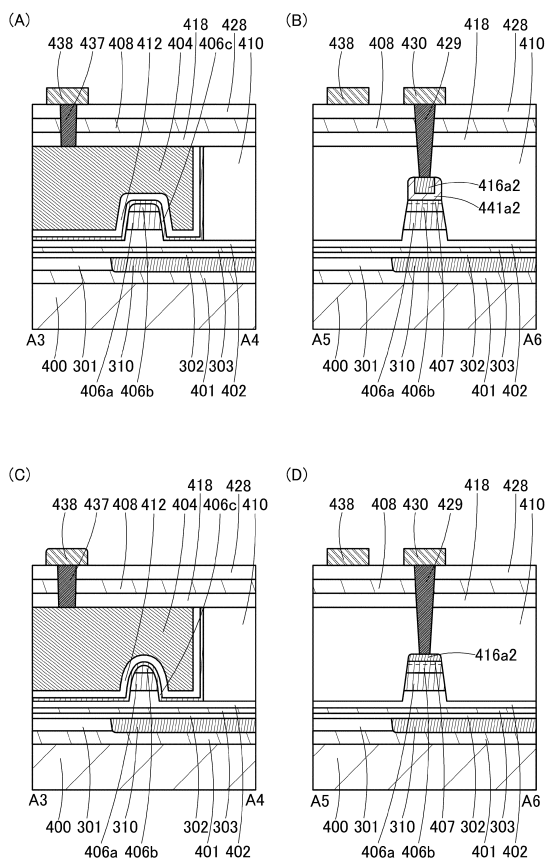
【図 3】



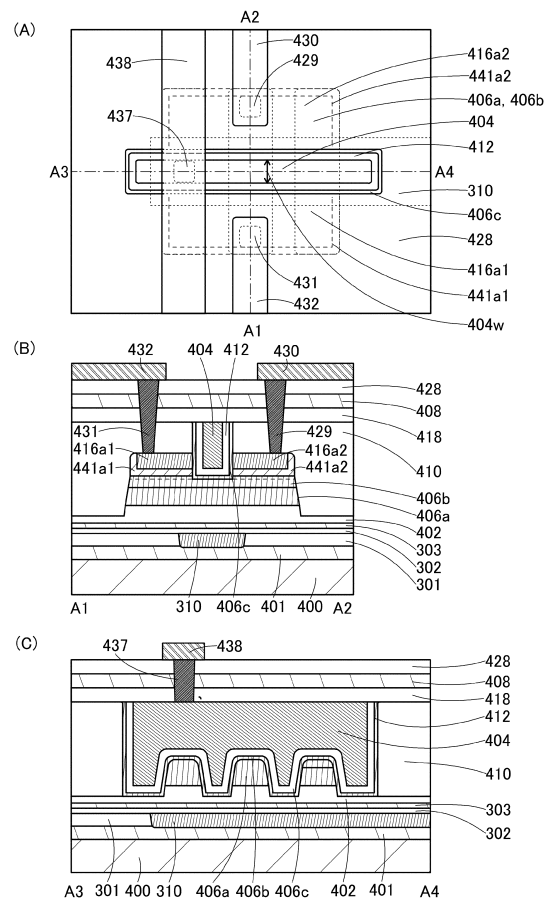
【図 4】



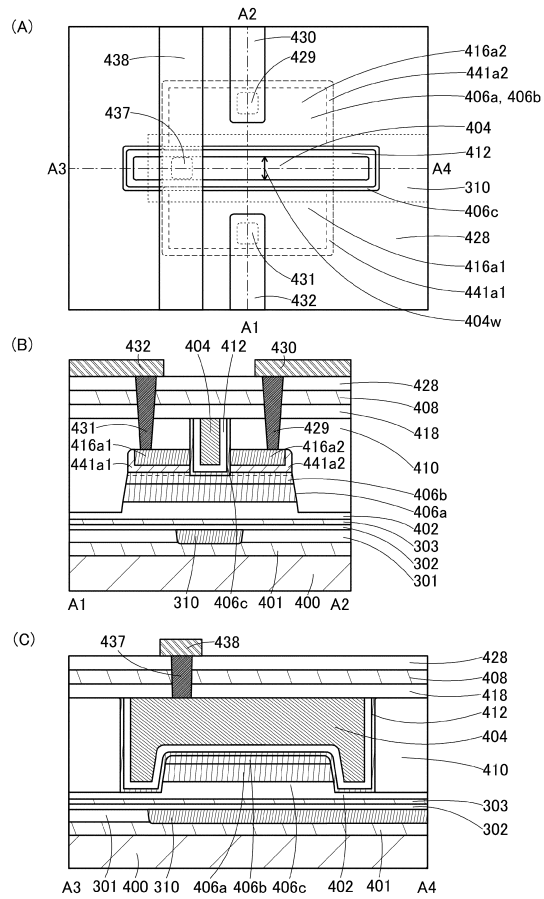
【図 5】



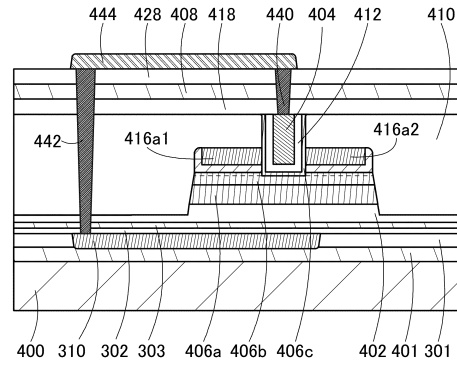
【図 6】



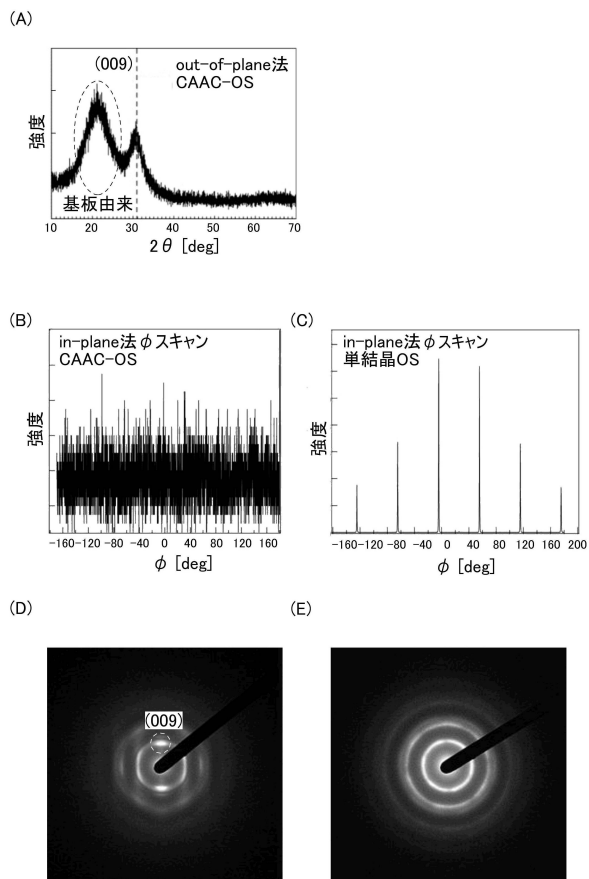
【図 7】



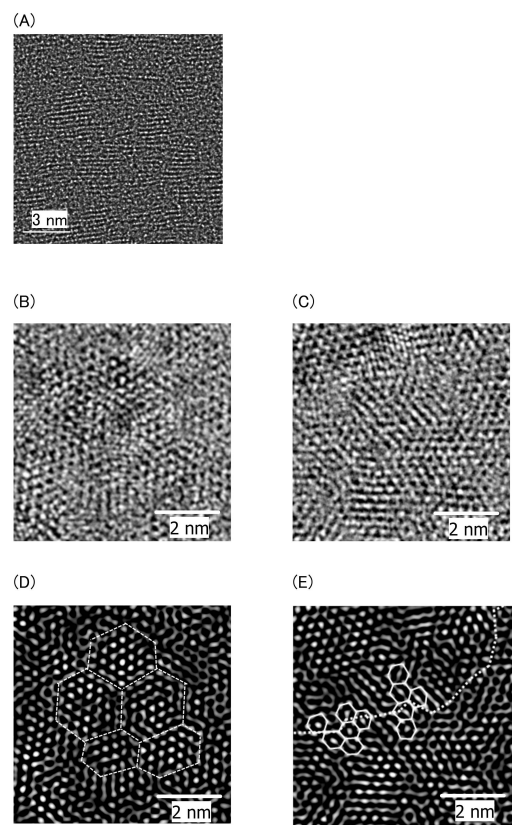
【図 8】



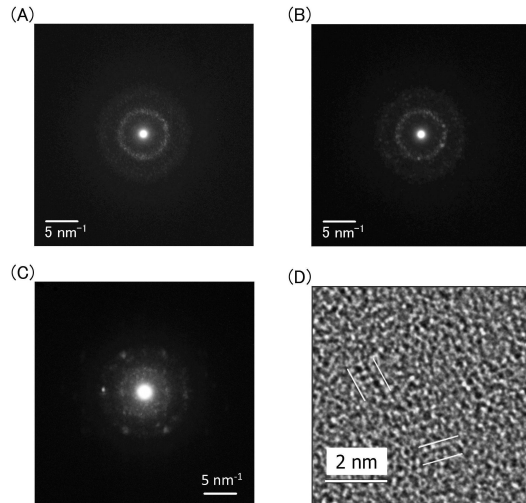
【図 9】



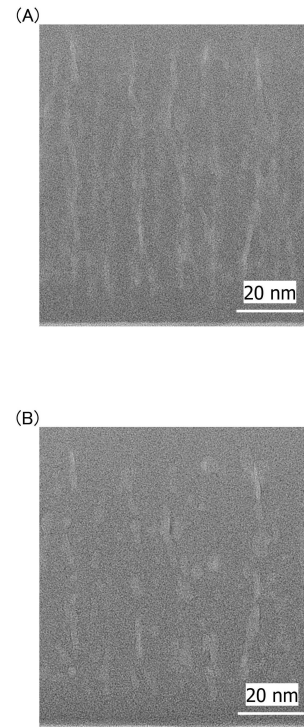
【図 10】



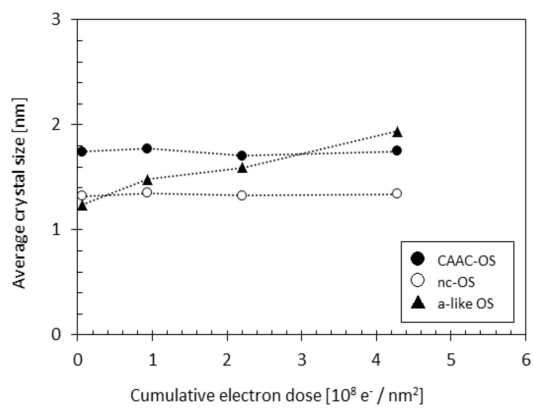
【図 1 1】



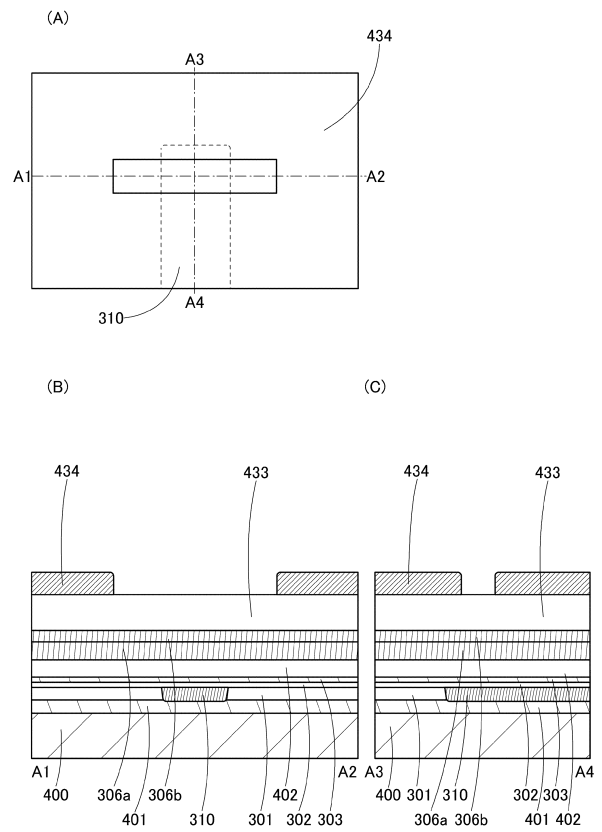
【図 1 2】



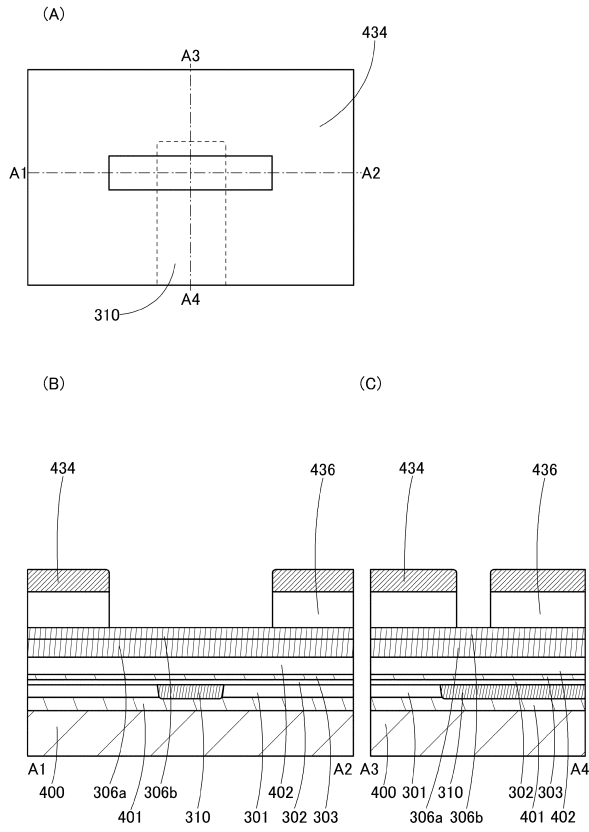
【図 1 3】



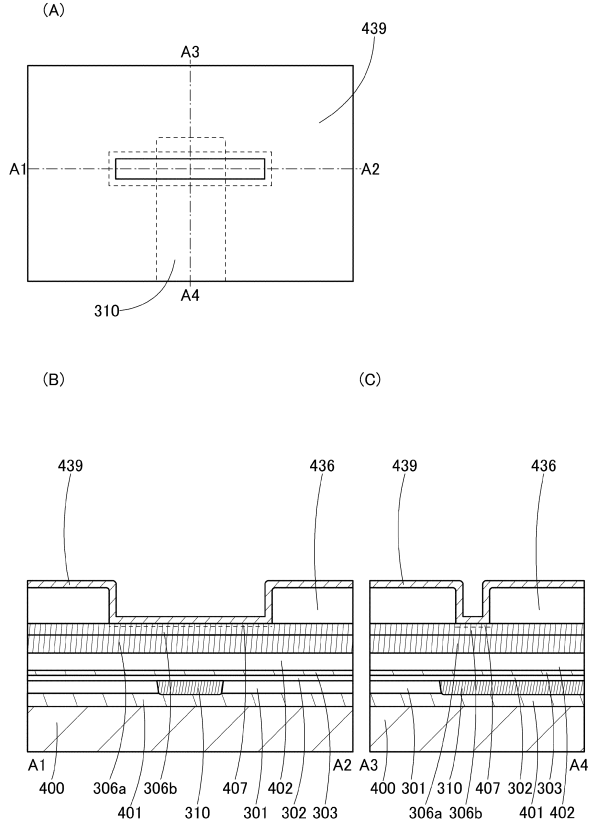
【図 1 4】



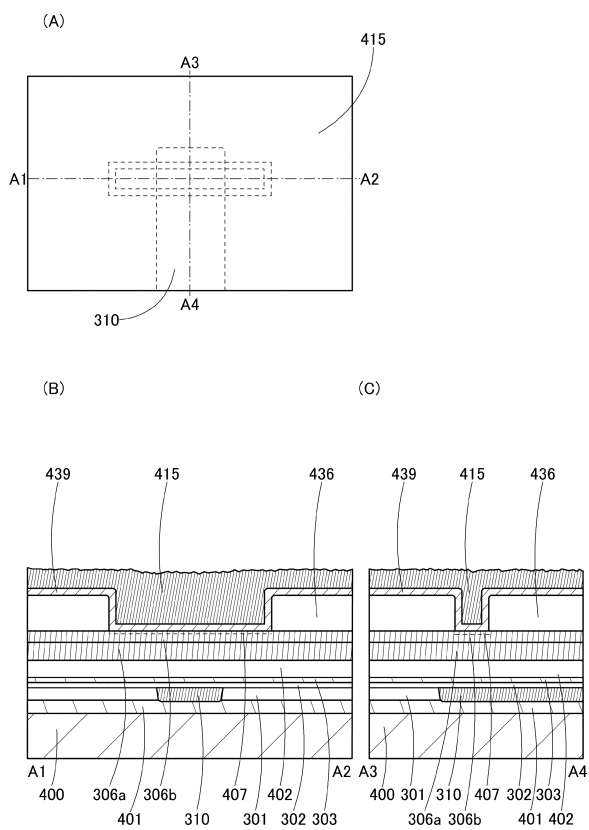
【図 15】



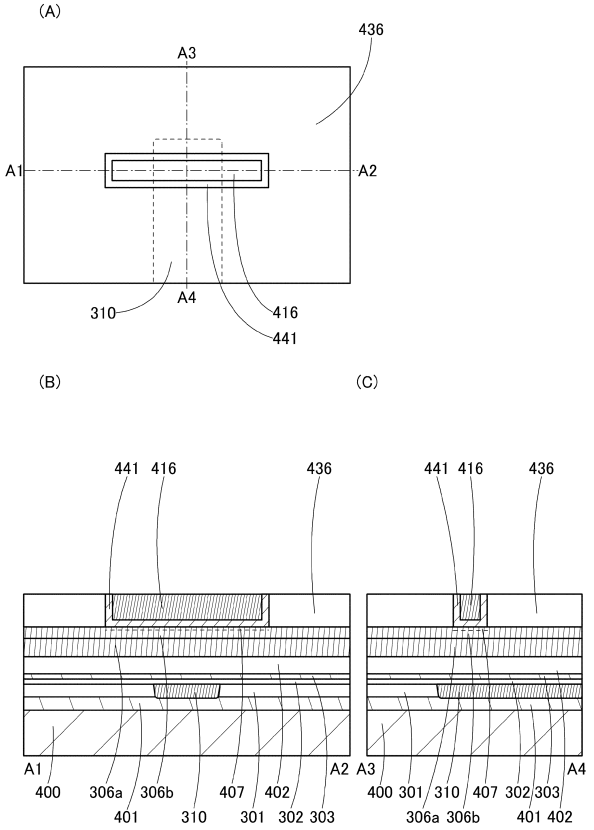
【図 16】



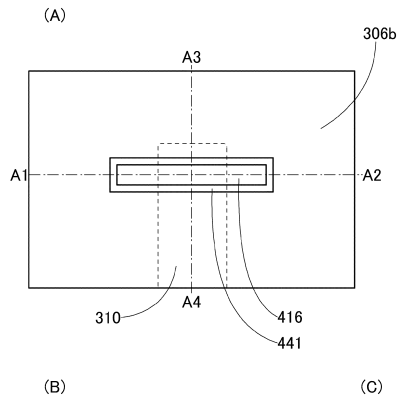
【図 17】



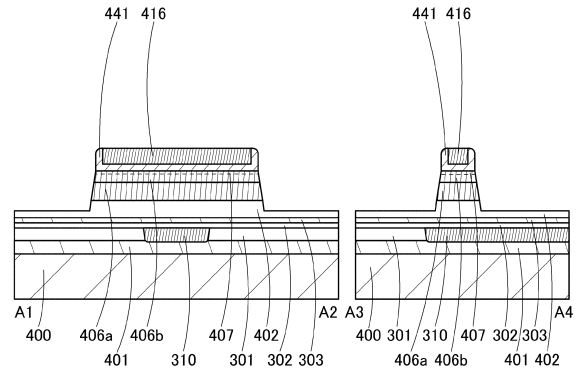
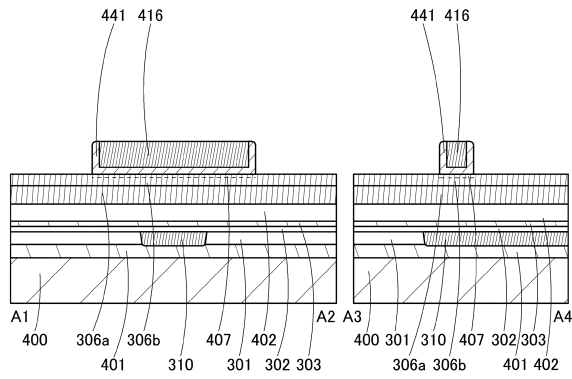
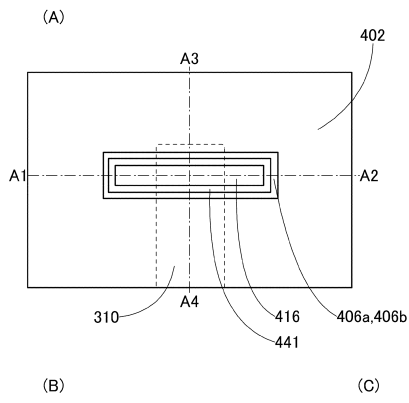
【図 18】



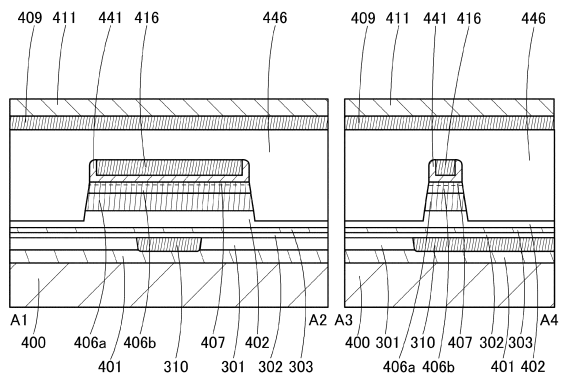
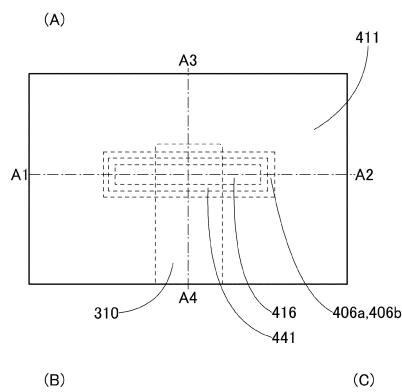
【図 19】



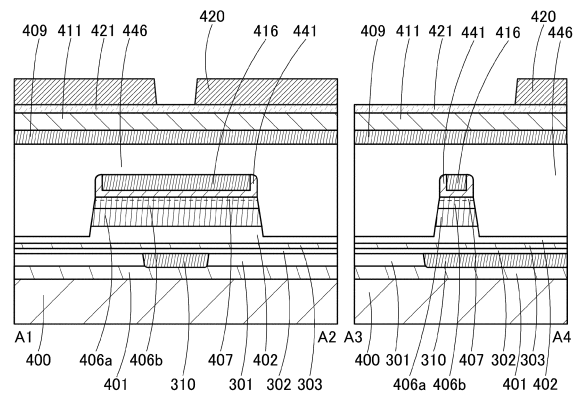
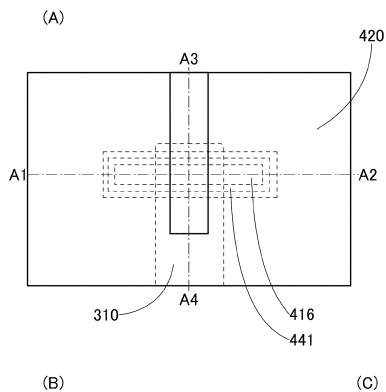
【図 20】



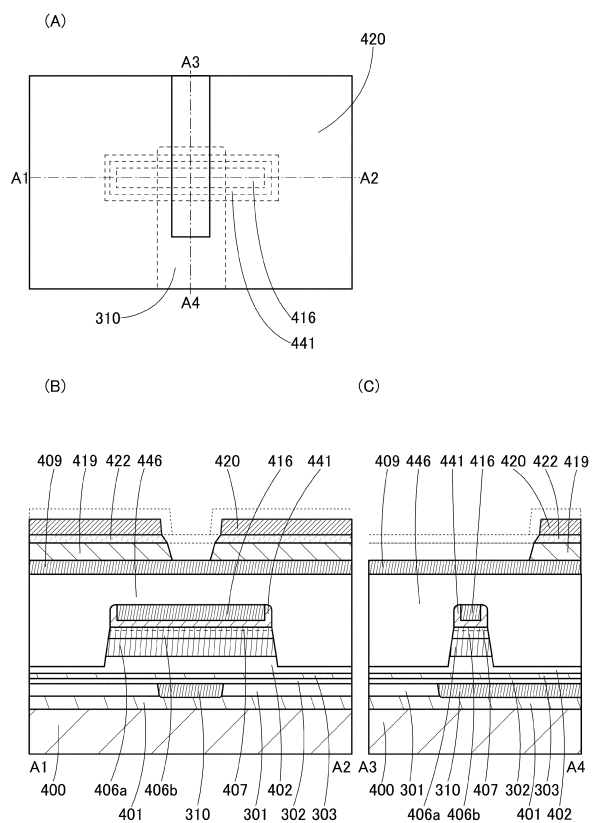
【図 21】



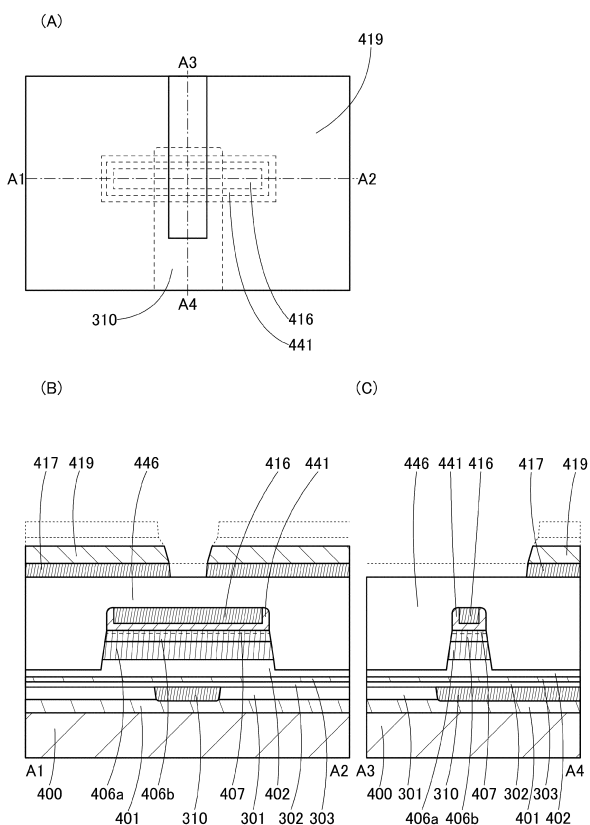
【図 22】



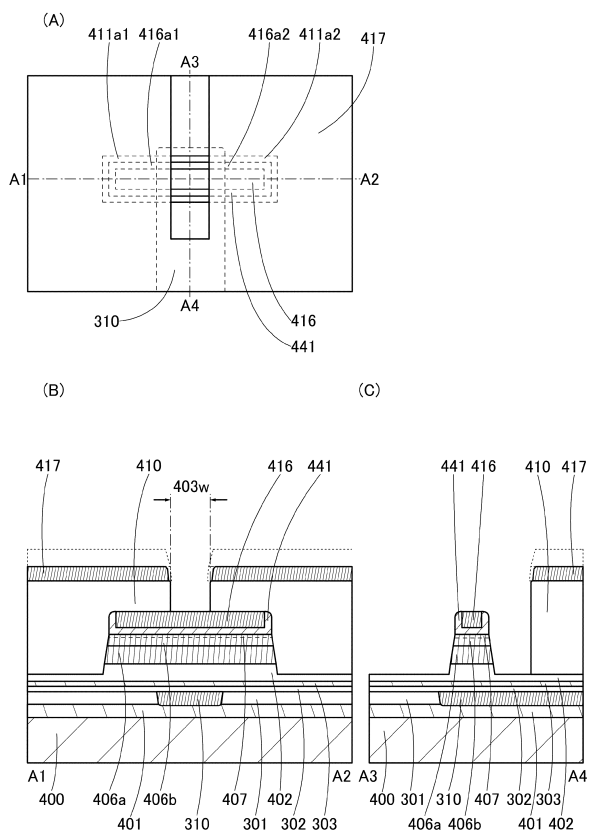
【图 2 3】



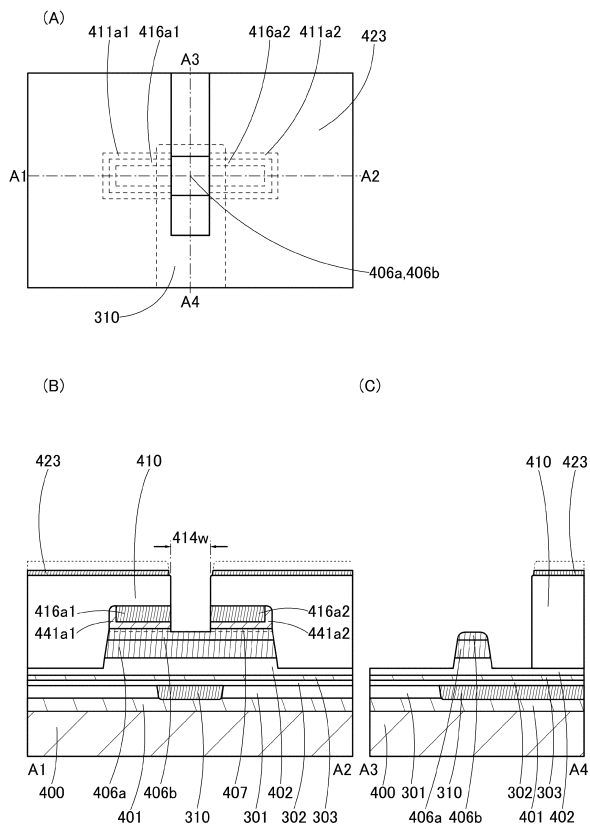
【図 24】



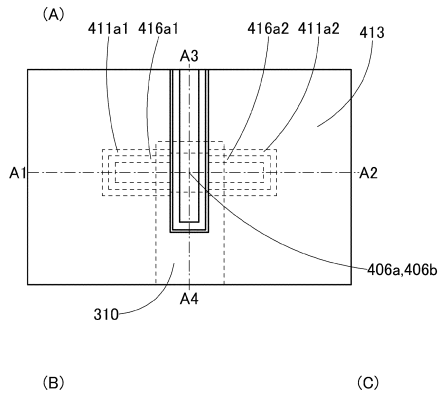
【図 25】



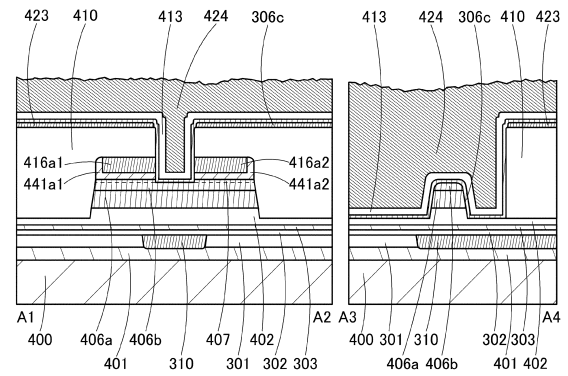
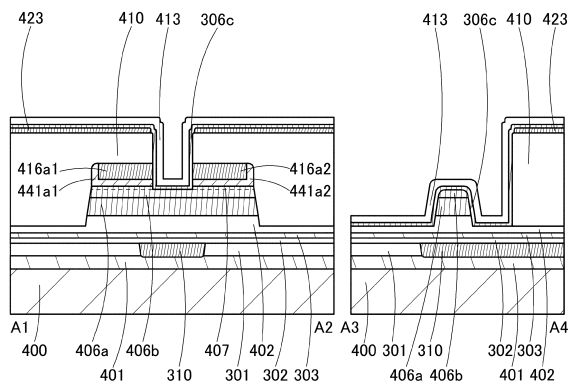
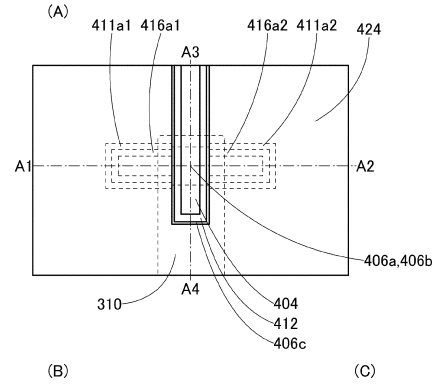
【図 2 6】



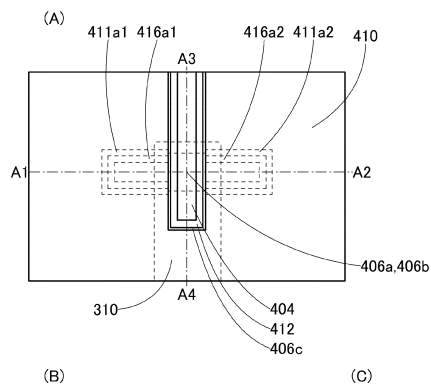
【図 27】



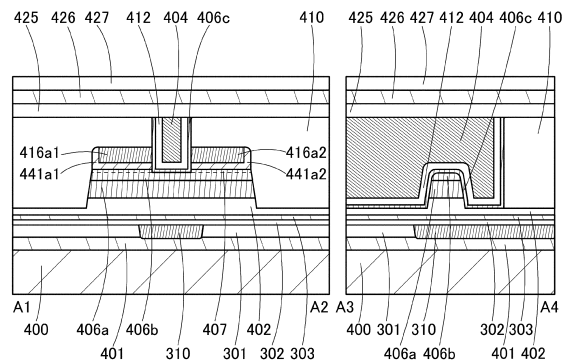
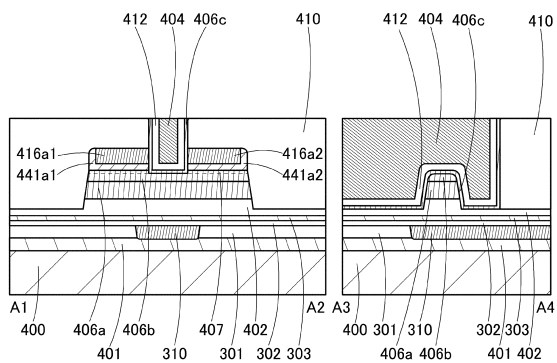
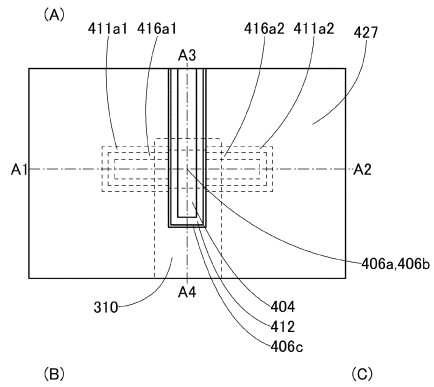
【図 28】



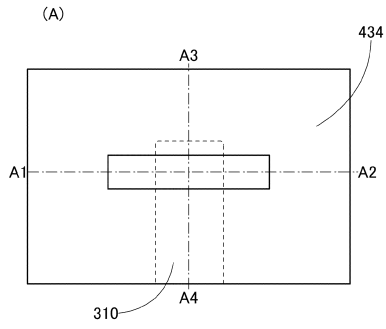
【図 29】



【図 30】

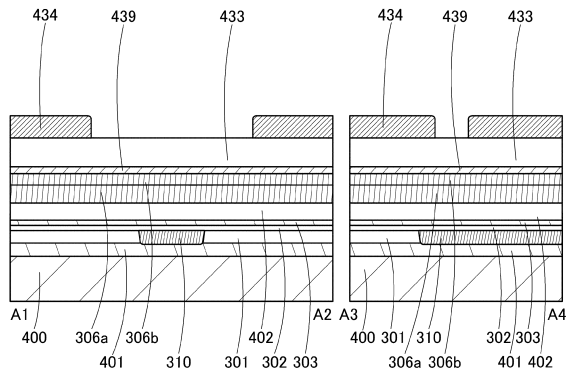


【図 3 1】

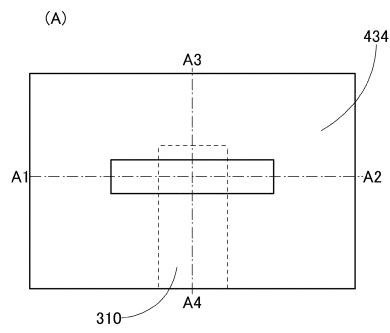


(B)

(C)

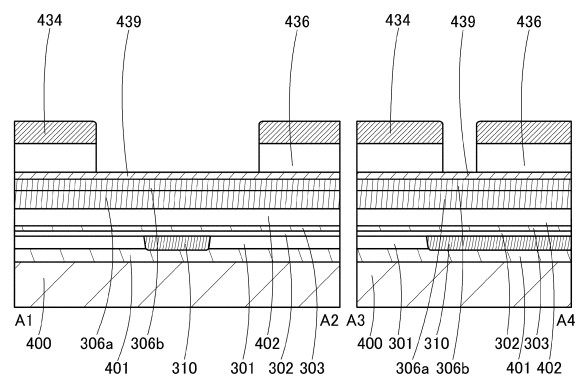


【図 3 2】

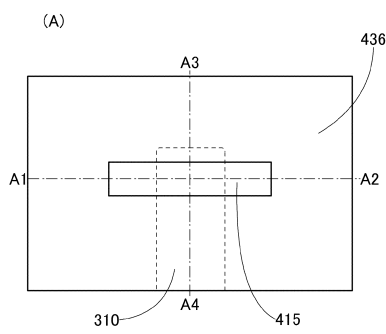


(B)

(C)

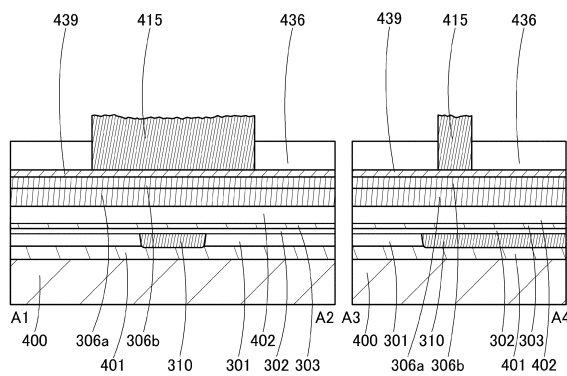


【図 3 3】

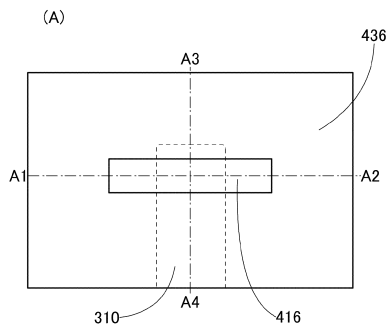


(B)

(C)

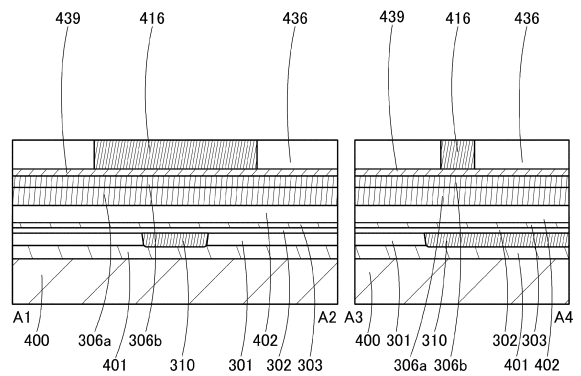


【図 3 4】

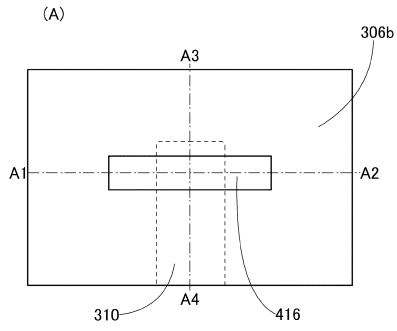


(B)

(C)

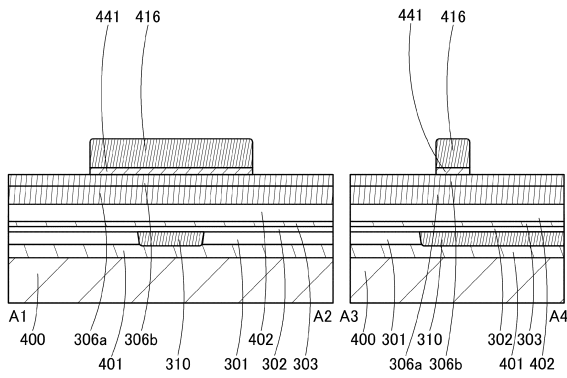


【図 3 5】

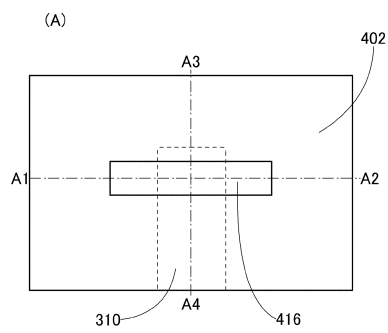


(B)

(C)

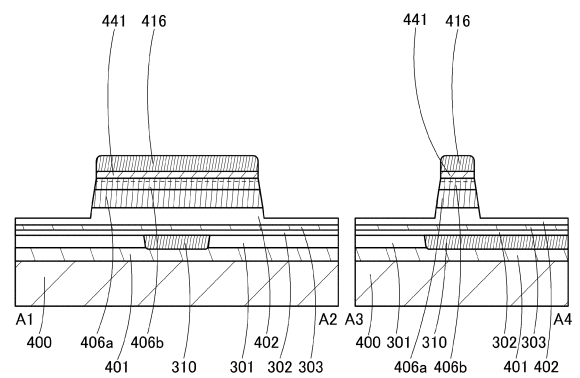


【図 3 6】

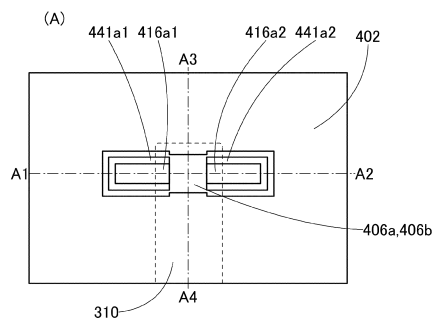


(B)

(C)

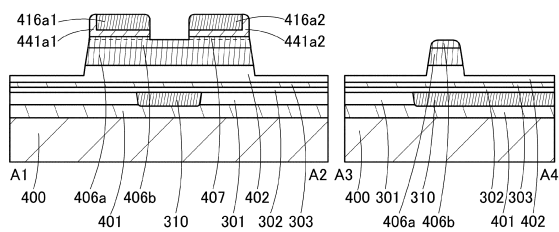


【図 3 7】

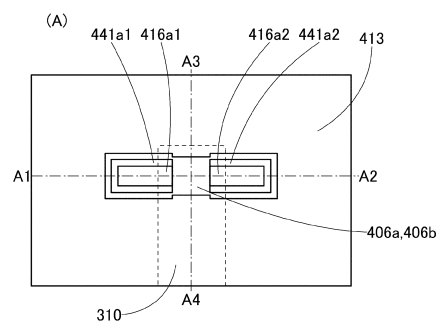


(B)

(C)

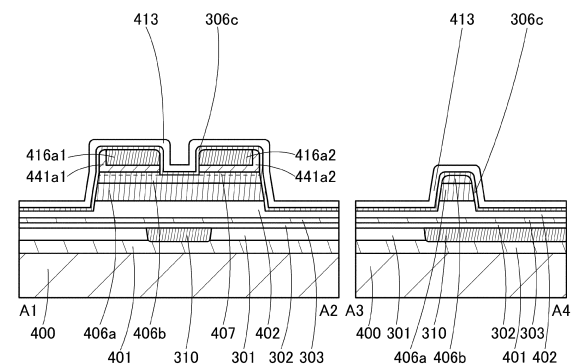


【図 3 8】

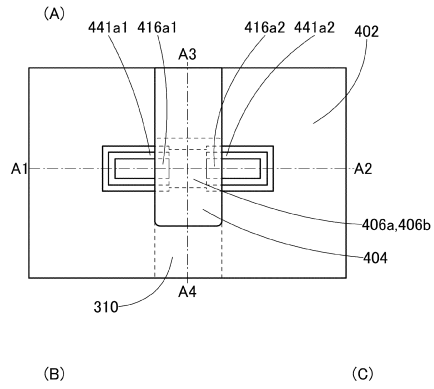


(B)

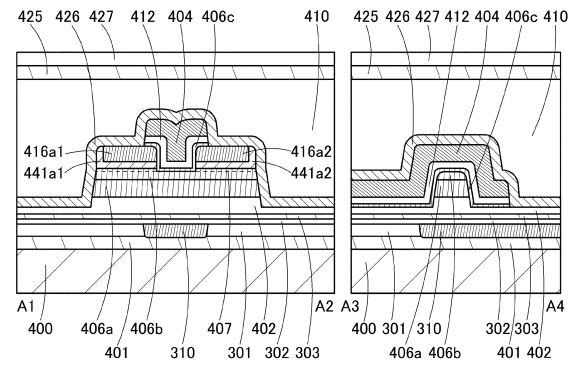
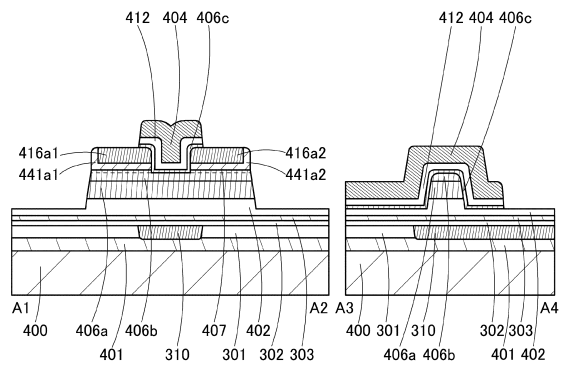
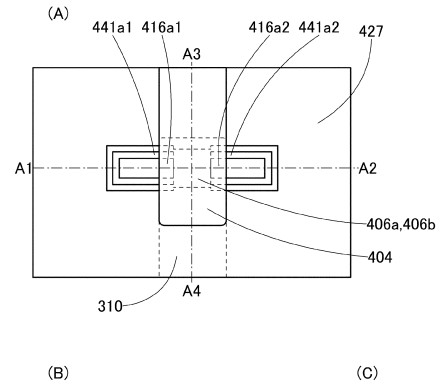
(C)



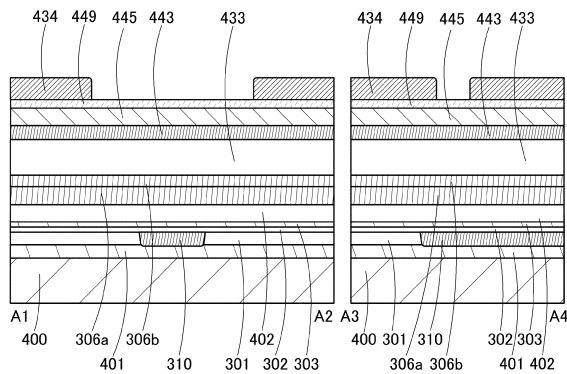
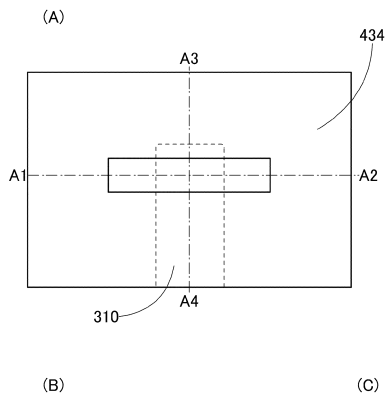
【図 39】



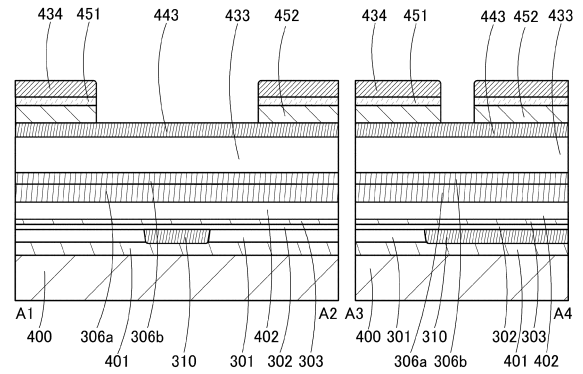
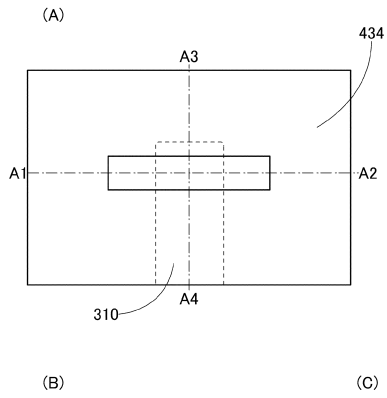
【図 40】



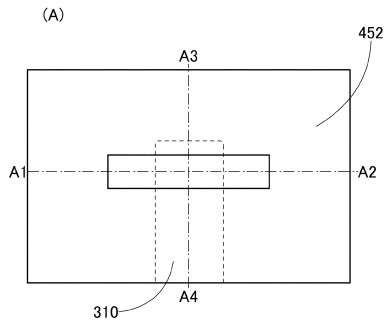
【図 41】



【図 42】

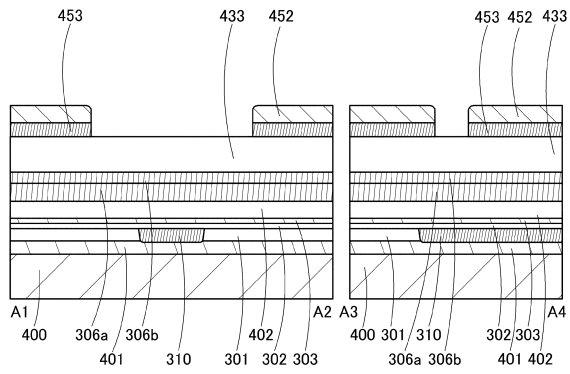


【図 4 3】

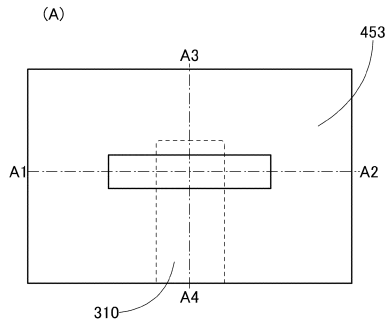


(B)

(C)

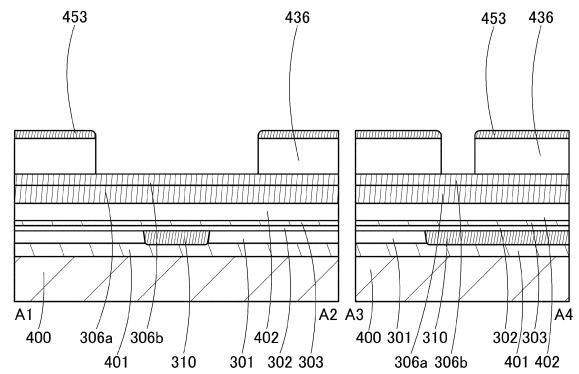


【図 4 4】

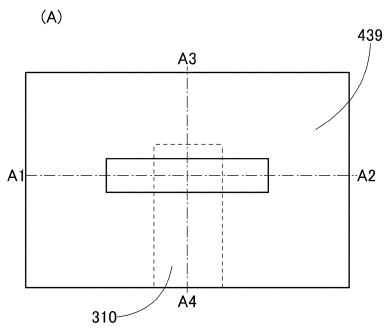


(B)

(C)

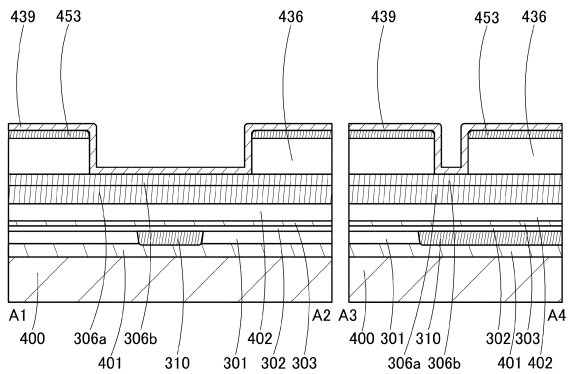


【図 4 5】

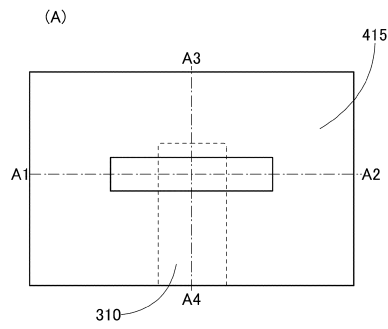


(B)

(C)

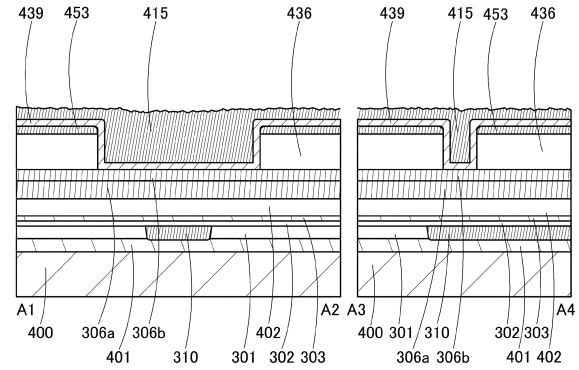


【図 4 6】

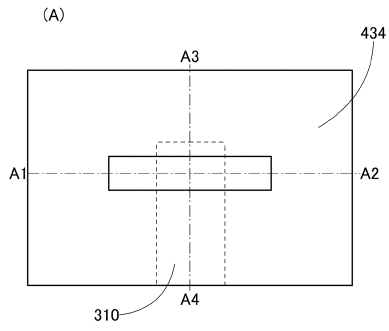


(B)

(C)

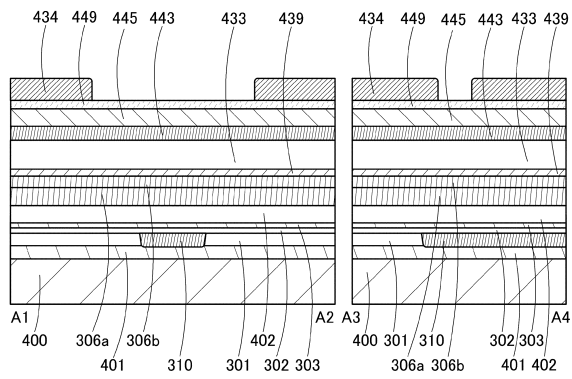


【図 4 7】

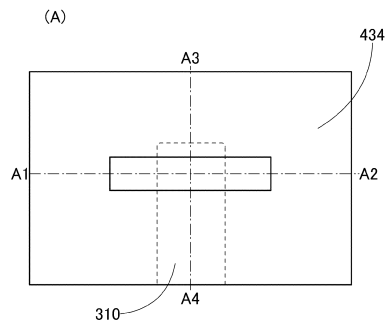


(B)

(C)

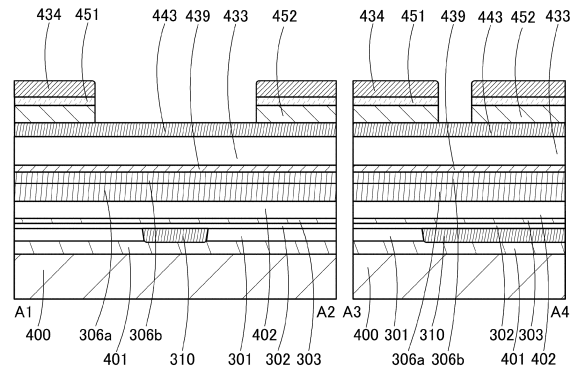


【図 4 8】

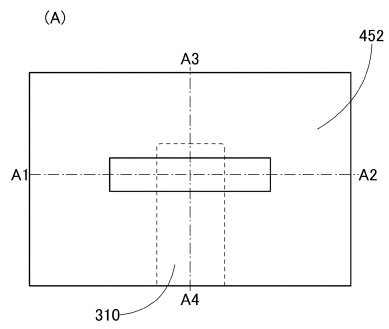


(B)

(C)

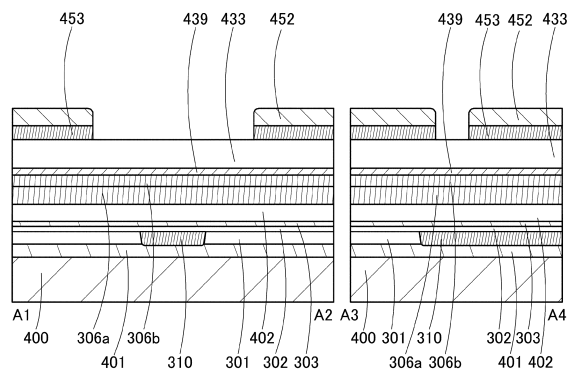


【図 4 9】

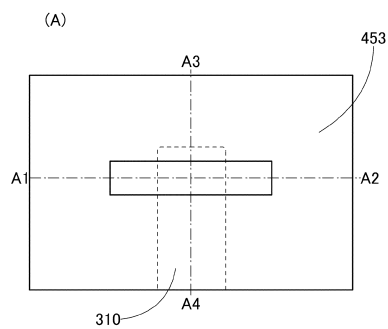


(B)

(C)

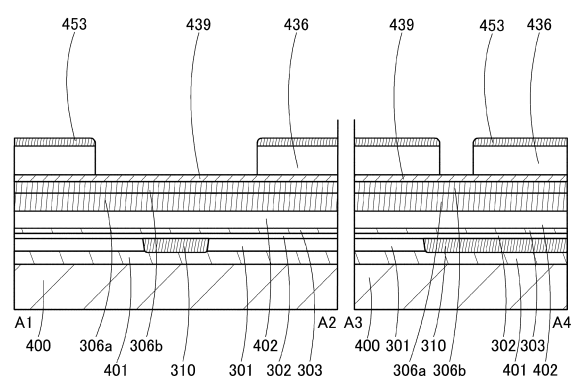


【図 5 0】

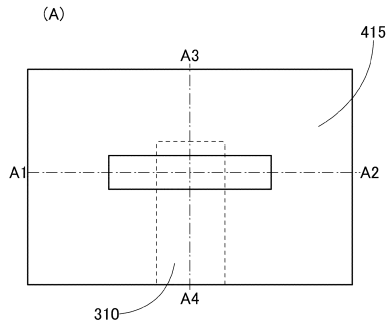


(B)

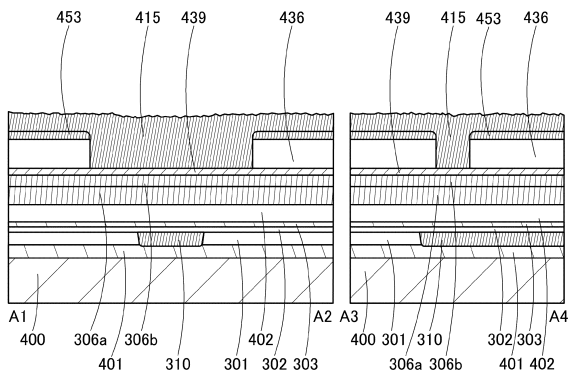
(C)



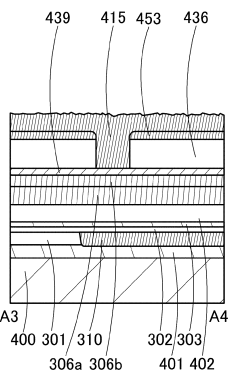
【図 5 1】



(B)

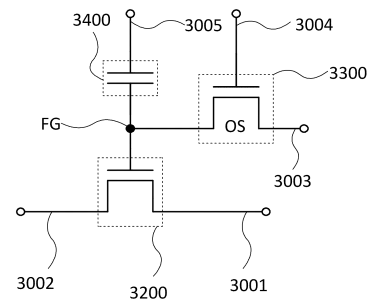


(C)

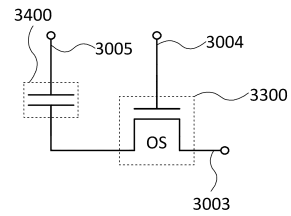


【図 5 2】

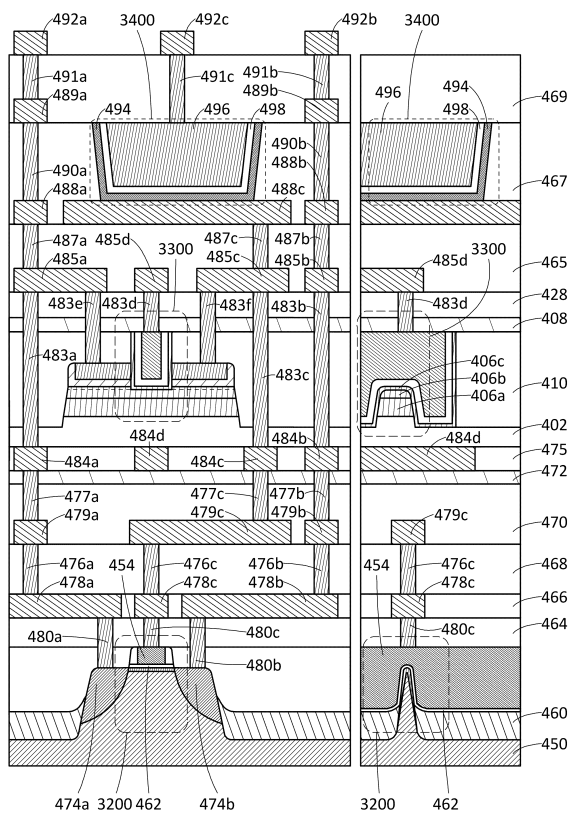
(A)



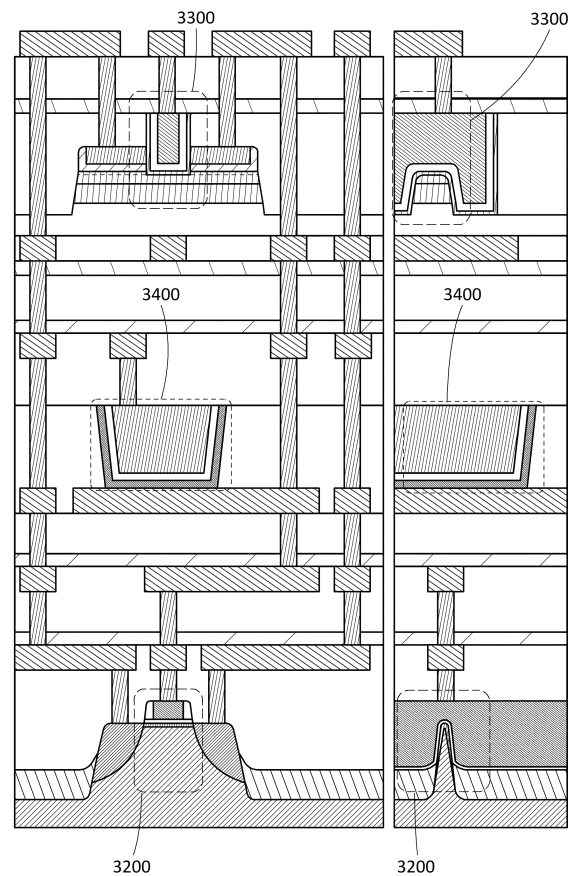
(B)



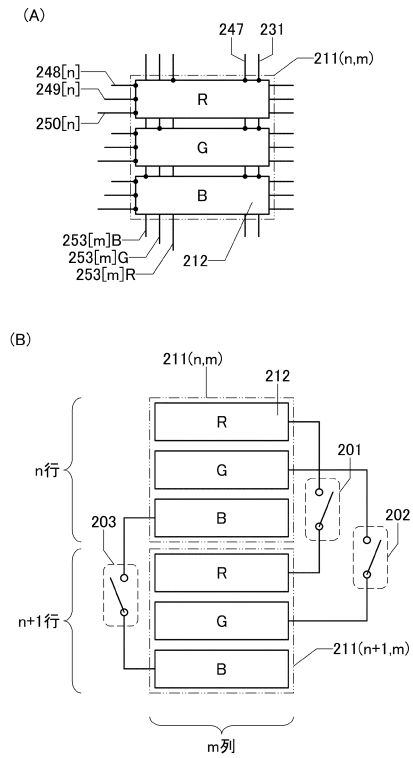
【図 5 3】



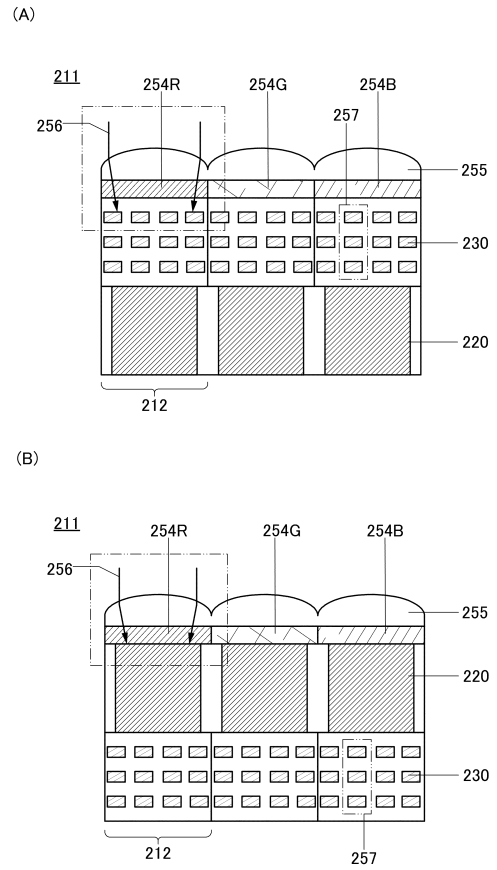
【図 5 4】



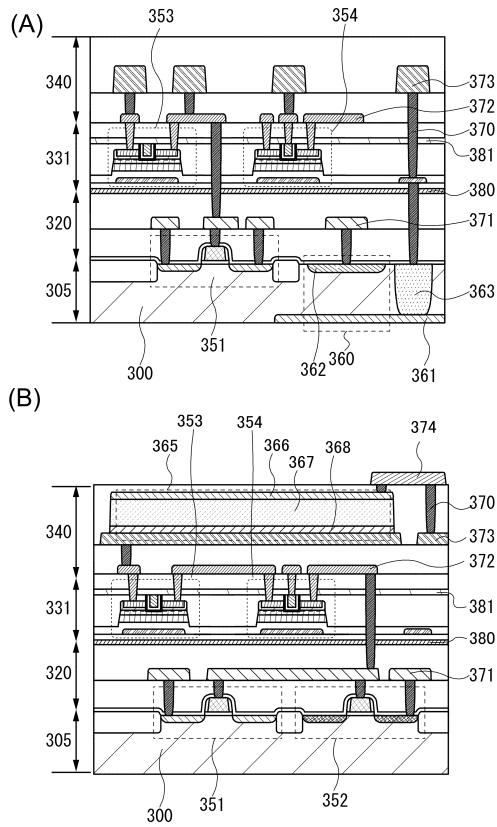
【図 59】



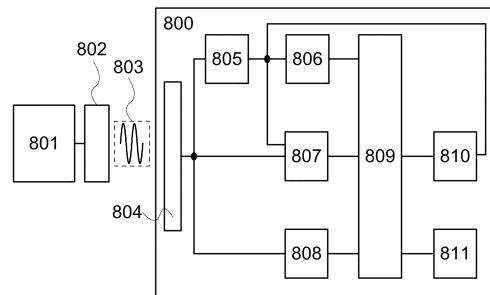
【図 60】



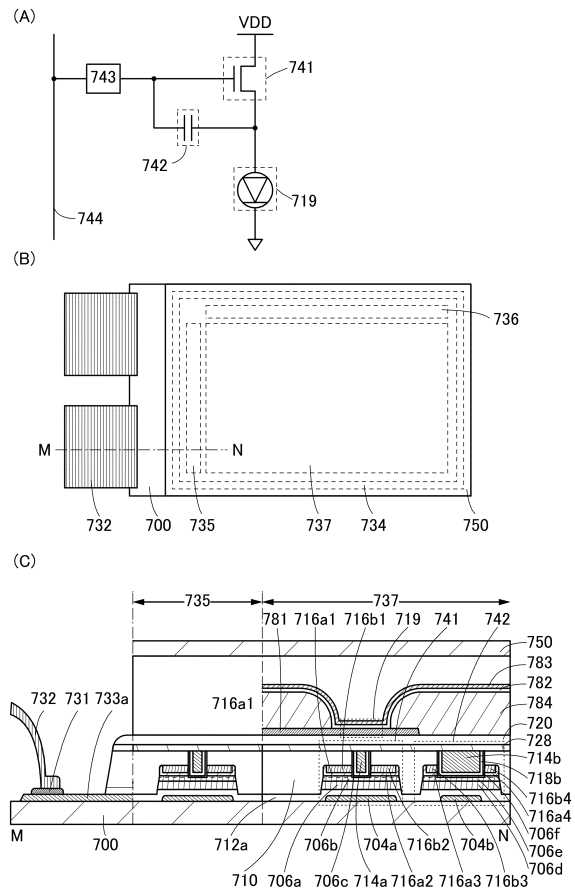
【図 61】



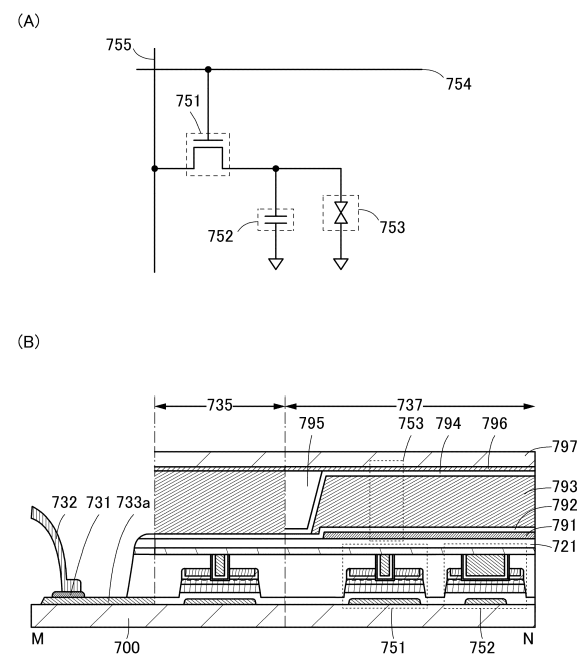
【図 62】



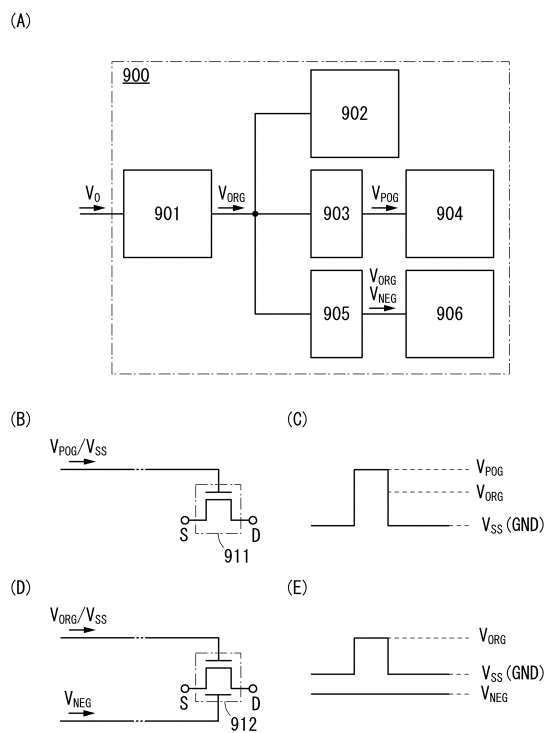
【図 6 3】



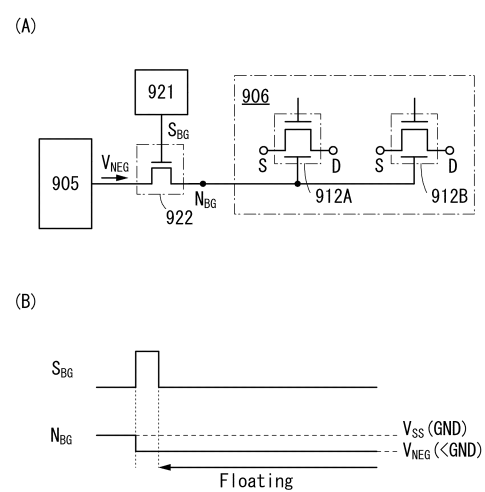
【図 6 4】



【図 6 5】

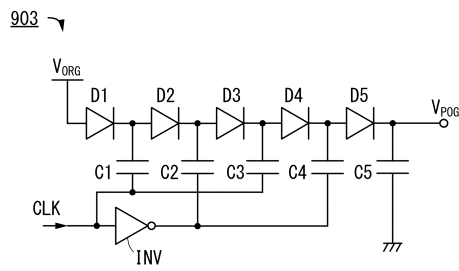


【図 6 6】

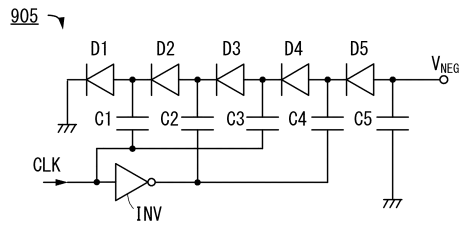


【図 6 7】

(A)

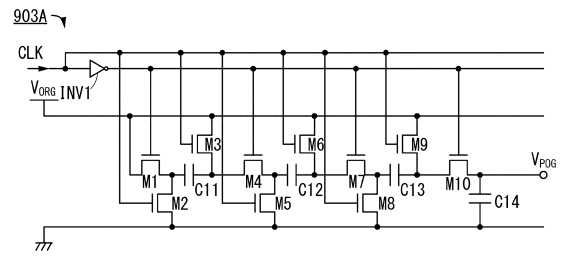


(B)

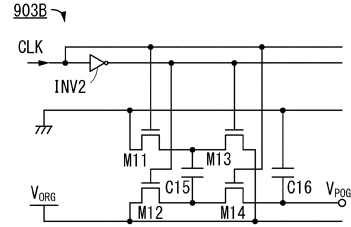


【図 6 8】

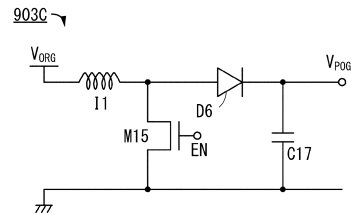
(A)



(B)

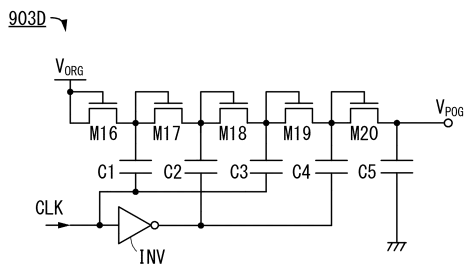


(C)

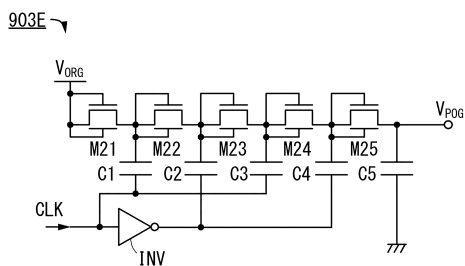


【図 6 9】

(A)

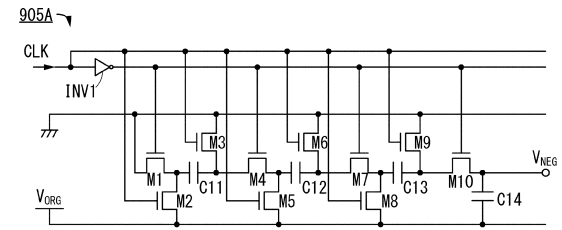


(B)

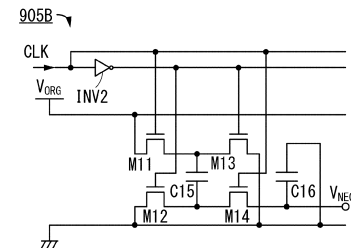


【図 7 0】

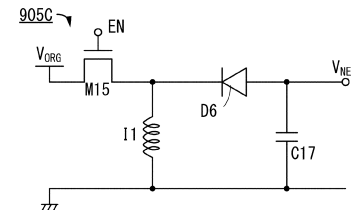
(A)



(B)



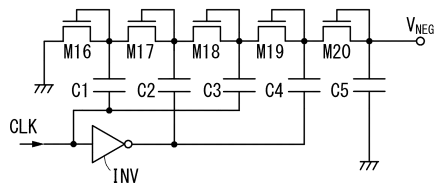
(C)



【図 7 1】

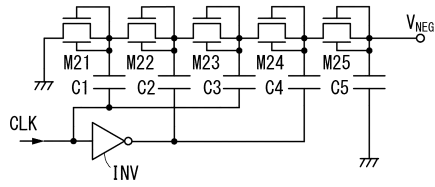
(A)

905D

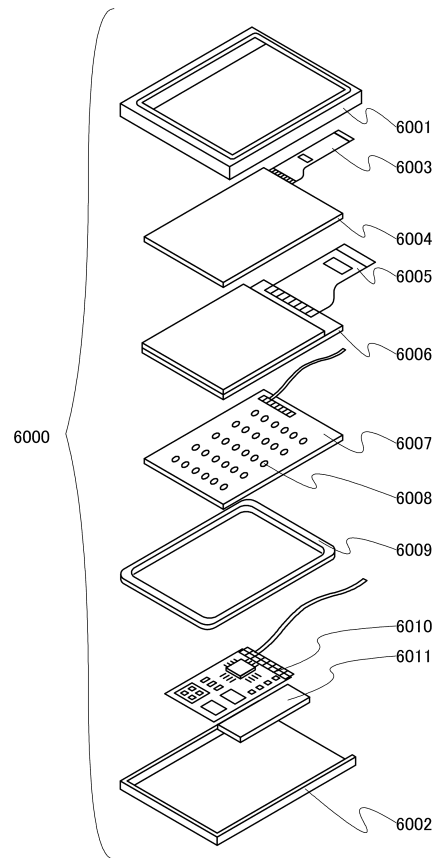


(B)

905E

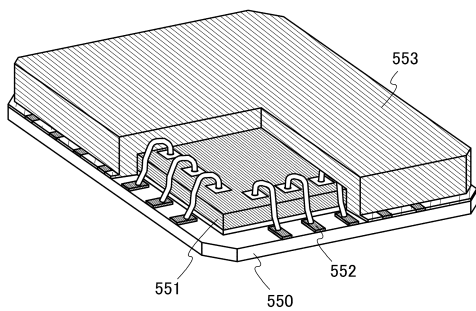


【図 7 2】

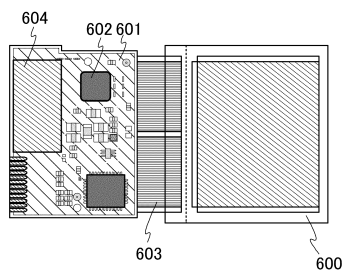


【図 7 3】

(A)

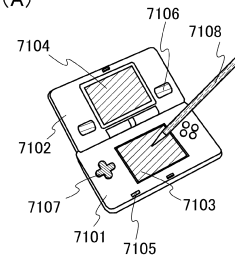


(B)

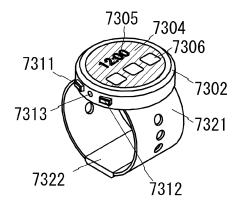


【図 7 4】

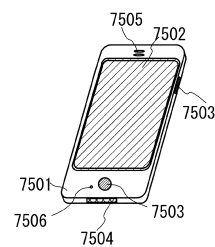
(A)



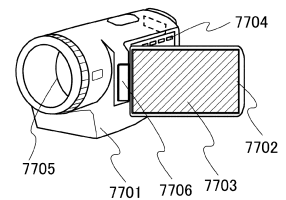
(B)



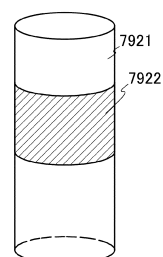
(C)



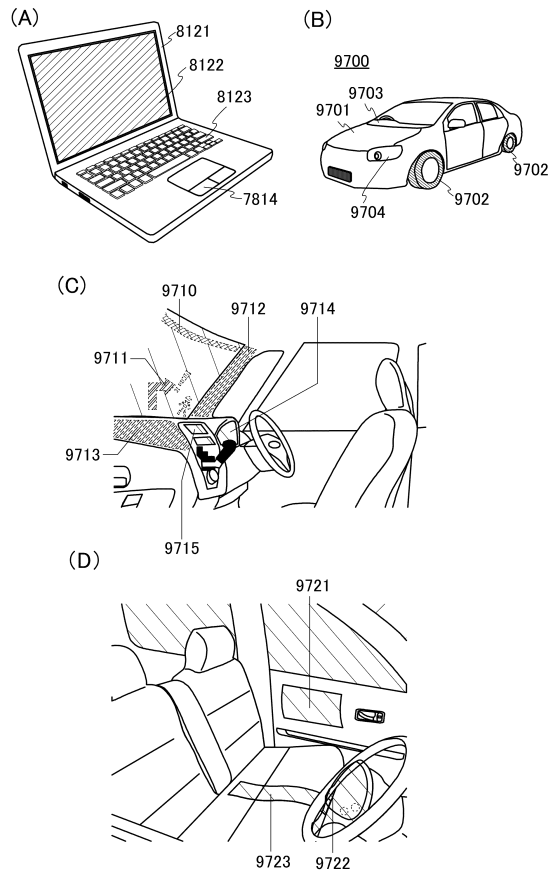
(D)



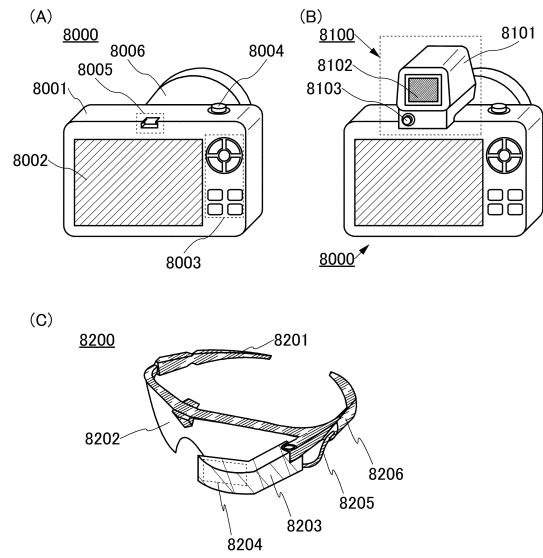
(E)



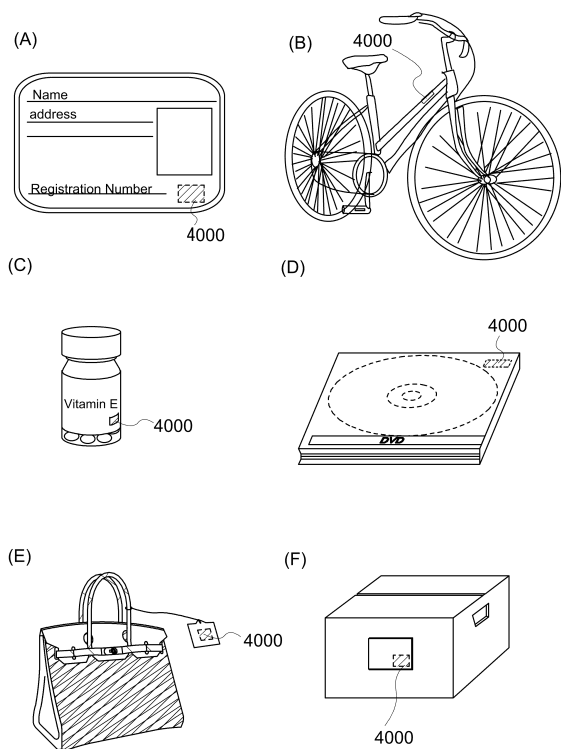
【図 7 5】



【図 7 6】



【図 7 7】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>21/8238</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>E</i>
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/092</i>	<i>G</i>
<i>H 0 1 L</i>	<i>27/146</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/146</i>	<i>A</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/14</i>	<i>A</i>
<i>H 0 5 B</i>	<i>33/14</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/14</i>	<i>Z</i>
<i>H 0 5 B</i>	<i>33/10</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/10</i>	
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 3 8</i>
<i>G 0 9 F</i>	<i>9/00</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/00</i>	<i>3 3 8</i>

(72)発明者 梶林 克明
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 市川 武宜

(56)参考文献 特開 2 0 1 5 - 1 4 4 2 5 1 (J P , A)
特開 2 0 1 4 - 1 9 9 9 2 1 (J P , A)
特開 2 0 1 2 - 0 6 4 9 2 3 (J P , A)
特開 2 0 1 5 - 0 1 5 4 5 7 (J P , A)
特開 2 0 1 1 - 0 4 4 6 9 9 (J P , A)

(58)調査した分野(Int.Cl., D B名)

H 0 1 L *2 9 / 7 8 6*
G 0 9 F *9 / 0 0*
G 0 9 F *9 / 3 0*
H 0 1 L *2 1 / 8 2 3 4*
H 0 1 L *2 1 / 8 2 3 8*
H 0 1 L *2 1 / 8 2 4 2*
H 0 1 L *2 7 / 0 8 8*
H 0 1 L *2 7 / 0 9 2*
H 0 1 L *2 7 / 1 0 8*
H 0 1 L *2 7 / 1 4 6*
H 0 1 L *5 1 / 5 0*
H 0 5 B *3 3 / 1 0*
H 0 5 B *3 3 / 1 4*