

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年7月20日(2017.7.20)

【公表番号】特表2016-529618(P2016-529618A)

【公表日】平成28年9月23日(2016.9.23)

【年通号数】公開・登録公報2016-056

【出願番号】特願2016-533452(P2016-533452)

【国際特許分類】

G 06 F 12/06 (2006.01)

【F I】

G 06 F 12/06 5 1 5 H

G 06 F 12/06 5 4 0 A

【手続補正書】

【提出日】平成29年6月5日(2017.6.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

選択的な電力または性能の最適化を伴うメモリチャネルインターリービング方法であつて、

少なくとも第1のメモリデバイスおよび第2のメモリデバイスについてメモリアドレスマップを構成するステップであつて、前記第1のメモリデバイスが第1のメモリコントローラおよび第1のメモリチャネルに関連付けられ、前記第2のメモリデバイスが第2のメモリコントローラおよび第2のメモリチャネルに関連付けられ、前記第1のメモリデバイスおよび前記第2のメモリデバイスの各々がインターリープ領域の一部分と線形領域の一部分とを備え、前記インターリープ領域が比較的高い性能のユースケースのためのインターリープされたアドレス空間を備え、前記線形領域が比較的低い電力のユースケースのための線形アドレス空間を備える、ステップと、

メモリチャネルインターリーバにおいて、1つまたは複数のクライアントからメモリ要求を受信するステップであつて、前記メモリ要求が電力節約または性能に対する選好を備える、ステップと、

前記メモリチャネルインターリーバによって、電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当て、かつ性能に対する選好を備える前記メモリ要求を前記インターリープ領域に割り当てるステップであつて、電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当てるステップが、前記第1のメモリコントローラに、前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する第1のアドレス範囲に書き込むように命令し、かつ前記第2のメモリコントローラに、前記第2のメモリデバイスを電力節約モードに遷移させるように命令するステップを備える、ステップとを備える、方法。

【請求項2】

前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する前記第1のアドレス範囲における最終メモリアドレスに達したときに、

前記第1のメモリデバイスを前記電力節約モードに置くステップと、

前記第2のメモリデバイスをアクティブ化するステップと、

電力節約に対する選好を備える次の受信されたメモリ要求を、前記第2のメモリデバイ

ス内の前記線形領域の前記一部分に対応する第2のアドレス範囲に書き込むステップとをさらに備える、請求項1に記載の方法。

【請求項3】

電力節約または性能に対する前記選好がオペレーティングシステムへのシステムコールを介して指定される、請求項1に記載の方法。

【請求項4】

電力節約または性能に対する前記選好がメモリヒープのタイプを指定するパラメータを備える、請求項1に記載の方法。

【請求項5】

前記メモリデバイスがダイナミックランダムアクセスメモリ(DRAM)デバイスを備える、請求項1に記載の方法。

【請求項6】

前記メモリチャネルインターリーバがシステムオンチップ(SOC)バスを介して前記メモリ要求を受信する、請求項1に記載の方法。

【請求項7】

前記メモリチャネルインターリーバにおいて、メモリ帯域幅の履歴ログを備えるデータベースに対して、性能に対する前記選好を有するメモリ要求を有効にするステップと、

有効にされない場合、前記メモリチャネルインターリーバにおいて、性能に対する前記選好を無効にし、かつ前記有効にされなかったメモリ要求を前記線形領域に割り当てるステップと

をさらに備える、請求項1に記載の方法。

【請求項8】

前記メモリ要求を前記線形領域または前記インターリープ領域に割り当てるステップが、動的なメモリ割振りまたは所定の静的なメモリ割振りを備える、請求項1に記載の方法。

【請求項9】

前記メモリチャネルインターリーバがアドレスマッピングモジュールを備える、請求項1に記載の方法。

【請求項10】

前記メモリチャネルインターリーバがデータセレクタをさらに備え、前記データセレクタが前記アドレスマッピングモジュールに結合され、かつ通信する、請求項9に記載の方法。

【請求項11】

選択的な電力または性能の最適化を伴うメモリチャネルインターリーピングを提供するためのシステムであって、

少なくとも第1のメモリデバイスおよび第2のメモリデバイスについてメモリアドレスマップを構成するための手段であって、前記第1のメモリデバイスが第1のメモリコントローラおよび第1のメモリチャネルに関連付けられ、前記第2のメモリデバイスが第2のメモリコントローラおよび第2のメモリチャネルに関連付けられ、前記第1のメモリデバイスおよび前記第2のメモリデバイスの各々がインターリープ領域の一部分と線形領域の一部分とを備え、前記インターリープ領域が比較的高い性能のユースケースのためのインターリープされたアドレス空間を備え、前記線形領域が比較的低い電力のユースケースのための線形アドレス空間を備える、手段と、

1つまたは複数のクライアントからメモリ要求を受信するための手段であって、前記メモリ要求が電力節約または性能に対する選好を備える、手段と、

電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当て、かつ性能に対する選好を備える前記メモリ要求を前記インターリープ領域に割り当てるための手段であって、前記電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当てるための手段が、前記第1のメモリコントローラに、前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する第1のアドレス範囲に書き込むように命令するための手段と

、前記第2のメモリコントローラに、前記第2のメモリデバイスを電力節約モードに遷移させるように命令するための手段とを備える、手段とを備える、システム。

【請求項 1 2】

前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する前記第1のアドレス範囲における最終メモリアドレスに達したときに、

前記第1のメモリデバイスを前記電力節約モードに置くための手段と、

前記第2のメモリデバイスをアクティブ化するための手段と、

電力節約に対する選好を備える次の受信されたメモリ要求を、前記第2のメモリデバイス内の前記線形領域の前記一部分に対応する第2のアドレス範囲に書き込むための手段とをさらに備える、請求項11に記載のシステム。

【請求項 1 3】

電力節約または性能に対する前記選好がオペレーティングシステムへのシステムコールを介して指定される、請求項11に記載のシステム。

【請求項 1 4】

電力節約または性能に対する前記選好がメモリヒープのタイプを指定するパラメータを備える、請求項11に記載のシステム。

【請求項 1 5】

前記メモリデバイスがダイナミックランダムアクセスメモリ(DRAM)デバイスを備える、請求項11に記載のシステム。

【請求項 1 6】

前記メモリ要求を前記受信するための手段が、システムオンチップ(SOC)バスと通信している、請求項11に記載のシステム。

【請求項 1 7】

メモリ帯域幅の履歴ログを備えるデータベースに対して、性能に対する前記選好を有するメモリ要求を有効にするための手段と、

有効にされなかったメモリ要求についての性能に対する前記選好を無効にし、かつ前記有効にされなかったメモリ要求を前記線形領域に割り当てるための手段とをさらに備える、請求項11に記載のシステム。

【請求項 1 8】

前記メモリ要求を前記線形領域または前記インターリープ領域に前記割り当てるための手段が、動的なメモリ割振り手段または所定の静的なメモリ割振り手段を備える、請求項12に記載のシステム。

【請求項 1 9】

前記メモリ要求を前記線形領域に割り当てるための手段が、アドレスマッピングモジュールを有するメモリチャネルインターリーバを備える、請求項11に記載のシステム。

【請求項 2 0】

前記メモリチャネルインターリーバがデータセレクタをさらに備え、前記データセレクタが前記アドレスマッピングモジュールに結合され、かつ通信する、請求項19に記載のシステム。

【請求項 2 1】

コンピュータプログラムであって、選択的な電力または性能の最適化を伴うメモリチャネルインターリービングのための方法を実施するために実行されるように適合され、前記方法が、

少なくとも第1のメモリデバイスおよび第2のメモリデバイスについてメモリアドレスマップを構成するステップであって、前記第1のメモリデバイスが第1のメモリコントローラおよび第1のメモリチャネルに関連付けられ、前記第2のメモリデバイスが第2のメモリコントローラおよび第2のメモリチャネルに関連付けられ、前記第1のメモリデバイスおよび前記第2のメモリデバイスの各々がインターリープ領域の一部分と線形領域の一部分とを備え、前記インターリープ領域が比較的高い性能のユースケースのためのインターリープ

されたアドレス空間を備え、前記線形領域が比較的低い電力のユースケースのための線形アドレス空間を備える、ステップと、

1つまたは複数のクライアントからメモリ要求を受信するステップであって、前記メモリ要求が電力節約または性能に対する選好を備える、ステップと、

電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当て、かつ性能に対する選好を備える前記メモリ要求を前記インターリーブ領域に割り当てるステップであって、電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当てるステップが、前記第1のメモリコントローラに、前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する第1のアドレス範囲に書き込むように命令し、かつ前記第2のメモリコントローラに、前記第2のメモリデバイスを電力節約モードに遷移させるように命令するステップを備える、ステップと
を備える、コンピュータプログラム。

【請求項 2 2】

前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する前記第1のアドレス範囲における最終メモリアドレスに達したときに、前記方法が、

前記第1のメモリデバイスを前記電力節約モードに置くステップと、

前記第2のメモリデバイスをアクティブ化するステップと、

電力節約に対する選好を備える次の受信されたメモリ要求を、前記第2のメモリデバイス内の前記線形領域の前記一部分に対応する第2のアドレス範囲に書き込むステップと
をさらに備える、請求項21に記載のコンピュータプログラム。

【請求項 2 3】

電力節約または性能に対する前記選好がオペレーティングシステムへのシステムコールを介して指定される、請求項21に記載のコンピュータプログラム。

【請求項 2 4】

電力節約または性能に対する前記選好がメモリヒープのタイプを指定するパラメータを備える、請求項21に記載のコンピュータプログラム。

【請求項 2 5】

前記メモリデバイスがダイナミックランダムアクセスメモリ(DRAM)デバイスを備える、請求項21に記載のコンピュータプログラム。

【請求項 2 6】

チャネルインターリーバがシステムオンチップ(SOC)バスを介して前記メモリ要求を受信する、請求項21に記載のコンピュータプログラム。

【請求項 2 7】

前記方法が、

メモリ帯域幅の履歴ログを備えるデータベースに対して、性能に対する前記選好を有するメモリ要求を有効にするステップと、

有効にされない場合、性能に対する前記選好を無効にし、かつ前記有効にされなかつたメモリ要求を前記線形領域に割り当てるステップと
をさらに備える、請求項21に記載のコンピュータプログラム。

【請求項 2 8】

前記メモリ要求を前記線形領域または前記インターリーブ領域に割り当てるステップが、動的なメモリ割振りまたは所定の静的なメモリ割振りを備える、請求項21に記載のコンピュータプログラム。

【請求項 2 9】

前記メモリ要求を割り当てるステップが、メモリチャネルインターリーバによって実施される、請求項21に記載のコンピュータプログラム。

【請求項 3 0】

前記メモリチャネルインターリーバがアドレスマッピングモジュールとデータセレクタとを備え、前記データセレクタが前記アドレスマッピングモジュールに結合され、かつ通信する、請求項29に記載のコンピュータプログラム。

【請求項 3 1】

選択的な電力または性能の最適化を伴うメモリチャネルインターリービングを提供するためのシステムであって、

システムオンチップ(SoC)に接続される少なくとも第1のメモリデバイスおよび第2のメモリデバイスにアクセスするためのメモリ要求を生成するための1つまたは複数の処理ユニットを備えるSOCであって、前記第1のメモリデバイスが第1のメモリコントローラおよび第1のメモリチャネルに関連付けられ、前記第2のメモリデバイスが第2のメモリコントローラおよび第2のメモリチャネルに関連付けられ、

前記第1のメモリデバイスおよび前記第2のメモリデバイスの各々が、メモリアドレスマップによって定義されたインターリープ領域の一部分と線形領域の一部分とを備え、前記インターリープ領域が比較的高い性能のユースケースのためのインターリープされたアドレス空間を備え、前記線形領域が比較的低い電力のユースケースのための線形アドレス空間を備える、システムオンチップ(SOC)と、

前記SoC上にあるメモリチャネルインターリーバであって、

前記1つまたは複数の処理ユニットからのメモリ要求を受信することであって、前記メモリ要求が電力節約または性能に対する選好を備える、受信することと、

電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当て、かつ性能に対する選好を備える前記メモリ要求を前記インターリープ領域に割り当てることであって、電力節約に対する選好を備える前記メモリ要求を前記線形領域に割り当てることが、前記第1のメモリコントローラに、前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する第1のアドレス範囲に書き込むように命令し、かつ前記第2のメモリコントローラに、前記第2のメモリデバイスを電力節約モードに遷移させるように命令することを備える、割り当てることと

を行うように構成されるメモリチャネルインターリーバと
を備える、システム。

【請求項 3 2】

前記第1のメモリデバイス内の前記線形領域の前記一部分に対応する前記第1のアドレス範囲における最終メモリアドレスに達したときに、

前記第1のメモリデバイスが前記電力節約モードに置かれ、

前記第2のメモリデバイスがアクティブ化され、

電力節約に対する選好を備える次の受信されたメモリ要求が、前記第2のメモリデバイス内の前記線形領域の前記一部分に対応する第2のアドレス範囲に書き込まれる、
請求項31に記載のシステム。

【請求項 3 3】

電力節約または性能に対する前記選好がオペレーティングシステムへのシステムコールを介して指定される、請求項31に記載のシステム。

【請求項 3 4】

電力節約または性能に対する前記選好がメモリヒープのタイプを指定するパラメータを備える、請求項31に記載のシステム。

【請求項 3 5】

前記メモリデバイスがダイナミックランダムアクセスメモリ(DRAM)デバイスを備える、
請求項31に記載のシステム。

【請求項 3 6】

前記SOCがポータブル通信デバイス上にある、請求項31に記載のシステム。

【請求項 3 7】

前記メモリチャネルインターリーバが、

メモリ帯域幅の履歴ログを備えるデータベースに対して、性能に対する前記選好を有するメモリ要求を有効にし、

有効にされない場合、性能に対する前記選好を無効にし、かつ前記有効にされなかったメモリ要求を前記線形領域に割り当てる

ようにさらに構成される、請求項31に記載のシステム。

【請求項 3 8】

前記メモリチャネルインターリーバが、動的なメモリ割振りまたは所定の静的なメモリ割振りを使用して、前記メモリ要求を前記線形領域または前記インターリープ領域に割り当てるようさらに構成される、請求項31に記載のシステム。

【請求項 3 9】

前記メモリチャネルインターリーバがアドレスマッピングモジュールを備える、請求項31に記載のシステム。

【請求項 4 0】

前記メモリチャネルインターリーバがデータセレクタをさらに備え、前記データセレクタが前記アドレスマッピングモジュールに結合され、かつ通信する、請求項39に記載のシステム。