

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年1月9日(2014.1.9)

【公開番号】特開2012-113792(P2012-113792A)

【公開日】平成24年6月14日(2012.6.14)

【年通号数】公開・登録公報2012-023

【出願番号】特願2010-264147(P2010-264147)

【国際特許分類】

G 11 C 11/4096 (2006.01)

G 11 C 11/4076 (2006.01)

G 11 C 11/401 (2006.01)

【F I】

G 11 C 11/34 3 5 4 R

G 11 C 11/34 3 5 4 C

G 11 C 11/34 3 6 2 H

【手続補正書】

【提出日】平成25年10月31日(2013.10.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項5

【補正方法】変更

【補正の内容】

【請求項5】

更に、前記第1乃至第6のカラムスイッチと、それぞれ対応する前記第1乃至第3のリードライトバスとの間に設けられる第1乃至第6のスイッチ回路、を備え、

前記制御回路は、

前記リード時、前記第1乃至第6のスイッチ回路をそれぞれ電気的に導通させるタイミングを示す複数の第3の制御信号と、前記ライト時、前記第1乃至第6のスイッチ回路をそれぞれ電気的に導通させるタイミングを示す複数の第4の制御信号と、を生成し、

前記第1乃至第6のメモリセルアレイからそれぞれ読み出された前記複数のリードデータが、前記第1のFIFO回路へそれぞれ到達するタイミングを示す時間が前記第1乃至第6のバンクの間で互いに等しくなるように、前記複数の第3の制御信号を前記第1乃至第3のグループ単位でそれぞれ異なる時間で活性化し、

前記第1乃至第6のスイッチ回路が、外部から前記第1のデータ入出力端子に供給されたライトデータがそれぞれ対応する前記第1乃至第6のスイッチ回路に到達するタイミングにマッチングして電気的導通するように、前記複数の第4の制御信号を前記第1乃至第3のグループ単位でそれぞれ異なる時間で活性化する、

請求項1乃至4のいずれか一項に記載の半導体装置。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】

【請求項6】

前記第1のメモリセルアレイと前記第2のメモリセルアレイの両方と接続し、かつ前記第1のバンクと前記第2のバンクの間の領域を前記第2の方向に延伸する第4のリードライトバスと、

前記第3のメモリセルアレイと前記第4のメモリセルアレイの両方と接続し、かつ前記

第3のバンクと前記第4のバンクの間の領域を前記第2の方向に延伸する第5のリードライトバスと、

前記第5のメモリセルアレイと前記第6のメモリセルアレイの両方と接続し、かつ前記第5のバンクと前記第6のバンクの間の領域を前記第2の方向に延伸する第6のリードライトバスと、

それぞれ前記第1及び第2のメモリセルアレイ内の前記複数のメモリセルにそれぞれ記憶される前記複数のデータを、前記第1又は第4のリードライトバスとの間で入出力する第7及び第8のカラムスイッチと、

それぞれ前記第3及び第4のメモリセルアレイ内の前記複数のメモリセルにそれぞれ記憶される前記複数のデータを前記第2又は第5のリードライトバスとの間で入出力する第9及び第10のカラムスイッチと、

それぞれ前記第5及び第6のメモリセルアレイ内の前記複数のメモリセルにそれぞれ記憶される前記複数のデータを前記第3又は第6のリードライトバスとの間で入出力する第11及び第12のカラムスイッチと、

前記第4のリードライトバスと前記第5のリードライトバスとを接続する第3の中間バッファと、

前記第5のリードライトバスと前記第6のリードライトバスとを接続する第4の中間バッファと、

データに関する外部とのインタフェースである第2のデータ入出力端子と、

前記第4のリードライトバスと前記第2のデータ入出力端子との間でデータの入出力を行う第2のFIFO回路と、

前記第7乃至第12のカラムスイッチと、前記第7乃至第12のカラムスイッチに対応する前記第1乃至第6のリードライトバスのうちの2本のリードライトバスと、の間にそれぞれ設けられた第1乃至第6のマルチプレクサと、を備え、

前記第7乃至第12のカラムスイッチが電気的に導通するタイミングは、それぞれ対応する同一なバンクな前記第1乃至第6のカラムスイッチに関連する前記複数の第1及び複数の第2の制御信号によって制御され、

前記第1乃至第6のマルチプレクサはそれぞれ、それぞれ対応する同一なバンクな前記第7乃至第12のカラムスイッチを前記第4乃至第6のリードライトバスのうち対応するリードライトバスに接続する第1の動作モードと、それぞれ対応する同一なバンクな前記第7乃至第12のカラムスイッチを前記第1乃至第3のリードライトバスのうち対応するリードライトバスに接続する第2の動作モードとのいずれかにより動作し、

前記制御回路は、更に、

前記リード時、前記第1乃至第6のマルチプレクサをそれぞれ電気的に導通させるタイミングを示す複数の第5の制御信号と、

前記ライト時、前記第1乃至第6のマルチプレクサをそれぞれ電気的に導通させるタイミングを示す複数の第6の制御信号と、を生成し、更に、

前記リード時、前記第1乃至第6のマルチプレクサが、前記第1乃至第6のメモリセルアレイからそれぞれ読み出された複数のリードデータを、前記第1及び第2のFIFO回路へそれぞれ到達するタイミングを示す時間が前記第1乃至第6のバンクの間で互いに等しくなるように、前記複数の第5の制御信号を前記第1乃至第3のグループ単位でそれ異なる時間で活性化し、

前記ライト時、前記第1乃至第6のマルチプレクサが、外部から前記第1及び第2のデータ入出力端子にそれぞれ供給された複数のライトデータがそれぞれ対応する前記第1乃至第6のマルチプレクサに到達するタイミングにマッチングして電気的に導通するように、前記複数の第6の制御信号を前記第1乃至第3のグループ単位でそれ異なる時間で活性化する

請求項1乃至5のいずれか一項に記載の半導体装置。