

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 26 年 1 月 9 日 (2014.1.9)

【公開番号】特開 2012-113792 (P2012-113792A)
 【公開日】平成 24 年 6 月 14 日 (2012.6.14)
 【年通号数】公開・登録公報 2012-023
 【出願番号】特願 2010-264147 (P2010-264147)
 【国際特許分類】

G 1 1 C 11/4096 (2006.01)

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/401 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 R

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 H

【手続補正書】

【提出日】平成 25 年 10 月 31 日 (2013.10.31)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 5

【補正方法】変更

【補正の内容】

【請求項 5】

更に、前記第 1 乃至第 6 のカラムスイッチと、それぞれ対応する前記第 1 乃至第 3 のリードライトバスとの間に設けられる第 1 乃至第 6 のスイッチ回路、を備え、

前記制御回路は、

前記リード時、前記第 1 乃至第 6 のスイッチ回路をそれぞれ電氣的に導通させるタイミングを示す複数の第 3 の制御信号と、前記ライト時、前記第 1 乃至第 6 のスイッチ回路をそれぞれ電氣的に導通させるタイミングを示す複数の第 4 の制御信号と、を生成し、

前記第 1 乃至第 6 のメモリセルアレイからそれぞれ読み出された前記複数のリードデータが、前記第 1 の F I F O 回路へそれぞれ到達するタイミングを示す時間が前記第 1 乃至第 6 のバンクの間に互いに等しくなるように、前記複数の第 3 の制御信号を前記第 1 乃至第 3 のグループ単位でそれぞれ異なる時間で活性化し、

前記第 1 乃至第 6 のスイッチ回路が、外部から前記第 1 のデータ入出力端子に供給されたライトデータがそれぞれ対応する前記第 1 乃至第 6 のスイッチ回路に到達するタイミングにマッチングして電氣的導通するように、前記複数の第 4 の制御信号を前記第 1 乃至第 3 のグループ単位でそれぞれ異なる時間で活性化する、

請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 6

【補正方法】変更

【補正の内容】

【請求項 6】

前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイの両方と接続し、かつ前記第 1 のバンクと前記第 2 のバンクの間の領域を前記第 2 の方向に延伸する第 4 のリードライトバスと、

前記第 3 のメモリセルアレイと前記第 4 のメモリセルアレイの両方と接続し、かつ前記

第 3 のバンクと前記第 4 のバンクの間の領域を前記第 2 の方向に延伸する第 5 のリードライトバスと、

前記第 5 のメモリセルアレイと前記第 6 のメモリセルアレイの両方と接続し、かつ前記第 5 のバンクと前記第 6 のバンクの間の領域を前記第 2 の方向に延伸する第 6 のリードライトバスと、

それぞれ前記第 1 及び第 2 のメモリセルアレイ内の前記複数のメモリセルにそれぞれ記憶される前記複数のデータを、前記第 1 又は第 4 のリードライトバスとの間で入出力する第 7 及び第 8 のカラムスイッチと、

それぞれ前記第 3 及び第 4 のメモリセルアレイ内の前記複数のメモリセルにそれぞれ記憶される前記複数のデータを前記第 2 又は第 5 のリードライトバスとの間で入出力する第 9 及び第 10 のカラムスイッチと、

それぞれ前記第 5 及び第 6 のメモリセルアレイ内の前記複数のメモリセルにそれぞれ記憶される前記複数のデータを前記第 3 又は第 6 のリードライトバスとの間で入出力する第 11 及び第 12 のカラムスイッチと、

前記第 4 のリードライトバスと前記第 5 のリードライトバスとを接続する第 3 の中間バッファと、

前記第 5 のリードライトバスと前記第 6 のリードライトバスとを接続する第 4 の中間バッファと、

データに関する外部とのインタフェースである第 2 のデータ入出力端子と、

前記第 4 のリードライトバスと前記第 2 のデータ入出力端子との間でデータの入出力を行う第 2 の F I F O 回路と、

前記第 7 乃至第 12 のカラムスイッチと、前記第 7 乃至第 12 のカラムスイッチに対応する前記第 1 乃至第 6 のリードライトバスのうちの 2 本のリードライトバスと、の間にそれぞれ設けられた第 1 乃至第 6 のマルチプレクサと、を備え、

前記第 7 乃至第 12 のカラムスイッチが電氣的に導通するタイミングは、それぞれ対応する同一なバンクな前記第 1 乃至第 6 のカラムスイッチに関連する前記複数の第 1 及び複数の第 2 の制御信号によって制御され、

前記第 1 乃至第 6 のマルチプレクサはそれぞれ、それぞれ対応する同一なバンクな前記第 7 乃至第 12 のカラムスイッチを前記第 4 乃至第 6 のリードライトバスのうち対応するリードライトバスに接続する第 1 の動作モードと、それぞれ対応する同一なバンクな前記第 7 乃至第 12 のカラムスイッチを前記第 1 乃至第 3 のリードライトバスのうち対応するリードライトバスに接続する第 2 の動作モードとのいずれかにより動作し、

前記制御回路は、更に、

前記リード時、前記第 1 乃至第 6 のマルチプレクサをそれぞれ電氣的に導通させるタイミングを示す複数の第 5 の制御信号と、

前記ライト時、前記第 1 乃至第 6 のマルチプレクサをそれぞれ電氣的に導通させるタイミングを示す複数の第 6 の制御信号と、を生成し、更に、

前記リード時、前記第 1 乃至第 6 のマルチプレクサが、前記第 1 乃至第 6 のメモリセルアレイからそれぞれ読み出された複数のリードデータを、前記第 1 及び第 2 の F I F O 回路へそれぞれ到達するタイミングを示す時間が前記第 1 乃至第 6 のバンクの間に互いに等しくなるように、前記複数の第 5 の制御信号を前記第 1 乃至第 3 のグループ単位でそれぞれ異なる時間で活性化し、

前記ライト時、前記第 1 乃至第 6 のマルチプレクサが、外部から前記第 1 及び第 2 のデータ入出力端子にそれぞれ供給された複数のライトデータがそれぞれ対応する前記第 1 乃至第 6 のマルチプレクサに到達するタイミングにマッチングして電氣的に導通するように、前記複数の第 6 の制御信号を前記第 1 乃至第 3 のグループ単位でそれぞれ異なる時間で活性化する

請求項 1 乃至 5 のいずれか一項に記載の半導体装置。