



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2008년05월21일  
 (11) 등록번호 10-0831227  
 (24) 등록일자 2008년05월15일

(51) Int. Cl.

*H01L 29/786* (2006.01)

(21) 출원번호 10-2001-0080074  
 (22) 출원일자 2001년12월17일  
 심사청구일자 2006년12월05일  
 (65) 공개번호 10-2003-0049764  
 (43) 공개일자 2003년06월25일

(56) 선행기술조사문현  
 KR1020000040705 A  
 US04214946 A1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

송진호

경기도평택시지산동건영아파트112동503호

최준호

서울특별시서대문구영천동삼호아파트108동303호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 10 항

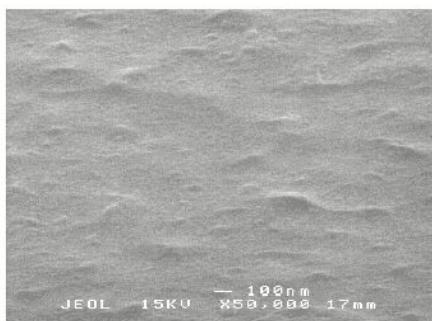
심사관 : 최광섭

## (54) 다결정 규소를 이용한 박막 트랜지스터의 제조 방법

## (57) 요 약

본 발명에 따른 박막 트랜지스터의 제조 방법에서는, 우선, 절연 기판의 상부에 비정질 규소 박막을 형성하고, 레이저를 조사하여 고상 결정 공정으로 비정질 규소 박막을 결정화하여 다결정 규소 박막을 형성한다. 이어, Cl<sub>2</sub>, SF<sub>6</sub>, Ar 기체가 3:1:2의 비율로 혼합된 혼합 기체를 이용한 플라스마 공정으로 견식 식각을 실시하여 다결정 규소 박막(25)의 표면으로 돌출되어 있는 돌출부를 제거하여 다결정 규소 박막(25)의 표면을 평坦화한 다음, 패터닝하여 반도체층을 형성한다. 이어, 반도체층을 덮는 게이트 절연막을 형성한 다음, 반도체층의 게이트 절연막의 상부에 게이트 전극을 형성한다. 이어, 반도체층에 불순물을 주입하여 게이트 전극을 중심으로 양쪽에 소스 및 드레인 영역을 형성하고, 소스 및 드레인 영역과 각각 전기적으로 연결되는 소스 및 드레인 전극을 각각 형성한다.

대표도 - 도3b



(72) 발명자

**최범락**

서울특별시 강남구 대치1동 삼성아파트 112동 508호

**강명구**

서울특별시 송파구 신천동 미성아파트 3동 205호

---

**강숙영**

서울특별시 서초구 서초2동 우성아파트 501동 413호

## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

절연 기판의 상부에 비정질 규소 박막을 형성하는 단계,

상기 비정질 규소 박막은 레이저의 투과 영역을 정의하는 슬릿 패턴이 적어도 둘 이상의 방향으로 그레인이나 성장하도록 적어도 둘 이상의 영역에서 제1 방향과 상기 제1 방향에 대하여 수직한 제2 방향으로 배열되어 있는 상기 슬릿 패턴을 포함하는 마스크를 사용한 측면 고상 결정 공정으로 상기 비정질 규소 박막을 결정화하여 다결정 규소 박막을 형성하는 단계,

플라스마를 이용한 건식 식각으로 상기 다결정 규소 박막의 표면을 평탄화하는 단계,

상기 다결정 규소 박막을 패터닝하여 반도체층을 형성하는 단계,

상기 반도체층을 덮는 게이트 절연막을 형성하는 단계,

상기 반도체층의 상기 게이트 절연막의 상부에 게이트 전극을 형성하는 단계,

상기 반도체층에 불순물을 주입하여 상기 게이트 전극을 중심으로 양쪽에 소스 및 드레인 영역을 형성하는 단계,

상기 소스 및 드레인 영역과 각각 전기적으로 연결되는 소스 및 드레인 전극을 각각 형성하는 단계를 포함하고,

상기 플라스마를 이용한 건식 식각은 산소, 수소 또는 헬륨 기체 중 하나를 이용하거나, Cl<sub>2</sub>, SF<sub>6</sub>, Ar 기체가 2.5-3.5:0.5-1.5:1.5-2.5 범위로 혼합된 혼합 기체를 이용하는 박막 트랜지스터의 제조 방법.

### 청구항 7

제6항에서,

둘 이상의 상기 영역에서 상기 제1 및 제2 방향으로 배열되어 있는 각각의 상기 슬릿 패턴은 서로 엇갈리도록 배치되어 있는 박막 트랜지스터의 제조 방법.

### 청구항 8

제7항에서,

상기 제1 및 제2 방향으로 배열되어 있는 영역은 각각 둘인 박막 트랜지스터의 제조 방법.

### 청구항 9

제8항에서,

상기 제1 및 제2 방향으로 배열되어 있는 상기 슬릿 패턴은 상기 슬릿 패턴 사이의 간격만큼 엇갈리도록 배치되

어 있는 박막 트랜지스터의 제조 방법.

### 청구항 10

제6항에서,

상기 측면 고상 결정 공정에서 조사되는 상기 레이저의 투과 영역을 정의하며, 한 방향에 대하여 순차적으로 감소하거나 증가하는 폭으로 형성되어 있는 다수의 슬릿 패턴이 배열되어 있는 마스크를 사용하는 박막 트랜지스터의 제조 방법.

### 청구항 11

제10항에서,

상기 슬릿 패턴은 적어도 둘 이상의 영역으로 분리되어 배열되어 있으며 각각의 상기 영역에서 상기 슬릿 패턴은 동일한 폭으로 형성되어 있는 박막 트랜지스터의 제조 방법.

### 청구항 12

제11항에서,

다수의 상기 영역에서 상기 방향으로 배열되어 있는 다수의 슬릿 패턴은 동일한 중심선 상에 위치하는 박막 트랜지스터의 제조 방법.

### 청구항 13

제12항에서,

각각의 상기 영역에서 상기 방향으로 배열되어 있는 슬릿 패턴의 폭은 최소의 상기 슬릿 패턴 폭에 대하여 배수의 폭을 가지는 박막 트랜지스터의 제조 방법.

### 청구항 14

제6항에서,

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계와

상기 드레인 전극과 상기 화소 전극 사이에 질화 규소 또는 SiOC 또는 SiOF 또는 유기 절연 물질로 이루어진 보호막을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

### 청구항 15

제6항에서,

상기 플라스마를 이용한 건식 식각은 5 mT 이하의 압력에서 실시하는 박막 트랜지스터의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<6>

이 발명은 다결정 규소를 이용한 박막 트랜지스터의 제조 방법에 관한 것이다.

<7>

일반적으로 액정 표시 장치는 전극이 형성되어 있는 두 기판 및 그 사이에 주입되어 있는 액정 물질을 포함하며, 두 기판은 가장자리에 둘레에 인쇄되어 있으며 액정 물질을 가리는 봉인재로 결합되어 있으며, 두 기판 사이에 산포되어 있는 간격재에 의해 지지되고 있다.

<8>

이러한 액정 표시 장치는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전극을 이용하여 전계를 인가하고, 이 전계의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 화상을 표시하는

장치이다. 이때, 전극에 전달되는 신호를 제어하기 위해 박막 트랜지스터를 사용한다.

<9> 액정 표시 장치에 사용되는 가장 일반적인 박막 트랜지스터는 비정질 규소를 반도체층으로 사용한다.

<10> 이러한 비정질 규소 박막 트랜지스터는 대략  $0.5 \text{ ?? } 1 \text{ cm}^2/\text{Vsec}$  정도의 이동도(mobility)를 가지고 있는 바, 액정 표시 장치의 스위칭 소자로는 사용이 가능하지만, 이동도가 작아 액정 패널의 상부에 직접 구동 회로를 형성하기는 부적합한 단점이 있다.

<11> 따라서 이러한 문제점을 극복하기 위해 전류 이동도가 대략  $20 \text{ ?? } 150 \text{ cm}^2/\text{Vsec}$  정도가 되는 다결정 규소를 반도체층으로 사용하는 다결정 규소박막 트랜지스터 액정 표시 장치가 개발되었는바, 다결정 규소 박막 트랜지스터는 비교적 높은 전류 이동도를 갖고 있으므로 구동 회로를 액정 패널에 내장하는 칩 인 글래스(Chip In Glass)를 구현할 수 있다.

<12> 다결정 규소의 박막을 형성하는 기술로는, 기판의 상부에 직접 다결정 규소를 고온에서 증착하는 방법, 비정질 규소를 적층하고  $600^\circ\text{C}$  정도의 고온으로 결정화하는 고상 결정화 방법, 비정질 규소를 적층하고 레이저 등을 이용하여 열처리하는 방법 등이 개발되었다. 그러나 이러한 방법들은 고온 공정이 요구되기 때문에 액정 패널용 유리 기판에 적용하기는 어려움이 있으며, 결정입계를 균일하게 조절할 수 없어 박막 트랜지스터사이의 전기적인 특성에 대한 균일도를 저하시키는 단점을 가지고 있다.

<13> 이러한 문제점을 해결하기 위해서 결정입계의 분포를 인위적으로 조절할 수 있는 순차적 측면 고상 결정 (sequential lateral solidification) 공정이 개발되었다. 이는 다결정 규소의 그레인이나 레이저가 조사된 액상 영역과 레이저가 조사되지 않은 고상 영역의 경계에서 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 기술이다. 이를 위해서, 레이저빔은 슬릿 패턴을 가지는 마스크를 이용하여 국부적으로 비정질 규소를 완전히 녹여 비정질 규소층에 슬릿 모양의 액상 영역을 형성한다. 이어, 액상의 비정질 규소는 냉각되면서 결정화가 이루어지는데, 결정은 레이저가 조사되지 않은 고상 영역의 경계에서부터 그 경계면에 대하여 수직 방향으로 성장하고 그레인들의 성장은 액상 영역의 중앙에서 서로 만나면 멈추게 된다. 이러한 공정을 반복적으로 마스크의 슬릿을 그레인의 성장 방향으로 이동하면서 진행하면 순차적 측면 고상 결정은 전 영역을 통하여 진행 할 수 있다.

<14> 하지만, 순차적 측면 고상 결정을 통하여 결정화된 다결정 규소층의 그레인 경계면에는 돌출부가 형성된다. 이로 인하여 다결정 규소층의 상부에 감광막을 도포할 때 감광막이 완전히 도포되지 않는 형성되지 않은 문제점이 발생한다. 이러한 문제점을 해결하기 위해 유기 세정이나 HF를 이용한 세정을 실시하였으나 돌출부가 완전히 제거되지 않아 효과적이지 못한 것으로 나타났다.

### 발명이 이루고자 하는 기술적 과제

<15> 본 발명의 목적은 다결정 공정시 형성되는 돌출부를 효과적으로 제거할 수 있는 다결정 규소를 이용한 박막 트랜지스터의 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

<16> 위와 같은 과제를 해결하기 위하여 본 발명에서는 비정질 규소를 다결정 규소로 결정화한 다음 플라스마 공정을 이용한 건식 식각으로 다결정 규소층의 표면을 평탄화한다.

<17> 더욱 상세하게, 우선, 절연 기판의 상부에 비정질 규소 박막을 형성한 후, 비정질 규소 박막에 레이저를 조사하여 측면 고상 결정 공정으로 비정질 규소 박막을 결정화하여 다결정 규소 박막을 형성한다. 이어, 플라스마를 이용한 건식 식각으로 다결정 규소 박막의 표면을 평탄화하고, 다결정 규소 박막을 패터닝하여 반도체층을 형성한다. 이어, 반도체층을 덮는 게이트 절연막을 형성하고, 반도체층의 게이트 절연막의 상부에 게이트 전극을 형성한 다음, 반도체층에 불순물을 주입하여 게이트 전극을 중심으로 양쪽에 소스 및 드레인 영역을 형성한다. 이어, 소스 및 드레인 영역과 각각 전기적으로 연결되는 소스 및 드레인 전극을 각각 형성한다.

<18> 여기서, 드레인 전극과 연결되어 있는 화소 전극과 드레인 전극과 화소 전극 사이에 질화 규소 또는 SiOC 또는 SiOF 또는 유기 절연 물질로 이루어진 보호막을 형성할 수 있다.

<19> 플라스마를 이용한 건식 식각은 산소, 수소 또는 헬륨을 이용할 수 있으며, Cl<sub>2</sub>, SF<sub>6</sub>, Ar 기체가 2.5-3.5:0.5-1.5:1.5-2.5 범위로 혼합된 혼합 기체를 이용할 있다. 이때, 플라스마를 이용한 건식 식각은 5 mT 이하의 압력에서 실시하는 것이 바람직하다.

- <20> 측면 고상 결정 공정에서 조사되는 레이저의 투과 영역을 정의하는 슬릿 패턴은 그레인이 적어도 둘 이상의 방향으로 성장하도록 적어도 둘 이상의 영역에서 제1 방향과 제1 방향에 대하여 수직한 제2 방향으로 배열되어 있는 마스크를 사용할 수 있다. 이때, 둘 이상의 영역에서 제1 및 제2 방향으로 배열되어 있는 각각의 슬릿 패턴은 서로 엇갈리도록 배치될 수 있으며,
- <21> 또한, 측면 고상 결정 공정에서는 조사되는 레이저의 투과 영역을 정의하며, 한 방향에 대하여 순차적으로 감소하거나 증가하는 폭으로 형성되어 있는 다수의 슬릿 패턴이 배열되어 있는 마스크를 사용할 수 있다. 이때, 슬릿 패턴은 적어도 둘 이상의 영역으로 분리되어 배열되어 있으며 각각의 영역에서 슬릿 패턴은 동일한 폭으로 형성되어 있으며, 다수의 영역에서 특정한 방향으로 배열되어 있는 다수의 슬릿 패턴은 동일한 중심선 상에 위치한다.
- <22> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 다결정 규소를 이용한 박막 트랜지스터의 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <23> 본 발명의 실시예에서는 국부적으로 엑시머 레이저를 조사하여 비정질 규소를 완전히 용융시켜 액상 영역을 형성하고 냉각하면서 결정화 공정을 진행한다. 이때, 결정화 공정에서 결정립계의 경계면 또는 결정의 성장이 마주치는 부분에서 형성되는 돌출부를 제거하기 위해 플라스마 공정을 실시한다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.
- <24> 먼저, 도 1을 참조하여 본 발명의 실시예에 따른 다결정 규소 박막 트랜지스터의 구조를 설명하기로 한다.
- <25> 도 1은 본 발명의 실시예에 따른 다결정 규소 박막 트랜지스터의 구조를 도시한 단면도이다.
- <26> 도 1에서 보는 바와 같이, 절연 기판(10)의 상부에는 채널 영역(21)과 채널 영역(21)을 중심으로 양쪽에 각각 형성되어 있는 소스 및 드레인 영역(22, 23)을 가지며 다결정 규소로 이루어진 반도체층(20)이 형성되어 있다. 여기서, 소스 및 드레인 영역(22, 23)은 n형 또는 p형의 불순물이 도핑되어 있으며 실리사이드층을 포함할 수 있다.
- <27> 기판(10)의 상부에는 반도체층(20)을 덮는 산화 규소(SiO<sub>2</sub>)나 질화 규소 (SiNx)로 이루어진 게이트 절연막(30)이 형성되어 있으며, 채널 영역(21) 상부의 게이트 절연막(30) 상부에는 게이트 전극(40)이 형성되어 있다. 이 때, 도면에는 나타나 있지 않지만 게이트 절연막(30)의 상부에는 게이트 전극(40)과 연결되어 있는 게이트선이 추가될 수 있다.
- <28> 게이트 절연막(30)의 상부에는 게이트 전극(40)을 덮는 충간 절연막(50)이 형성되어 있으며 게이트 절연막(30)과 충간 절연막(50)은 반도체층(20)의 소스 및 드레인 영역(22, 23)을 드러내는 접촉구(52, 53)를 가지고 있다.
- <29> 충간 절연막(50)의 상부에는 접촉구(52)를 통하여 소스 영역(22)과 연결되어 있는 소스 전극(62)과 게이트 전극(40)을 중심으로 소스 전극(62)과 마주하며 접촉구(53)를 통하여 드레인 영역(23)과 연결되어 있는 드레인 전극(63)이 형성되어 있다. 이때, 충간 절연막(50)의 상부에는 도면에 나타나 있지 않지만 소스 전극(62)과 연결되어 있는 데이터선이 추가로 형성될 수 있다.
- <30> 충간 절연막(50)의 상부에는 질화 규소 또는 산화 규소 또는 SiOC 또는 SiOF 또는 유기 절연 물질로 이루어진 보호막(70)이 형성되어 있으며, 그 상부에는 보호막(70)의 접촉 구멍(72)을 통하여 드레인 전극(63)과 연결되어 있는 화소 전극(80)이 형성되어 있다.
- <31> 이때, 이러한 박막 트랜지스터에는 기판(10)과 반도체층(20) 사이에 버퍼층이 추가될 수 있다.
- <32> 다음은, 이러한 본 발명의 실시예에 따른 다결정 규소 박막 트랜지스터의 제조 방법에 대하여 도 1 및 도 2a 내지 2f를 참조하여 설명하기로 한다.
- <33> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 다결정 규소 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도이다.
- <34> 우선, 도 2a에서 보는 바와 같이 기판(10)의 상부에 비정질 규소를 저압 화학 기상 증착 또는 플라스마 화학 기상 증착 또는 스퍼터링 방법으로 비정질 규소 박막을 적층한 다음 비정질 규소 박막에 엑시머 레이저를 조사하여 비정질 규소를 액상으로 녹인 다음 냉각하면서 그레인을 성장시키는 측면 고상 결정 공정을 진행하여 다결정

규소 박막(25)을 형성한다. 이때, 박막 트랜지스터의 전류 이동도를 극대화하기 위해서는 다결정 규소의 그레인을 원하는 만큼 크게 형성해야 하는 것이 바람직하다. 이를 위해서는 측면 고상 결정 공정에서 레이저가 투과되는 슬릿 패턴은 각각의 영역에서는 동일한 폭을 가지며, 다수의 영역에 대해서는 특정한 방향에 진행할수록 슬릿 패턴은 점차적으로 증가하거나 감소하는 폭을 가지는 것이 바람직하다. 또한, 박막 트랜지스터를 형성할 때 다수의 방향에 대하여 등방적인 전류 이동도를 가질 수 있도록 하기 위해서 마스크는 각각의 영역에서는 슬릿 패턴이 동일한 방향으로 배열되어 있으며, 다른 영역에서는 슬릿 패턴이 다른 방향으로 배열되어 있는 것이 바람직하다. 이에 대하여 도면을 참조하여 이후에 구체적으로 설명하기로 한다.

<35> 이어, 도 2b에서 보는 바와 같이, 산소( $O_2$ ), 헬륨(He) 또는 수소( $H_2$ )를 이용하거나,  $Cl_2$ ,  $SF_6$ , Ar 기체가 2.5-3.5:0.5-1.5:1.5-2.5 범위로 혼합된 혼합 기체를 이용한 플라스마 공정으로 건식 식각을 실시하여 다결정 규소 박막(25)의 표면으로 돌출되어 있는 돌출부를 제거하여 다결정 규소 박막(25)의 표면을 평탄화한다. 이에 대해서는 이후에 실험예를 통하여 구체적으로 설명하기로 한다. 이렇게, 다결정 규소 박막(25)의 표면을 플라스마 공정을 이용한 건식 식각을 통하여 균일하게 평탄화함으로써 이후의 사진 식각 공정에서 감광막을 전면적으로 도포할 수 있다.

<36> 이어, 도 2c에서 보는 바와 같이, 다결정 규소 박막(25)의 상부에 감광막을 도포한 다음, 액티브용 마스크를 이용한 사진 식각 공정으로 감광막 패턴을 형성한 다음 이를 식각 마스크로 다결정 규소 박막(25)을 패터닝하여 반도체층(20)을 형성한다. 이어, 산화 규소( $SiO_2$ )나 질화 규소를 증착하여 게이트 절연막(30)을 형성한 다음, 게이트 배선용 전도성 물질을 증착한 후 마스크를 이용한 사진 식각 공정으로 패터닝하여 반도체층(20)의 채널 영역(21) 상부에 게이트 전극(40)을 형성한다. 이어, 게이트 전극(40)을 마스크로 하여 반도체층(20)에 n형 또는 p형의 불순물을 이온 주입하고 활성화하여 채널 영역(21)을 중심으로 양쪽에 소스 및 드레인 영역(22, 23)을 형성한다.

<37> 이어, 도 2d에서 보는 바와 같이, 게이트 절연막(30)의 상부에 게이트 전극(40)을 덮는 충간 절연막(50)을 형성한 다음, 게이트 절연막(30)과 함께 패터닝하여 반도체층(20)의 소스 및 드레인 영역(22, 23)을 드러내는 접촉구(52, 53)를 형성한다.

<38> 이어, 도 2e에서 보는 바와 같이, 절연 기판(10)의 상부에 데이터 배선용 금속을 증착하고 패터닝하여, 접촉구(52, 53)를 통하여 소스 및 드레인 영역(22, 23)과 각각 연결되는 소스 및 드레인 전극(62, 63)을 형성한다.

<39> 이어, 도 2f에서 보는 바와 같이, 절연 기판(10)의 상부에 절연 물질을 적층하여 보호막(70)을 형성하고, 패터닝하여 드레인 전극(63)을 드러내는 접촉 구멍(72)을 형성한다.

<40> 이어, 도 1에서 보는 바와 같이 보호막(70)의 상부에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등과 같은 투명한 도전 물질 또는 반사도를 가지는 도전 물질을 적층하고 패터닝하여 화소 전극(80)을 형성한다.

<41> 다음은, 앞에서 설명한 바와 같이 본 발명의 실험예를 통하여 다결정 규소 박막을 플라스마 건식 식각한 결과에 대하여 설명하기로 한다.

#### 실험예

<43> 본 발명의 실험예에서는  $Cl_2$ ,  $SF_6$ , Ar 기체가 3:1:2의 비율로 혼합하여 플라스마 공정으로 건식 식각을 진행하였다.

<44> 도 3a는 측면 고상 결정 공정을 진행하여 형성한 다결정 규소 박막의 표면을 촬영한 사진이고, 도 3b는 본 발명의 실험예에 따라 플라스마 공정으로 건식 식각을 진행한 다결정 규소 박막의 표면을 촬영한 사진이다.

<45> 도 3a에서 보는 바와 같이, 측면 고상 결정 공정을 진행하여 형성한 후에는 다결정 규소 박막의 표면이 매우 불균일하게 나타났으나, 도 3b에서 보는 바와 같이, 플라스마 공정으로 건식 식각을 진행한 후에는 건식 식각 공정에서 돌출부가 제거되어 다결정 규소 박막의 표면을 평탄화된 것을 알 수 있다.

<46> 다음은, 앞에서 설명한 바와 같이, 본 발명의 실시예에서 측면 고상 결정 공정에서 사용하는 마스크의 구조에 대하여 구체적으로 설명하기로 한다.

<47> 도 4 및 도 5는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 공정에서 사용되는 마스크의 구조를 각각 도시한 도면이다.

<48> 도 4에서 보는 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터의 제조 공정에서 사용하는 하나의 다결정

규소용 마스크(100)에는 가로 방향으로 형성되어 있는 슬릿(slit) 패턴(11, 12, 13, 14)이 각각 세로 방향으로 동일한 폭으로 다수 배열되어 있는 제1 내지 제4 슬릿 영역(101, 102, 103, 104)을 가진다. 이때, 제1 내지 제4 슬릿 영역(101, 102, 103, 104)에 배열되어 있는 슬릿 패턴(11, 12, 13, 14)의 폭은 가로 방향으로 진행할수록 순차적으로 제1 슬릿 영역(101)의 슬릿 패턴(11) 폭(d)의 배수로 증가하는 폭으로 형성되어 있다. 여기서, 가로 방향으로 배열되어 있는 슬릿 패턴(11, 12, 13, 14)의 중심선은 동일선상에 위치하며 각각의 영역(101, 102, 103, 104)에 배치되어 있는 각각의 슬릿 패턴(11, 12, 13, 14)은  $8*d$ 의 간격으로 배열되어 있다. 여기서는 슬릿 패턴(11, 12, 13, 14)의 폭이 순차적으로 증가하도록 제1 내지 제4 슬릿 영역(101, 102, 103, 104)을 배치하였지만, 반대로 배치할 수도 있으며, 가로 방향으로 배열된 제1 내지 제4 슬릿 영역(101, 102, 103, 104)을 세로 방향으로 배치할 수도 있다. 물론, 슬릿 영역을 추가 또는 감소시켜 최대 슬릿 패턴의 4d 이상 또는 이하로 형성할 수도 있으며, 이러한 조건에 따라 각각의 영역(101, 102, 103, 104)에 형성되어 있는 슬릿 패턴(11, 12, 13, 14) 사이의 간격도 변한다.

<49> 또한, 도 5에서 보는 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법에서 사용하는 다른 다결정 규소용 마스크에는 세로 방향으로 형성되어 있는 슬릿(slit) 패턴(11, 12)이 가로 방향으로 다수 배열되어 있는 제1 및 제2 수직 슬릿 영역(101, 102)과 가로 방향으로 형성되어 있는 슬릿 패턴(13, 14)이 세로 방향으로 다수 배열되어 있는 제3 및 제4 수평 슬릿 영역(103, 104)을 가진다. 이때, 제1 수직 슬릿 영역(101)의 슬릿 패턴(11)과 제1 수직 슬릿 영역(102)의 슬릿 패턴(12)은 슬릿 패턴(11, 12) 사이의 간격인 피치(pitch)만큼 어긋나도록 배치되어 있으며, 제3 수평 슬릿 영역(103)의 슬릿 패턴(13)과 제4 수평 슬릿 영역(104)의 슬릿 패턴(14) 또한 이들 사이의 간격인 피치(pitch)만큼 어긋나도록 배치되어 있다. 이러한 본 발명의 실시예에 따른 마스크를  $d/4$  거리만큼 이동하면서 레이저를 조사하여 순차적 측면 고상 결정 공정을 진행하면 제1 및 제2 수직 슬릿 영역(101, 102)의 슬릿 패턴(11, 12)이 서로 어긋나도록 배치되어 있어 그레인은 수평 방향으로 2번 성장을 진행한다. 또한, 제3 및 제4 수평 슬릿 영역(103, 104)의 슬릿 패턴(13, 14)들이 서로 어긋나도록 배치되어 있어 그레인은 수직 방향으로 2번 성장하여 수평 및 수직 방향에 대하여 등방적으로 크기를 가지는 그레인을 성장시킬 수 있다. 따라서, 이와 같은 마스크를 이용하여 비정질 규소를 다양한 방향으로 그레인이 성장할 수 있도록 다결정 규소를 결정화함으로써 다결정 규소로 이루어진 반도체층을 가지는 박막 트랜지스터는 수직 및 수평 방향에 대하여 등방적인 전류 이동도를 가질 수 있으므로 액정 패널의 상부에 박막 트랜지스터를 형성할 때, 박막 트랜지스터를 다양한 방향으로 배열하더라도 박막 트랜지스터의 특성을 균일하게 얻을 수 있다.

### 발명의 효과

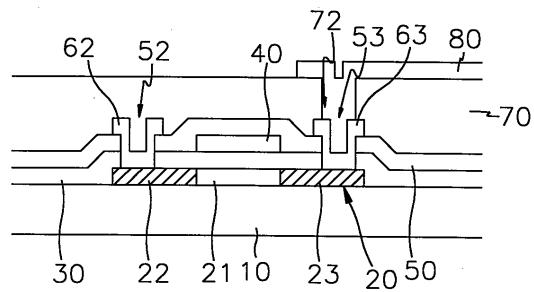
<50> 이처럼, 본 발명에서는 비정질 규소층을 다결정 규소층으로 결정화한 다음 플라스마 공정을 이용한 건식 식각으로 평탄화하여 다결정 규소층의 평탄도를 향상시켜 감광막을 균일하게 도포할 수 있으며, 이를 통하여 박막 트랜지스터 및 이를 포함하는 표시 장치의 특성을 향상시킬 수 있다.

### 도면의 간단한 설명

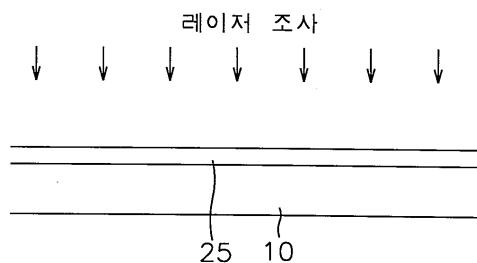
- <1> 도 1은 본 발명의 실시예에 따른 다결정 규소를 이용한 박막 트랜지스터의 구조를 도시한 단면도이고,
- <2> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 다결정 규소 박막 트랜지스터의 제조 방법을 그 공정 순서에 따라 도시한 단면도이고,
- <3> 도 3a는 측면 고상 결정 공정을 진행하여 형성한 다결정 규소 박막의 표면을 촬영한 사진이고,
- <4> 도 3b는 본 발명의 실험예에 따라 플라스마 공정으로 건식 식각을 진행한 다결정 규소 박막의 표면을 촬영한 사진이고,
- <5> 도 4 및 도 5는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 공정에서 사용되는 마스크의 구조를 각각 도시한 도면이다.

도면

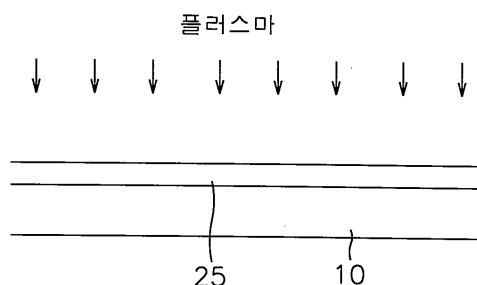
도면1



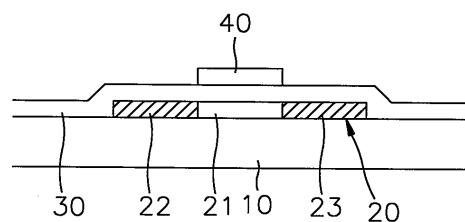
도면2a



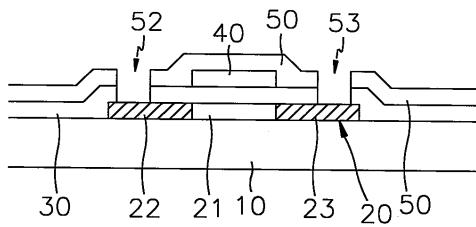
도면2b



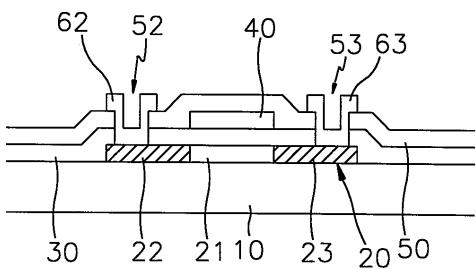
도면2c



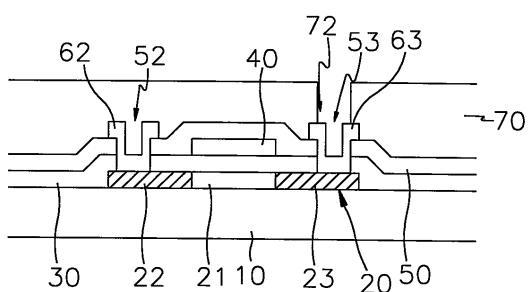
도면2d



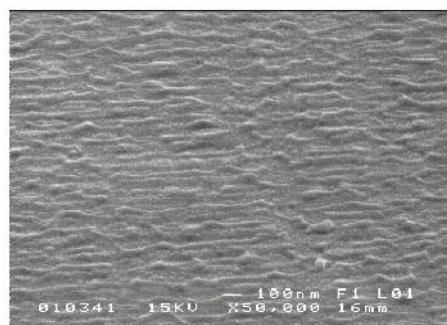
도면2e



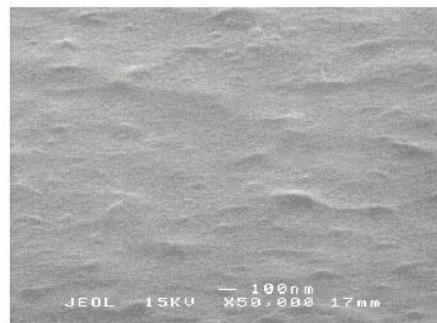
도면2f



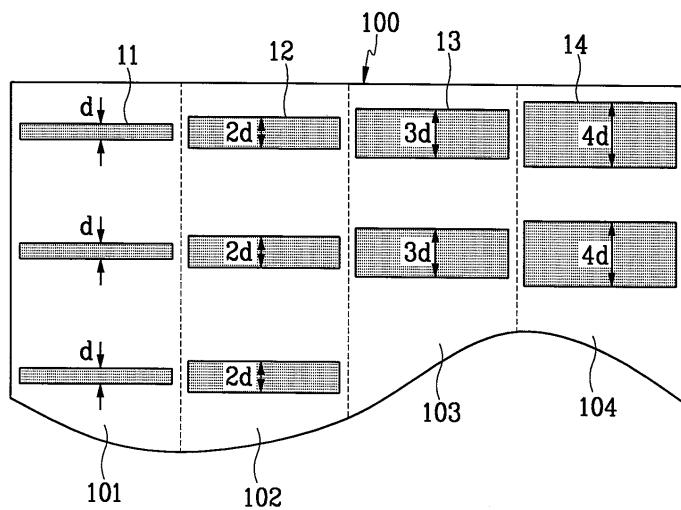
도면3a



도면3b



도면4



## 도면5

