



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월23일
(11) 등록번호 10-1203914
(24) 등록일자 2012년11월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01) H01L 21/027 (2006.01)
(21) 출원번호 10-2010-0072325
(22) 출원일자 2010년07월27일
심사청구일자 2010년07월27일
(65) 공개번호 10-2012-0002900
(43) 공개일자 2012년01월09일
(30) 우선권주장
JP-P-2010-150710 2010년07월01일 일본(JP)
(56) 선행기술조사문헌
KR100921588 B1*
KR1020070090063 A*
KR1020100044999 A*
US20080038927 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 히다치 하이테크놀로지즈
일본국 도쿄도 미나토구 니시신바시 1초메 24-14
(72) 발명자
오쿠마 가즈마사
일본국 야마구치켄 구다마즈시 오아자 히가시토요
이 794, 가부시킴가이샤 히다치 하이테크놀로지즈
가사도사업소 내
고우치 아키토
일본국 야마구치켄 구다마즈시 오아자 히가시토요
이 794, 가부시킴가이샤 히다치 하이테크놀로지즈
가사도사업소 내
(뒷면에 계속)
(74) 대리인
특허법인화우

전체 청구항 수 : 총 4 항

심사관 : 박귀만

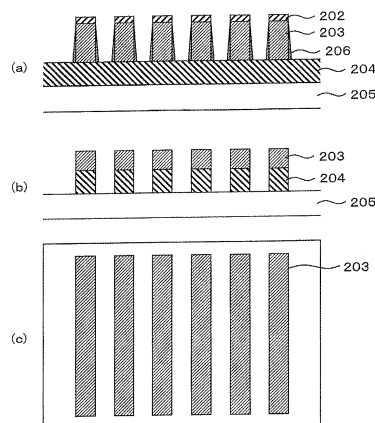
(54) 발명의 명칭 플라즈마 에칭방법

(57) 요약

다층 레지스트 마스크를 사용한 실리콘 산화막 등의 플라즈마 에칭 후에 패턴의 도괴 등에 의해 발생하는 라인 위글링이나 스트라이에이션을 방지, 억제하는 것을 과제로 한다.

본 발명은, 다층 레지스트 마스크를 사용하여, 피에칭막을 플라즈마 에칭하는 플라즈마 에칭방법에 있어서, 상기 다층 레지스트 마스크는, 상층 레지스트와 무기막계 중간막과 하층 레지스트를 포함하고, 상기 하층 레지스트의 측벽에 측벽보호막을 형성하는 측벽 보호막 형성공정을 가지는 것을 특징으로 하는 플라즈마 에칭방법이다.

대 표 도 - 도3



(72) 발명자

구와하라 겐이치

일본국 야마구치켄 구다마즈시 오아자 히가시토요
이 794, 가부시키가이샤 히다치 하이테크놀로지즈
가사도사업소 내

모리모토 미치카즈

일본국 야마구치켄 구다마즈시 오아자 히가시토요
이 794, 가부시키가이샤 히다치 하이테크놀로지즈
가사도사업소 내

사이토 고

일본국 야마구치켄 구다마즈시 오아자 히가시토요
이 794, 가부시키가이샤 히다치 하이테크놀로지즈
가사도사업소 내

특허청구의 범위

청구항 1

상층 레지스트와 무기막계 중간막과 하층 레지스트를 가지는 다층 레지스트를 마스크로 하는 피에칭막을 플라즈마 에칭하는 플라즈마 에칭방법에 있어서,

상기 상층 레지스트를 마스크로 하여 상기 무기막계 중간막을 플라즈마 에칭하는 무기막계 중간막 마스크 형성 공정과,

상기 무기막계 중간막 마스크 형성공정 후에 상기 하층 레지스트를 플라즈마 에칭하는 다층 레지스트 마스크 형성공정과,

상기 다층 레지스트 마스크 형성공정 후에 CHF_3 가스와 N_2 가스와 SiCl_4 가스로 이루어지는 혼합가스를 사용하여 상기 다층 레지스트 마스크 형성공정 후의 하층 레지스트의 측벽에 측벽 보호막을 형성하는 측벽 보호막 형성공정과,

상기 측벽 보호막 형성공정 후에 상기 피에칭막을 플라즈마 에칭하는 피에칭막 에칭공정을 가지는 것을 특징으로 하는 플라즈마 에칭방법.

청구항 2

상층 레지스트와 무기막계 중간막과 하층 레지스트를 가지는 다층 레지스트를 마스크로 하는 피에칭막을 플라즈마 에칭하는 플라즈마 에칭방법에 있어서,

상기 상층 레지스트를 마스크로 하여 상기 무기막계 중간막을 플라즈마 에칭하는 무기막계 중간막 마스크 형성 공정과,

상기 무기막계 중간막 마스크 형성공정 후에 상기 하층 레지스트를 플라즈마 에칭하는 다층 레지스트 마스크 형성공정과,

상기 다층 레지스트 마스크 형성공정 후에 HBr 가스와 SiCl_4 가스로 이루어지는 혼합가스를 사용하여 상기 다층 레지스트 마스크 형성공정 후의 하층 레지스트의 측벽에 측벽 보호막을 형성하는 측벽 보호막 형성공정과,

상기 측벽 보호막 형성공정 후에 상기 피에칭막을 플라즈마 에칭하는 피에칭막 에칭공정을 가지는 것을 특징으로 하는 플라즈마 에칭방법.

청구항 3

상층 레지스트와 무기막계 중간막과 하층 레지스트를 가지는 다층 레지스트를 마스크로 하는 피에칭막을 플라즈마 에칭하는 플라즈마 에칭방법에 있어서,

상기 상층 레지스트를 마스크로 하여 상기 무기막계 중간막을 플라즈마 에칭하는 무기막계 중간막 마스크 형성 공정과,

상기 무기막계 중간막 마스크 형성공정 후에 상기 하층 레지스트를 플라즈마 에칭하는 다층 레지스트 마스크 형성공정과,

상기 다층 레지스트 마스크 형성공정 후에 CH_2F_2 가스와 SiCl_4 가스로 이루어지는 혼합가스를 사용하여 상기 다층 레지스트 마스크 형성공정 후의 하층 레지스트의 측벽에 측벽 보호막을 형성하는 측벽 보호막 형성공정과,

상기 측벽 보호막 형성공정 후에 상기 피에칭막을 플라즈마 에칭하는 피에칭막 에칭공정을 가지는 것을 특징으로 하는 플라즈마 에칭방법.

청구항 4

상층 레지스트와 무기막계 중간막과 하층 레지스트를 가지는 다층 레지스트를 마스크로 하는 피에칭막을 플라즈마 에칭하는 플라즈마 에칭방법에 있어서,

상기 상층 레지스트를 마스크로 하여 상기 무기막계 중간막을 플라즈마 에칭하는 무기막계 중간막 마스크 형성 공정과,

상기 무기막계 중간막 마스크 형성공정 후에 상기 하층 레지스트를 플라즈마 에칭하는 다층 레지스트 마스크 형성공정과,

상기 다층 레지스트 마스크 형성공정 후에 HBr 가스와 N₂ 가스로 이루어지는 혼합가스를 사용하여 상기 다층 레지스트 마스크 형성공정 후의 하층 레지스트의 측벽에 측벽 보호막을 형성하는 측벽 보호막 형성공정과,

상기 측벽 보호막 형성공정 후에 상기 피에칭막을 플라즈마 에칭하는 피에칭막 에칭공정을 가지는 것을 특징으로 하는 플라즈마 에칭방법.

명세서

기술분야

[0001] 본 발명은, 플라즈마를 사용하여 피처리 기판을 플라즈마 에칭하는 방법에 관한 것으로, 특히 미세 가공을 목적으로 한 다층 레지스트 마스크를 사용한 플라즈마 에칭방법에 관한 것이다.

배경기술

[0002] 최근, 반도체 집적회로는 미세화가 진행되어, 다층 레지스트 마스크를 사용한 플라즈마 에칭이 주류이다. 다층 레지스트 마스크는 통상, 상층 레지스트막, 무기계 중간막, 하층 레지스트막의 3층 구조 또는 상층 레지스트, 하층 레지스트의 2층 구조로 이루어지기 때문에, 단층의 ArF 레지스트 마스크에 비하여 드라이 에칭에 의한 가공 공정이 복잡해져, 높은 가공 기술이 필요하다.

[0003] 또, 다층 레지스트 마스크에서의 더 한층의 미세화가 요구되어, 다층 레지스트 마스크의 상층 레지스트 마스크에 슬리밍 기술을 적용한 미세화의 방법이나, 중간막에 슬리밍 기술을 적용한 미세화의 방법이 사용되고 있다.

[0004] 다층 레지스트 마스크를 사용한 슬리밍 기술에 의하여 더 한층 미세화를 행하는 경우, 상층 레지스트막 또는 하층 레지스트막에 발생한 패턴 손상 또는 변형에 의하여 도 4에 나타내는 바와 같은 피에칭막에 상기 패턴 손상이나 변형이 전사되어, 가공 패턴 형상에 손상이나 변형이 발생한다. 이 손상이나 변형은 라인 위글링(Line-wiggling)이나 스트라이에이션(striation)이라 불린다.

[0005] 라인 위글링이나 스트라이에이션의 방지로서는, 특허문헌 1에 레지스트 패턴 작성 후, 실리콘 산화막을 레지스트 패턴의 위에 얇게 성막하고 나서 가공하는 기술이 제안되어 있다. 그러나, 이 종래 기술에서는, 공정수가 증가하여, 가공의 난이도가 더욱 높아진다.

[0006] [특허문헌 1]

[0007] 일본국 특개2004-80033호 공보

발명의 내용

해결하려는 과제

[0008] 또, 상층 레지스트막 또는 무기계 중간막에서 가공 치수를 가늘게 할수록, 무기계 중간막 바로 밑의 유기막인 하층 레지스트막을 에칭한 후의 종횡비(세로 높이와 가로 치수의 비)가 증대하여, 하층 레지스트막을 에칭하고 있는 동안, 또는 하층 레지스트막을 마스크로 하여 피에칭막을 에칭하고 있는 동안에 패턴 도괴(倒壞) 등의 패턴 손상이 발생한다. 패턴 손상이 발생하면, 피에칭막에 전사되어, 가공 패턴 형상이 손상되는 라인 위글링이나 스트라이에이션이 발생한다. 이 라인 위글링이나 스트라이에이션을 야기하는 패턴 도괴가 발생하는 메카니즘으로서, 몇가지 요인이 생각되고 있다. 하층 레지스트막, 피에칭막을 불문하고, 에칭하고 있는 동안의 진공처리실 내의 플라즈마가스를 배기할 때의 영향이나, 피에칭막을 에칭하고 있는 동안의 하층 레지스트막 측벽의 양 측에 불균일하게 부착되는 반응 생성물에 의한 응력의 영향을 들 수 있다. 상기 영향에 의하여 과다하게 반응 생성물이 발생하는 플라즈마를 사용한 경우나 역학적으로 하층 레지스트막 재질 강도가 더욱 취약해지는 경우에 패턴 도괴가 발생한다.

[0009] 다층 레지스트 마스크를 사용한 실리콘 산화막 등의 절연막 에칭에 있어서, 상기한 패턴 도괴가 발생한다. 일반적으로, 실리콘 산화막 등의 절연막 에칭에서는, 퇴적성이 높은 플루오르카본 가스를 주체(主體)로 한 플라스마를 사용하고, 고에너지 이온을 입사하여 절연막을 에칭하고 있다. 이와 같이 절연막을 에칭하는 경우, 높은 퇴적성과 고에너지 이온에 의한 영향으로, 반응 생성물의 패턴 측벽 양측에 대한 퇴적의 불균일성이 현저해지기 때문에, 상기한 절연막 에칭용 플라스마가 하층 레지스트막에 대하여 높은 선택비를 가지는 경우나 높은 종횡비의 마스크 패턴에서는 라인 위글링이나 스트라이에이션의 발생이 현저해진다. 당해 라인 위글링이나 스트라이에이션 발생의 방지나 억제방법으로서, 하층 레지스트막의 강도를 증가하기 위하여 하층 레지스트막의 재질 변경이 효과적이다. 또, 다층 레지스트 마스크를 사용한 절연막 에칭의 경우, 절연막 에칭의 플라스마의 퇴적성을 낮게 억제하는 것, 이온 입사 시의 에너지를 저하시키는 것, 배기에 의한 영향 저하를 위해 배기 속도를 저하시키는 방법을 들 수 있으나, 패턴 가공 후에 원하는 패턴 형상과는 다른 가공형상이 되는 등, 다층 레지스트 마스크를 사용한 드라이 에칭에서의 라인 위글링이나 스트라이에이션 발생방지 또는 억제의 효과적인 해결방법이 현재 상태에서는 보이지 않는다.

[0010] 이 때문에, 본 발명은, 다층 레지스트 마스크를 사용한 드라이 에칭에서의 라인 위글링이나 스트라이에이션 발생방지 또는 억제하는 드라이 에칭방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 본 발명은, 다층 레지스트 마스크를 사용하여, 피에칭막을 플라스마 에칭하는 플라스마 에칭방법에 있어서, 상기 다층 레지스트 마스크는, 상층 레지스트와 무기막계 중간막과 하층 레지스트를 포함하고, 상기 하층 레지스트의 측벽에 측벽보호막을 형성하는 측벽 보호막 형성공정을 가지는 것을 특징으로 하는 플라스마 에칭방법이다.

발명의 효과

[0012] 본 발명에 의하여 다층 레지스트 마스크를 사용한 피처리 기관의 드라이 에칭에 있어서, 가공 패턴의 도괴를 방지, 또는 억제할 수 있다. 이 때문에, 라인 위글링이나 스트라이에이션 발생방지 또는 억제가 가능해진다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예의 UHF 플라스마 에칭장치의 구성을 설명하는 개략 단면도,
 도 2는 본 발명의 일 실시예의 다층 레지스트 마스크를 형성하는 공정 플로우를 나타내는 도,
 도 3은 본 발명의 일 실시예의 측벽 보호막 형성공정을 적용한 경우의 실리콘 산화막 에칭결과를 나타내는 도,
 도 4는 종래의 다층 레지스트 마스크에서의 실리콘 산화막 에칭결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명의 각 실시예에 대하여 도 1 내지 도 3을 이용하여 설명한다.

[0015] 도 1은, 본 발명의 실시형태에 관한 UHF 플라스마 에칭장치의 구성을 설명하는 도면이다. 플라스마원인 UHF 전원(도시 생략)으로부터 입사된 UHF(Ultra High Frequency)파는 안테나(101), UHF 투과판(102)을 차례로 통과하여 진공처리실 내에 도달한 후, 진공처리실을 둘러싸도록 배치된 솔레노이드 코일(103)이 발생하는 자계와의 상호작용에 의하여 프로세스 가스를 따라 ECR (Electron cyclotron Resonance ; 전자사이클로트론공명)이 야기되어, 고밀도한 플라스마(104)가 진공처리실 내에 발생한다.

[0016] 플라스마(104)가 진공처리실 내에 발생한 후, 피처리 기관인 웨이퍼(105)는 정전 흡착 전원(106)으로부터 인가되는 직류전압에 의해 하부 전극(107)에 정전 흡착된다. 또, 이 하부 전극(107)은 고주파 전원(108)에 의하여, 고주파 바이어스 전력이 인가되고, 플라스마(104) 중의 이온에 웨이퍼(105)방향측(하향)으로 가속 전압을 부여함으로써 이온을 인입하여, 프로세스 처리가 개시된다.

[0017] 또, 하부 전극(107) 내부에는, 불소계 불활성 액체가 순환하고 있고(도시 생략), 플라스마 에칭장치 외부에 설치된 온도 조절기구(도시 생략)를 가지는 온도 제어장치(도시 생략)에 접속되어 있기 때문에, 상기한 순환하고 있는 불소계 불활성 액체를 거쳐 하부 전극(107)에 탑재된 웨이퍼(105) 표면의 온도 제어가 가능하다.

[0018] 또, 플라스마 에칭 중은 드라이 펌프, 터보분자 펌프 및 당해 터보분자 펌프와 진공처리실 사이에 배리어블?밸

프로 구성되는 배기수단에 의해 진공처리실 내의 압력을 소정의 압력으로 조압 가능하다.

[실시예 1]

도 2~도 3은, 상기한 도 1과 같은 UHF 플라즈마 에칭장치를 사용하여, 유기계막인 상층 레지스트막(201), 무기계 중간막(202), 유기계막인 하층 레지스트막(203)으로 이루어지는 다층 레지스트를 마스크로 하여 실리콘 산화막(204)을 플라즈마 에칭한 예를 나타낸 것이다.

도 2(a)는, 에칭전 웨이퍼에 성막된 막의 구조를 나타낸다. 다층 레지스트는 위에서부터 순서대로, 리소그래피 기술에 의해 노광되어 패터닝된 상층 레지스트막(201)과 무기계 중간막(202)과 상층 레지스트막(201)보다 플라즈마 내성이 강한 하층 레지스트막(203)의 3층으로 이루어지고, 다층 레지스트 마스크의 밑에 피에칭막인 실리콘 산화막(204)이 실리콘 기판(205) 상에 성막되어 있다. 다음에 도 2(a)에 나타내는 바와 같은 다층 레지스트 마스크를 사용한 실리콘 산화막(204)의 에칭방법에 대하여 설명한다. 먼저, 상층 레지스트막(201)을 마스크로 하여, SF_6 및 CHF_3 으로 이루어지는 혼합가스를 사용하여 무기계 중간막(202)을 에칭한다[도 2(b)]. 다음에, 상층 레지스트막(201)과 무기계 중간막(202)을 마스크로 하여, O_2 및 HBr 및 N_2 로 이루어지는 혼합가스를 사용하여 하층 레지스트막(203)을 에칭한다[도 2(c)].

다음에, 표 1에 나타내는 바와 같이, SiCl_4 와 CHF_3 과 N_2 로 이루어지는 혼합가스를 사용한 플라즈마처리를 행한다.

표 1

측벽 보호막 형성조건

가스유량(ml/min)			처리압력	UHF전력	고주파 바이어스 전력	전극 온도	처리 시간
CHF_3	N_2	SiCl_4	(Pa)	(W)	(W)	($^{\circ}\text{C}$)	(s)
100	50	5	0.6	800	100	30	20

이 플라즈마처리에 의하여 도 3(a)에 나타내는 바와 같이 하층 레지스트막(203)의 측벽에 측벽 보호막(206)이 형성된다. 다음에 도 3(a)에 나타내는 바와 같은 측벽 보호막(206)이 형성된 하층 레지스트막(203)을 마스크로 하여, 실리콘 산화막(204)을 플로로 카본계를 포함한 혼합가스를 사용하여 에칭을 행한 결과, 도 3(b), 도 3(c)에 나타내는 바와 같은 라인 위글링(Line-wiggling)이나 스트라이에이션(striation)을 방지하여, 이방성이 양호한 에칭형상을 얻을 수 있었다. 또한, 도 3(c)는 도 3(b)의 에칭형상을 위에서 본 도면이다. 도 3(b), 도 3(c)에 나타내는 바와 같은 라인 위글링이나 스트라이에이션을 방지하여, 이방성이 양호한 에칭형상을 얻을 수 있었던 이유는 이하와 같은 것을 생각할 수 있다. 하층 레지스트막(203)의 에칭 후에[도 2(c)], 표 1에 나타내는 바와 같은 CHF_3 과 N_2 와 SiCl_4 로 이루어지는 혼합가스의 플라즈마처리를 행함으로써, N_2 가스로부터의 N 원소와 CHF_3 가스로부터의 C 원소에 의한 C_xN_y 와 C_xF_y 와 같은 카본계 반응생성물에 더하여, SiCl_4 가스로부터 SiC , SiN 의 반응생성물이 발생하여, 이 수(數) 종류의 반응생성물이 하층 레지스트막(203)의 측벽에 퇴적한다. 하층 레지스트막(203)의 측벽에 퇴적한 막이 측벽을 보호하는 막으로서 작용함으로써, 하층 레지스트막(203)의 강도가 증가하고, 반응생성물에 의한 응력에 대한 내성이 증가함으로써 패턴 도괴를 억제할 수 있었다.

본 실시예에서의 측벽 보호막 형성조건은 표 1에 나타내는 바와 같이 전가스유량(CHF_3 가스유량과 N_2 가스유량과 SiCl_4 가스유량의 합)에 대한 SiCl_4 가스첨가의 비율을 3% 정도로 하고, 처리압력을 0.6 Pa, 웨이퍼에 인가하는 고주파 바이어스 전력을 100 W로 하였다. 이와 관련하여 상기 3% 정도란, 2.7 내지 3.3%의 것이다. 또 플라즈마 처리시간은 20초로 하였다.

패턴 도괴를 방지하는 것을 목적으로 한 경우, SiCl_4 가스첨가의 비율은 전(全)가스유량의 1~5%가 바람직하다. SiCl_4 와 CHF_3 과 N_2 로 이루어지는 혼합가스에 의하여, 하층 레지스트막(203)에 측벽 보호막을 형성할 때, 에칭 패턴과 에칭 패턴의 간격이 긴밀하게 배열된 패턴 밀착부와 에칭 패턴과 에칭 패턴의 간격이 떨어져 배열된 패턴 성긴부에서는 측벽 보호막 형성의 효과가 다르다. 1% 이하에서는 측벽 보호막 형성의 효과가 보이지 않고, 5% 이상에서는 패턴 밀착부보다 패턴 성긴부에 대한 측벽 보호막 형성의 효과가 강하기 때문에, 패턴 성긴부와 패턴 밀착부 사이의 소밀(疏密) 에칭형상 차가 현저해지기 때문이다. 또, 에칭처리를 행할 때의 처리압력은 0.1

Pa 내지 0.8 Pa가 바람직하다. 0.1 Pa 이하에서는 측벽 보호막 형성의 효과가 작고, 0.8 Pa 이상에서는 상기한 바와 같은 패턴 소밀 에칭형상 차가 현저해지기 때문이다. 또, 처리시간에 대해서는 10초 내지 60초가 바람직하다. 10초 이하에서는 측벽 보호막 형성의 불충분에 의한 패턴 도괴를 억제할 수 없고, 60초 이상에서는 패턴 소밀 에칭형상 차가 현저해지기 때문이다. 또한, 웨이퍼에 인가하는 고주파 바이어스 전력은 0~200 W가 바람직하다. 200 W 이상이면, 마스크의 잔류가 감소하거나, 실리콘 기관(205)의 마모가 증대하기 때문이다.

[0027] 고주파 전원(108)은, 400 kHz의 정현파 고주파 전원이나, 본 실시예는 400 kHz의 고주파 바이어스 전력을 간헐적으로 인가시키는 타임모듈레이션 바이어스 (이하 TM 바이어스라 약칭한다)를 사용하여도 된다. TM 바이어스를 사용하는 경우는, 표 2에 나타내는 바와 같이, 고주파 전력을 200 W로 한다. 또, TM 바이어스의 온 시간을 t_1 , TM 바이어스의 오프 시간을 t_2 라 한 경우, $t_1/(t_1 + t_2)$ 인 듀티비는 50%로 한다.

표 2

[0028] 측벽 보호막 형성조건

가스유량(ml/min)			처리압력	UHF전력	고주파 바이어스 전력(TM 바이어스)	전극 온도	처리 시간
CHF ₃	N ₂	SiCl ₄	(Pa)	(W)	(W)	(℃)	(s)
100	50	5	0.6	800	200	30	20

[0029] TM 바이어스를 사용한 경우는, TM 바이어스의 오프 시에, 마스크나 실리콘 산화막(204)에 반응생성물이 퇴적하기 쉽다. 이 때문에, 마스크 잔여의 향상이나 실리콘 산화막(204)의 마모 억제 등의 효과도 얻을 수 있다.

[0030] 또, 본 실시예에서는, 전극 온도를 30℃에서 실시하였으나, 전극 온도를 저온화함으로써, 측벽 보호막 형성의 효과가 더욱 높아진다. 그러나, 전극 온도의 저온화에 의한 반응생성물의 퇴적성이 강해짐으로써, 에칭 후의 에칭형상의 치수가 커진다. 이 때문에, CHF₃ 가스유량을 감소시키는 등, CHF₃, N₂, SiCl₄의 가스유량비를 최적화할 필요가 있다.

[0031] [실시예 2]

[0032] 본 실시예는 하층 레지스트막(203)을 에칭한 후, SiCl₄와 HBr로 이루어지는 혼합가스를 사용하여 하층 레지스트막(203)의 측벽에 측벽 보호막 형성을 실시한 예이다.

[0033] 하층 레지스트막(203)의 패턴 형성까지는 실시예 1과 동일하기 때문에 생략한다.

[0034] 하층 레지스트막(203)의 패턴 형성 후에[도 2(c)], 표 3에 나타내는 조건으로 측벽 보호막을 형성한 하층 레지스트막(203)을 마스크로 하여, 실리콘 산화막(204)의 에칭을 행한 결과, 패턴이 도괴하지 않고, 라인 위글링이나 스트라이에이션을 방지한 이방성이 양호한 에칭형상을 얻을 수 있었다. 이 효과는 이하의 이유에 의한 것이라고 생각된다. 반응생성물인 Si_xBr_y가 하층 레지스트막(203)의 측벽에 퇴적하기 때문에, 하층 레지스트막(203)의 강도가 증가하고, 반응생성물에 의한 응력에 대한 내성이 증가함으로써, 패턴 도괴를 억제할 수 있었다. Si를 포함하는 반응생성물인 Si_xBr_y는 카본계 반응생성물인 C_xN_y와 C_xF_y에 비하여 측벽 보호막 형성의 효과가 높기 때문에, Si_xBr_y만으로 하층 레지스트막(203)의 반응생성물에 의한 응력에 대한 내성을 강화할 수 있었다고 생각한다.

표 3

[0035] 측벽 보호막 형성조건

가스유량(ml/min)		처리압력	UHF전력	고주파 바이어스 전력	전극 온도	처리 시간
HBr	SiCl ₄	(Pa)	(W)	(W)	(℃)	(s)
90	10	0.6	800	100	30	20

[0036] SiCl₄첨가의 비율은 전(全)가스유량의 1~12%가 바람직하다. 1% 이하에서는 측벽 보호막 형성의 효과가 보이지

않고, 12% 이상에서는 패턴 밀착부보다 패턴 성긴부에 대한 측벽 보호막 형성의 효과가 강하기 때문에, 패턴 성긴부와 패턴 밀착부 사이의 소밀 에칭형상 차가 현저해지기 때문이다. 처리시간에 대해서는 10초 내지 60초가 바람직하다. 10초 이하에서는 패턴 도괴를 억제할 수 없고, 60초 이상에서는 패턴 소밀 차가 현저해지기 때문이다. 플라즈마를 구성하는 가스에 카본을 포함하는 플루오르 카본가스가 포함되지 않기 때문에, 카본계 반응생성물인 C_xN_y 와 C_xF_y 가 발생하기 어렵기 때문에, 실시예 1과 비교하여 패턴 소밀 차가 적은 에칭형상을 얻을 수 있다. 또, 이물원이 될 수 있는 카본계 반응생성물이 적음으로써, 이물을 억제할 수 있고, 또, 이물제거를 위한 플라즈마 클리닝의 빈도를 줄일 수 있다.

[0037] [실시예 3]

[0038] 본 실시예는 하층 레지스트막(203)을 에칭한 후, $SiCl_4$ 와 CH_2F_2 로 이루어지는 혼합가스를 사용하여 하층 레지스트막(203)의 측벽에 측벽 보호막 형성을 실시한 예이다. 하층 레지스트막(203)의 패턴 형성까지는 실시예 1과 동일하기 때문에 생략한다.

[0039] 하층 레지스트막(203)의 패턴 형성 후에[도 2(c)], 표 4에 나타내는 조건으로 측벽 보호막을 형성한 하층 레지스트막(203)을 마스크로 하여, 실리콘 산화막(204)의 에칭을 행한 결과, 패턴이 도괴하지 않고, 라인 위글링이나 스트라이에이션을 방지한 이방성이 양호한 에칭형상을 얻을 수 있었다. 이 효과는 이하의 이유에 의한 것이라고 생각된다. 반응생성물인 C_xF_y 와 SiC 가 하층 레지스트막(203)의 측벽에 퇴적하기 때문에, 하층 레지스트막(203)의 강도가 증가하고, 반응생성물에 의한 응력에 대한 내성이 증가함으로써, 패턴 도괴를 억제할 수 있었다고 생각한다.

표 4

[0040] 측벽 보호막 형성조건

가스유량(ml/min)		처리압력	UHF전력	고주파 바이어스 전력	전극 온도	처리 시간
CH_2F_2	$SiCl_4$	(Pa)	(W)	(W)	(℃)	(s)
95	5	0.6	800	100	30	20

[0041] $SiCl_4$ 첨가의 비율은 전(全)가스유량의 1~10%가 바람직하다. 1% 이하에서는 측벽 보호막 형성의 효과가 보이지 않고, 10% 이상에서는 패턴 밀착부보다 패턴 성긴부에 대한 측벽 보호막 형성의 효과가 강하기 때문에, 패턴 성긴부와 패턴 밀착부 사이의 소밀 에칭형상 차가 현저해지기 때문이다. 처리시간에 대해서는 10초 내지 60초가 바람직하다. 10초 이하에서는 패턴 도괴를 억제할 수 없고, 60초 이상에서는 패턴 소밀형상 차가 현저해지기 때문이다. 플루오르 카본인 CH_2F_2 가스는 실시예 1에서 사용한 CHF_3 가스에 비하여, 카본계 반응생성물 C_xF_y 를 생성하기 쉽기 때문에, N_2 가스의 첨가가 없어도, 실시예 1과 동일한 효과를 얻을 수 있다. 따라서, 본 실시예는 실시예 1보다 적은 혼합가스로 패턴 도괴를 억제할 수 있기 때문에, 양산 안정성을 향상할 수 있다.

[0042] [실시예 4]

[0043] 본 실시예는 실리콘 산화막(204)의 에칭이, 플로로카본계를 포함한 혼합가스를 사용하여 실리콘 산화막(204)을 에칭하는 공정과 HBr 과 N_2 로 이루어지는 혼합가스를 사용하여 하층 레지스트막(203)의 측벽에 측벽 보호막(206)을 형성하는 공정과 플로로카본계를 포함한 혼합가스를 사용하여 실리콘 산화막(204)을 에칭하는 공정의 3공정으로 이루어지는 예이다. 하층 레지스트막(203)의 패턴 형성까지는 실시예 1과 동일하기 때문에 생략한다. 하층 레지스트막(203)의 패턴 형성 후[도 2(c)], 해당 하층 레지스트막(203)을 마스크로 하여, SF_6 및 CHF_3 으로 이루어지는 혼합가스를 사용하여 실리콘 산화막(204)을 소정의 깊이[실리콘 기판(205)에 도달하지 않는 깊이]까지 에칭하였다. 다음에, 표 5에 나타내는 바와 같은 HBr 과 N_2 로 이루어지는 혼합가스를 사용하여 하층 레지스트막(203)의 측벽에 측벽 보호막 형성을 실시하였다. 표 5에 나타내는 조건으로 측벽 보호막을 형성한 하층 레지스트막(203)을 마스크로 하여, 잔여 깊이의 실리콘 산화막(204)의 에칭을 행한 결과, 패턴이 도괴하지 않고, 라인 위글링이나 스트라이에이션을 방지한 이방성이 양호한 에칭형상을 얻을 수 있었다.

표 5

[0044]

측벽 보호막 형성조건

가스유량(ml/min)		처리압력	UHF전력	고주파 바이어스 전력	전극 온도	처리 시간
HBr	N ₂	(Pa)	(W)	(W)	(℃)	(s)
100	10	1.6	800	0	30	20

[0045]

이것은 이하의 이유에 의한 것이라고 생각된다. 실리콘 산화막(204)을 도중까지 에칭함으로써, 마스크인 무기계 중간막(202)을 에칭 제거하고, 하층 레지스트막(203)이 노출한 시점에서, 하층 레지스트막(203)의 측벽 및 상부를 측벽 보호막으로 덮음으로써, 패턴 도파를 저감할 수 있었던 것이다.

[0046]

본 실시예에서는, 고주파 바이어스 전력을 인가하고 있지 않기 때문에, 다른 실시예보다, 소비전력을 저감할 수 있다. 이로써, 운전비용 저감도 가능해진다.

[0047]

실시예 1~4 중에서 실시예 4를 제외하면, SiCl₄ 가스의 첨가에 의하여, SiN이나 SiC 등의 반응생성물을 하층 레지스트막(203)의 측벽에 퇴적시키는 측벽 보호 효과를 높일 수 있고, 실리콘 산화막 에칭 중의 라인 위글링이나 스트라이에이션을 억제할 수 있다. 또 본원 발명에서는 실리콘 산화막 에칭에 대하여 설명을 하였으나, 이것에 한정되는 것은 아니다. 실리콘 질화막 등의 다른 절연막이나 게이트 전극을 형성하기 위한 폴리실리콘막 등을, 다층 레지스트를 패턴 마스크로 하여 플라즈마 에칭을 행하는 경우에는 널리 사용할 수 있다.

[0048]

이상, 본원 발명에서는, 플라즈마원으로서 UHF파를 이용한 자장과의 상호작용을 사용한 플라즈마 에칭장치를 예로 들고 있으나, 본원 발명은 이것에 한정되는 것은 아니다. 예를 들면, 마이크로파 ECR, 헬리콘파, 유도 결합형이나 용량 결합형의 플라즈마원을 사용한 플라즈마 에칭장치에도 응용할 수 있다. 또, 본원 발명에서는, φ 300 mm의 웨이퍼를 대상으로 하여 설명하였으나, φ 200 mm나 φ 450 mm 웨이퍼에도 적용할 수 있다.

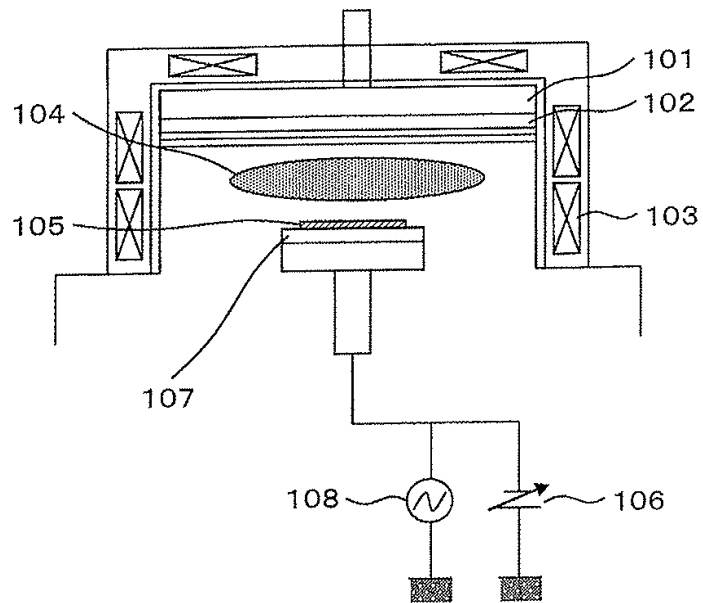
부호의 설명

[0049]

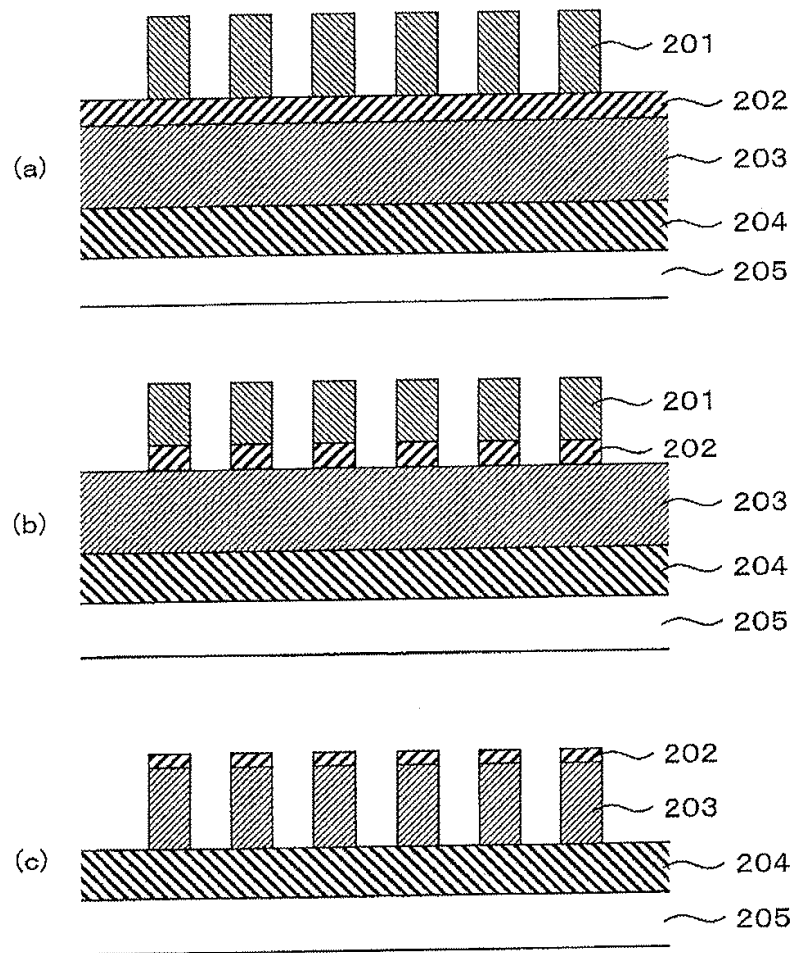
101 : 안테나	102 : UHF 투과판
103 : 솔레노이드 코일	104 : 플라즈마
105 : 웨이퍼	106 : 정전 흡착 전원
107 : 하부 전극	108 : 고주파 전원
201 : 상층 레지스트막	202 : 무기계 중간막
203 : 하층 레지스트막	204 : 실리콘 산화막
205 : 실리콘 기판	206 : 측벽 보호막

도면

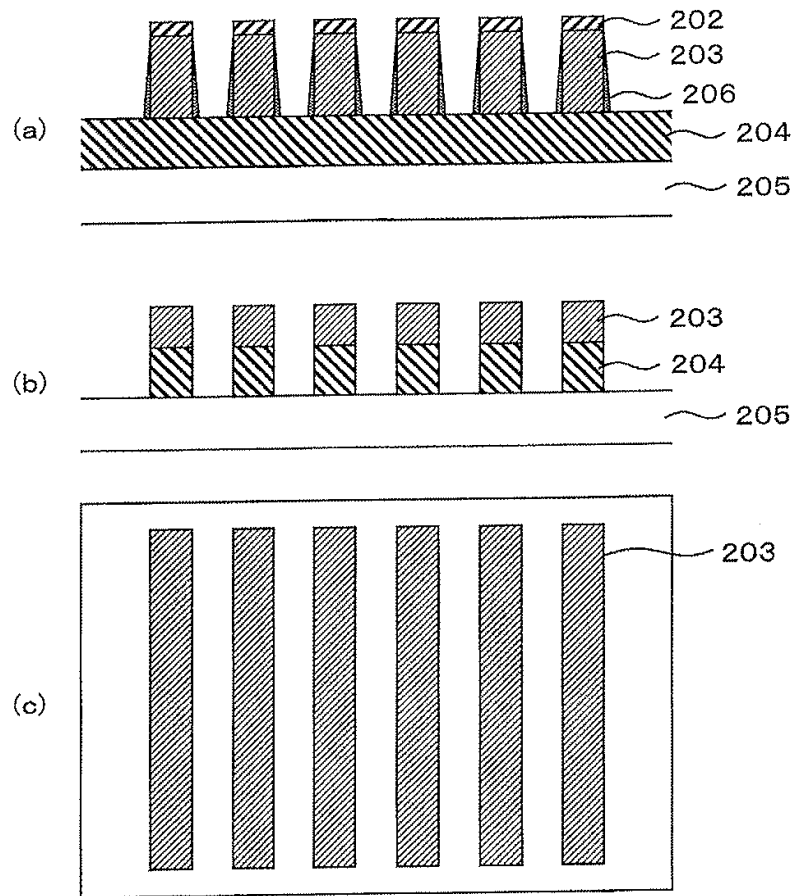
도면1



도면2



도면3



도면4

