



(12) 发明专利

(10) 授权公告号 CN 101388665 B

(45) 授权公告日 2011. 11. 09

(21) 申请号 200810160874. 8

JP 2005086789 A, 2005. 03. 31,

(22) 申请日 2008. 09. 12

CN 1913359 A, 2007. 02. 14,

(30) 优先权数据

US 6442225 B1, 2002. 08. 27,

60/972, 254 2007. 09. 14 US

CN 1666456 A, 2005. 09. 07,

60/980, 787 2007. 10. 18 US

审查员 王晓渊

(73) 专利权人 瑞昱半导体股份有限公司

地址 中国台湾新竹科学园区

(72) 发明人 林嘉亮

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蒲迈文

(51) Int. Cl.

H03L 7/085 (2006. 01)

H03L 7/089 (2006. 01)

H03M 5/14 (2006. 01)

(56) 对比文件

US 2004155687 A1, 2004. 08. 12,

JP 2005086789 A, 2005. 03. 31,

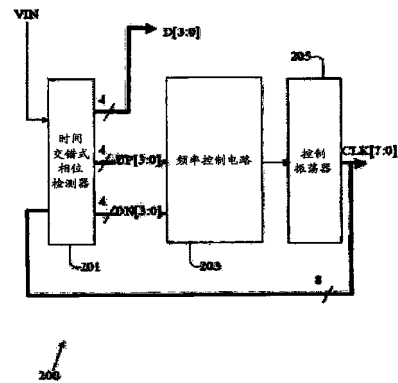
权利要求书 3 页 说明书 11 页 附图 12 页

(54) 发明名称

时间交错式时脉数据恢复装置及方法

(57) 摘要

一种采用时间交错式计划的时脉数据恢复 (CDR) 电路, 该电路包含: 一时间交错式相位检测器, 接收一输入信号和复数个时脉信号, 并输出一数据信号与复数个相位信号, 其中该输入信号的数据速率 (data rate) 是快于该复数个时脉信号的频率; 一频率控制电路, 耦接到该时间交错式相位检测器, 用以接收该复数个时脉信号, 并产生一控制信号; 以及一控制振荡器, 耦接到该确定电路, 受该控制信号的控制以产生复数个时脉信号。



1. 一种时间交错式时脉数据恢复电路,其中该电路包含:

一时间交错式相位检测器,用以接收一输入信号与复数个时脉信号,并用以依据该复数个时脉信号以检测出该输入信号的不同数据转换点,以输出M比特数据与N个相位信号,其中M与N为大于1的整数;

一频率控制电路,耦接到该时间交错式相位检测器,用以接收该N个相位信号,并依据该N个相位信号产生一控制信号;以及

一控制振荡器,耦接到该频率控制电路,受该控制信号的控制以产生该复数个时脉信号,

其中该时间交错式相位检测器电路更包含:

复数个采样数据触发器,用以接收该复数个时脉信号以及该输入信号,并根据该复数个时脉信号来采样该输入信号,以产生复数个第一数字信号;

复数个同步数据触发器,用以接收该复数个第一数字信号,并输出复数个第二数字信号及该M比特数据;以及

复数个相位检测逻辑电路,用以接收该复数个第二数字信号与该M比特数据,并输出该N个相位信号。

2. 如请求项1所述的电路,其中该频率控制电路更包含:

复数个数字滤波器,用以接收该N个相位信号,并产生该控制信号;

其中,该控制信号是为一数字信号。

3. 如请求项1所述的电路,其中该频率控制电路更包含:

复数个电荷泵,用以接收该N个相位信号,根据该N个相位信号分别输出复数个电流信号;

一相加电路,用以接收并加总该复数个电流信号,并产生一电流加总信号;以及

一滤波器,用以接收该电流加总信号,并据以产生该控制信号;

其中,该控制振荡器为一电压控制振荡器。

4. 如请求项1所述的电路,其中该输入信号的数据速率是快于该时脉信号的频率。

5. 一种时间交错式时脉数据恢复电路,其中该电路包含:

一时间交错式相位检测器,用以接收一输入信号与复数个时脉信号,依据该复数个时脉信号以检测出该输入信号的不同数据转换点,并据以输出一数据信号与复数组相位信号;

复数个检测电路,耦接到该时间交错式相位检测器,其中,每一检测电路用以接收该复数组相位信号的其中一组,并产生相对应的一检测信号;以及

一调整电路,耦接到该复数个检测电路,用以接收该复数个检测电路产生的复数个检测信号,并产生该复数个时脉信号,

其中该时间交错式相位检测器更包含:

复数个采样数据触发器,用以接收该复数个时脉信号,并根据该复数个时脉信号来采样该输入信号,以产生复数个第一数字信号;

复数个同步数据触发器,用以接收该复数个第一数字信号,并输出复数个第二数字信号及该数据信号;以及

复数个相位检测器逻辑电路,用以接收该复数个第二数字信号及该数据信号,并输出

该复数个相位信号。

6. 如请求项 5 所述的电路,其中该输入信号的数据速率是快于该时脉信号的频率。

7. 如请求项 5 所述的电路,其中该复数个检测电路为复数个数字滤波器,每一数字滤波器用以分别接收相对应的相位信号,并据以产生相对应的该检测信号;

其中,该检测信号是为一数字信号,且该调整电路可为一数字控制振荡器。

8. 如请求项 5 所述的电路,其中该复数个检测电路为复数个电荷泵,且该检测信号为一模拟电流信号,而该调整电路更包含:

一加总器,用以加总该复数个检测信号,并产生一电流加总信号;

一低通滤波器,用以接收该电流加总信号,并据以产生一控制信号;以及

一电压控制振荡器,用以接收该控制信号,并据以产生该复数个时脉信号。

9. 一种时间交错式时脉数据恢复方法,该方法包含:

接收一输入信号及复数个时脉信号;

依据该复数个时脉信号来采样该输入信号,以产生复数个第一数字信号;

接收该复数个第一数字信号,并输出复数个第二数字信号及数据信号;

接收该复数个第二数字信号及该数据信号,并输出复数个相位信号;

依据该复数个相位信号以产生一控制信号;以及

提供一振荡器,依据该控制信号以产生该复数个时脉信号。

10. 如请求项 9 所述的方法,其中产生该控制信号的该步骤更包含:

提供复数个电荷泵,用以接收该复数个相位信号,并转换该复数个相位信号为复数个第一电流信号;

加总该复数个第一电流信号以产生一加总电流;以及

滤波该加总电流以产生该控制信号;

其中,该振荡器为一电压控制振荡器。

11. 如请求项 9 所述的方法,其中产生该控制信号的该步骤更包含:

提供复数个数字滤波器,用以接受该复数个相位信号,并产生该控制信号;

其中,该控制信号包含有复数个检测信号,且该复数个检测信号为数字信号,且该振荡器为一数字控制振荡器。

12. 如请求项 9 所述的方法,其中该输入信号的数据速率是快于该时脉信号的频率。

13. 一种时间交错式时脉数据恢复方法,该方法包含:

在控制信号的控制之下,使用一受控制的振荡器产生 N 个时脉信号,其中 N 是大于 1 的整数;

使用该 N 个时脉信号采样一输入信号,而以产生复数个中间逻辑信号;

在该 N 个时脉信号中选择相对应的时脉信号以形成复数个同步时脉;

依据该复数个同步时脉对该复数个中间逻辑信号进行采样以产生复数组同步逻辑信号;

分别将该复数组同步逻辑信号映射成复数个相位信号;以及

依据该复数个相位信号以产生该控制信号,

在该控制信号的控制之下,产生该 N 个时脉信号,其中 N 是大于 1 的整数。

14. 如请求项 13 所述的方法,其中各组同步逻辑信号包含 3 同步逻辑信号,以同步该复

数个同步时脉的其中一个。

15. 如请求项 13 所述的方法,其中,该方法是依据该复数个时脉信号以检测出该输入信号的不同数据转换点。

16. 如请求项 13 所述的方法,其中该输入信号的数据速率是快于该时脉信号的频率。

时间交错式时脉数据恢复装置及方法

技术领域

[0001] 本发明一般是与时脉数据恢复 (CDR) 相关,其特别是关于采用时间交错式计画的 CDR。

背景技术

[0002] NRZ (不归零) 是一种简单且被广泛使用的二进制数据流的调变方式,适用于一通讯通道,其中 NRZ 透过电压信号波形的变化去表示二进制数据流。对于以 R 速率 (每秒比特) 传输的二进制数据流,该 NRZ 以具有第一电平的电压脉冲去代表二进制数据比特中的逻辑「1」,而以具有第二电平的电压脉冲代表二进制数据比特中的逻辑「0」,其中数据比特逻辑「1」与数据比特逻辑「0」的期间 (period) 皆为 T,且 T 与 R 互为倒数。在该数据传输的接收端上,时脉数据恢复 (CDR) 电路用于撷取嵌入在电压信号波形中的二进制数据流。

[0003] 第 1A 图说明时脉数据恢复 (CDR) 电路 100 的功能区块图;该 CDR 电路 100,用以接收电压信号 VIN,并相应地产生一恢复时脉 CLK 与嵌入在电压信号 VIN 中的之一二进制数据流 D。该 CDR 电路 100 包含:一采样器/相位检测器电路 110,用以产生该二进制数据流 D 及一相位信号,其中,该二进制数据流 D 是藉由采样使用该恢复时脉 CLK 的该电压信号 VIN 而得,而该相位信号是由二逻辑信号 UP 和 DN 所体现,以呈现该电压信号 VIN 与该恢复时脉间的时序关系;一电荷泵 (CP) 电路 120,用以将该二逻辑信号 UP 和 DN 转换成一电流信号 IOUT;一回路滤波器 (LF) 130,用以将该电流信号 IOUT 转换成一电压控制信号 VCON;以及,一 VCO (压控制振荡器) 140,用以在该电压控制信号 VCON 的控制下产生该恢复时脉 CLK。于一习知技术的例子中,当 UP 出现时,CP120 经由 LF130 产生正电流脉冲以增加该电压控制信号 VCON;当 DN 出现时,CP120 经由 LF130 产生负电流脉冲以降低该电压控制信号 VCON。于一习知 VCO 的例子中,当降低该电压控制信号 VCON 时将导致该恢复时脉 CLK 减速,则增加该电压控制信号 VCON 将导致加速该恢复时脉 CLK。当该采样器/相位检测器电路 110 确定该恢复时脉 CLK 是太快 (参考嵌入在电压信号 VIN 中的时序) 时,则将 UP 与 DN 分别设定为 0 与 1,以表示该电压控制信号 VCON 需要被调降以降速该恢复时脉 CLK。当该采样器/相位检测器电路 110 确定该恢复时脉 CLK 是太慢 (参考嵌入在电压信号 VIN 中的时序) 时,则将 UP 与 DN 分别设定为 1 与 0,以表示该电压控制信号 VCON 需要被增加加速该恢复时脉 CLK。当该采样器/相位检测器电路 110 对于电压信号与嵌入在电压信号 VIN 中的时序间的相对关系是不确定时,则将 UP 与 DN 分别设定为 0 与 0,以表示该电压控制信号 VCON 需维持不变,所以不会加速或减速该恢复时脉。以此方式,在封闭回路方式中建立该恢复时脉 CLK 的时序以追踪嵌入在电压信号 VIN 中的时序。

[0004] 第 1B 图说明相位/检测器电路 110 的示意图;第 1C 图说明以 C 语言撰写的二进制相位检测器演算法;与第 1D 图说明图 1C 的二进制相位检测器的时序图。

[0005] 该典型的采样器/相位检测器电路 110,包含:第一数据触发器 (DFF) 112,在该恢复时脉 CLK 的上升边缘中对电压信号 VIN 采样以产生该数据流 D;第二数据触发器 (DFF) 114,在该恢复时脉 CLK 的上升边缘中对该数据流 D 采样以产生延迟的数据流程 F;第

三数据触发器 (DFF) 116, 在该恢复时脉 CLK 的下降边缘中对电压信号 VIN 采样以产生过渡数据流 EN; 第四数据触发器 (DFF) 118, 在该恢复时脉 CLK 的上升边缘中对该过渡数据流 EN 采样以产生同步的过渡数据流 E; 与相位检测器逻辑电路 119, 依据一「二进制相位检测」演算法产生二逻辑信号 UP 和 DN、该同步的过渡数据流 E, 与该被延迟的数据流 F, 其中, 第 1C 图中说明的 C 编码例示该「二进制相位检测」演算法, 且二逻辑信号 UP 和 DN 与该数据流 D 相关。

[0006] 要说明「二进制相位检测」演算法的原理, 如第 1D 图说明的采样器 / 相位检测器 110 的典型时序图, 使用示波器去观察该电压信号 VIN、该数据 D、该被延迟的数据 F、该过渡数据 EN、与该同步的过渡数据 E 的波形。该电压信号 VIN 的波形, 一般可参考「眼图 (eye diagram)」, 显示了二明确电平, 表示嵌入在其中的数据的二进制本质。嵌入在该电压信号 VIN 中的二进制数据标记为 D_n 、 D_{n+1} 、 D_{n+2} ... 等等, 其中下标代表时序索引。理论上, 希望该恢复时脉 CLK 的上升边缘与每数据比特的中心匹配排列, 这是因为每数据比特的中心为「眼睛」具有最大开口的地方, 也是最容易去辨认出该嵌入的数据比特。在这种情况下, 该恢复时脉 CLK 的下降边缘中是符合数据转折。当 D 与 F 是相等时, 现在所撷取到的数据比特与先前 (即, 延迟) 所撷取到的数据比特是相同的。在此情况下, UP 与 DN 二者被设定为 0, 用以表示电压信号 VIN 与恢复时脉之间的时序关系是不确定的。当 D 不等于 F 时, 现在所撷取到的数据比特与先前 (即, 延迟) 所撷取到的数据比特是不同的, 亦表示在电压信号 VIN 中有转折存在。在这种情况下, 该同步的过渡数据比特 E 将支持 (SIDE WITH) 现在所撷取的数据比特 D, 或先前所撷取的数据比特 F。参考嵌入在电压信号 VIN 中的时序, 如果 E 支持 D, 建议该恢复时脉是太慢的, 而且其需要被加速 (即 $UP = 1$ 和 $DN = 0$)。参考嵌入在电压信号 VI N 中的时序, 如果 E 支持 F, 建议该恢复时脉是太快速的, 需要减速 (即 $UP = 0$ 和 $DN = 1$)。

[0007] 在另一前案, 美国第 6, 442, 225 号专利, 使用多相位时脉去消除相位检测的死区 (dead zone)。虽然执行多相位检测, 用于检测相同的数据转换点。具体来说, 如果 $N = 8$, 而且数据速率是每秒 1 数据比特, 使用 8 相位 1Hz 时脉, 然后每秒有 8 相位检测。美国第 6, 442, 225 号专利, 希望藉由使用每数据转折多相位检测去改进相位检测表现。

[0008] 当在前案中对采样器 / 相位检测器 110 有许多供选择的实施例时, 所有的实施例包含使用像是数据触发器或门锁的采样装置。当数据流被以非常高速率 (例如, 每秒 10 千兆比特或更高) 传送时, 该采样装置也需要被以非常高的速率去运作, 而且该设计也是不容易去实施。故, 需要 CDR 技术方法来提升采样装置的操作速度, 以达到速度上的要求。

[0009] 发明内容

[0010] 本发明的一目的是提供一种采用时间交错式架构的时脉数据恢复。

[0011] 本发明的另一目的是提供一种采用时间交错式架构的时脉数据恢复, 其中该多相检测用于检测出不同的数据转换点。

[0012] 本发明的另一目的是提供一种藉由使用多相位降速电路的时脉数据恢复, 该时脉数据恢复藉由时间交错式架构来提升电路速度, 以达到速度上的要求。

[0013] 在实施例中, 揭示一种 N 相位时间交错式的时脉数据恢复电路, 其中 N 是大于 1 的整数, 该电路包含: N 相位时间交错式相位检测器, 接收输入电压信号、 $2N$ 相位时脉、输出 N 比特数据汇流排和 N 个相位信号; N 数字回路滤波器电路, 分别去接收 N 个相位信号和输出

N 控制字 ;与数字控制振荡器,在 N 控制字的控制下产生 2N 相位时脉。

[0014] 在另一实施例中,揭示一种 N 相位时间交错式的时脉数据恢复电路,其中 N 是大于 1 的整数,该电路包含 :N 相位时间交错式相位检测器,接收输入电压信号、2N 相位时脉、输出 N 比特数据汇流排和 N 个相位信号 ;N 个电荷泵电路,分别利用 N 相位逻辑信号接收四相位的信号,并分别输出 N 个电流信号 ;一加总电路,用以加总源自 N 个电荷泵电路的 N 个电流信号,并输出一电流加总信号 ;一回路滤波电路,用以接收该电流加总信号,并产生一电压控制信号 ;以及,一压控振荡器,用以产生对应于该控制电压的 N 相位时脉。

[0015] 本发明提供一种时间交错式时脉数据恢复电路,其中该电路包含 :一时间交错式相位检测器,用以接收一输入信号与复数个时脉信号,并用以依据该复数个时脉信号以检测出该输入信号的不同数据转换点,以输出 M 比特数据与 N 个相位信号,其中 M 与 N 为大于 1 的整数 ;一频率控制电路,耦接到该时间交错式相位检测器,用以接收该 N 个相位信号,并依据该 N 个相位信号产生一控制信号 ;以及一控制振荡器,耦接到该频率控制电路,受该控制信号的控制以产生该复数个时脉信号,其中该时间交错式相位检测器电路更包含 :复数个采样数据触发器,用以接收该复数个时脉信号以及该输入信号,并根据该复数个时脉信号来采样该输入信号,以产生复数个第一数字信号 ;复数个同步数据触发器,用以接收该复数个第一数字信号,并输出复数个第二数字信号及该 M 比特数据 ;以及复数个相位检测逻辑电路,用以接收该复数个第二数字信号与该 M 比特数据,并输出该 N 个相位信号。

[0016] 此外,本发明提供一种时间交错式时脉数据恢复电路,其中该电路包含 :一时间交错式相位检测器,用以接收一输入信号与复数个时脉信号,依据该复数个时脉信号以检测出该输入信号的不同数据转换点,并据以输出一数据信号与复数组相位信号 ;复数个检测电路,耦接到该时间交错式相位检测器,其中,每一检测电路用以接收该复数组相位信号的其中一组,并产生相对应的一检测信号 ;以及一调整电路,耦接到该复数个检测电路,用以接收该复数个检测电路产生的复数个检测信号,并产生该复数个时脉信号,其中该时间交错式相位检测器更包含 :复数个采样数据触发器,用以接收该复数个时脉信号,并根据该复数个时脉信号来采样该输入信号,以产生复数个第一数字信号 ;复数个同步数据触发器,用以接收该复数个第一数字信号,并输出复数个第二数字信号及该数据信号 ;以及复数个相位检测器逻辑电路,用以接收 该复数个第二数字信号及该数据信号,并输出该复数个相位信号。

[0017] 此外,本发明提供一种时间交错式时脉数据恢复方法,该方法包含 :接收一输入信号及复数个时脉信号 ;依据该复数个时脉信号来采样该输入信号,以产生复数个第一数字信号 ;接收该复数个第一数字信号,并输出复数个第二数字信号及数据信号 ;接收该复数个第二数字信号及该数据信号,并输出复数个相位信号 ;依据该复数个相位信号以产生一控制信号 ;以及提供一振荡器,依据该控制信号以产生该复数个时脉信号。

[0018] 本发明提供一种时间交错式时脉数据恢复方法,该方法包含 :在控制信号的控制之下,使用一受控制的振荡器产生 N 个时脉信号,其中 N 是大于 1 的整数 ;使用该 N 个时脉信号采样一输入信号,而以产生复数个中间逻辑信号 ;在该 N 个时脉信号中选择相对应的时脉信号以形成复数个同步时脉 ;依据该复数个同步时脉对该复数个中间逻辑信号进行采样以产生复数组同步逻辑信号 ;分别将该复数组同步逻辑信号映射成复数个相位信号 ;以及依据该复数个相位信号以产生该控制信号。

- [0019] 请参考附图,附图是在于使熟习本技术者可更进一步了解本发明,且构成说明书的一部份。
- [0020] 附图说明
- [0021] 第 1A 图说明习知的时脉数据恢复 (CDR) 电路的功能图。
- [0022] 第 1B 图说明习知的相位检测器电路的示意图。
- [0023] 第 1C 图说明以 C 语言撰写的二进制相位检测器演算法。
- [0024] 第 1D 图说明图 1C 的二进制相位检测器的时序图。
- [0025] 第 2 图说明四倍时间交错式的 CDR 电路的功能方块示意图。
- [0026] 第 3A 图说明四倍时间交错式的 CDR 电路的第一实施例的功能图。
- [0027] 第 3B 图说明四倍时间交错式的 CDR 电路的第二实施例的功能图。
- [0028] 第 4 图说明图 3A 或 3B 的四倍时间交错式的数字 CDR 电路的时序图。
- [0029] 第 5 图说明四倍时间交错式检测器。
- [0030] 第 6 图说明数字回路滤波器的功能区块图。
- [0031] 第 7 图说明数字控制振荡器 (DCO) 的示意图。
- [0032] 第 8 图说明延迟元件 (delay cell) 的示意图。
- [0033] 第 9 图说明数字控制偏移电路的示意图。
- [0034] 第 10 图说明电流模式数字对模拟转换器的示意图。
- [0035] 第 11 图说明电流镜 (mirror) 电路的示意图。
- [0036] 主要元件符号说明
- [0037] 电压信号 :VIN
- [0038] 回复时脉 :CLK
- [0039] 二进制数据流 :D
- [0040] CDR 电路 :100、200、200A、200B
- [0041] 相位检测器 :110
- [0042] 电荷泵 (CP) :120
- [0043] 回路滤波器 (LF) :130
- [0044] 电压控制振荡器 (VCO) :140
- [0045] 时间交错式相位检测器 :201、210A、200B
- [0046] 频率控制电路 :203
- [0047] 控制振荡器 :205
- [0048] 逻辑信号 :UP、DN
- [0049] 电流 :IS1、IS2
- [0050] 过渡数据流 :EN
- [0051] 第一数据触发器 (DFF) :112
- [0052] 第二数据触发器 (DFF) :114
- [0053] 第三数据触发器 (DFF) :116
- [0054] 第四数据触发器 (DFF) :118
- [0055] 相位检测器逻辑电路 :119
- [0056] DLF :220、221、222、223

- [0057] DFF :410、420、411、421、412、413、422、423、430、431、440、441、450、451
- [0058] 相位检测逻辑电路 :460、461、462、463
- [0059] 数字回路滤波器 :500
- [0060] 加总电路 :510
- [0061] 数字滤波器 :520
- [0062] 编码器 :530
- [0063] 比特控制字 :K
- [0064] 第一中间信号 :PE
- [0065] 第二中间信号 :FPE
- [0066] 相位信号 :UP[0]、DN[0]
- [0067] 转换函数 :H(z)
- [0068] 延迟元件 :601-604
- [0069] 数字偏移控制电路 :610、800
- [0070] 4 级环式振荡器 :620
- [0071] 延迟元件 :700
- [0072] 差分迟延电路 :710
- [0073] 电流模式数字对模拟转换器 (DAC) :801-804、900
- [0074] 第一 NMOS 电晶体 :M7
- [0075] 电流镜 NMOS 电晶体 :M8-M11
- [0076] 电流镜 :811、812、1000
- [0077] DAC 元件 :901、902
- [0078] 输入端 :IIN
- [0079] 输出端 :IOUT
- [0080] 固定电位节点 :VSS

具体实施方式

[0081] 本发明关于 CDR(时脉数据恢复),特别是关于采用时间交错式的时脉数据恢复(CDR)电路。虽然本发明已以一些特定实施例揭露如下,然其并非用以限定本发明,任何熟习此项技艺者,在不脱离本发明的精神和范围内,当可作更动与润饰。

[0082] 本发明的 CDR 是一种时间交错式的架构,其中该多相检测是用于检测出不同的数据转换点。具体来讲,如果 $N = 8$,数据速率是每秒 1 数据比特,使用 8 相位 $1/8\text{Hz}$ 时脉,则每秒只有 1 相位检测。(注意 :8 相位 $1/8\text{Hz}$ 时脉是功能上同于单相 1Hz 时脉)。本发明希望使用时间交错式架构去提升 CDR 电路中的采样器 / 相位检测器内采样装置的速度,以满足对于速度上的要求。本发明利用四倍时间交错式的采样器 / 相位检测器来说明较佳实施例,并无意藉此去限定本发明。

[0083] 第 2 图描述本发明的 CDR 电路 200, CDR 电路 200 包含 :一时间交错式相位检测器 201,以一 8 相位时脉 CLK[7:0] 接收一电压信号 VIN,产生 4 比特数据汇流排 D[3:0] 及复数个相位信号(亦即,UP[3:0] 和 DN[3:0]);一频率控制电路 203,用以接收 UP[3:0] 和 DN[3:0],并输出一控制信号;以及,一压控振荡电路 205,用以接收该控制信号,并产生该 8

相位时脉 CLK[7:0]。其中,该 8 相位时脉 CLK[7:0] 由八时脉等间隔组成,各具有 $4 \square T$ 期间,其中 T 是电压信号 VIN 中的二比特数据的数据速率(每秒比特)的倒数。电压信号 VIN 及 8 相位时脉 CLK[7:0] 的时序图被绘示于第 4 图。接着,将于后续以更详细的实施方式来说明本发明的精神。

[0084] 第 3A 图描述本发明的 CDR 电路 200A, CDR 电路 200A 包含:一时间交错式相位检测器 210A,以 8 相位时脉 CLK[7:0] 接收电压信号 VIN,产生 4 比特数据汇流排 D[3:0],以 UP[3:0] 和 DN[3:0] 体现四相位信号;四个电荷泵(CP)电路 220A、221A、222A 与 223A,分别利用四相位逻辑信号对 {UP[0], DN[0]}, {UP[1], DN[1]}, {UP[2], DN[2]}, 和 {UP[3], DN[3]} 去接收四相位的信号,并且分别输出四个电流信号 IOUT0, IOUT1, IOUT2, 及 IOUT3;一加总电路 230A,用以接收源自该四个电荷泵电路的该四个电流信号(IOUT0, IOUT1, IOUT2, 及 IOUT4),并输出一电流加总信号 IOUT;一回路滤波电路 240A,用以接收该电流加总信号 IOUT,并产生一电压控制信号 VCON;以及,一压控振荡器 250A,用以产生对应于该控制电压 VCON 的该 8 相位时脉 CLK[7:0]。该 8 相位时脉 CLK[7:0] 由八时脉等间隔组成,各具有 $4 \square T$ 期间,其中 T 是电压信号 VIN 中的二比特数据的数据速率(每秒比特)的倒数。电压信号 VIN 及 8 相位时脉 CLK[7:0] 的时序图被绘示于第 4 图。于稳态时对 CDR 电路 200A 进行设定,当相位时脉 CLK[1]、CLK[3]、CLK[5] 及 CLK[7] 的上升边缘依据以时间交错方式嵌入在电压控制信号 VIN 中的数据中的上升边缘来进行排列时,则相位时脉 CLK[0]、CLK[2]、CLK[4] 及 CLK[6] 的上升边缘依据以时间交错方式嵌入在电压信号 VIN 中的数据中的中心来进行排列。

[0085] 第 3B 图描述本发明的 CDR 电路 200B, CDR 的电路 200B 包含:时间交错式相位检测器 210B,以 8 相位时脉 CLK[7:0] 接收电压信号 VIN,产生 4 比特数据汇流排 D[3:0],其中,以 UP[3:0] 和 DN[3:0] 执行四相位信号;四个数字式回路滤波器(DLF)电路 220B、221B、222B 与 223B,分别利用四个逻辑信号对 {UP[0], DN[0]}, {UP[1], DN[1]}, {UP[2], DN[2]}, 和 {UP[3], DN[3]} 去接收四相位信号,而且分别输出四 K 比特控制字 C0[K-1:0]、C1[K-1:0]、C2[K-1:0] 和 C3[K-1:0],其中 K 是整数;与 DCO(数字控制振荡器)250B,接收该四 K 比特控制字 C0[K-1:0]、C1[K-1:0]、C2[K-1:0] 和 C3[K-1:0],和依序产生 8 相位时脉 CLK[7:0]。对,该 8 相位时脉 CLK[7:0] 是由八时脉等间隔组成,各具有 $4T$ 期间,其中 T 是嵌入在电压信号 VIN 中的二进制数据的数据速率(每秒比特)的倒数。如第 4 图所示,说明电压信号 VIN 和 8 相位时脉 CLK[7:0] 的时序图。在稳定状态中去设定该 CDR 电路 200B,当相位时脉 CLK[1]、CLK[3]、CLK[5] 和 CLK[7] 的上升边缘依据以时间交错方式嵌入在电压信号 VIN 中的数据中的边缘来进行排列时,则 CLK[0]、CLK[2]、CLK[4] 和 CLK[6] 的上升边缘依据以时间交错方式嵌入在电压信号 VIN 中的数据中的中心来进行排列。

[0086] 第 5 图以具体实施例 400 去说明第 3A 图或第 3B 图的时间交错式相位检测器 210A 或 210B, 实施例 400 包含:一组采样数据触发器(DFFs),其包含 DFF410、420、411、421、412、422、413 和 423,用以接收电压信号 VIN 及相位时脉 CLK[7:0],并分别在上升边缘 CLK[0]、CLK[1]、CLK[2]、CLK[3]、CLK[4]、CLK[5]、CLK[6] 和 CLK[7] 去采样电压信号 VIN,而且分别输出二进制数据 FN[0], EN[0]、FN[1]、EN[1]、FN[2]、EN[2]、FN[3]、与 EN[3];一第一群同步触发器(DFFs),其包含 DFF430, 440 和 450,在 CLK[0] 的上升边缘分别对 FN[0]、EN[0] 和 FN[1] 进行采样,并分别输出二进制数据 F[0], E[0] 和 D[0];一第二群同步触发器(DFFs),

其包含 DFF431, 441 和 451, 在 CLK[2] 的上升边缘分别对 FN[1]、EN[1] 和 FN[2] 进行采样, 并分别输出二进制数据 F[1], E[1] 和 D[1]; 一第三群同步触发器 (DFFs), 其包含 DFF432, 442 和 452, 在 CLK[4] 的上升边缘分别对 FN[2]、EN[2] 和 FN[3] 进行采样, 并分别输出二进制数据 F[2], E[2] 和 D[2]; 一第四群同步触发器 (DFFs), 其包含 DFF433, 443 和 453, 在 CLK[6] 的上升边缘分别对 FN[3]、EN[3] 和 FN[0] 进行采样, 并分别输出二进制数据 F[3], E[3] 和 D[3]; 一第一相位检测逻辑电路 460, 分别接收 F[0]、E[0]、与 D[0], 并藉由逻辑信号对 UP[0] 和 DN[0] 输出一第一相位信号; 一第二相位检测逻辑电路 461, 分别接收 F[1]、E[1]、与 D[1], 并藉由逻辑信号对 UP[1] 和 DN[1] 输出一第二相位信号; 一第三相位检测逻辑电路 462, 分别接收 F[2]、E[2]、与 D[2], 并藉由逻辑信号对 UP[2] 和 DN[2] 输出一第三相位信号; 一第四相位检测逻辑电路 463, 分别接收 F[3]、E[3]、与 D[3], 并藉由逻辑信号对 UP[3] 和 DN[3] 输出一第四相位信号。第 1C 图说明以 C 语言撰写的二进制相位检测器演算法, 该相位检测逻辑电路 460、461、462 与 463 执行第 1C 图的演算法, 其中「F」、「E」、和「D」分别参考到该相位检测器演算法的第 1、2 与 3 的输出。

[0087] 藉由时间交错式特征, 其可巨幅提升采样装置 (即, 具体实施例 400 的 DFFs) 的电路速度。对四倍时间交错式, 大约是提升四倍电路速度的程度。

[0088] 在第 3A 图的 CDR 电路 200A 中, 时间交错式特征对电荷泵 (CP) 也是有效地, 亦即可以提升电路速度以满足速度上的要求。然而, 在实际状况中, 以各电荷泵产生的电流脉波是较没有使用时间交错式的电流脉波长。这延伸了 CDR 回路对于每一相位检测的反应。举例来说, 如果相位检测决定出该恢复时脉是太慢的, 对于一四倍时间交错式的环境下, 具有四倍期间的一电流脉波则被产生来用以加速 VCO, 而这在 CDR 回路上有效地引用一移动平均数功能。该移动平均数不仅让 CDR 回路上的杂讯较少, 也使得追踪嵌入在该电压信号 VIN 中的时序的变化的能力变得较不敏捷。因此, 在杂讯调整和追踪能力间是可依需求而做一取舍 (trade-off)。然而, 对一四倍时间交错式的架构, 其追踪能力的下降 (drop-off) 是非常缓和的。本发明所教导的原理是能在较高倍数的时间交错式的架构下去实施 (像是, 8 倍或 16 倍时间交错), 而这可更进一步提升电路速度; 在这种情况下, CDR 回路上的杂讯会更少, 但是追踪能力却会更进一步地下降。对于一 N 倍时间交错式的架构, N 是大于 1 的整数, 其提供 NT 期间内的 2N 相位恢复时脉, 并使用 2N 采样装置, 来对共同电压信号 VIN 进行采样, 以产生 2N 中间逻辑信号; 一 3N 采样装置, 分成 N 群组, 各群组具有 3 个采样装置, 并且依照被视作为同一群体的该 2N 相位恢复时脉的一特定相位来操作, 用于同步该 2N 中间逻辑信号以产生 N 组已同步逻辑信号, 其中, 各群组包含有与自身群组相对应的该 2N 相位恢复时脉的该特定相位的 3 逻辑信号; 与 N 相位检测器逻辑电路, 透过二逻辑信号, 各将 N 组已同步逻辑信号中之一映射成为一相位信号。

[0089] 在第 3A 图中, 一 2N 相位时脉可以相当便利地藉由一压控振荡器 (VCO) 而产生, 举例来说, 如一 N 级环式振荡器, 因为此为本领域人士所悉知, 故于此不再赘述。一电荷泵电路可以相当便利地藉由一电源流及一电流槽来体现, 其中, 当 UP 信号被确立时, 则该电流源被致能, 反之, 该电流源被禁能; 当 DN 信号被确立时, 该电流槽被致能, 反之, 该电流槽被禁能; 此外, 该电流源的输出与该电流槽的输出彼此连接在一起。另, 电荷泵为此领域人广为悉知, 故于此不再赘述。举例来说, 一回路滤波器可藉由一串联 RC 电路与一电容的并联来加以体现。

[0090] 在第 3A 图中, 加总电路 230A 加总 4 个电流信号 IOUT0、IOUT1、IOUT2 及 IOUT3 而成为该电流加总信号 IOUT。然而, 实际上, 电荷泵电路 220A、221A、222A 及 223A 的输出可被耦接在一起, 且其个别输出信号可无须一加总电路, 即可有效地加总在一起。换言之, 无须一具体的加总电路即可实现加总电路 230A 的功能。同样地, 本揭露文件中的许多功能方块, 在不偏离本发明的范围及功能的前提下, 亦可用其他的实施例来加以实现。

[0091] 在第 3B 图的 CDR 电路 200B 中, 时间交错式技术对数字式回路滤波器 (DLF) 也是有效地, 亦即可以大量提升电路速度以满足绝大部分的要求。对于一采用 4 倍时间交错式架构的数字式回路滤波器 (DLF) 而言, 电路速度约可提升为四倍。然而, 在实际状况中, 使用使用时间交错式架构的 DLF, 其所产生的 K 比特控制字较没有使用时间交错式的 DLF 长, 而这延伸了 CDR 回路对于每一相位检测的反应。举例来说, 如果相位检测决定出该恢复时脉是太慢的, 则每数据比特期间的四倍期间的控制字被产生来加速 DCO, 而这在 CDR 回路上有效地引用一移动平均数功能。该移动平均数不仅让 CDR 回路上的杂讯较少, 也使得追踪嵌入在该电压信号 VIN 中的时序的变化的能力变得较不敏捷。因此, 在杂讯和追踪能力之间可依需要而做一取舍 (trade-off)。然而, 对一四倍时间交错式的架构, 其追踪能力的下降 (drop-off) 是非常缓和的。本发明所教导的原理是能在较高程度时间交错式的架构下去实施 (像是, 8 倍或 16 倍时间交错), 而这可更进一步提升电路速度; 在这种情况下, 该 CDR 回路上的杂讯更少, 但是追踪能力却更进一步地下降。对于一 N 倍时间交错式的架构, N 是大于 1 的整数, 其提供 NT 期间的 2N 相位恢复时脉, 并使用 2N 采样装置, 来对电压信号 VIN 进行采样, 以产生 2N 中间逻辑信号; 一 3N 采样装置, 分成 N 群组, 各群组具有 3 采样装置, 并且依照该 2N 相位恢复时脉的一特定相位来操作, 用于同步该 2N 中间逻辑信号以产生 N 组已同步逻辑信号, 其中, 各群组包含有与自身群组相对应的该 2N 相位恢复时脉的该特定相位的 3 逻辑信号; 与 N 相位检测器逻辑电路, 透过二逻辑信号, 各将 N 组已同步逻辑信号中的一映射成一相位信号。

[0092] 第 6 图说明数字回路滤波器 500 的功能区块图, 适用于第 3A 图的 DLF220A 及第 2B 图的 DLF220B (亦适用于 221A、221B、222A、222B、223A 和 223B, 此外, 该 DLF500 的输入 / 输出信号名称亦与上述 DLF 不同)。数字回路滤波器 500 包含: 一加总电路 510, 用以接收该相位信号 UP[0] 和 DN[0], 并输出一第一中间信号 PE, 像是 $PE = UP[0] - DN[0]$; 一数字滤波器 520, 其具有一转换函数 $H(z)$, 用以接收该第一中间信号 PE 和输出一第二中间信号 FPE; 与一编码器 530, 用以将该第二中间信号 FPE 编码成该 K 比特控制字 CO[K-1:0]。在一实施例中, 该转换函数 $H(z)$ 可被设定为 $H(z) = az^{-1} + bz^{-1} / (1 - z^{-1})$, 其中 a 和 b 是二滤波器参数。一般来说, 如果没有限制的话, 则 a 和 b 二者会是分数, 因此该转换函数 $H(z)$ 的输出将会是一无界带分数 (即, 整数加分数)。在数字滤波器 520 中使用嵌入舍入 (rounding) 饱和功能函数 (未图示) 来将该第二中间信号 FPE 调整成一有界整数。举例来说, 但不限于此, FPE 是从整数 0 到整数 255 中的一整数。在一实施例中, 编码器 530 是温度计代码 (thermometer-code) 编码器。例如, 当 FPE 是从整数 0 到整数 255 中的一整数, 则温度计代码编码器的输出将是 255 比特控制字, 其中, 比特的总数是「1」, 且和 FPE 的值是相等的。该温度计代码编码器的原理和实作方式是为一广为人知的习知技艺, 故不再赘述。

[0093] 第 7 图说明 DCO600 的区块图, 适用于第 3B 图的 DCO250B。DCO600 包含一 4 级环式振荡器 620, 其包含四延迟元件 (601-604), 用以输出 8 相位时脉 CLK[7:0]。四延迟元件

(601-604) 中的每一皆有二输入端「IN+」和「IN-」,用以接收前一级延迟元件 (delay cell) 的二输出,二输出端「OUT+」和「OUT-」,用以将二输出传递到下一级延迟元件,与二偏压端「IB1」和「IB2」,用以接收二偏移电流。具体来讲,延迟元件 601 接收偏移电流 IB1[0] 和 IB2[0],延迟元件 602 接收偏移电流 IB1[1] 和 IB2[1],延迟元件 603 接收偏移电流 IB1[2] 和 IB2[2],与延迟元件 604 接收偏移电流 IB1[3] 和 IB2[3]。在一较佳实施例中,该四延迟元件 (601-604) 是相同而且在相同条件下进行偏移。DC0600 更包含数字偏移控制电路 610,用以接收该四 K 比特控制字 C0[K-1:0]、C1[K-1:0]、C2[K-1:0] 和 C3[K-1:0],与产生八偏移电流 IB1[3:0] 和 IB2[3:0],以对该环式振荡器 620 的四延迟元件 (601-604) 进行偏移。该四 K 比特控制字透过数字控制偏移电路 610 去控制环式振荡器 620 的偏移条件,并藉此控制环式振荡器 620 的振荡频率。

[0094] 第 8 图说明延迟元件 700 的示意图,适用于第 7 图的环式振荡器 620 的延迟元件 (601-604)。延迟元件 700 是一差分电路,具有二输入端「IN+」和「IN-」,和二输出端「OUT+」和「OUT-」,透过一第一偏压端 IB1 接收一第一偏移电流和透过一第二偏压端 IB2 接收一第二偏移电流。延迟元件 700 包含一第一差分对和一第二差分对,该第一差分对包含 NMOS 电晶体 M1a 和 M1b,该第二差分对包含 NMOS 电晶体 M2a 和 M2b,其中,从该 IB1 端以该第一偏移电流偏移 NMOS 电晶体 M1a 和 M1b,而从该 IB2 端以该第二偏移电流偏移 NMOS 电晶体 M2a 和 M2b。延迟元件 700 另包含一差分延迟电路,该差分延迟电路 包含一电阻 R2a、一电阻 R2b 和一电容 Cp。延迟元件 700 更包含提供一对负载电阻 R1b、R1a,该对负载电阻 R1b、R1a 用来作为第一差分对 M1a-M1b 和第二差分对 M2a-M2b 的一共同差分负载。于此,VDD 表示一第一固定电位电路节点。当第二差分对 M2a-M2b 的输入端(「闸极」端)经由该差分延迟电路 710 去间接耦接到延迟元件 700 的输入端 IN+/- 时,第一差分对 M1a-M1b 的输入端(「闸极」端)直接耦接到延迟元件 700 的输入端 IN+/-。第一差分对 M1a-M1b 和第二差分对 M2a-M2b 二者的输出端(「漏极」端)直接耦接到延迟元件 700 的输出端 OUT+/-。据此,该输出 OUT+/- 经由一第一通道和一第二通道耦接到该输入 IN+/-,该第一通道包含第一差分对 M1a-M1b,该第二通道包含延迟电路 710 和第二差分对 M2a-M2b。当该第二通道具有一第二延迟时,该第一通道具有一第一延迟,而由于差分延迟电路 710,该第二延迟常是大于该第一延迟。延迟元件 700 的整体延迟(在输入 IN+/- 和输出 OUT+/- 之间)是介于在该第一延迟和该第二延迟之间,并且是取决于二通道的相对加权值。该第一偏移电流(从 IB1)和该第二偏移电流(从 IB2)分别决定该第一通道和该第二通道的加权值。在一较佳实施例中,来自偏压端 IB1 和 IB2 的总电流为一固定值。于第一种极端的情况下,来自第二偏压端 IB2 的电流是 0(因此该第二通道的加权值为零),延迟元件 700 的整体延迟等同该第一延迟。于第二种极端的情况下,来自第一偏压端 IB1 的电流是 0(因此该第一通道的加权值为零),延迟元件 700 的整体延迟等同该第二延迟。在二通道的相对电流的变化导致总延迟的变化,因而导致以该延迟元件构成的环式振荡器的振荡频率产生变化。

[0095] 第 9 图说明数字控制偏移电路 800 的示意图,适用于第 7 图的数字控制偏移电路 610。偏移电路 800 包含:四电流模式 DAC(数字模拟转换器)801-804,分别用以接收四 K 比特控制字 C0[K-1:0]、C1[K-1:0]、C2[K-1:0] 和 C3[K-1:0],与二电流镜 811 和 812。四电流模式 DACs(801-804) 中的每一皆有一输入端「W」,用于接收一 K 比特控制字,一电源端「VSR」,用以接收来自一第一固定电位节点 VDD 的电源,与二输出端「I1」和「I2」,用以传

送二输出电流。从「I1」端（所有四 DACs）传送的所有输出电流汇集成一第一总电流 I1T，从「I2」端（所有四 DACs）传送的所有输出电流汇集成一第二总电流 I2T。二电流镜（811、812）中之一具有一输入端「IIN」、一输出端「IOUT」和一电源端「VGND」，输入端「IIN」接收一输入电流，输出端「IOUT」传送一汇流排反映输出电流的电流，电源端「VGND」耦接到一第二固定电位节点 VSS，用以作为电源的返回路径（return path）。具体来说，当电流镜 812 接收第二总电流 I2T 并将其反映成输出电流 IB2[0]、IB2[1]、IB2[2] 和 IB2[3] 时，电流镜 811 接收第一总电流 I1T 并将其反映成输出电流 IB1[0]、IB1[1]、IB1[2] 和 IB1[3]。请注意，如第 7 图所示的方式，IB1[3:0] 和 IB2[3:0] 被用以偏移 4 级环式振荡器。

[0096] 第 10 图说明电流模式数字对模拟转换器 (DAC) 900 的示意图，适用于第 9 图的 DAC(801-804)。如先前所述，四电流模式 DACs(801-804) 中的每一皆有一输入端「W」，用于接收一 K 比特控制字。虽然本发明已以特定实施例揭露，然其并非用以限定本发明，任何熟习此项技艺者，举例来说，如第 10 图所述的 DAC900，当 $K = 2$ 时，其可作为一实施例来作例示，同理，亦可推演至 $K > 2$ 时的延伸实施例。DAC900 具有电源端「SRC」，用于接收电源，输入端「W」用于接收 2 比特控制字，和二输出端「I1」和「I2」用于输出二电流。DAC900 包含二 DAC 元件 901 和 902，用于分别接收控制比特 W[0] 和 W[1]。DAC901 和 902 是由相似方式建构，因此适用于 DAC901 的描述也是可适用于 DAC902，仅只有实施例或标记不相同而已。可由下列的叙述得知，DAC902 的实施例或标记是标示在括号中。DAC901(902) 是以电流转向 (steering) 拓扑来架构；其包含以 PMOS 电晶体 M3(M5) 体现的电流源，和以 PMOS 电晶体 M4a 和 M4b(M6a 和 M6b) 体现的一对开关。藉由适当提供偏压 VBP1(VBP2) 给 M3(M5) 的闸极，和经由「SRC」端提供偏压给 M3(M5) 的源极，M3(M5) 体现从其漏极输出电流 IS1(IS2) 的一电流源，其中 IS1(IS2) 有大约固定的电平且毋须考虑其负载电路的状态。作为电流 IS1(IS2) 的负载电路的 M4a 和 M4b(M6a 和 M6b)，形成一开关对，用以提供电流转向功能以使电流 IS1(IS2) 转向到一第一分支 IS1a(IS2a) 或一第二分支 IS1b(IS2b)。当 M4b(M6b) 是以 W[0](W[1]) 的逻辑反向来控制时，M4a(M6a) 则是受 W[0](W[1]) 所控制，其中，W[0](W[1]) 的逻辑反向控制是透过一反相器来获得的，而 903 及 904 分别是供 DAC 元件 901 及 902 来使用的。当 W[0](W[1]) 是逻辑低的，IS1(IS2) 转向到第一分支 IS1a(IS2a)；当 W[0](W[1]) 是逻辑高，IS1(IS2) 转向到第二分支 IS1b(IS2b)。当从第二分支 (IS1b 和 IS2b) 的所有电流被汇集成传送到第二输出端 I2 的一第二电流 Ib 时，从第一分支 (IS1a 和 IS2a) 的所有电流被汇集成传送到第一输出端 I1 的一第一电流 Ia。

[0097] 第 11 图说明电流镜 1000，适用于第 9 图的电流镜 811 与 812。电流镜 1000 具有输入端 IIN 和输出端 IOUT，输入端 IIN 用于接收一输入电流信号，输出端 IOUT 用于输出表示为汇流排标示的复数个输出电流信号。电流镜 1000 包含第一 NMOS 电晶体 M7 和复数个电流镜 NMOS 电晶体 M8-M11，第一 NMOS 电晶体 M7 接收源自输入端 IIN 的输入电流，M8-M11 将来自输入端 IIN 的输入电流反映成输出端 IOUT(汇流排标示) 的输出电流。于此，VSS 表示固定电位值节点。电流镜 1000 的原理是一广为人知的习知技艺，故不再赘述。此外，在不脱离本发明的精神和范围内，熟悉该项技艺人士可能会以电流镜去施行各式各样的替代实施例，例如，「迭接 (cascade) 电流镜」拓扑架构可用以改良电流镜的输出电阻，以减少输出电压余量 (headroom) 所须付出的代价。因此，本发明不限于上述特定的具体实施例，而是包含各种可能的具体实施例，像是电路设计采用的其他替代实施例。

[0098] 虽然本发明已以特定实施例揭露如上,然其并非用以限定本发明,任何熟习此项技艺者,在不脱离本发明的精神和范围内,当可作更动与润饰,因此本发明的保护范围当视后附的申请专利范围所界定者为准。

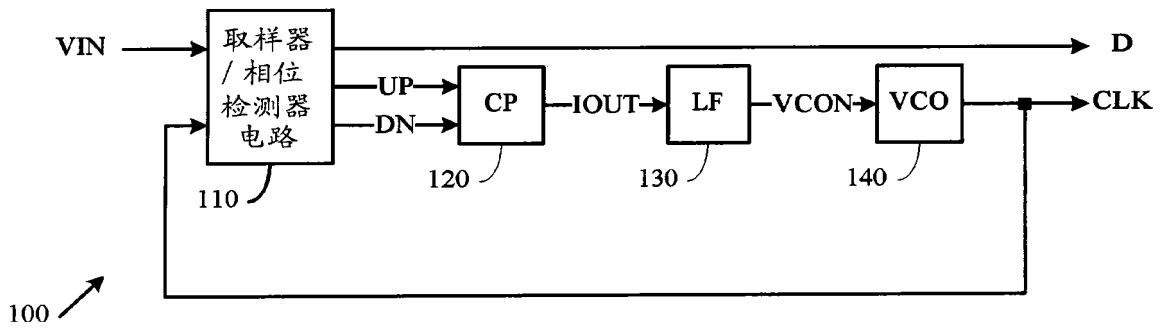


图 1A

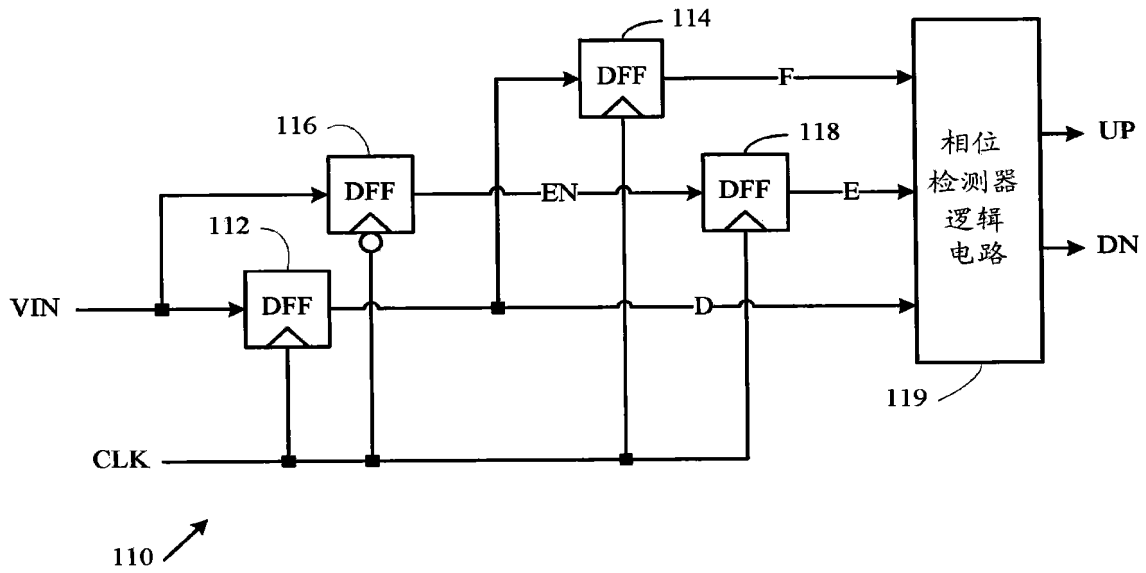


图 1B

```

if (D == F) {
    UP = 0;
    DN = 0;
}
else {
    if (D == E) {
        UP = 1;
        DN = 0;
    }
    else {
        UP = 0;
        DN = 1;
    }
}
    
```

图 1C

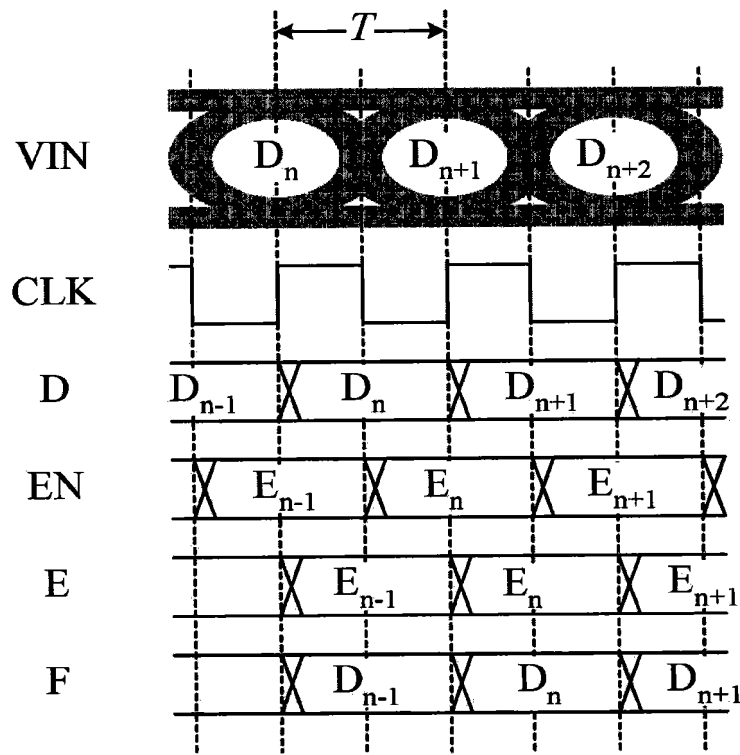
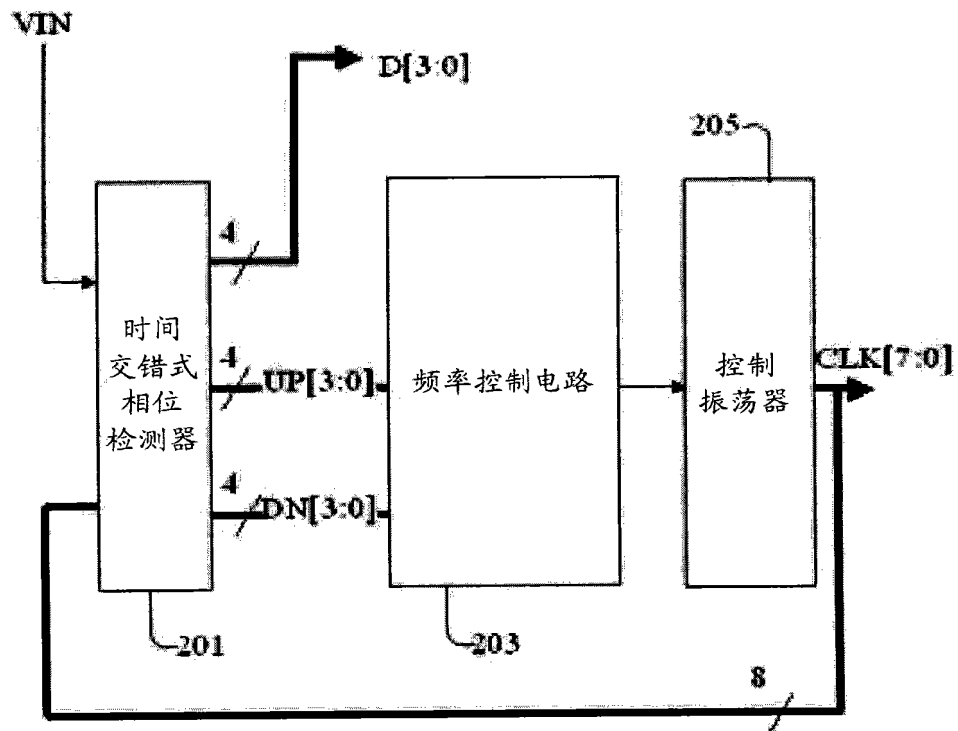
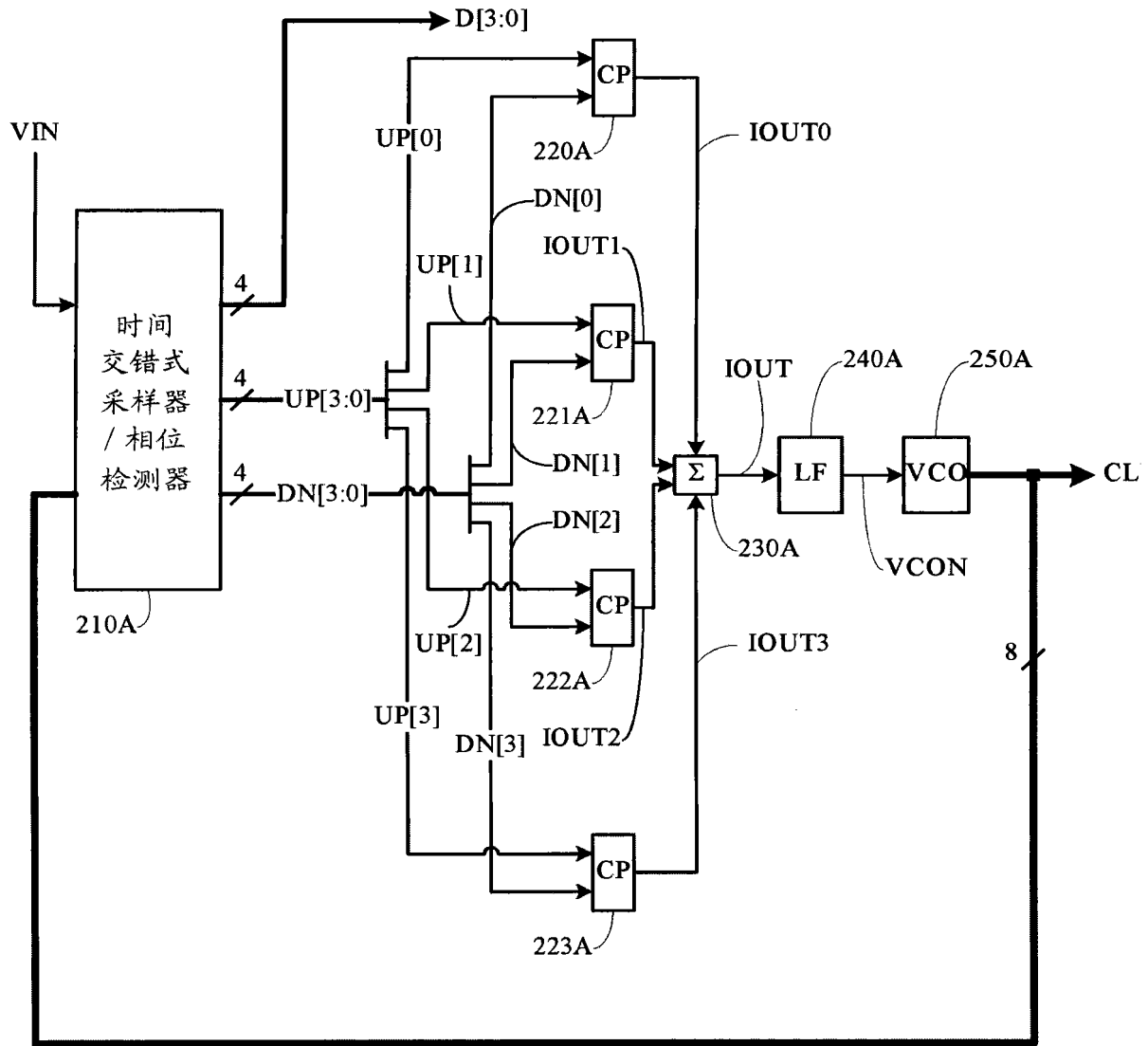


图 1D



200 ↗

图 2



200A ↗

图 3A

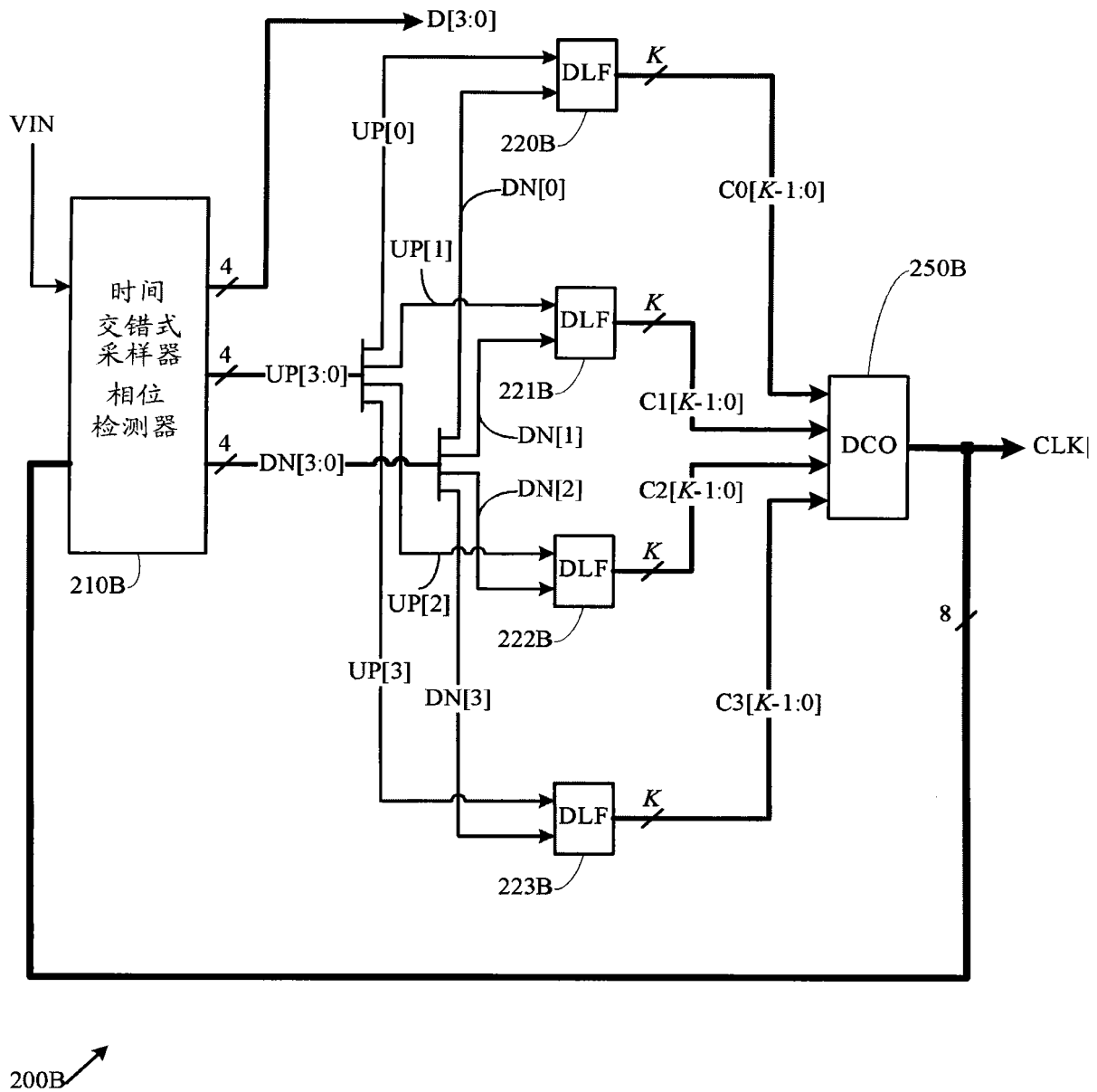


图 3B

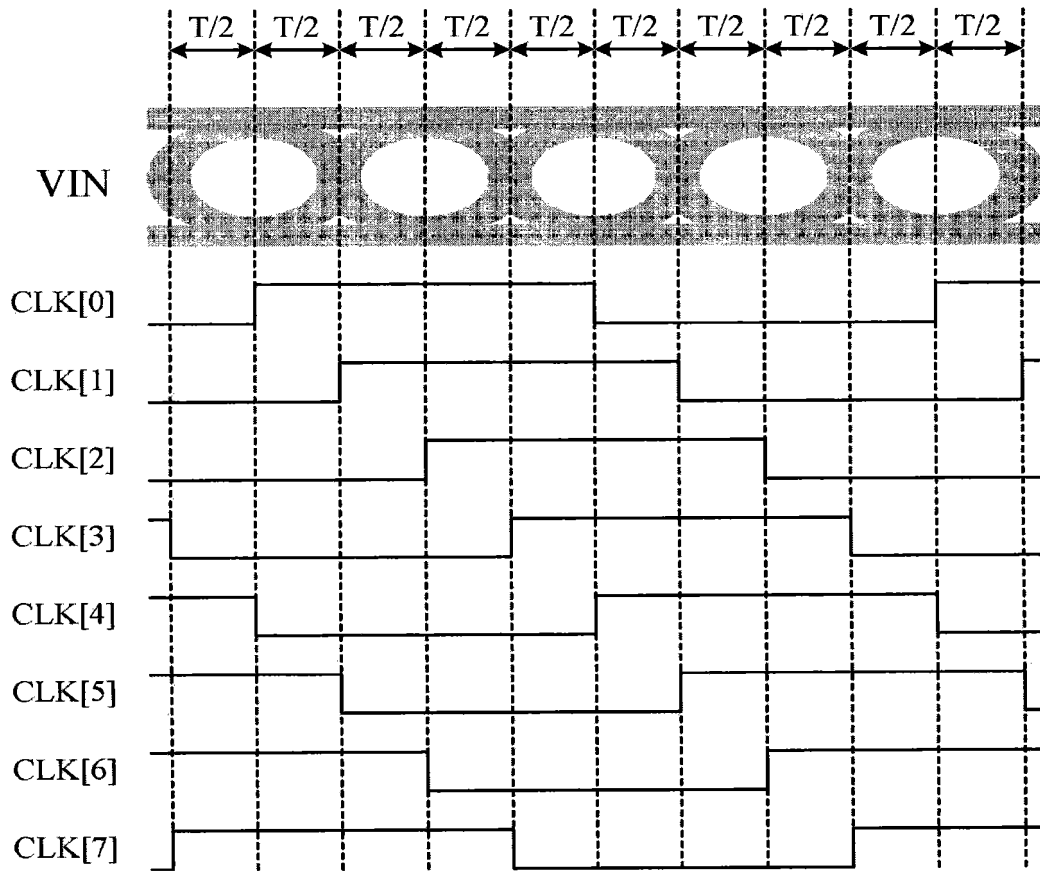


图 4

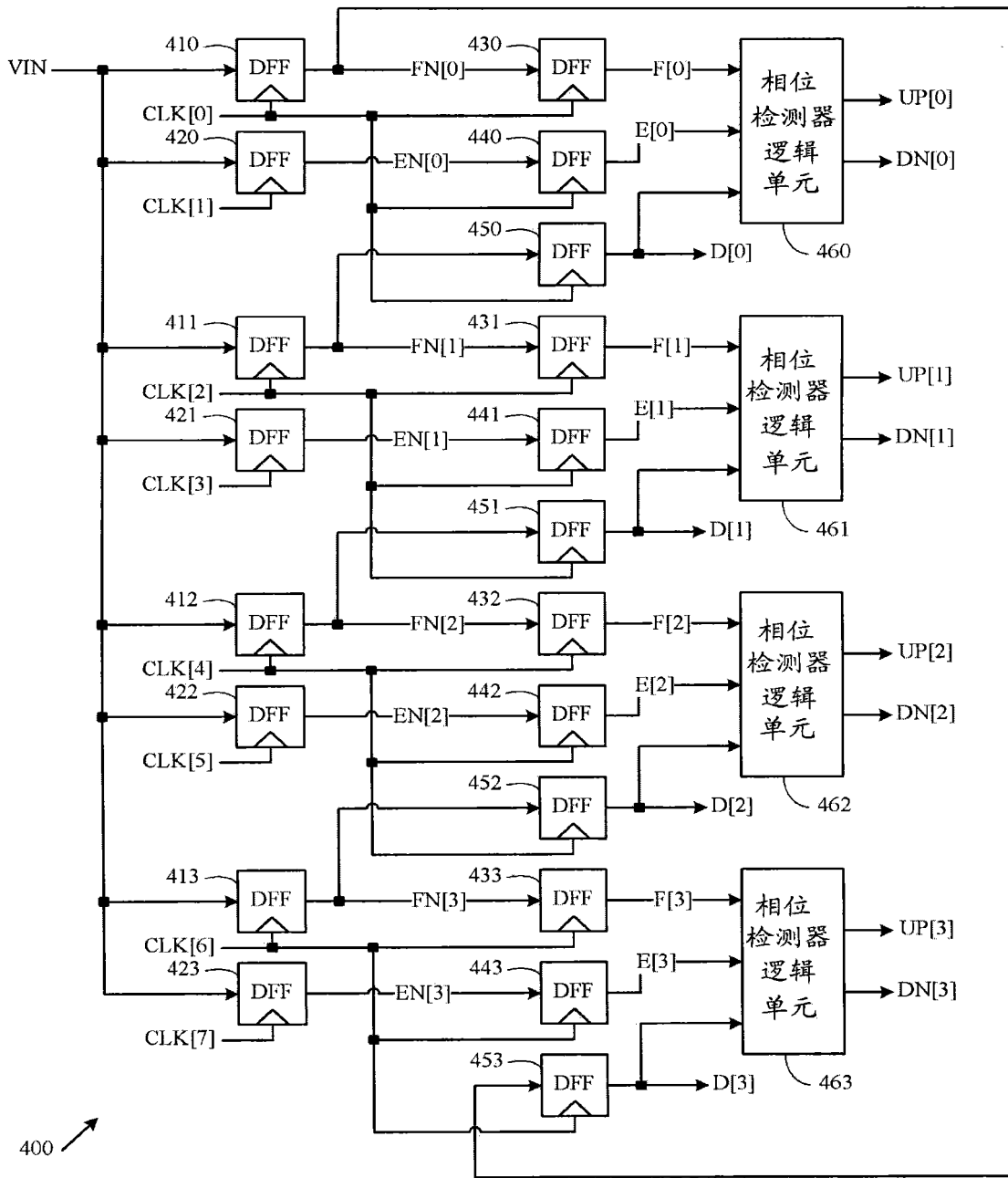


图 5

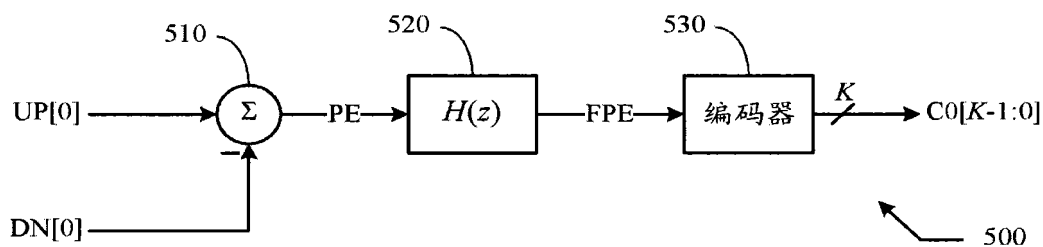


图 6

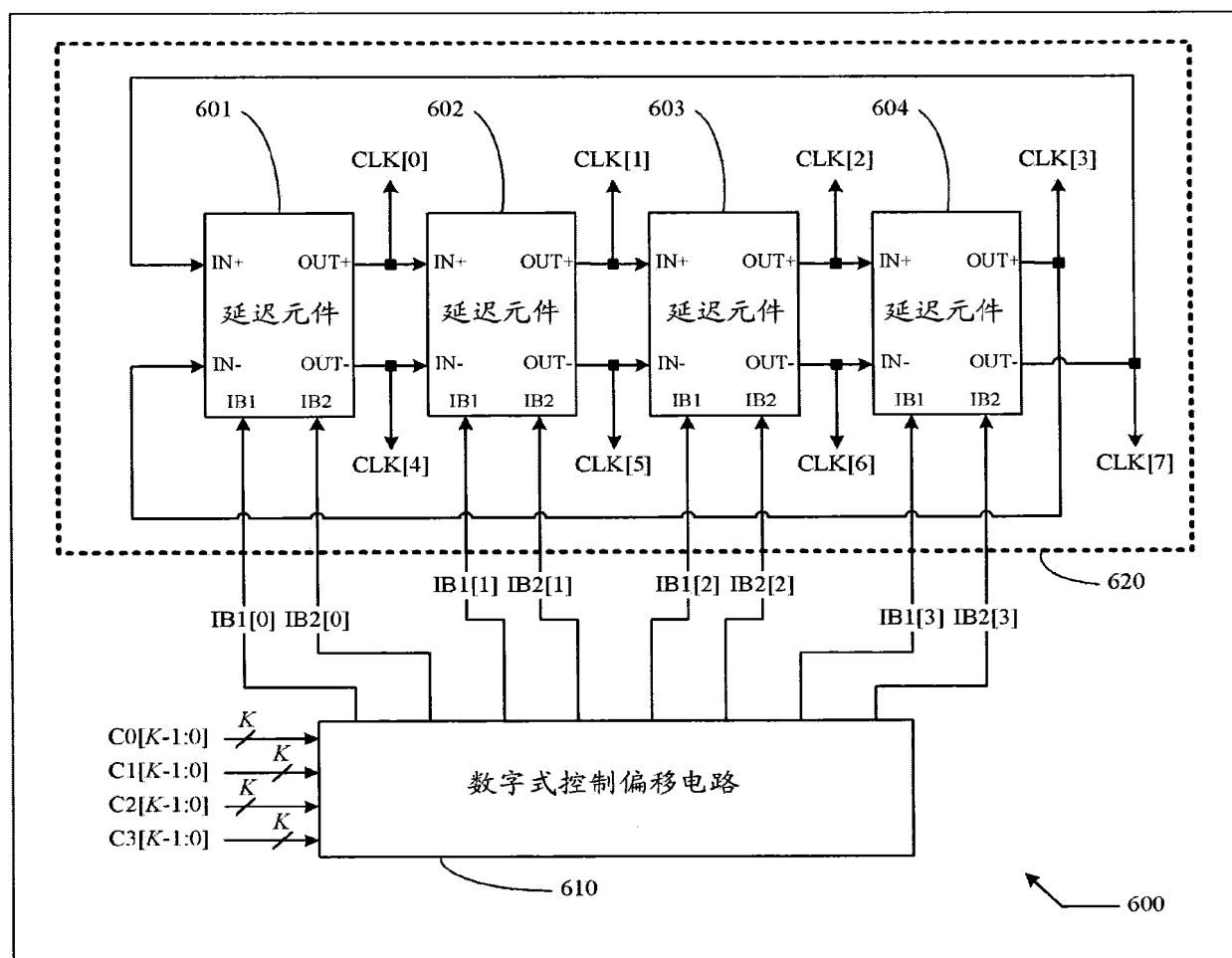


图 7

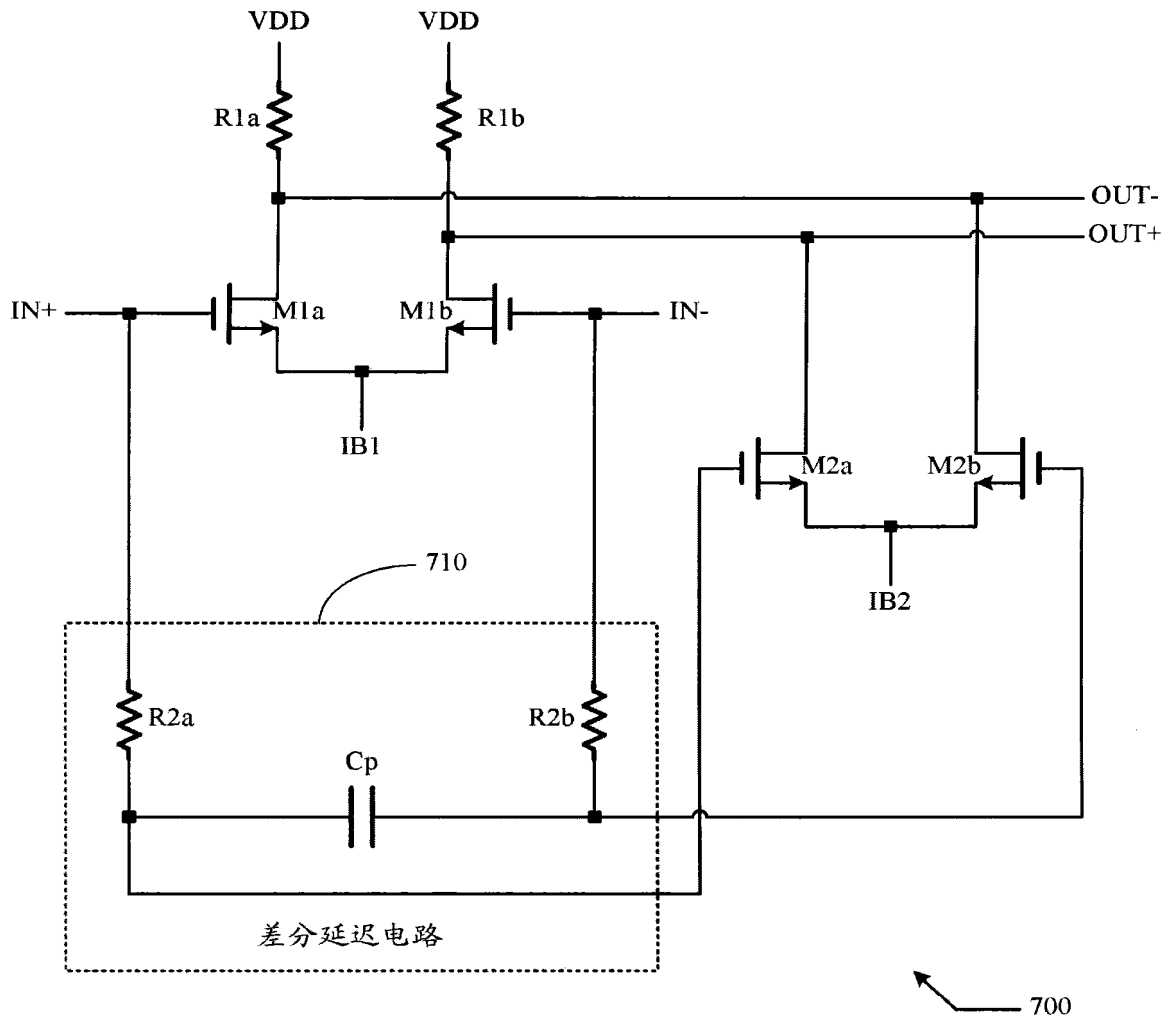


图 8

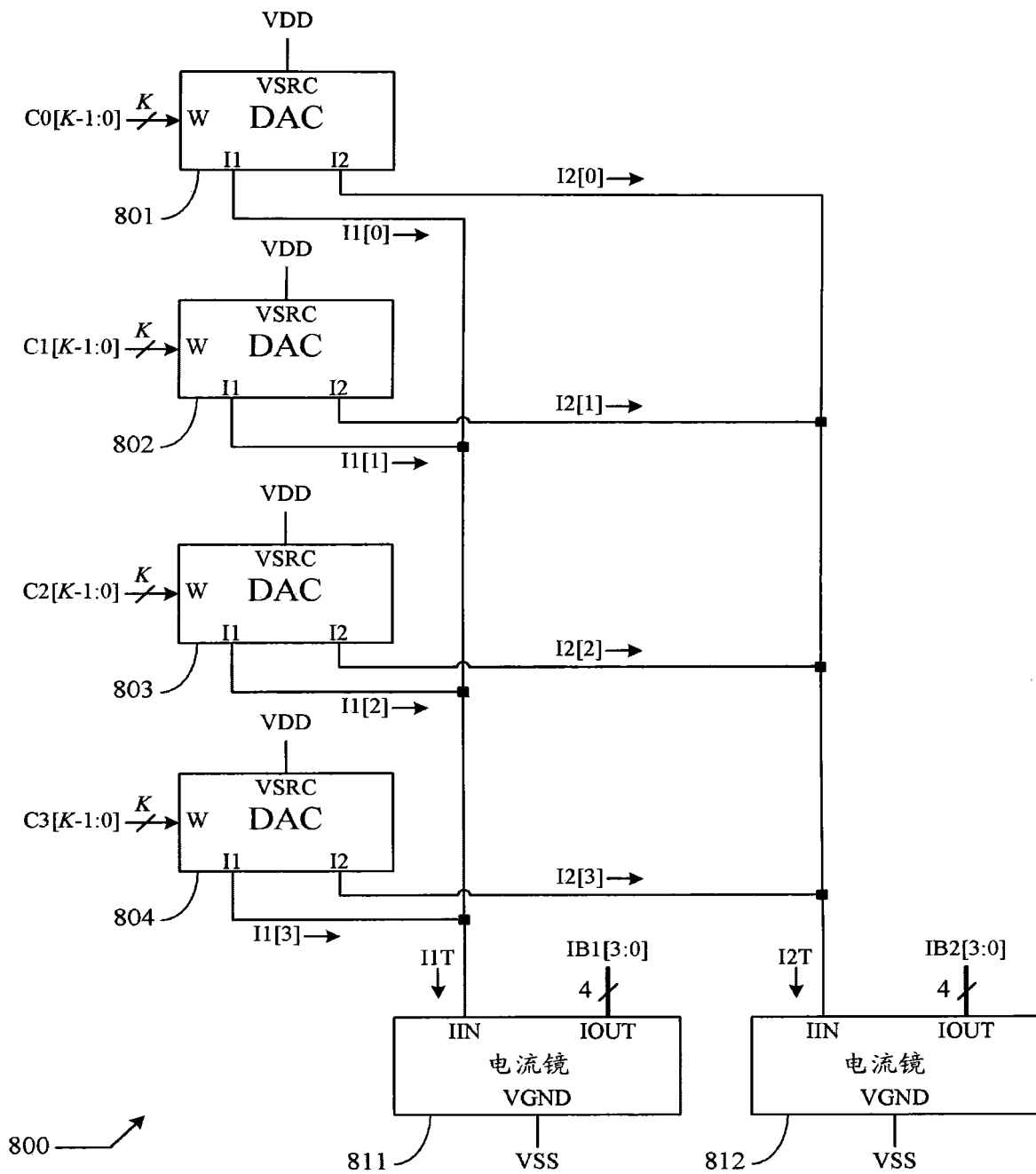


图 9

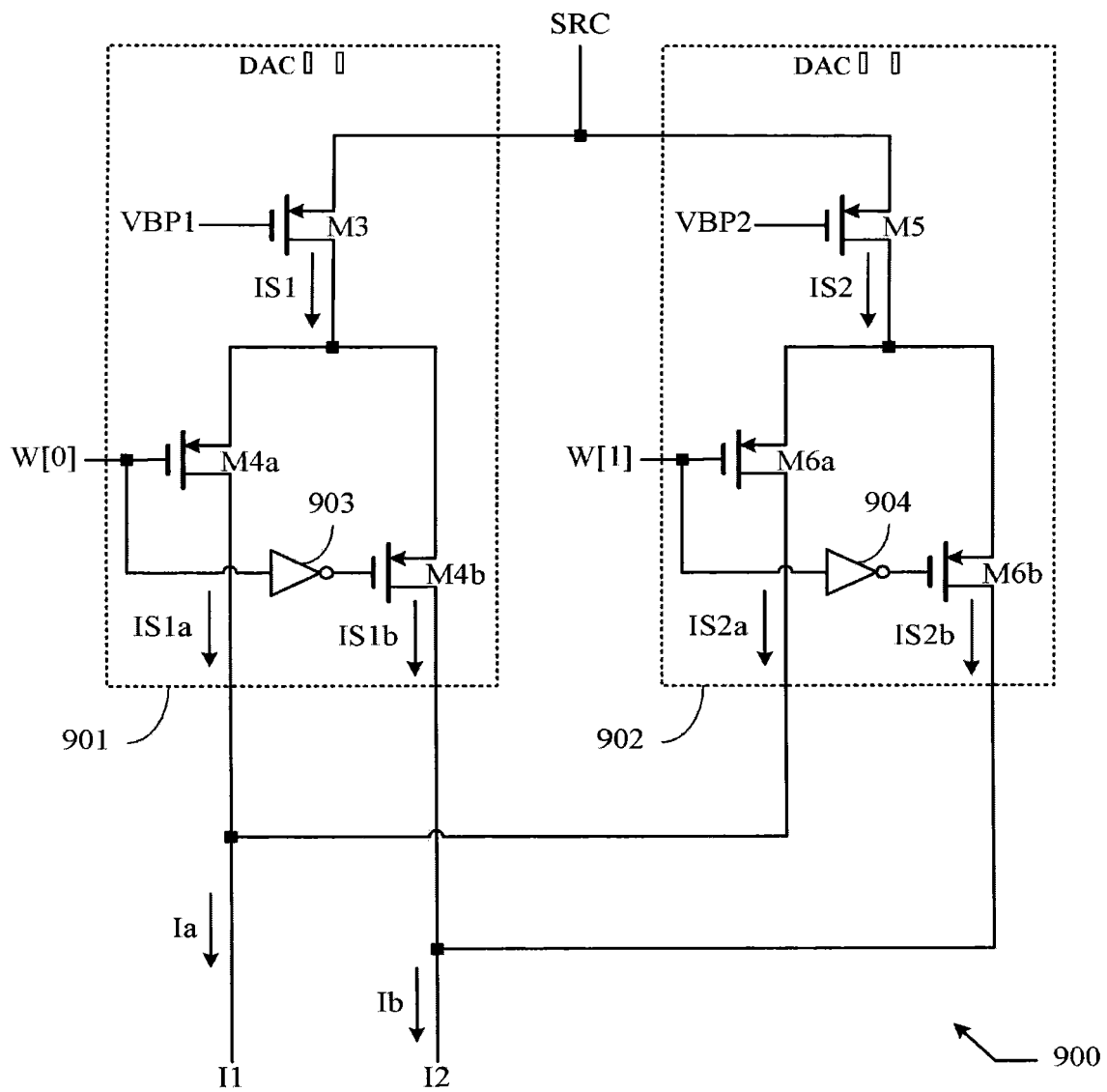


图 10

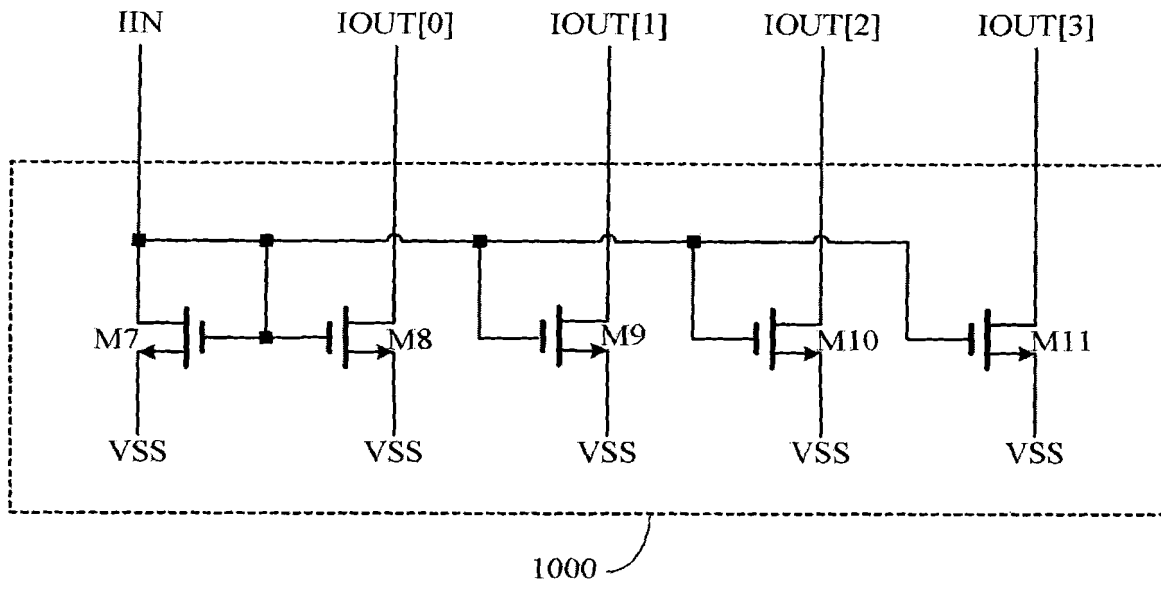


图 11