(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月4日(04.07.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/142884 A1

(51) 国際特許分類:
H05K 3/34 (2006.01) *H01L 23/12* (2006.01)

(21) 国際出願番号： PCT/JP2023/044243

(22) 国際出願日： 2023年12月11日(11.12.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-211093 2022年12月28日(28.12.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 新開 寛之 (**SHINKAI Hiroyuki**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

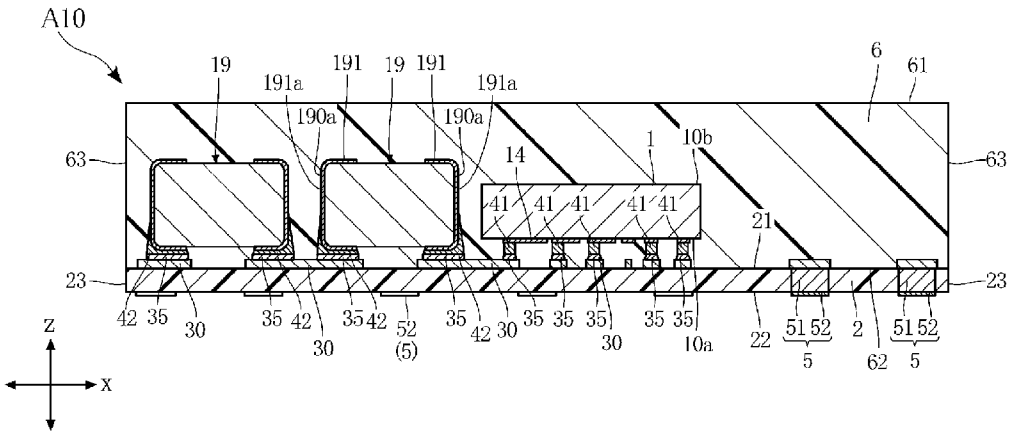
(74) 代理人: 臼井 尚, 外 (**USUI Takashi** et al.); 〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) **Title:** ELECTRONIC DEVICE AND METHOD FOR MANUFACTURING ELECTRONIC DEVICE

(54) 発明の名称： 電子装置および電子装置の製造方法

FIG.5



(57) **Abstract:** This electronic device comprises a support member, a wiring layer, a barrier metal, a bonding layer, and an electronic component. The support member has a main surface directed toward one side in the thickness-direction. The wiring layer is formed on the main surface. The barrier metal is formed on the wiring layer. The bonding layer is formed on the barrier metal. The electronic component is bonded to the wiring layer via the bonding layer and the barrier metal, and is electrically conductive with the wiring layer. The barrier metal and the wiring layer each contain mutually different metals. The barrier metal is smaller than the wiring layer when viewed in the thickness direction.

WO 2024/142884 A1

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 電子装置は、支持部材と、配線層と、バリアメタルと、接合層と、電子部品とを備える。前記支持部材は、厚さ方向の一方を向く主面を有する。前記配線層は、前記主面に形成されている。前記バリアメタルは、前記配線層上に形成されている。前記接合層は、前記バリアメタル上に形成されている。前記電子部品は、前記接合層および前記バリアメタルを介して前記配線層に接合されており、且つ前記配線層に導通する。前記バリアメタルと前記配線層とは、互いに異なる金属を含む。前記バリアメタルは、前記厚さ方向に見て前記配線層よりも小さい。

明　細　書

発明の名称 ： 電子装置および電子装置の製造方法

技術分野

[0001]　本開示は、電子装置および電子装置の製造方法に関する。

背景技術

[0002]　従来、複数の電子部品を備える電子装置が知られている。たとえば、特許文献１には、従来の電子装置の一例が開示されている。特許文献１に記載の電子装置（モジュール基板）は、配線基板および複数の電子部品を備える。複数の電子部品は、半導体素子（フリップチップＩＣ）および受動素子を含む。受動素子は、たとえば、抵抗素子、インダクタ素子およびコンデンサ素子である。半導体素子および受動素子は、配線基板に搭載されている。配線基板の表面には、配線層が配置されている。半導体素子および受動素子は、導電性接合材（特許文献１では半田層）を介して配線層に接合されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００９－１４７１１５号公報

発明の概要

発明が解決しようとする課題

[0004]　上記電子装置（モジュール基板）のように、電子部品が接合層（導電性接合材）を介して配線層に接合された構成では、接合層の不良により、電子部品と配線層との接合強度の低下、および、電子部品と配線層との電気伝導性の低下をもたらす。このような、接合強度の低下および電気伝導性の低下は、電子装置の信頼性を低下させる。

[0005]　本開示は、従来より改良が施された電子装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、信頼性の低下を抑制できる電子装置を提供することを一の課題とする。また、本開示は、信頼性の低下が抑制された電子装置の製造方法を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の第１の側面によって提供される電子装置は、厚さ方向の一方を向く主面を有する支持部材と、前記主面に形成された配線層と、前記配線層上に形成されたバリアメタルと、前記バリアメタル上に形成された接合層と、前記接合層および前記バリアメタルを介して前記配線層に接合され、且つ前記配線層に導通する電子部品と、を備える。前記バリアメタルと前記配線層とは、互いに異なる金属を含む。前記バリアメタルは、前記厚さ方向に見て前記配線層よりも小さい。

[0007] 本開示の第２の側面によって提供される電子装置の製造方法は、厚さ方向の一方を向く主面を有する支持部材を用意する工程と、前記主面に配線層を形成する配線層形成工程と、前記配線層上にバリア層を形成するバリア層形成工程と、前記バリア層上にめっき層を形成するめっき層形成工程と、前記めっき層上に接合層を形成する接合層形成工程と、前記接合層上に電子部品を搭載する搭載工程と、前記接合層をリフローにより溶融させて、当該溶融した接合層を冷却により固化させることで、前記電子部品を接合する接合工程と、を有する。前記めっき層は、組成に錫と銀とを含む。

発明の効果

[0008] 上記構成によれば、電子装置に関し、信頼性の低下を抑制することができる。また、上記構成によれば、信頼性の低下が抑制された電子装置を製造することができる。

図面の簡単な説明

[0009] [図1]図１は、第１実施形態にかかる電子装置を示す底面側から見た斜視図である。

[図2]図２は、第１実施形態にかかる電子装置を示す平面図であって、封止樹脂を想像線で示している。

[図3]図３は、図２の平面図において、封止樹脂を省略し、且つ、半導体素子および複数の電子部品を想像線で示した図である。

[図4]図４は、第１実施形態にかかる半導体装置を示す底面図である。

[図5]図５は、図２のＶ－Ｖ線に沿う断面図である。

[図6]図６は、図２のＶＩ－ＶＩ線に沿う断面図である。

[図7]図７は、図２のＶＩＩ－ＶＩＩ線に沿う断面図である。

[図8]図８は、図１に示す電子装置における電子部品の接合部分であって、図７の一部（電子部品の接合部分）を拡大した部分拡大断面図である。

[図9]図９は、図１に示す電子装置における電子部品の接合部分であって、他の実施例にかかる拡大断面図である。

[図10]図１０は、図１に示す電子装置を構成する半導体素子の底面図である。

[図11]図１１は、図１０のＸＩ－ＸＩ線に沿う拡大断面図である。

[図12]図１２は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図13]図１３は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図14]図１４は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図15]図１５は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図16]図１６は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図17]図１７は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図18]図１８は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図19]図１９は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図20]図２０は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図21]図２１は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図22]図２２は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図23]図２３は、第１実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図24]図２４は、第２実施形態にかかる電子装置を示す要部拡大断面図であって、図８の断面に対応する。

[図25]図２５は、第２実施形態にかかる電子装置の製造方法の一工程を示す要部拡大断面図である。

[図26]図２６は、第２実施形態にかかる電子装置の製造方法の一工程を示す要部拡大断面図である。

[図27]図２７は、第２実施形態にかかる電子装置の製造方法の一工程を示す要部拡大断面図である。

[図28]図２８は、第２実施形態にかかる電子装置の製造方法の一工程を示す要部拡大断面図である。

[図29]図２９は、第２実施形態にかかる電子装置の製造方法の一工程を示す要部拡大断面図である。

[図30]図３０は、第２実施形態にかかる電子装置の製造方法の一工程を示す要部拡大断面図である。

[図31]図３１は、他の実施形態にかかる電子装置を示す断面図である。

[図32]図３２は、図３１に示す電子装置の製造方法の一工程を示す断面図である。

[図33]図３３は、他の実施形態にかかる電子装置を示す平面図であって、封止樹脂および半導体素子を想像線で示している。

[図34]図３４は、他の実施形態にかかる電子装置を示す平面図であって、封止樹脂および半導体素子を想像線で示している。

発明を実施するための形態

[0010] 本開示の電子装置および電子装置の製造方法の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。

[0011] 本開示において、「ある物Ａがある物Ｂに形成されている」および「ある物Ａがある物Ｂ（の）上に形成されている」とは、特段の断りのない限り、「ある物Ａがある物Ｂに直接形成されていること」、および、「ある物Ａとある物Ｂとの間に他の物を介在させつつ、ある物Ａがある物Ｂに形成されていること」を含む。同様に、「ある物Ａがある物Ｂに配置されている」および「ある物Ａがある物Ｂ（の）上に配置されている」とは、特段の断りのない限り、「ある物Ａがある物Ｂに直接配置されていること」、および、「ある物Ａとある物Ｂとの間に他の物を介在させつつ、ある物Ａがある物Ｂに配置されていること」を含む。同様に、「ある物Ａがある物Ｂ（の）上に位置している」とは、特段の断りのない限り、「ある物Ａがある物Ｂに接して、ある物Ａがある物Ｂ（の）上に位置していること」、および、「ある物Ａとある物Ｂとの間に他の物が介在しつつ、ある物Ａがある物Ｂ（の）上に位置していること」を含む。また、「ある方向に見てある物Ａがある物Ｂに重なる」とは、特段の断りのない限り、「ある物Ａがある物Ｂのすべてに重なること」、および、「ある物Ａがある物Ｂの一部に重なること」を含む。また、「ある物Ａ（の材料）がある材料Ｃを含む」とは、「ある物Ａ（の材料）がある材料Ｃからなる場合」、および、「ある物Ａ（の材料）の主成分がある材料Ｃである場合」を含む。また、「ある面Ａがある方向Ｂ（の一方側または他方側）を向く」とは、特段の断りのない限り、面Ａの方向Ｂに対する角度が９０°である場合に限定されず、面Ａが方向Ｂに対して傾いている場合を含む。また、「ある面Ａがある面Ｂに直交する」とは、特段の断りのない限り、面Ａの面Ｂに対する角度が９０°である場合に限定されず、面Ａが面Ｂに対して傾いている場合を含む。

[0012] 図１～図１１は、第１実施形態にかかる電子装置Ａ１０を示している。電子装置Ａ１０は、半導体素子１、複数の電子部品１９、支持部材２、配線層

３０、バリアメタル３５、複数の接合層４１、複数の接合層４２、複数の端子５および封止樹脂６を備える。

[0013] 説明の便宜上、互いに直交する厚さ方向ｚ、第１方向ｘおよび第２方向ｙを参照する。一例として、厚さ方向ｚは、電子装置Ａ１０の厚さ方向に相当する。以下の説明では、「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向ｚにおける各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。また、「平面視」とは、厚さ方向ｚに見たときをいう。

[0014] 電子装置Ａ１０は、電子機器および電気自動車などの配線板に表面実装する装置である。電子装置Ａ１０は、リードレスパッケージ型であり、特に、ＱＦＮパッケージ（Quad Flat Non-leaded Package）型である。電子装置Ａ１０は、平面視において矩形状である。

[0015] 半導体素子１は、電子装置Ａ１０の機能中枢となる部品である。半導体素子１は、たとえばＬＳＩなどの集積回路である。この例と異なり、半導体素子１は、ＬＤＯ（Low Drop Out）などの電圧制御用素子、オペアンプなどの増幅用素子、トランジスタおよびダイオードなどのディスクリート素子であってもよい。半導体素子１は、平面視において矩形状である。半導体素子１は、支持部材２に支持される。半導体素子１は、平面視において、支持部材２に重なる。

[0016] 半導体素子１は、図５および図６に示すように、素子主面１０ａおよび素子裏面１０ｂを有する。素子主面１０ａおよび素子裏面１０ｂは、厚さ方向ｚにおいて、離間する。素子主面１０ａと素子裏面１０ｂとは、互いに反対側を向く。素子主面１０ａは、支持部材２に対向する。

[0017] 図１０および図１１に示すように、半導体素子１は、本体部１１、複数のパッド１２、絶縁膜１３および再配線１４を有する。複数のパッド１２の各々は、本体部１１に構成された回路（図示略）に導通する。素子主面１０ａは、本体部１１の下面（厚さ方向ｚ下方を向く面）に相当する。絶縁膜１３は、本体部１１の下面（素子主面１０ａ）に配置されている。複数のパッド

１２は、絶縁膜１３から露出している。絶縁膜１３は、ポリイミドまたはポリベンゾオキサゾールを含む。再配線１４は、絶縁膜１３の上に設けられている。再配線１４は、複数のパッド１２の少なくともいずれかに繋がっている。再配線１４は、銅（Ｃｕ）を含む。図１０および図１１に示すように、再配線１４は、複数の接合層４１の少なくともいずれかを介して、配線層３０に接合されている。これにより、複数のパッド１２の各々は、再配線１４および複数の接合層４１のいずれかを介して、配線層３０に導通する。

[0018] 複数の電子部品１９はそれぞれ、図２および図５～図７に示すように、支持部材２に支持される。複数の電子部品１９はそれぞれ、ＳＭＤ（Surface Mount Device：表面実装部品）である。複数の電子部品１９はそれぞれ、たとえば抵抗器、コンデンサ、またはダイオードなどのいずれかである。複数の電子部品１９は、半導体素子１とともに、電子装置Ａ１０の機能素子である。図５および図７に示すように、複数の電子部品１９はそれぞれ、一対の側面１９０ａを有する。一対の側面１９０ａは、厚さ方向ｚに直交する方向（直交方向）を向く。一対の側面１９０ａは、当該直交方向において互いに反対側を向く。図示された例では、複数の電子部品１９は、直交方向が第１方向ｘであるものと、直交方向が第２方向ｙであるものとを含む。複数の電子部品１９はそれぞれ、図５および図７に示すように、一対の端子１９１を含む。各電子部品１９において、一対の端子１９１は、先述の直交方向の両側にそれぞれ配置される。一対の端子１９１はそれぞれ、側方電極１９１ａを含む。一対の端子１９１の各側方電極１９１ａは、一対の側面１９０ａをそれぞれ個別に覆う。なお、電子部品１９の数は、図示された例に限定されない。

[0019] 支持部材２は、図２および図５～図７に示すように、半導体素子１および複数の電子部品１９を支持する。支持部材２は、たとえば樹脂材料を含む。当該樹脂材料は、たとえば封止樹脂６と同じであるが、封止樹脂６と異なっていてもよい。また、支持部材２には、先述の樹脂材料にシリカなどのフィラーが混入されていてもよい。支持部材２は、樹脂材料ではなく、単結晶の

真性半導体（たとえばケイ素（Ｓｉ））を含む構成でもよい。支持部材２は、図２～図４に示すように、平面視矩形状である。支持部材２の厚さ（厚さ方向ｚに沿う寸法）は、何ら限定されないが、たとえば３０μｍ以上２００μｍ以下である。支持部材２は、主面２１、裏面２２および複数の側面２３を有する。

[0020] 図５～図７に示すように、主面２１および裏面２２は、厚さ方向ｚにおいて離間する。主面２１と裏面２２は、互いに反対側を向く。主面２１は、支持部材２の上面であり、裏面２２は、支持部材２の下面である。主面２１は、半導体素子１（素子主面１０ａ）に対向する。裏面２２は、電子装置Ａ１０を配線板に実装した際、当該配線板に対向する。本実施形態では、主面２１は、封止樹脂６に覆われ、裏面２２は、封止樹脂６から露出する。

[0021] 図２～図１０に示すように、複数の側面２３はそれぞれ、主面２１と裏面２２との間に挟まれている。各側面２３の厚さ方向ｚの上端は、主面２１に繋がり、各側面２３の厚さ方向ｚの下端は、裏面２２に繋がる。各側面２３は、平坦であり、かつ、主面２１および裏面２２のそれぞれに直交する。

[0022] 配線層３０は、電子装置Ａ１０の内部に配置される導電体である。配線層３０は、たとえばＣｕを含む。配線層３０は、たとえばシード層（たとえばチタン（Ｔｉ）を含む）と金属層（たとえばＣｕを含む）との積層体であるが、導電体からなる単層であってもよい。配線層３０は、図３に示すように、互いに分離した複数のパターン配線部を含む。複数のパターン配線部は、半導体素子１に導通するもの、複数の電子部品１９のいずれかに導通するもの、および、半導体素子１および複数の電子部品１９のいずれにも導通しないものを含む。本実施形態では、配線層３０は、主面２１に形成され、主面２１に接する。配線層３０の厚さ（厚さ方向ｚに沿う寸法）は、３μｍ以上１００μｍ以下である。

[0023] 配線層３０は、図８または図９に示すように、介在部３２１および延出部３２２を含む。介在部３２１は、配線層３０のうち、厚さ方向ｚにおいて、支持部材２と電子部品１９との間に介在する部位である。延出部３２２は、

介在部３２１に繋がる。延出部３２２は、配線層３０のうち、平面視において電子部品１９の外方に配置された部位である。

[0024] 複数のバリアメタル３５はそれぞれ、配線層３０上に形成されている。各バリアメタル３５は、配線層３０と異なる金属を含む。各バリアメタル３５は、当該金属としてニッケル（Ｎｉ）を含む。複数のバリアメタル３５はそれぞれ、平面視において、配線層３０よりも小さい。このため、図８または図９に示すように、各バリアメタル３５と配線層３０とで、段差が生じる。本実施形態では、平面視において、配線層３０は、バリアメタル３５よりもバリアメタル３５の外方に突き出る。図５および図６に示すように、複数のバリアメタル３５は、接合層４１と配線層３０との間に介在するものと、接合層４２と配線層３０との間に介在するものとを含む。なお、複数のバリアメタル３５は、接合層４１と配線層３０との間に介在するものを含んでいなくてもよい。たとえば、各バリアメタル３５の厚さは、１μｍ以上１０μｍ以下である。

[0025] 複数の接合層４１はそれぞれ、配線層３０と、半導体素子１の複数の再配線１４のいずれかとを接合する。複数の接合層４１を介して、半導体素子１は配線層３０に導通する。複数の接合層４１はそれぞれ、導電性の接合材である。複数の接合層４１は、たとえばはんだである。当該はんだは、錫（Ｓｎ）を組成に含む合金（たとえばＳｎ－銀（Ａｇ）合金）を含み、且つフラックスを含有する。なお、複数の接合層４１の各組成は、この例に限定されない。各接合層４１の厚さ（厚さ方向ｚに沿う寸法）は、何ら限定されないが、たとえば１５μｍ以上１００μｍ以下である。

[0026] 複数の接合層４２は、配線層３０と、複数の電子部品１９の複数の端子１９１のうちの対応する１つとを接合する。複数の接合層４２はそれぞれ、複数のバリアメタル３５のうちの対応する１つの上に形成される。各接合層４２は、たとえば図８に示すように、配線層３０に接していなくてもよいし、たとえば図９に示すように、配線層３０に接していてもよいし、配線層３０に接する部分と配線層３０に接しない部分とが混在していてもよい。図８に

示す例では、接合層４２の全体が、対応するバリアメタル３５上に配置されており、図９に示す例では、接合層４２は、対応するバリアメタル３５の全体を覆っている。複数の接合層４２はそれぞれ、導電性の接合材である。複数の接合層４２はそれぞれ、バリアメタル３５上に積層された合金層を含む。当該合金層は、組成にＳｎを含み、たとえばＳｎ－Ａｇ合金である。なお、複数の接合層４２の各組成は、この例に限定されない。各接合層４２は、たとえばはんだである。各接合層４２は、フラックスを含有していてもよいし含有していなくてもよい。各接合層４２の厚さ（厚さ方向ｚに沿う寸法）は、何ら限定されないが、たとえば１μｍ以上２０μｍ以下である。

[0027] 複数の接合層４２はそれぞれ、図８または図９に示すように、フィレット部４２１を含む。フィレット部４２１は、側方電極１９１ａに接する。図８または図９に示す例では、フィレット部４２１の側面は、凸に湾曲しているが、凹に湾曲していてもよいし、湾曲していなくてもよい。

[0028] 複数の端子５はそれぞれ、配線層３０に導通しており、かつ、電子装置Ａ１０の外部に露出した導電体である。複数の端子５はそれぞれ、電子装置Ａ１０を配線板に実装する際の端子となる。図５～図７に示すように、複数の端子５はそれぞれ、支持部材２を厚さ方向ｚに貫通する。複数の端子５には、配線層３０を介して半導体素子１に導通するもの、配線層３０を介して複数の電子部品１９のいずれかと半導体素子１とに導通するもの、配線層３０を介して複数の電子部品１９のいずれかに導通するもの、および、半導体素子１と複数の電子部品１９とのいずれにも導通しないものとがある。図示された例では、複数の端子５はいずれも、平面視において半導体素子１の外方に配置されており、平面視において半導体素子１および複数の電子部品１９のいずれにも重ならない。この例と異なり、複数の端子５のいくつかは、平面視において、半導体素子１および複数の電子部品１９のいずれかに重なっていてもよい。

[0029] 複数の端子５はそれぞれ、図５～図７に示すように、柱状部５１および外部電極部５２を含む。次で説明する柱状部５１および外部電極部５２はそれ

ぞれ、特段の断りがない限り、各端子５で共通する。

[0030] 図５～図７に示すように、柱状部５１は、支持部材２を厚さ方向ｚに貫通する。柱状部５１は、たとえば金属材料を含む。当該金属材料は、何ら限定されないが、たとえばＣｕである。柱状部５１の平面視形状は、何ら限定されないが、図示された例では矩形あるいは多角形である。柱状部５１の上面（厚さ方向ｚ上方を向く面）は、たとえば支持部材２の主面２１と面一である。この柱状部５１の上面は、配線層３０に接する。なお、複数の端子５には、柱状部５１の上面が配線層３０に接しないものがあってもよい。このような端子５は、ダミー端子となる。柱状部５１の下面（厚さ方向ｚ下方を向く面）は、支持部材２から露出する。この柱状部５１の下面は、たとえば支持部材２の裏面２２と面一である。本実施形態では、すべての端子５において、柱状部５１の側面（第１方向ｘまたは第２方向ｙを向く面）は、支持部材２に覆われているが、この例と異なり、複数の端子５には、柱状部５１の側面が露出したものがあってもよい。

[0031] 図５～図７に示すように、外部電極部５２は、柱状部５１のうち、支持部材２の裏面２２から露出する部位に接する。外部電極部５２は、裏面２２から突き出る。外部電極部５２は、無電解めっきにより形成される。外部電極部５２は、たとえば、柱状部５１に接する側からＮｉ層、パラジウム（Ｐｄ）層、金（Ａｕ）層の順に積層された複数の金属層から構成される。外部電極部５２は、その他の構成として、柱状部５１に接する側から、Ｎｉ層、Ａｕ層の順に積層された複数の金属層、あるいは、Ｃｕ層、Ａｇ層、Ｓｎ層の順に積層された複数の金属層とすることができる。外部電極部５２の材料および形成方法は、これらの例に限定されない。

[0032] 封止樹脂６は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。封止樹脂６は、当該エポキシ樹脂にシリカなどのフィラーが混入されていてもよい。封止樹脂６は、図２および図４～図７に示すように、半導体素子１、複数の電子部品１９および配線層３０などを覆う。また、封止樹脂６は、図２および図５～図７に示すように、支持部材２の一部と、複数の接合層

４１と、複数の接合層４２とを覆う。封止樹脂６は、主面２１に形成される。封止樹脂６は、平面視において矩形状である。封止樹脂６は、図１～図７に示すように、樹脂主面６１、樹脂裏面６２および複数の樹脂側面６３を有する。

[0033] 図５～図７に示すように、樹脂主面６１および樹脂裏面６２は、厚さ方向ｚにおいて離間する。樹脂主面６１と樹脂裏面６２とは、厚さ方向ｚにおいて互いに反対側を向く。樹脂主面６１は、厚さ方向ｚにおいて、主面２１と同じ方向を向き、樹脂裏面６２は、厚さ方向ｚにおいて裏面２２と同じ方向を向く。樹脂裏面６２は、主面２１に接する。樹脂裏面６２には、配線層３０の形状に応じて凹凸がある。図５～図７に示すように、複数の樹脂側面６３の各々は、厚さ方向ｚにおいて樹脂主面６１と樹脂裏面６２とに挟まれており、これらに繋がる。複数の樹脂側面６３は、複数の側面２３のうちの対応する１つと面一である。

[0034] 次に、電子装置Ａ１０の製造方法の一例について、図１２～図２３を参照して説明する。図１２～図２３は、電子装置Ａ１０の製造方法における一工程を示す断面図である。これらの断面図は、図７に示す断面に対応する。なお、図２２および図２３に示す断面図は、図１２～図２１に示す断面図に対して、厚さ方向ｚが反対向きである。

[0035] まず、図１２に示すように、支持基板８０を準備し、当該支持基板８０上に複数の柱状導体８５１を形成する。支持基板８０は、たとえば単結晶の真性半導体材料を含む。当該半導体材料は、たとえばＳｉである。支持基板８０を準備する工程では、たとえば支持基板８０として、シリコンウエハを準備する。支持基板８０は、厚さ方向ｚにおいて互いに反対側を向く基板主面８０ａおよび基板裏面８０ｂを有する。複数の柱状導体８５１は、たとえば次の工程により形成される。まず、基板主面８０ａにシード層を形成する。当該シード層の形成は、たとえばスパッタリング法による。そして、シード層上にレジストをパターニングし、電解めっきにより複数の柱状導体８５１を形成する。その後、レジスト層および不要なシード層を除去する。これら

の工程を経て、支持基板８０の基板主面８０ａに、複数の柱状導体８５１を形成する。柱状導体８５１は、後に端子５の柱状部５１となる部位である。

[0036] 次いで、図１３に示すように、支持基板８０の基板主面８０ａに、柱状導体８５１を覆う第１樹脂層８２を形成する。第１樹脂層８２の形成は、たとえばモールド成形による。第１樹脂層８２は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。第１樹脂層８２としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってもよい。第１樹脂層８２は、厚さ方向ｚにおいて互いに反対側を向く主面８２１および底面８２２を有する。主面８２１は、基板主面８０ａと同じ方向を向き、底面８２２は、基板主面８０ａに対向する。第１樹脂層８２は、後に支持部材２となる部材である。

[0037] 次いで、図１４に示すように、第１樹脂層８２を研削する。当該第１樹脂層８２の研削は、主面８２１側から、主面８２１から柱状導体８５１が露出するまで行う。当該研削の方法は特に限定されない。また、研削ではない方法により、第１樹脂層８２を低背化してもよい。これにより、柱状導体８５１から柱状部５１が形成される。以上の工程を経て形成される第１樹脂層８２が、「支持部材」の一例である。よって、本実施形態において、支持基板８０を準備してから第１樹脂層８２を研削するまでの工程が、「支持部材を用意する工程」の一例である。

[0038] 次いで、図１５に示すように、配線層３０を形成する。配線層３０は、たとえば次の工程により形成される。まず、主面８２１、各柱状部５１の上に、シード層を形成する。当該シード層の形成は、たとえばスパッタリング法による。たとえばシード層として、Ｔｉ層およびＣｕ層が順に積層される。そして、シード層上にレジストをパターニングし、電解めっきにより金属層を形成する。たとえば、金属層は、Ｃｕを含む。その後、レジストおよび不要なシード層（金属層から露出するシード層）を除去する。これらの工程を経て、配線層３０を形成する。

[0039] 次いで、図１６に示すように、複数のバリア層３５０および複数のめっき層３５１を順に形成する。各バリア層３５０は、配線層３０とは異なる金属

を含み、たとえば、Ｎｉを含む。各めっき層３５１は、ＳｎおよびＡｇ（Ｓｎ－Ａｇ合金）を含む。各バリア層３５０および各めっき層３５１の形成は、何ら限定されないが、たとえば電解めっきによる。当該電解めっきにおいて、導電経路となるシード層は、新たに形成してもよいし、配線層３０を形成する工程で形成したシード層を除去せずに当該シード層を用いてもよい。本実施形態では、複数のバリア層３５０および複数のめっき層３５１は、半導体素子１を接合する領域および複数の電子部品１９を接合する領域にそれぞれ形成される。形成される各バリア層３５０は、平面視において、配線層３０よりも小さい。

[0040] 次いで、図１７に示すように、複数の接合層４２０を形成する。複数の接合層４２０を形成する工程では、たとえば、各接合層４２０としてのはんだペーストを、スクリーン印刷によって、対応するめっき層３５１上に形成する。対応するめっき層３５１とは、複数のめっき層３５１のうち、後に複数の電子部品１９が接合されるものである。

[0041] 次いで、図１８および図１９に示すように、複数の電子部品１９を搭載し、その後、複数の電子部品１９を接合する。図１８に示すように、複数の電子部品１９を搭載する工程では、電子部品１９の端子１９１と、接合層４２０とを、対応させて載置する。次いで、各電子部品１９を載置した状態で、リフローを行う。このリフローによる熱によって各接合層４２０が溶融する。このとき、めっき層３５１もリフローによる熱で溶融し、めっき層３５１と各接合層４２０とが混ざり合う。次いで、溶融した接合層４２０およびめっき層３５１を冷却する。これにより、各接合層４２０および各めっき層３５１が固化し、各電子部品１９が接合される。このとき、接合層４２０とめっき層３５１とが一体化して、接合層４２となる。このため、各接合層４２は、図１９に示すように、対応するバリア層３５０に接することになり、当該バリア層３５０がバリアメタル３５となる。形成される各接合層４２には、図１９に示すように、フィレット部４２１が形成される。

[0042] 次いで、図１９および図２０に示すように、半導体素子１を搭載し、その

後、半導体素子１を接合する。図１９に示すように、半導体素子１を搭載する工程では、半導体素子１に形成された各接合層４１０と、めっき層３５１とを対応させて載置する。なお、本実施形態では、各接合層４１０を、半導体素子１の再配線１４に形成させた例を示すが、対応するめっき層３５１上に形成してもよい。この場合の対応するめっき層３５１とは、複数のめっき層３５１のうち、後に半導体素子１が接合されるものである。また、半導体素子１に形成された各接合層４１０には、フラックスが付加されている。次いで、半導体素子１を載置した状態で、リフローを行う。このリフローによる熱によって各接合層４１０が溶融する。このとき、めっき層３５１もリフローによる熱で溶融し、めっき層３５１と各接合層４１０とが混ざり合う。次いで、溶融した接合層４１０およびめっき層３５１を冷却する。これにより、各接合層４１０およびめっき層３５１が固化して、半導体素子１が接合される。このとき、接合層４１０とめっき層３５１とが一体化して、接合層４１となる。このため、各接合層４１は、図２０に示すように、対応するバリア層３５０に接することになり、当該バリア層３５０がバリアメタル３５となる。

[0043] 次いで、図２１に示すように、第２樹脂層８６を形成する。第２樹脂層８６は、支持部材２の上方に、半導体素子１、複数の電子部品１９および配線層３０を覆うように、形成される。第２樹脂層８６の形成は、たとえばモールド成形による。第２樹脂層８６は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。第２樹脂層８６としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってもよい。第２樹脂層８６は、後に封止樹脂６となる部材である。第２樹脂層８６は、厚さ方向ｚの一方を向く頂面８６１を有する。頂面８６１は、封止樹脂６における樹脂主面６１に相当する。

[0044] 次いで、図２２に示すように、支持基板８０を除去する。当該支持基板８０の除去では、たとえば、図２１に示す状態において、基板裏面８０ｂ側から支持基板８０を研削する。当該研削では、支持基板８０を、基板裏面８０ｂ側から行う。図示された例では、当該研削を、支持基板８０の除去後も継

続して行うことで、支持部材２および柱状部５１を低背化する。この低背化は、行わなくてもよい。

[0045] 次いで、図２３に示すように、外部電極部５２を形成する。外部電極部５２は、裏面２２から露出する柱状部５１の頂面に形成される。外部電極部５２の形成は、たとえば無電解めっきによる。当該無電解めっきでは、柱状部５１に接する側から、Ｎｉ層、Ｐｄ層、Ａｕ層の順に積層させる。これにより、各々が柱状部５１および外部電極部５２を含む複数の端子５が形成される。

[0046] その後、図２３に示す切断線ＣＬで、第２樹脂層８６を切断することで、個片化する。第２樹脂層８６の切断は、たとえばダイシングブレードを用いた切削加工により行われる。第２樹脂層８６が切断線ＣＬで分割されることで、電子装置Ａ１０における封止樹脂６が形成される。

[0047] 以上の工程を経て、図１～図１１に示す電子装置Ａ１０が製造される。なお、電子装置Ａ１０の製造方法は、上記した例に限定されない。たとえば、支持部材２が単結晶の真性半導体（たとえばＳｉ）を含む場合、次のように製造される。それは、上記支持基板８０（シリコンウエハ）に、エッチング等により溝を形成する。次いで、当該溝に複数の柱状導体８５１を形成する。次いで、第１樹脂層８２を形成することなく、配線層３０を形成する。また、第２樹脂層８６の形成後において、支持基板８０を除去するのではなく、先述の溝に形成された複数の柱状導体８５１が露出するまで、研削する。この構成では、支持基板８０が、「支持部材」の一例である。このような工程に変更することで、支持部材２が半導体材料からなる電子装置Ａ１０が製造される。

[0048] 電子装置Ａ１０および電子装置Ａ１０の製造方法の作用および効果は、次の通りである。

[0049] 電子装置Ａ１０は、バリアメタル３５と接合層４２と電子部品１９とを備える。バリアメタル３５は、配線層３０上に形成され、接合層４２は、バリアメタル３５上に形成されている。電子部品１９は、接合層４２およびバリ

アメタル３５を介して配線層３０に接合されている。そして、バリアメタル３５は、厚さ方向ｚに見て配線層３０よりも小さい。この構成によれば、配線層３０とバリアメタル３５とで段差が生じる。この段差によって、接合層４２が配線層３０に沿って濡れ広がることを抑制できる。電子装置Ａ１０の信頼性を低下させる接合層４２の不良としては、たとえば接合層４２の厚さ不足（厚さ方向ｚの寸法が小さいこと）がある。電子装置Ａ１０において、接合層４２の厚さ不足が生じると、電子部品１９の接合強度が低下する。先述のように、接合層４２が配線層３０に沿って濡れ広がると、接合層４２の厚さを不足させる虞がある。しかしながら、電子装置Ａ１０では、先述のように、接合層４２が配線層３０に沿って濡れ広がることを抑制できるので、接合層４２の厚さ不足を抑制できる。つまり、電子装置Ａ１０は、電子部品１９の接合強度の低下を抑制できるので、信頼性の低下を抑制できる。

[0050] また、電子装置Ａ１０では、配線層３０と接合層４２との間にバリアメタル３５が介在する。この構成によれば、接合層４２が配線層３０に接する面積を抑制できる。たとえば接合層４２がはんだであり、配線層３０がＣｕを含む場合、接合層４２と配線層３０とが直接接する領域で、配線層３０が接合層４２に浸透することがある。この浸透は、配線層３０の導通不良を発生させる虞がある。しかしながら、電子装置Ａ１０では、バリアメタル３５によって接合層４２と配線層３０との接触面積を抑制できるので、配線層３０の導通不良を抑制できる。つまり、電子装置Ａ１０は、信頼性の低下を抑制できる。

[0051] 電子装置Ａ１０の製造方法では、配線層３０上にバリア層３５０を形成する工程（バリア層形成工程）と、バリア層３５０上にめっき層３５１を形成する工程（めっき層形成工程）と、めっき層３５１上に接合層４２０を形成する工程（接合層形成工程）と、接合層４２０上に電子部品１９を搭載する工程（搭載工程）と、接合層４２０をリフローによる溶融させて、当該溶融した接合層４２０を冷却により固化させることで、電子部品１９を接合する工程（接合工程）と、を有する。電子装置Ａ１０の信頼性を低下させる要因

としては、接合層４２の不良があり、この不良としては、たとえば接合層４２内へのボイド（空隙）の発生がある。本願発明者の研究によれば、接合層４２内のボイドの発生に対して、次のことが分かった。つまり、電子装置Ａ１０の製造方法において、上記バリア層形成工程と上記めっき層形成工程とを行うことで、これらの工程を行わない場合（つまり、配線層３０に直接接合層４２０を形成する場合）よりも、上記接合工程後の接合層４２にボイドが発生することを抑制できることが分かった。したがって、電子装置Ａ１０の製造方法は、接合層４２にボイドが発生することを抑制して、接合層４２の不良を抑制できる。つまり、本実施形態の製造方法によれば、接合層４２の不良発生が抑制され、信頼性の低下が抑制された電子装置Ａ１０を製造できる。

[0052] また、上記製造方法では、上記接合工程において、接合層４２０とめっき層３５１とが一体化される。このため、製造される電子装置Ａ１０は、各電子部品１９が接合層４２（接合層４２０およびめっき層３５１）およびバリアメタル３５（バリア層３５０）を介して配線層３０に接合された構成となる。したがって、電子装置Ａ１０では、接合層４２内のボイドの発生が抑制され、接合層４２の不良が抑制される。つまり、本開示の電子装置Ａ１０は、接合層４２の不良発生を抑制して、信頼性の低下を抑制できる。

[0053] 電子装置Ａ１０の製造方法では、各接合層４２０は、スクリーン印刷により形成される。この構成によれば、接合層４２０から形成される接合層４２の厚さを十分に確保することができる。したがって、本開示の電子装置Ａ１０は、接合層４２の厚さを適度に確保できるので、接合層４２の厚さ不足を回避できる。つまり、電子装置Ａ１０は、電子部品１９の接合強度の低下を抑制できるので、信頼性の低下を抑制できる。

[0054] 電子装置Ａ１０は、電子部品１９を覆う封止樹脂６を備える。このように、封止樹脂６によって電子部品１９を封止する場合、仮に、接合層４２にボイドが発生していると、封止樹脂６を形成する工程において、ボイドに封止樹脂６が流入する。この場合、ボイドに形成された封止樹脂６によって、電

子部品１９の接合強度を低下させ、また、電子部品１９と配線層３０との電気伝導性を低下させる。したがって、封止樹脂６を備える電子装置Ａ１０において、接合層４２のボイドの発生を抑制することは、信頼性の低下を抑制する上で特に好ましい。

[0055] 電子装置Ａ１０では、電子部品１９は、側面１９０ａおよび側方電極１９１ａを有する。また、接合層４２は、側方電極１９１ａに接するフィレット部４２１を含む。この構成によれば、接合層４２による電子部品１９の接合強度を高めることができる。つまり、電子装置Ａ１０は、信頼性の低下を抑制できる。

[0056] 電子装置Ａ１０では、支持部材２は、樹脂材料を含み、当該樹脂材料は、封止樹脂６と同じである。この構成によれば、支持部材２の線膨張係数と封止樹脂６の線膨張係数との差を小さくできるので、電子装置Ａ１０で発生する熱応力を抑制できる。

[0057] 以下に、本開示の電子装置の他の実施形態および変形例について、説明する。各実施形態および各変形例における各部の構成は、技術的な矛盾が生じない範囲において相互に組み合わせ可能である。

[0058] 図２４は、第２実施形態にかかる電子装置Ａ２０を示している。図２４に示す断面は、電子装置Ａ１０における図８の断面に対応する。電子装置Ａ２０は、電子装置Ａ１０と比較して、次の点で異なる。それは、配線層３０に厚さ方向ｚに突き出た部位が形成されている点である。

[0059] 電子装置Ａ２０において、配線層３０は、本体部３１１および台座部３１２を含む。本体部３１１は、電子装置Ａ１０の配線層３０に相当するものである。台座部３１２は、本体部３１１から厚さ方向ｚの一方（上方）に突き出る。台座部３１２の平面視形状は何ら限定されないが、たとえば矩形である。図２４から理解されるように、台座部３１２は、平面視において、バリアメタル３５よりも小さい。

[0060] 図２５～図３０はそれぞれ、電子装置Ａ２０の製造方法の一工程を示している。図２５～図３０に示す複数の工程は、電子装置Ａ１０の方法における

、配線層３０を形成する工程（図１５参照）と、バリア層３５０およびめっき層３５１を形成する工程（図１６参照）とに対応する。これら以外の工程は、上記電子装置Ａ１０と同じである。

[0061] 電子装置Ａ２０の製造方法では、支持基板８０上に複数の柱状部５１と第１樹脂層８２とを、電子装置Ａ１０の製造方法と同様に形成した後、図２５に示すように、第１樹脂層８２の主面８２１の全体に、シード層３０１を形成する。シード層３０１は、たとえばＴｉ層およびＣｕ層が順に積層された構造である。シード層３０１の形成は、たとえばスパッタリング法による。

[0062] 次いで、図２６および図２７に示すように、金属層３０２を形成する。金属層３０２の形成では、まず、図２６に示すように、金属層３０２を形成するためのレジスト８９１をフォトリソグラフィによりパターニングする。そして、シード層３０１を導電経路とした電解めっきにより金属層３０２を形成する。続いて、図２７に示すように、レジスト８９１を除去する。なお、レジスト８９１の除去方法は、何ら限定されない。これにより、金属層３０２が形成される。金属層３０２が形成された段階では、図２７に示すように、シード層３０１は、除去されずに形成されたままである。なお、シード層３０１の形成および金属層３０２の形成は、電子装置Ａ１０の製造方法における、配線層３０を形成する工程に相当する。

[0063] 次いで、図２８および図２９に示すように、金属層３０２上に、台座部３１２、バリア層３５０およびめっき層３５１を順に積層させる。具体的には、まず、図２８に示すように、台座部３１２、バリア層３５０およびめっき層３５１を形成するためのレジスト８９２をフォトリソグラフィによりパターニングする。そして、シード層３０１を導電経路とした電解めっきにより、台座部３１２、バリア層３５０およびめっき層３５１を順に形成する。台座部３１２は、Ｃｕを含み、バリア層３５０は、Ｎｉを含み、めっき層３５１は、Ｓｎ合金（たとえばＳｎ－Ａｇ合金）を含む。なお、レジスト８９２は、台座部３１２、バリア層３５０およびめっき層３５１をそれぞれ形成する際に個別に設けてもよい。続いて、図２９に示すように、レジスト８９２

を除去する。なお、レジスト８９２の除去方法は、何ら限定されない。これにより、台座部３１２、バリア層３５０およびめっき層３５１がそれぞれ形成される。レジスト８９２を除去した直後においては、図２９に示すように、台座部３１２と、バリア層３５０およびめっき層３５１は、平面視において、互いに完全に重なっている。また、図２９に示すように、シード層３０１は、除去されずに形成されたままである。

[0064] 次いで、図３０に示すように、金属層３０２から露出するシード層３０１を除去する。シード層３０１の除去は、たとえばエッチングによる。このシード層３０１の除去において、用いられるエッチング溶液は、たとえば、H_2SO_4およびH_2O_2の混合溶液である。このエッチング溶液は、シード層３０１だけでなく、台座部３１２にも反応し、台座部３１２は、バリア層３５０から露出する側面から少しだけ侵食される。このため、図３０から理解されるように、平面視において、台座部３１２が、バリア層３５０よりも小さくなる。金属層３０２から露出するシード層３０１を除去することで、金属層３０２と当該金属層３０２に覆われたシード層３０１とにより、本体部３１１が形成される。

[0065] シード層３０１の除去後は、電子装置Ａ１０の製造方法と同様に、接合層４２０の形成以降の処理（図１７～図２３参照）が行われる。以上の工程を経て、電子装置Ａ２０が製造される。

[0066] 電子装置Ａ２０では、電子装置Ａ１０と同様に、バリアメタル３５によって接合層４２が配線層３０に沿って濡れ広がることを抑制できるので、接合層４２の厚さ不足を抑制できる。つまり、電子装置Ａ２０は、電子装置Ａ１０と同様に、電子部品１９の接合強度の低下を抑制できるので、信頼性の低下を抑制できる。その他、電子装置Ａ２０およびその製造方法は、電子装置Ａ１０およびその製造方法と共通する構成により、電子装置Ａ１０およびその製造方法と同じ効果を奏する。たとえば、電子装置Ａ２０の製造方法は、電子装置Ａ１０の製造方法と同様に、上記バリア層形成工程と上記めっき層形成工程とを行うので、接合層４２にボイドが発生することを抑制して、接

合層４２の不良を抑制できる。つまり、本実施形態の製造方法によれば、信頼性の低下が抑制された電子装置Ａ２０を製造できる。また、電子装置Ａ２０は、電子装置Ａ１０と同様に、各電子部品１９が接合層４２およびバリアメタル３５（バリア層３５０）を介して配線層３０に接合された構成である。つまり、電子装置Ａ２０は、接合層４２の不良発生（接合層４２へのボイドの混入）を抑制して、信頼性の低下を抑制できる。

[0067] 電子装置Ａ２０では、配線層３０は、本体部３１１および台座部３１２を含む。そして、バリアメタル３５は、平面視において、台座部３１２よりも外方に突き出ている。この構成によれば、バリアメタル３５と本体部３１１との段差がより大きくなる。これにより、電子装置Ａ２０は、接合層４２と配線層３０との接触面積をさらに抑制できるので、信頼性の低下を抑制できる。

[0068] 上記第１実施形態および上記第２実施形態にかかる各電子装置Ａ１０，Ａ２０において、封止樹脂６は、各樹脂側面６３に段差があってもよい。たとえば、図３１は、このような変形例にかかる電子装置であって、第１実施形態にかかる電子装置Ａ１０に適用した例を示している。図３１では、第１実施形態にかかる電子装置Ａ１０に適用した例を示しているが、第２実施形態にかかる電子装置Ａ２０に適用することも可能である。

[0069] 図３１に示す電子装置では、各樹脂側面６３は、第１側部６３１および第２側部６３２を有する。各樹脂側面６３において、第１側部６３１と第２側部６３２とは、同じ方向を向く。第１側部６３１は、平面視において、第２側部６３２よりも外方に配置されている。第１側部６３１は、樹脂主面６１に繋がり、第２側部６３２は、複数の側面２３のうちの対応する１つに繋がる。第２側部６３２は、これに繋がる側面２３と面一である。このような構成により、各樹脂側面６３には、段差がある。また、図３１に示す電子装置では、複数の端子５は、柱状部５１が側面２３の側面から露出した端子５Ａを含んでいる。端子５Ａにおいて、外部電極部５２は、柱状部５１のうち、支持部材２の裏面２２から露出した面と、支持部材２の側面２３から露出し

た面とを覆っている。

[0070] 図３２は、図３１に示す電子装置の製造方法の一工程を示している。図３１に示す電子装置の製造方法は、上記電子装置Ａ１０の製造方法と比較して、支持基板８０を除去する工程まで共通する。図３２は、当該支持基板８０を除去した後に続く工程である。本変形例にかかる製造方法は、支持基板８０を除去した後、図３２に示すように、第１樹脂層８２から第２樹脂層８６に至る複数の溝部８６９を形成する。複数の溝部８６９は、たとえばダイシングブレードを用いたハーフカットにより形成される。複数の溝部８６９を形成することで、支持部材２は半導体素子１ごとに分割され、支持部材２の側面が溝部８６９において露出する。次いで、無電解めっきにより、柱状部５１のうち、裏面２２から露出する面と溝部８６９において露出する面とに、外部電極部５２を形成する。その後、図３２に示す切断線ＣＬで、第２樹脂層８６を切断することで、個片化する。図３２に示すように、切断線ＣＬは、溝部８６９を通っている。第２樹脂層８６の切断は、電子装置Ａ１０と同様に、ダイシングブレードを用いた切削加工により行われ、このダイシングブレードの厚みは、上記溝部８６９の形成（ハーフカット）で用いるダイシングブレードよりも薄い。以上の工程を経て、図３１に示す電子装置が製造される。

[0071] 図３１に示す電子装置においても、電子装置Ａ１０と同様の効果を奏する。さらに、図３１に示す電子装置では、端子５Ａにおいて、外部電極部５２が柱状部５１のうちの側面２３から露出する面にも形成されている。この構成によれば、図３１に示す電子装置を、電子機器などの配線板に実装した際、当該実装時に用いる導電性接合材（たとえばはんだ）にフィレットが形成されうる。したがって、図３１に示す電子装置は、電子機器などの配線板に適正に接合されているかの外観検査が容易となる。

[0072] 本開示の電子装置において、半導体素子１および電子部品１９の数および配置と、配線層３０のパターンと、端子５の数および配置とは、それぞれ図示された例に限定されない。たとえば、本開示の電子装置は、図３３および

図３４に示す構成であってもよい。図３３および図３４に示す各電子装置は、電子装置Ａ１０と比較して、たとえば、電子部品１９の数および配置と、配線層３０のレイアウトと、複数の端子５の数および配置となどがそれぞれ異なる。これらの変形例から理解されるように、本開示の電子装置の平面レイアウトは、図２に示す例に限定されず、様々な態様が適用されうる。

[0073] 本開示の電子装置は、機能素子として半導体素子１を備える構成に限定されず、少なくとも１つの電子部品１９を備えていればよい。たとえば、本開示の電子装置は、１つの電子部品１９を備えるディスクリート装置であってもよい。

[0074] 本開示にかかる電子装置および電子装置の製造方法は、上記した実施形態に限定されるものではない。本開示の電子装置の各部の具体的な構成、および、本開示の電子装置の製造方法の各工程の具体的な処理はそれぞれ、種々に設計変更自在である。たとえば、本開示は、以下の付記に記載された実施形態を含む。

付記１．

厚さ方向の一方を向く主面を有する支持部材と、

前記主面に形成された配線層と、

前記配線層上に形成されたバリアメタルと、

前記バリアメタル上に形成された接合層と、

前記接合層および前記バリアメタルを介して前記配線層に接合され、且つ前記配線層に導通する電子部品と、

を備え、

前記バリアメタルと前記配線層とは、互いに異なる金属を含み、

前記バリアメタルは、前記厚さ方向に見て前記配線層よりも小さい、電子装置。

付記２．

前記厚さ方向に見て、前記配線層は、前記バリアメタルよりも当該バリアメタルの外方に突き出る、付記１に記載の電子装置。

付記３．

前記配線層は、本体部と、当該本体部から前記厚さ方向の前記一方に突き出た台座部とを含み、

前記厚さ方向に見て、前記バリアメタルは、前記台座部よりも当該台座部の外方に突き出る、付記１または付記２に記載の電子装置。

付記４．

前記電子部品は、前記厚さ方向に直交する直交方向を向く側面と、当該側面に形成された側方電極とを有する、付記１ないし付記３のいずれかに記載の電子装置。

付記５．

前記接合層は、前記側方電極に接するフィレット部を含む、付記４に記載の電子装置。

付記６．

前記バリアメタルは、ニッケルを含み、

前記配線層は、銅を含む、付記１ないし付記５のいずれかに記載の電子装置。

付記７．

前記配線層は、前記厚さ方向において前記支持部材と前記電子部品との間に介在する介在部と、前記介在部に繋がり且つ前記厚さ方向に見て前記電子部品の外方に配置された延出部とを含み、付記１ないし付記６のいずれかに記載の電子装置。

付記８．

前記電子部品を覆う封止樹脂をさらに備える、付記１ないし付記７のいずれかに記載の電子装置。

付記９．

厚さ方向の一方を向く主面を有する支持部材を用意する工程と、

前記主面に配線層を形成する配線層形成工程と、

前記配線層上にバリア層を形成するバリア層形成工程と、

前記バリア層上にめっき層を形成するめっき層形成工程と、

前記めっき層上に接合層を形成する接合層形成工程と、

前記接合層上に電子部品を搭載する搭載工程と、

前記接合層をリフローにより溶融させて、当該溶融した接合層を冷却により固化させることで、前記電子部品を接合する接合工程と、

を有し、

前記めっき層は、組成に錫と銀とを含む、電子装置の製造方法。

付記１０．

前記配線層は、前記主面に形成された本体部と、前記本体部から前記厚さ方向の前記一方に突き出た台座部とを含み、

前記バリア層形成工程では、前記バリア層を前記台座部上に形成する、付記９に記載の電子装置の製造方法。

付記１１．

前記配線層形成工程では、前記主面にシード層を形成する第１処理と、前記シード層を導電経路とする電解めっきにより前記シード層の一部に金属層を形成する第２処理と、前記金属層の一部に前記台座部を形成する第３処理と、を含み、

前記本体部は、前記シード層の前記一部と前記金属層との積層構造をなす、付記１０に記載の電子装置の製造方法。

付記１２．

前記めっき層形成工程の後であり、且つ前記接合層形成工程の前に、エッチングを行うエッチング工程をさらに有し、

前記エッチング工程では、前記金属層から露出する前記シード層を除去する、付記１１に記載の電子装置の製造方法。

付記１３．

前記バリア層と前記配線層とは、互いに異なる金属を含む、付記９ないし付記１２のいずれかに記載の電子装置の製造方法。

付記１４．

前記バリア層は、ニッケルを含み、

前記配線層は、銅を含む、付記１３に記載の電子装置の製造方法。

付記１５．

前記バリア層形成工程では、前記バリア層を、前記厚さ方向に見て前記配線層よりも小さく形成する、付記９ないし付記１４のいずれかに記載の電子装置の製造方法。

付記１６．

前記接合層形成工程では、はんだペーストをスクリーン印刷して、前記接合層を形成する、付記９ないし付記１５のいずれかに記載の電子装置の製造方法。

付記１７．

前記電子部品は、前記厚さ方向に直交する直交方向の両端にそれぞれ配置された側方電極を有し、

前記接合層には、前記接合工程により、前記側方電極に接するフィレットが形成される、付記９ないし付記１６のいずれかに記載の電子装置の製造方法。

付記１８．

前記電子部品を覆う封止樹脂を形成する工程をさらに有する、付記９ないし付記１７のいずれかに記載の電子装置の製造方法。

符号の説明

[0075] Ａ１０，Ａ２０：電子装置　　１：半導体素子

１０ａ：素子主面　　１０ｂ：素子裏面

１１：本体部　　１２：パッド

１３：絶縁膜　　１４：再配線

１９：電子部品　　１９０ａ：側面

１９１：端子　　１９１ａ：側方電極

２：支持部材　　２１：主面

２２：裏面　　２３：側面

３０：配線層　　３０１：シード層

３０２：金属層　　３１１：本体部

３１２：台座部　　３２１：介在部

３２２：延出部　　３５：バリアメタル

３５０：バリア層　　３５１：めっき層

４１，４１０：接合層　　４２，４２０：接合層

４２１：フィレット部　　５：端子

５Ａ：端子　　５１：柱状部

５２：外部電極部　　６：封止樹脂

６１：樹脂主面　　６２：樹脂裏面

６３：樹脂側面　　６３１：第１側部

６３２：第２側部　　８０：支持基板

８０ａ：基板主面　　８０ｂ：基板裏面

８２：第１樹脂層　　８２１：主面

８２２：底面　　８５１：柱状導体

８６：第２樹脂層　　８６１：頂面

８６９：溝部　　８９１，８９２：レジスト

ＣＬ：切断線

請求の範囲

[請求項1] 厚さ方向の一方を向く主面を有する支持部材と、

前記主面に形成された配線層と、

前記配線層上に形成されたバリアメタルと、

前記バリアメタル上に形成された接合層と、

前記接合層および前記バリアメタルを介して前記配線層に接合され、且つ前記配線層に導通する電子部品と、

を備え、

前記バリアメタルと前記配線層とは、互いに異なる金属を含み、

前記バリアメタルは、前記厚さ方向に見て前記配線層よりも小さい、電子装置。

[請求項2] 前記厚さ方向に見て、前記配線層は、前記バリアメタルよりも当該バリアメタルの外方に突き出る、請求項１に記載の電子装置。

[請求項3] 前記配線層は、本体部と、当該本体部から前記厚さ方向の前記一方に突き出た台座部とを含み、

前記厚さ方向に見て、前記バリアメタルは、前記台座部よりも当該台座部の外方に突き出る、請求項１または請求項２に記載の電子装置。

[請求項4] 前記電子部品は、前記厚さ方向に直交する直交方向を向く側面と、当該側面に形成された側方電極とを有する、請求項１ないし請求項３のいずれかに記載の電子装置。

[請求項5] 前記接合層は、前記側方電極に接するフィレット部を含む、請求項４に記載の電子装置。

[請求項6] 前記バリアメタルは、ニッケルを含み、

前記配線層は、銅を含む、請求項１ないし請求項５のいずれかに記載の電子装置。

[請求項7] 前記配線層は、前記厚さ方向において前記支持部材と前記電子部品との間に介在する介在部と、前記介在部に繋がり且つ前記厚さ方向に

見て前記電子部品の外方に配置された延出部とを含み、請求項１ないし請求項６のいずれかに記載の電子装置。

[請求項8] 前記電子部品を覆う封止樹脂をさらに備える、請求項１ないし請求項７のいずれかに記載の電子装置。

[請求項9] 厚さ方向の一方を向く主面を有する支持部材を用意する工程と、

前記主面に配線層を形成する配線層形成工程と、

前記配線層上にバリア層を形成するバリア層形成工程と、

前記バリア層上にめっき層を形成するめっき層形成工程と、

前記めっき層上に接合層を形成する接合層形成工程と、

前記接合層上に電子部品を搭載する搭載工程と、

前記接合層をリフローにより溶融させて、当該溶融した接合層を冷却により固化させることで、前記電子部品を接合する接合工程と、

を有し、

前記めっき層は、組成に錫と銀とを含む、電子装置の製造方法。

[請求項10] 前記配線層は、前記主面に形成された本体部と、前記本体部から前記厚さ方向の前記一方に突き出た台座部とを含み、

前記バリア層形成工程では、前記バリア層を前記台座部上に形成する、請求項９に記載の電子装置の製造方法。

[請求項11] 前記配線層形成工程では、前記主面にシード層を形成する第１処理と、前記シード層を導電経路とする電解めっきにより前記シード層の一部に金属層を形成する第２処理と、前記金属層の一部に前記台座部を形成する第３処理と、を含み、

前記本体部は、前記シード層の前記一部と前記金属層との積層構造をなす、請求項１０に記載の電子装置の製造方法。

[請求項12] 前記めっき層形成工程の後であり、且つ前記接合層形成工程の前に、エッチングを行うエッチング工程をさらに有し、

前記エッチング工程では、前記金属層から露出する前記シード層を除去する、請求項１１に記載の電子装置の製造方法。

[請求項13] 前記バリア層と前記配線層とは、互いに異なる金属を含む、請求項９ないし請求項１２のいずれかに記載の電子装置の製造方法。

[請求項14] 前記バリア層は、ニッケルを含み、

前記配線層は、銅を含む、請求項１３に記載の電子装置の製造方法。

[請求項15] 前記バリア層形成工程では、前記バリア層を、前記厚さ方向に見て前記配線層よりも小さく形成する、請求項９ないし請求項１４のいずれかに記載の電子装置の製造方法。

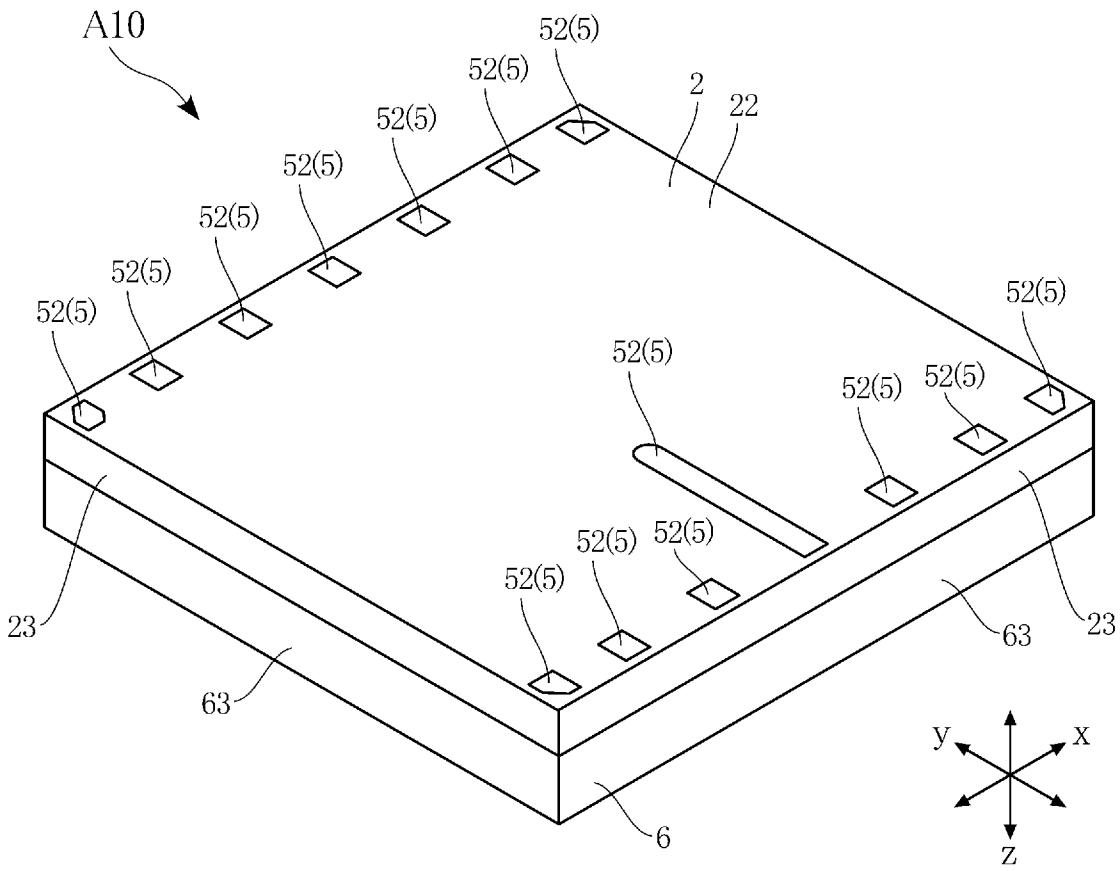
[請求項16] 前記接合層形成工程では、はんだペーストをスクリーン印刷して、前記接合層を形成する、請求項９ないし請求項１５のいずれかに記載の電子装置の製造方法。

[請求項17] 前記電子部品は、前記厚さ方向に直交する直交方向の両端にそれぞれ配置された側方電極を有し、

前記接合層には、前記接合工程により、前記側方電極に接するフィレットが形成される、請求項９ないし請求項１６のいずれかに記載の電子装置の製造方法。

[請求項18] 前記電子部品を覆う封止樹脂を形成する工程をさらに有する、請求項９ないし請求項１７のいずれかに記載の電子装置の製造方法。

[図1]
FIG.1


A10
52(5)
52(5)
52(5)
52(5)
52(5)
52(5)
52(5)
2
22
52(5)
52(5)
52(5)
52(5)
52(5)
52(5)
52(5)
52(5)
23
63
63
23
6
y
x
z

[図2]

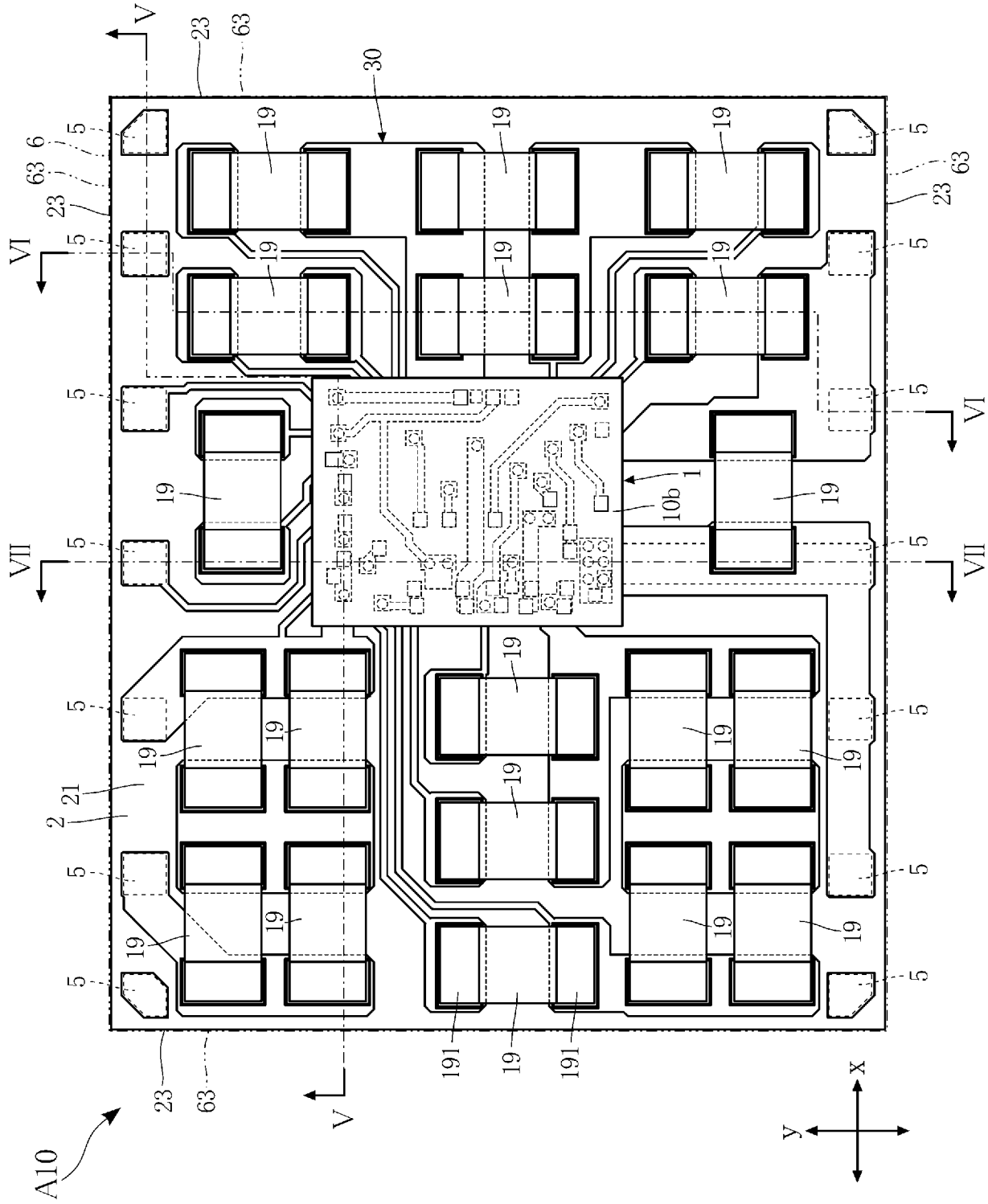


FIG.2

[図3]

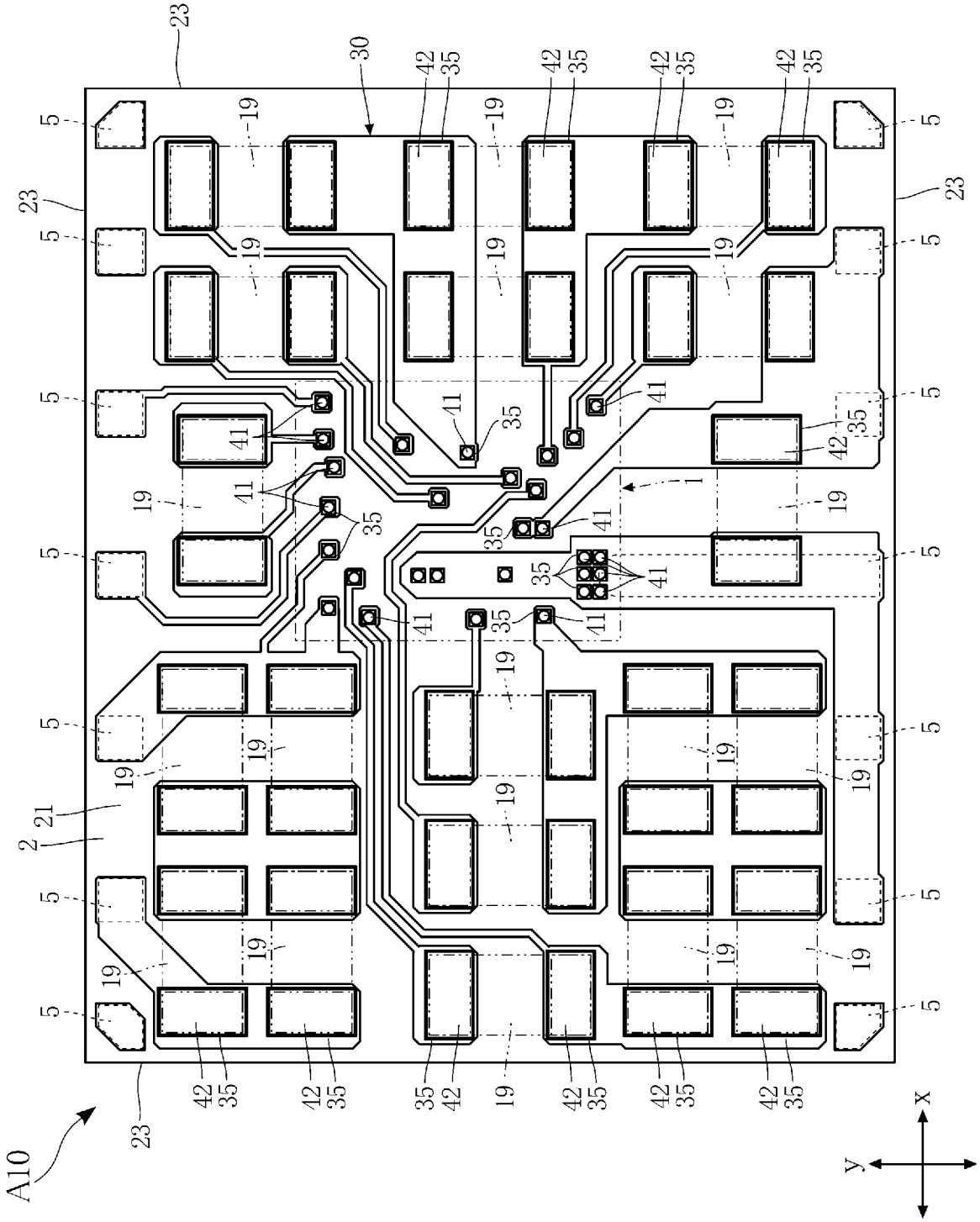


FIG.3

[図4]

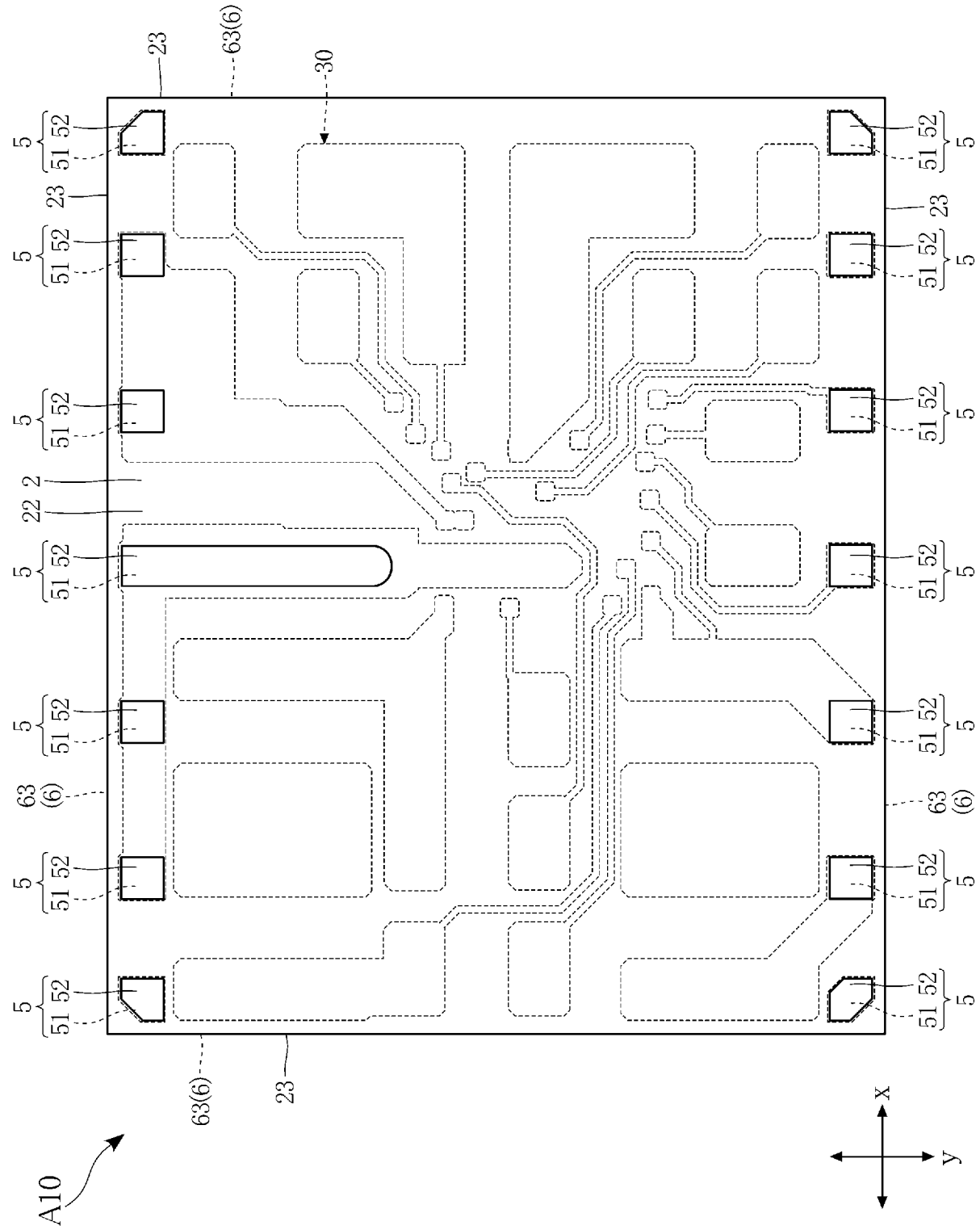


FIG.4

[図5]

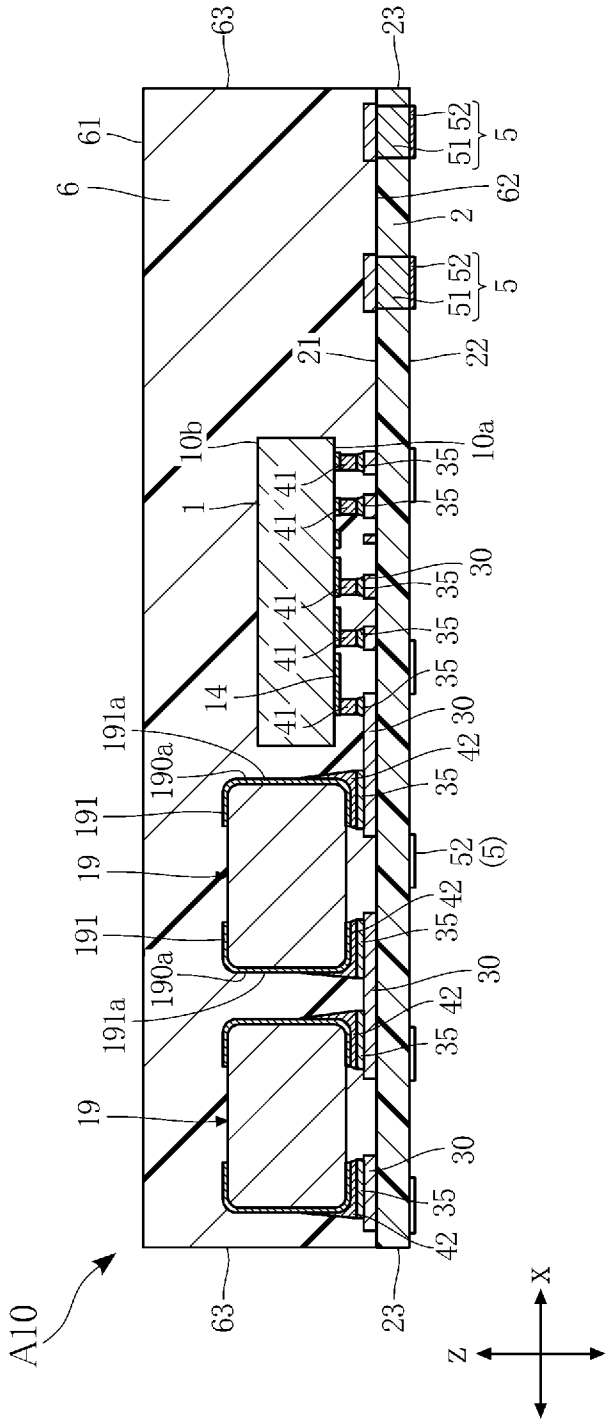
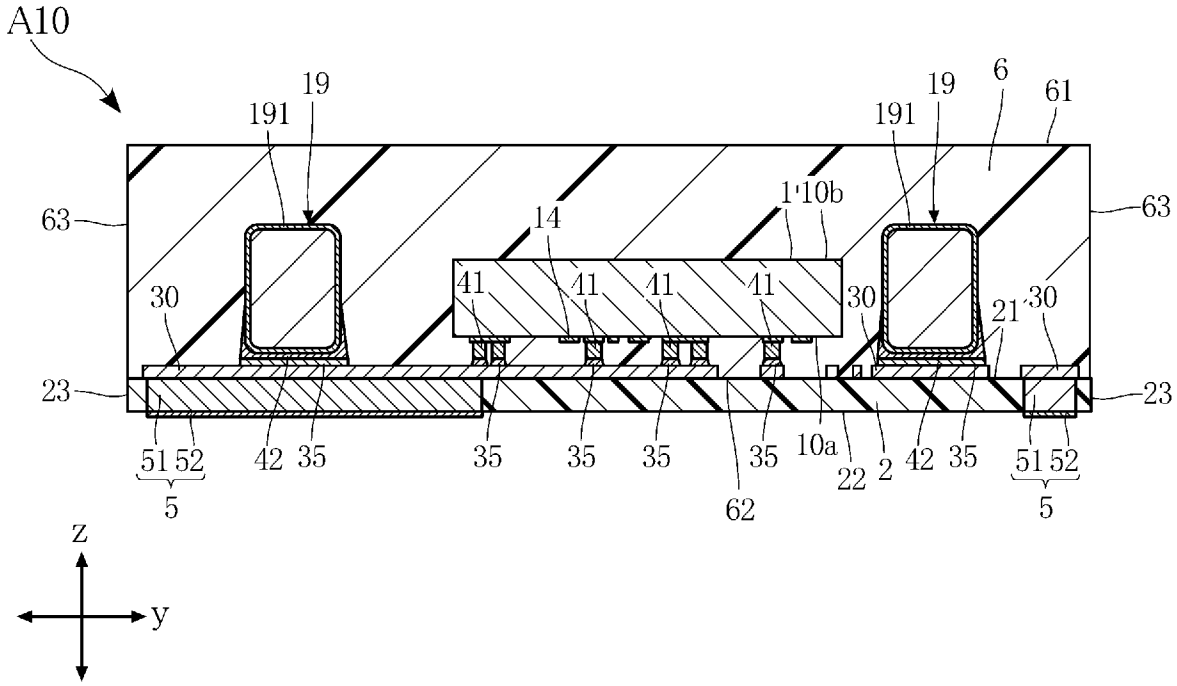
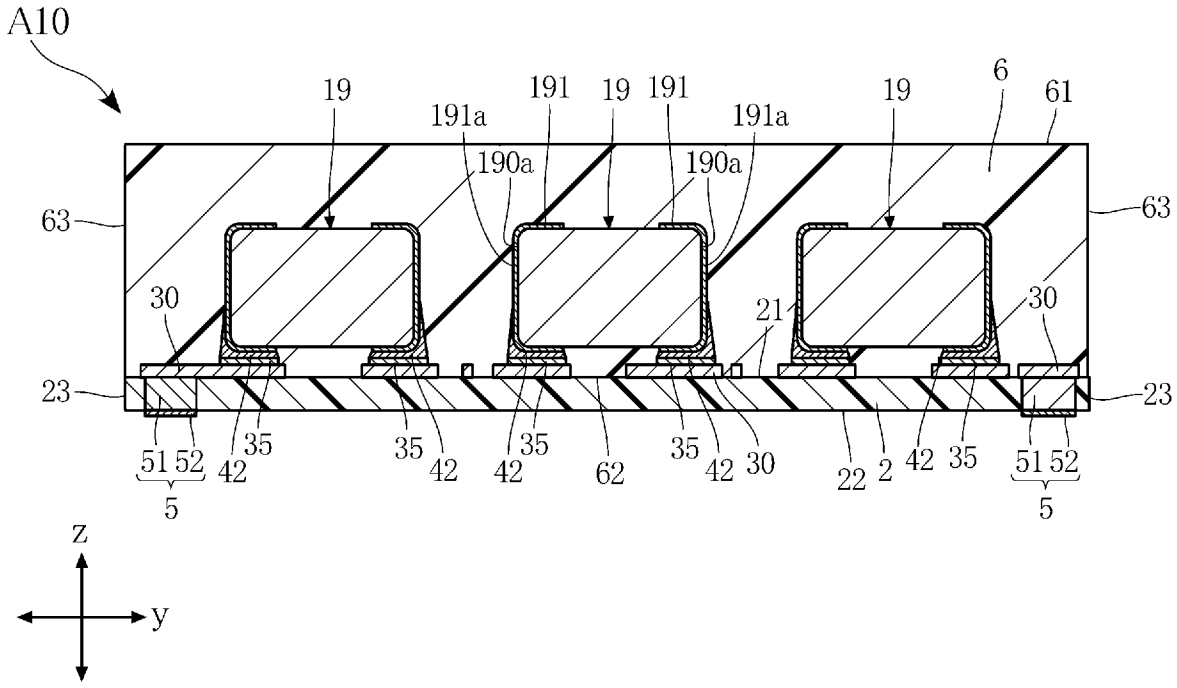

63
23
61
6
51 52
5
62
2
21
22
10b
10a
1
41
35
30
14
191a
190a
191
19
42
52
(5)
A10
Z
X

FIG.5

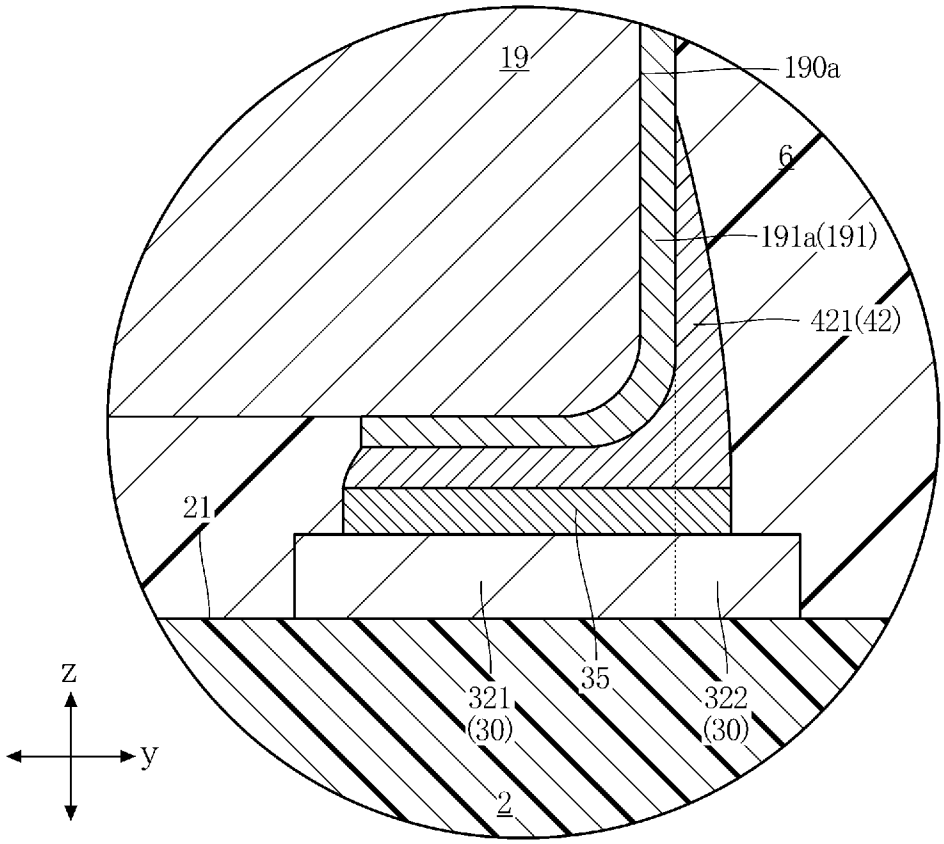
[図6]
FIG.6



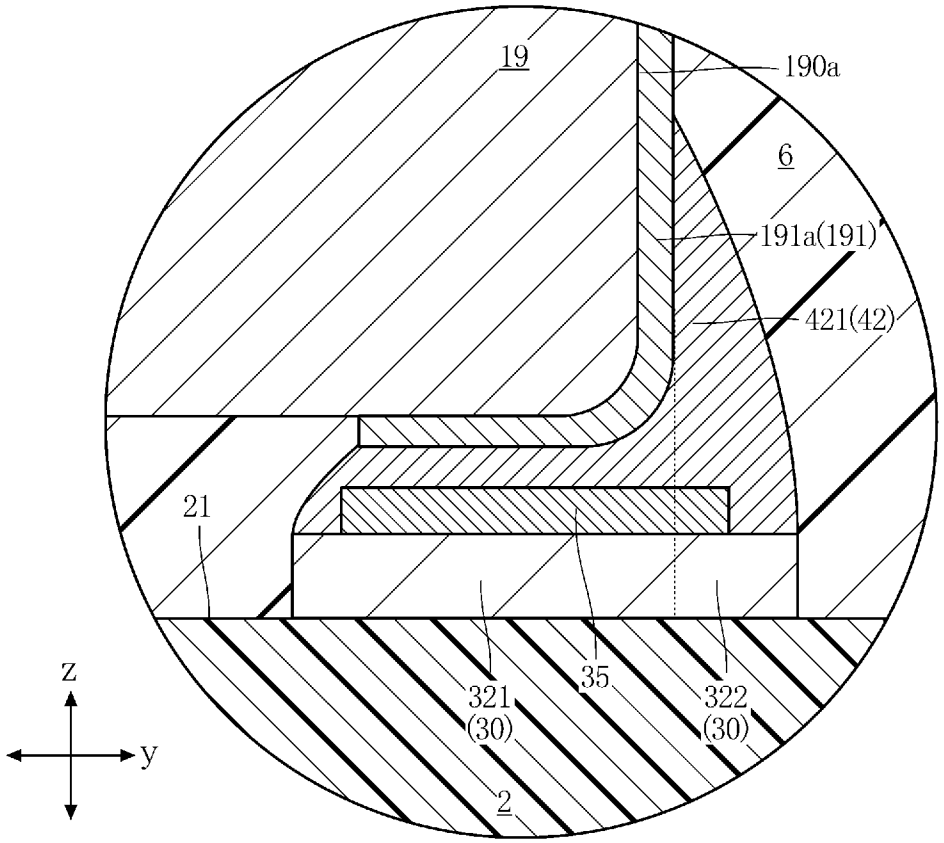
[図7]
FIG.7



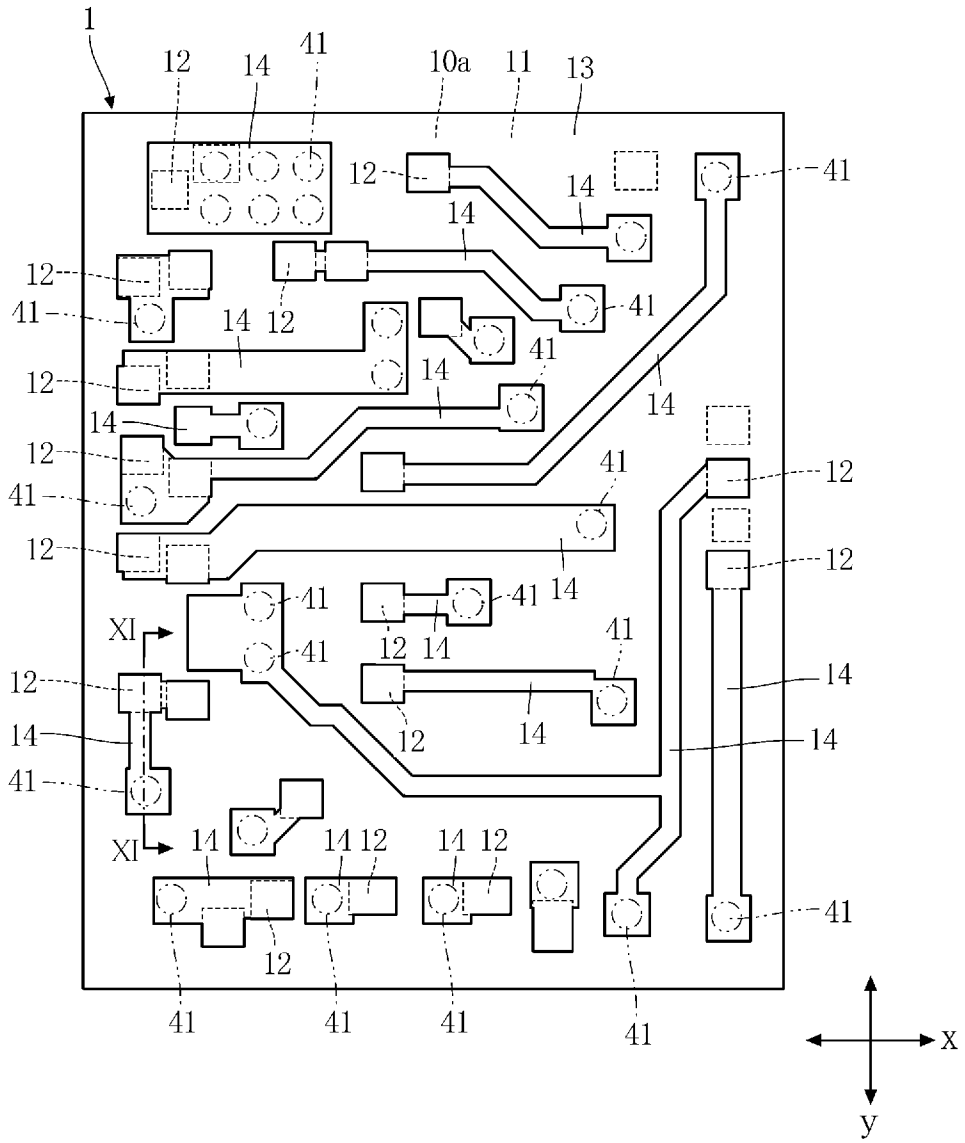
[図8]
FIG.8



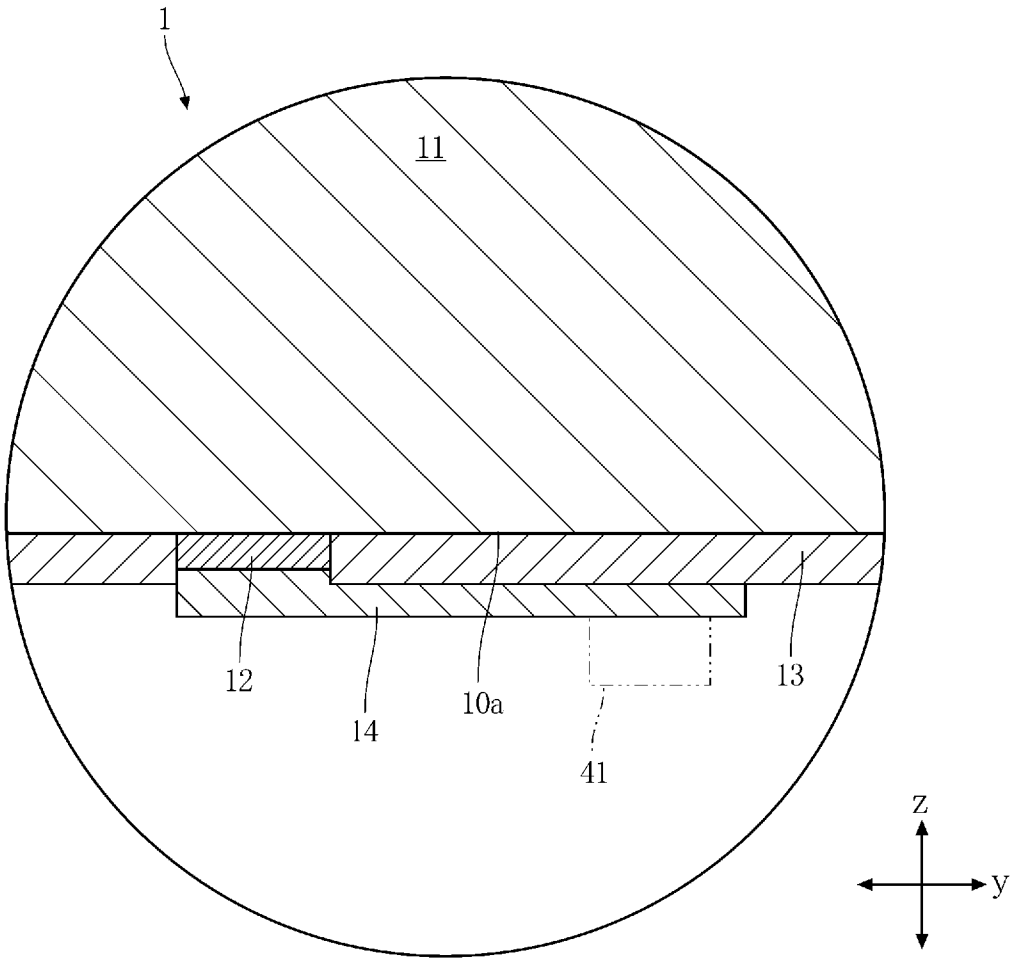
[図9]
FIG.9



[図10]
FIG.10



[図11]
FIG.11



[図12]

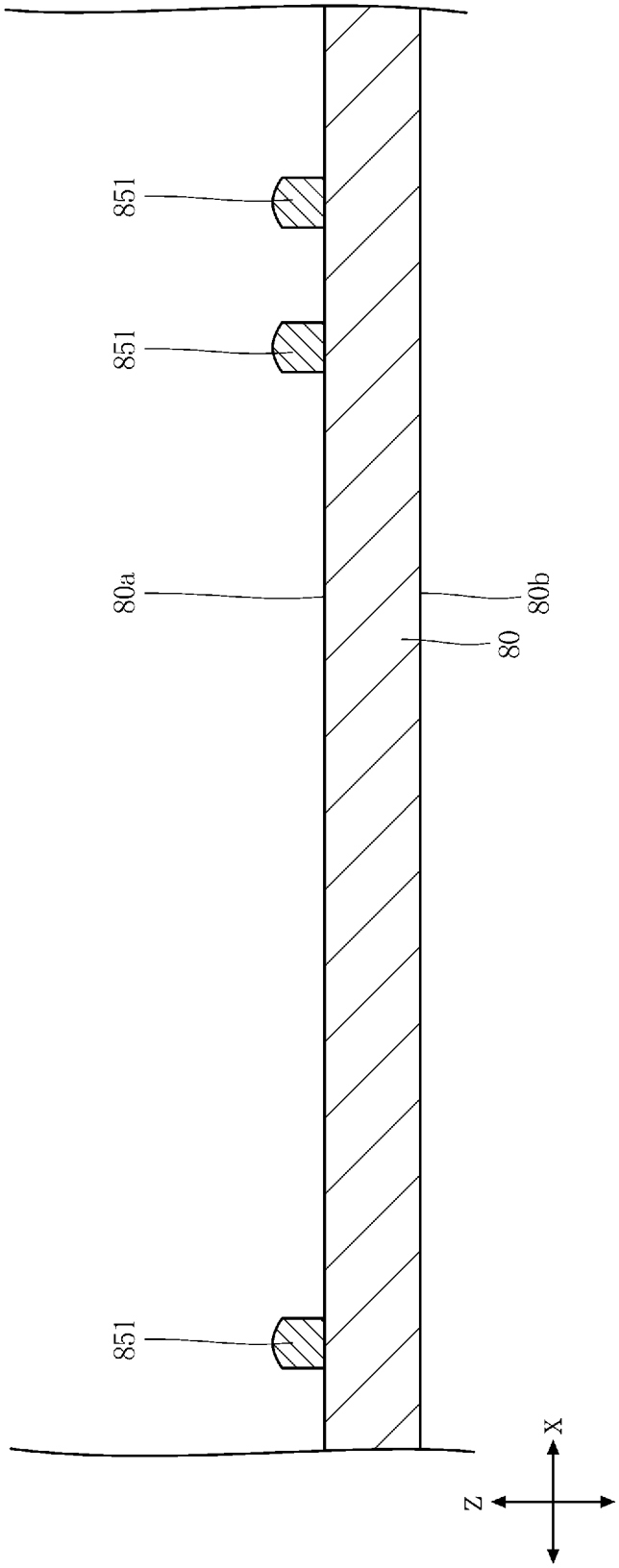


FIG.12

[図13]

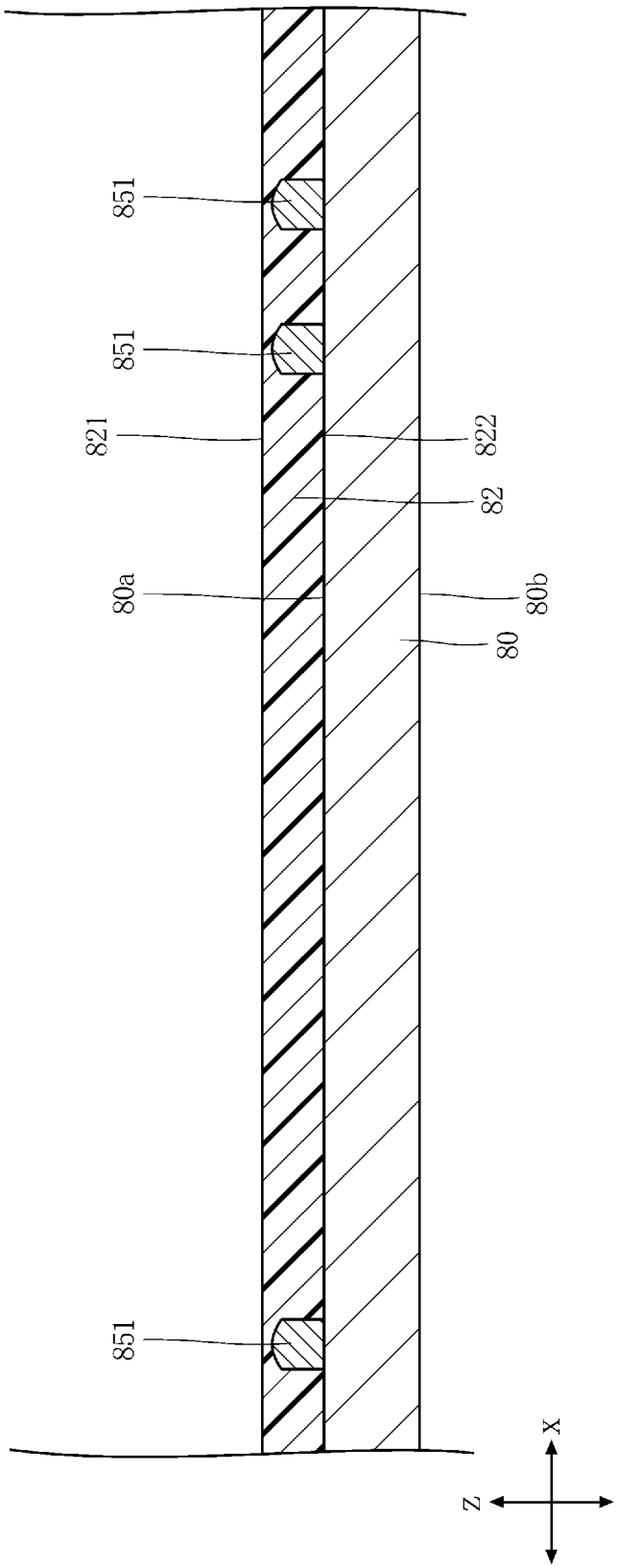


FIG.13

[図14]

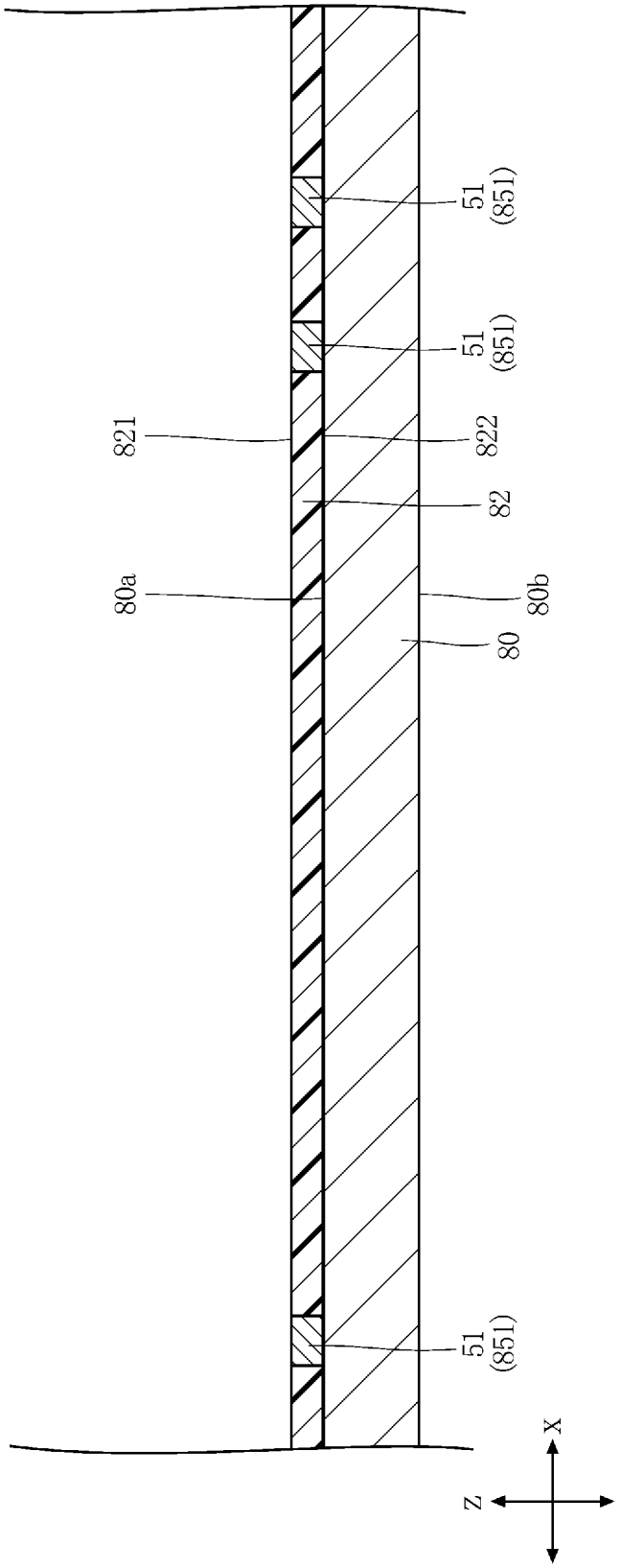


FIG.14

[図15]

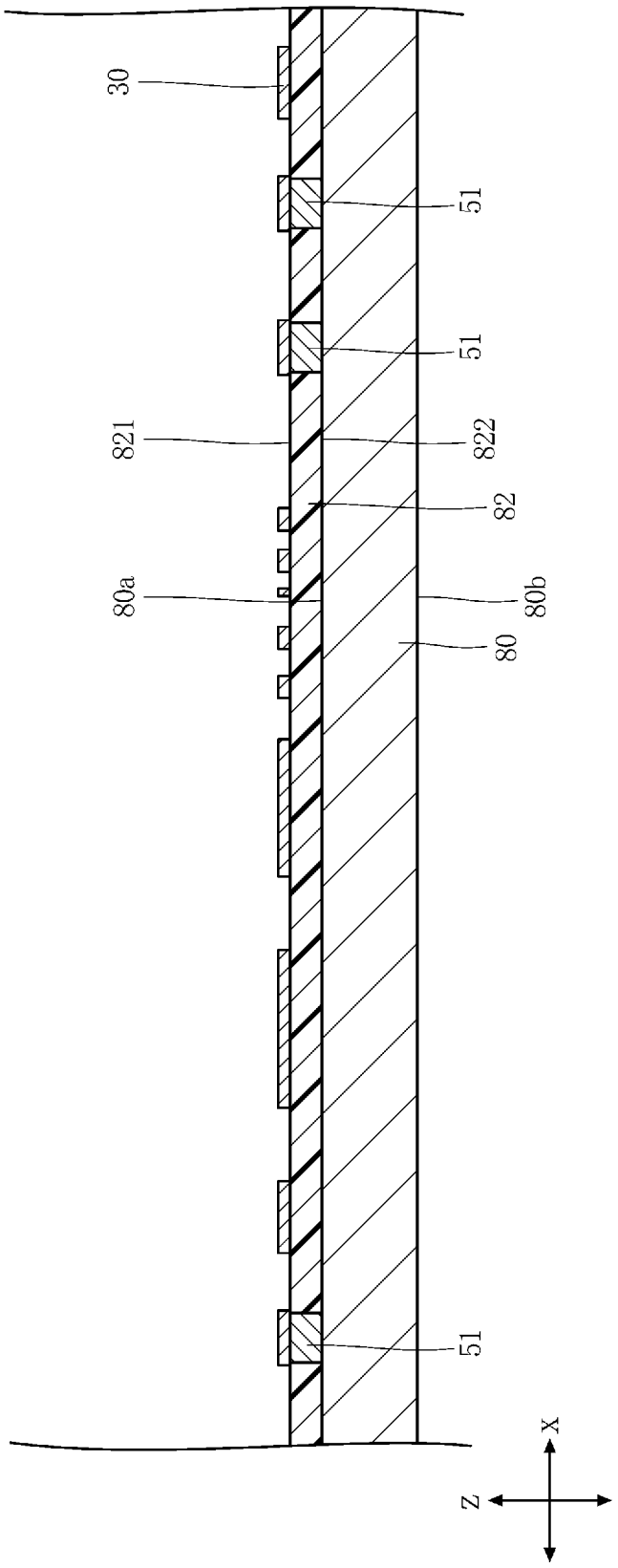


FIG.15

[図16]

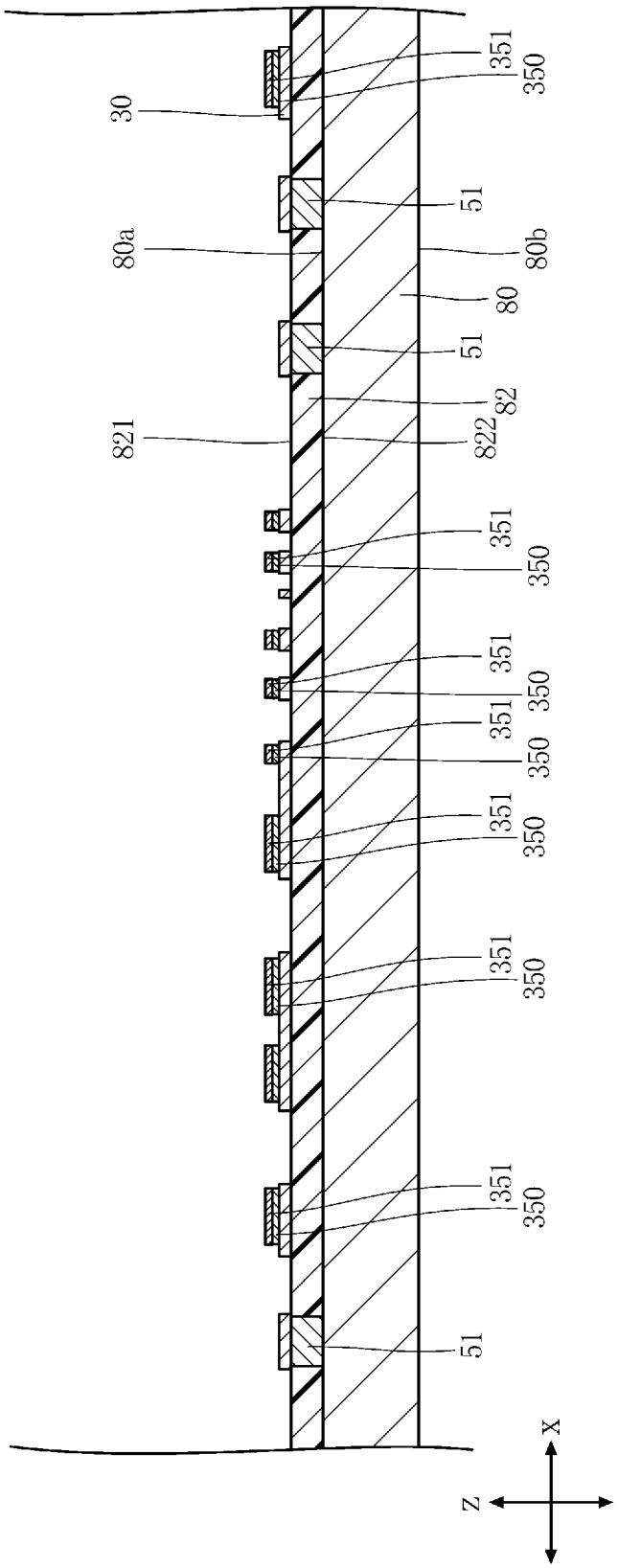

30
351
350
51
80a
80b
80
51
821
822
82
351
350
351
350
351
350
351
350
351
350
51
X
Z

FIG.16

[図17]

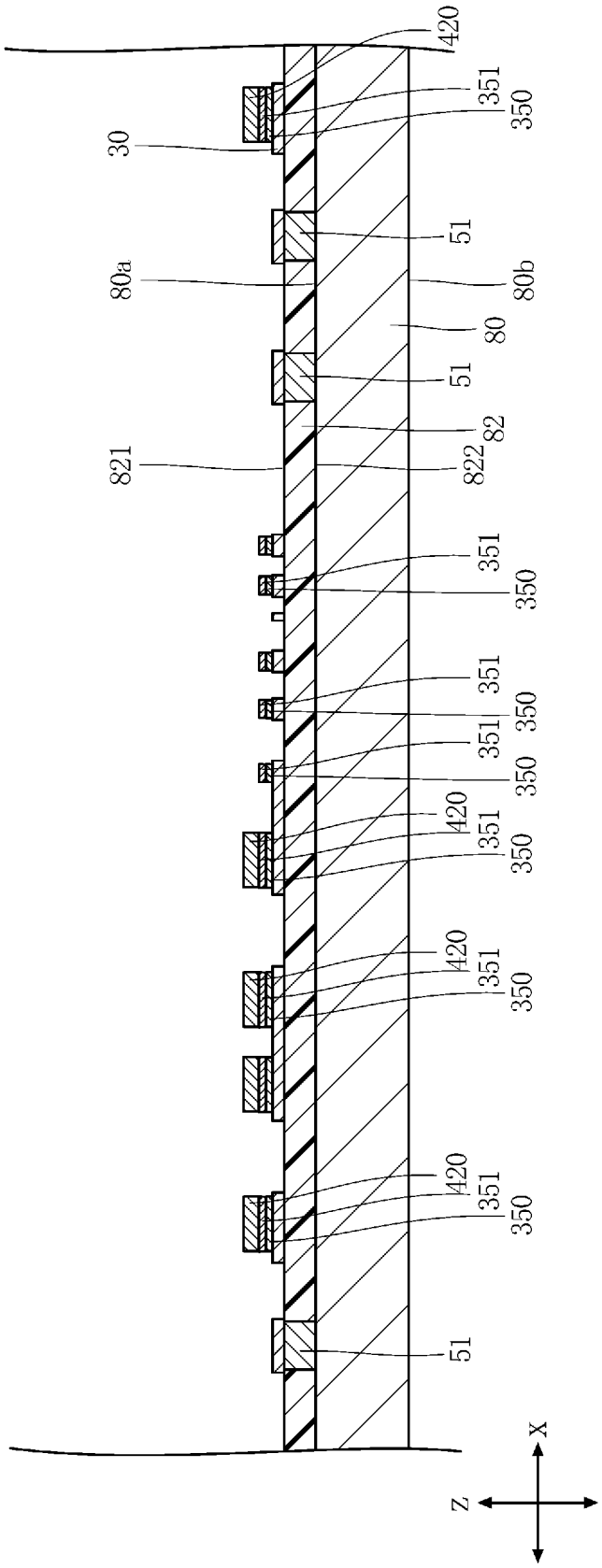

420
351
350
30
51
80a
80b
80
51
82
821
822
351
350
351
350
351
350
420
351
350
420
351
350
420
351
350
51
X
Z

FIG.17

[図18]

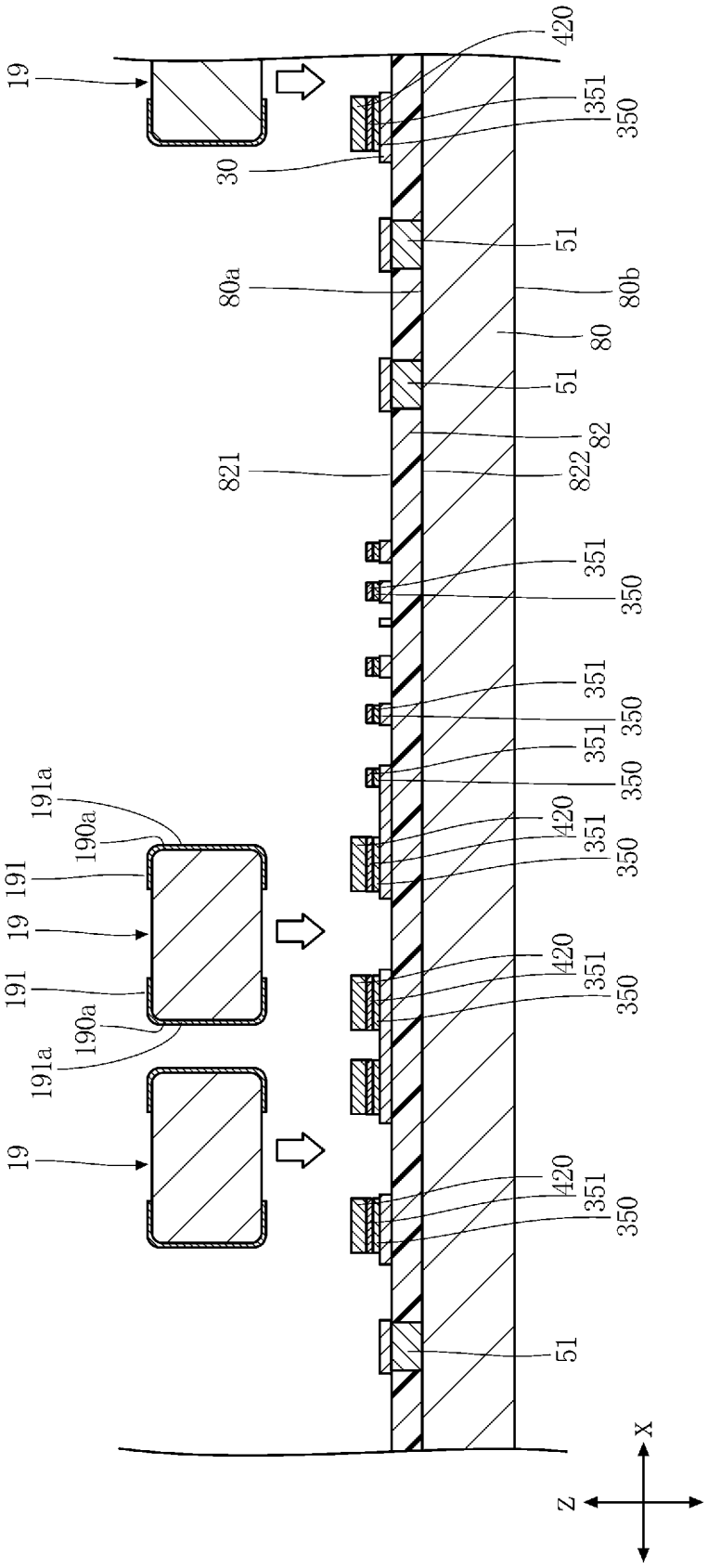


FIG.18

[図19]

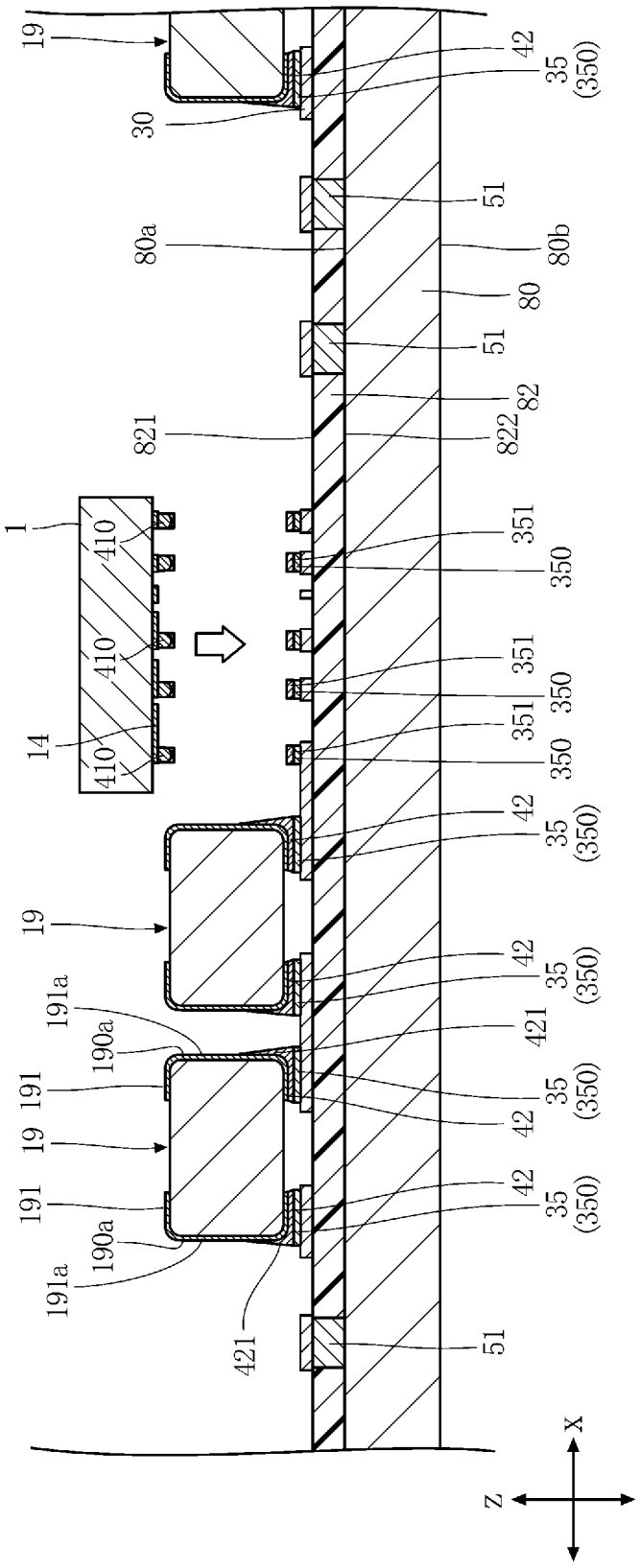

19
30
42
35
(350)
51
80a
80b
80
51
82
821
822
1
410
410
410
14
351
350
351
350
351
350
42
35
(350)
19
42
35
(350)
191a
190a
421
191
35
(350)
19
42
191
35
(350)
190a
191a
421
51
X
Z

FIG.19

[図20]

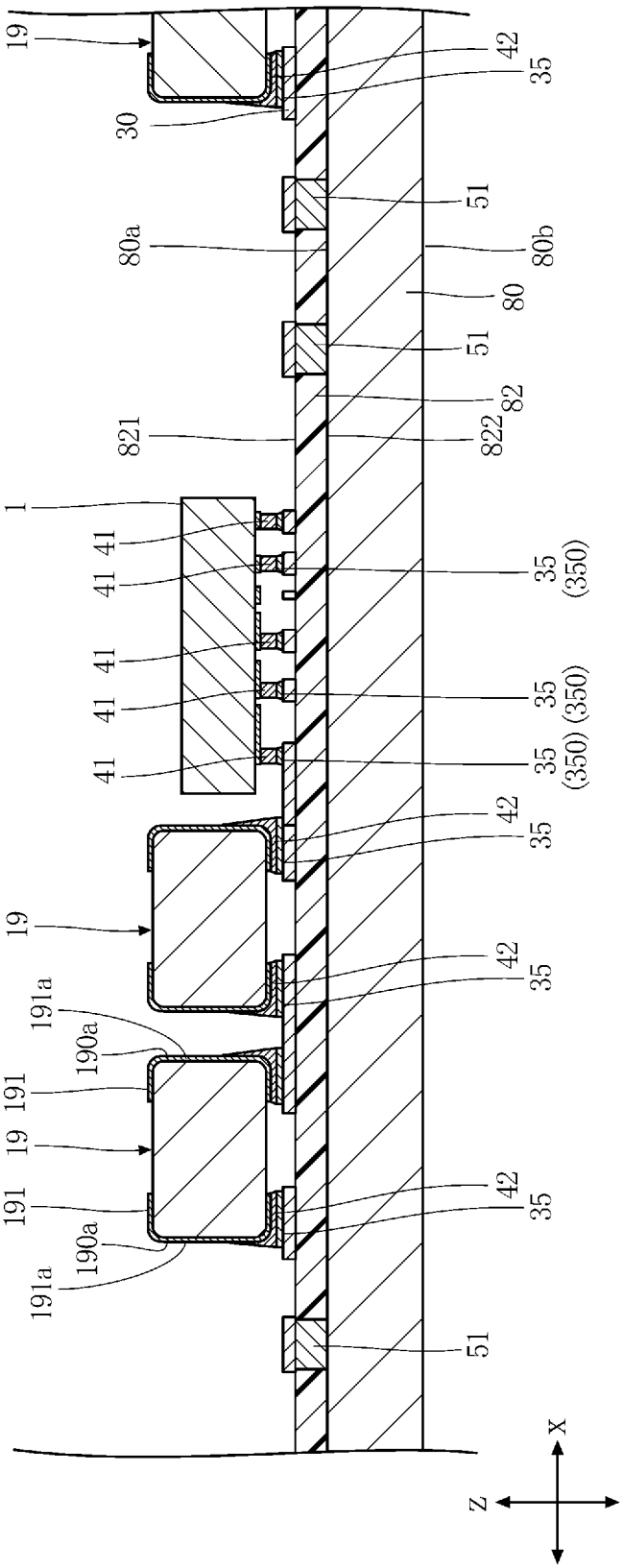

19
30
42
35
51
80a
80b
80
51
82
821
822
1
41
41
41
41
41
35
(350)
35
(350)
35
(350)
42
35
19
42
35
191a
190a
191
19
191
190a
191a
42
35
51
X
Z

FIG.20

[図21]

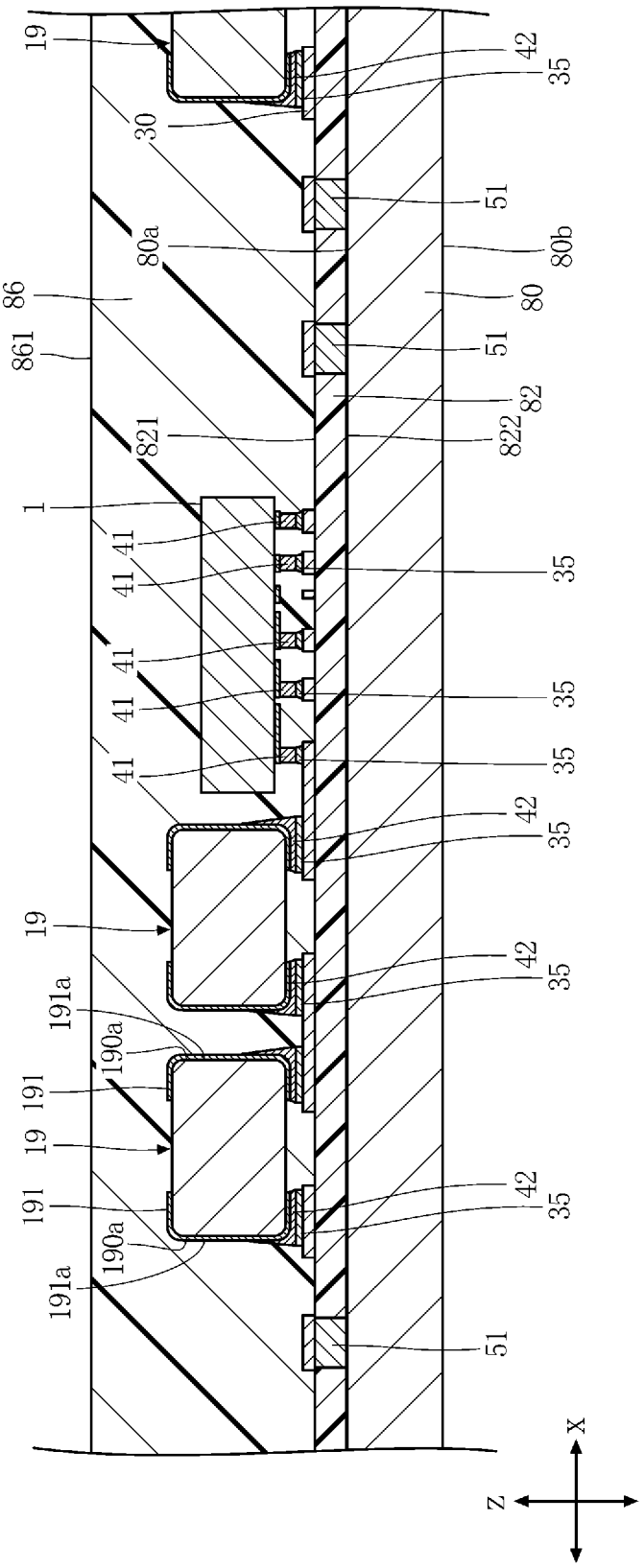

19
42
35
30
51
80a
80b
86
80
861
51
82
821
822
1
41
35
19
191a
190a
191
19
191
190a
191a
X
Z

FIG.21

[図22]

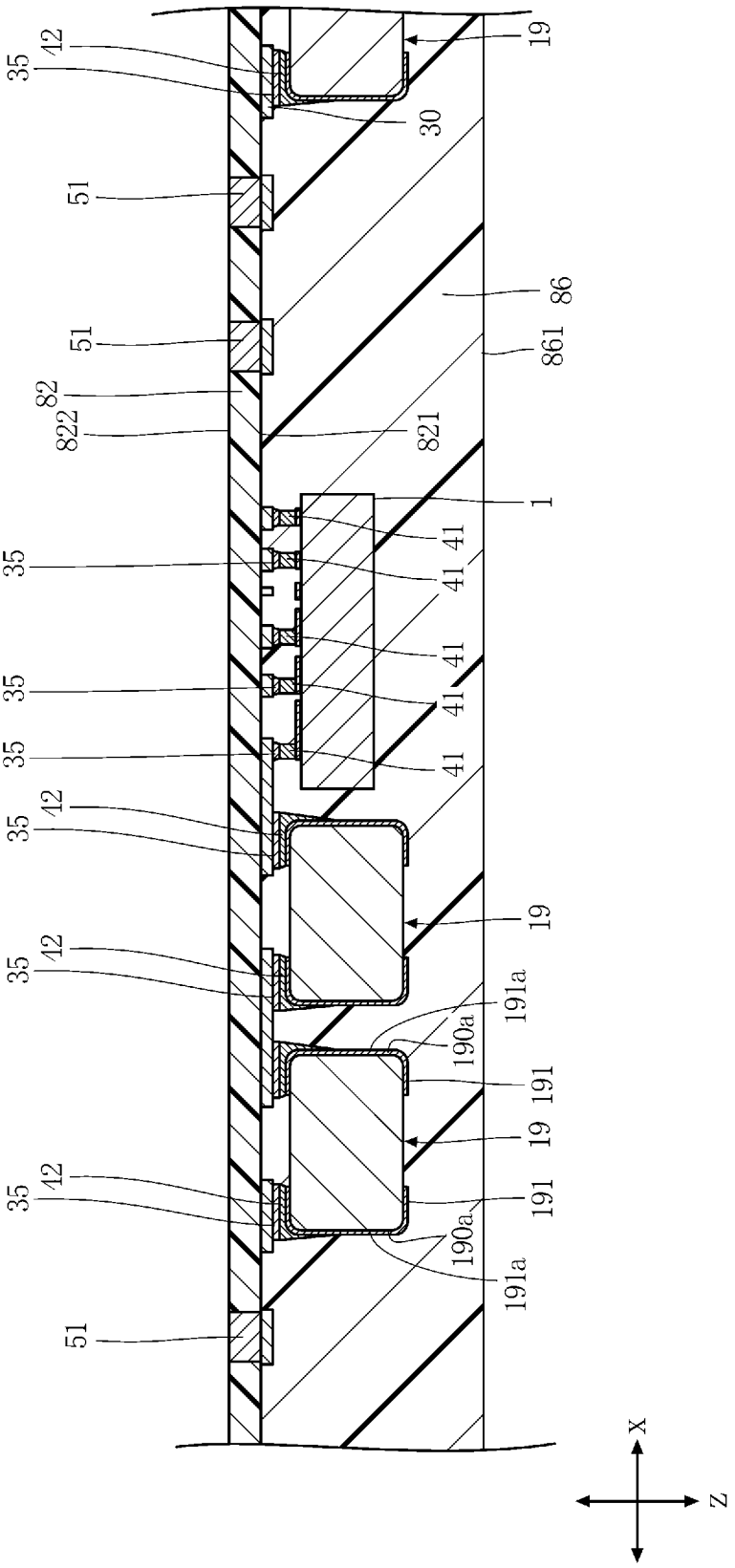

19
42
35
30
51
86
861
51
82
822
821
1
41
35
41
41
35
41
35
41
42
35
19
42
35
191a
190a
191
19
42
35
191
190a
191a
51
X
Z

FIG.22

[図23]

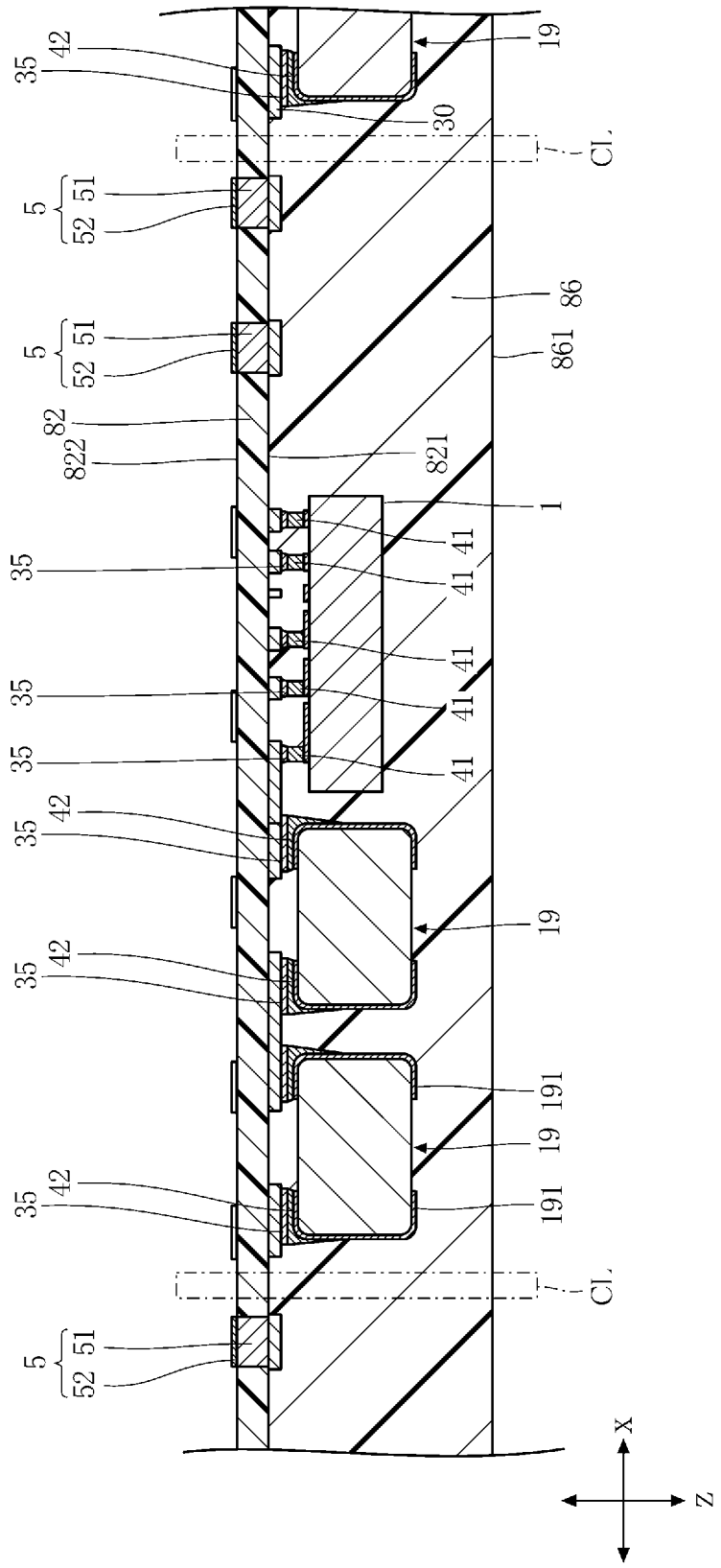
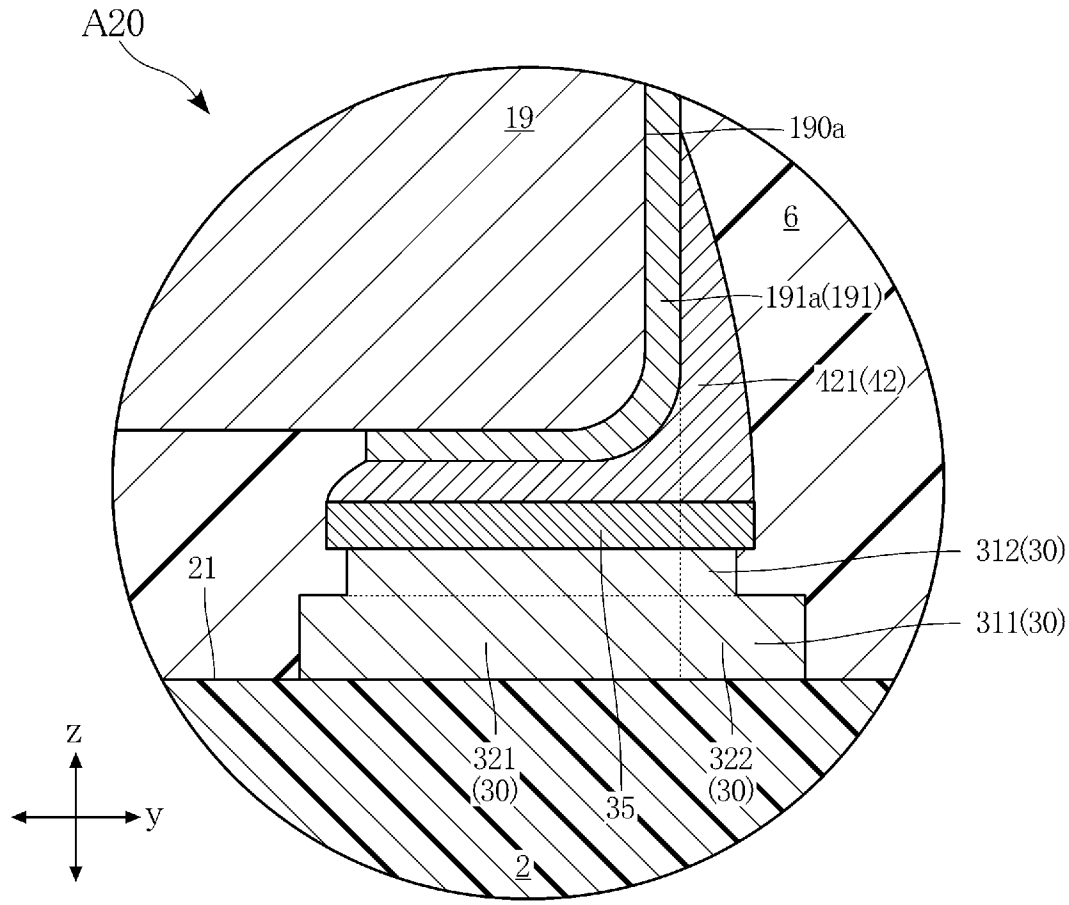
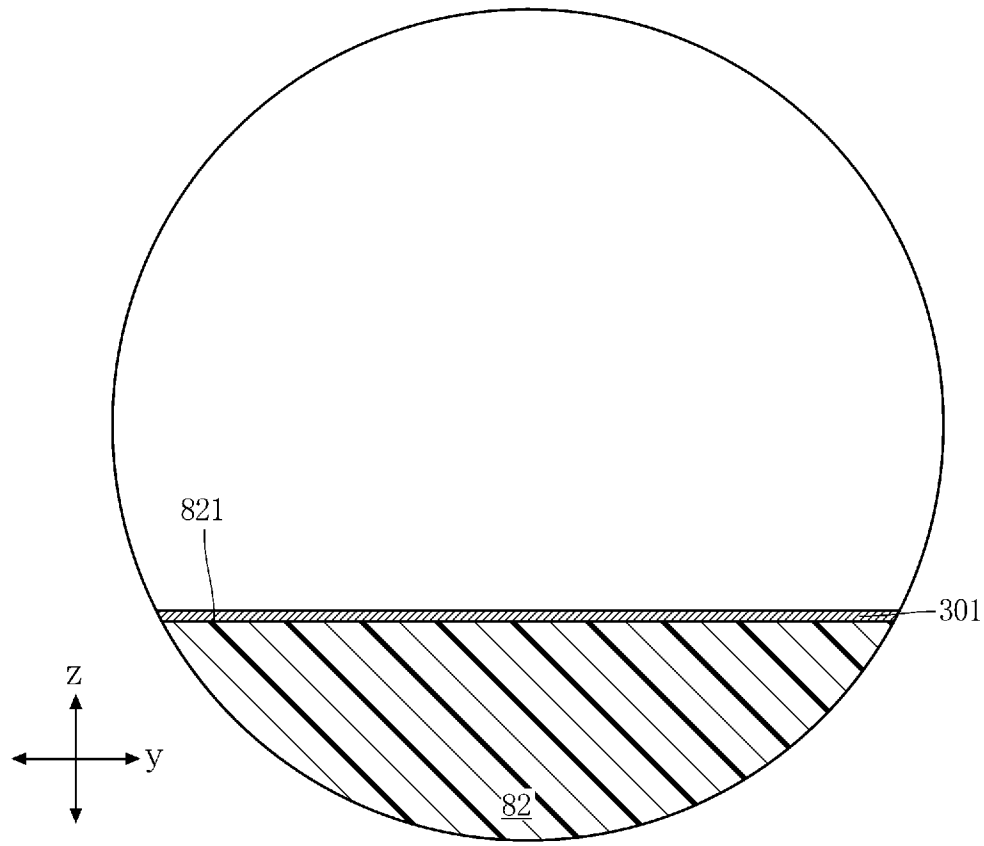


FIG.23

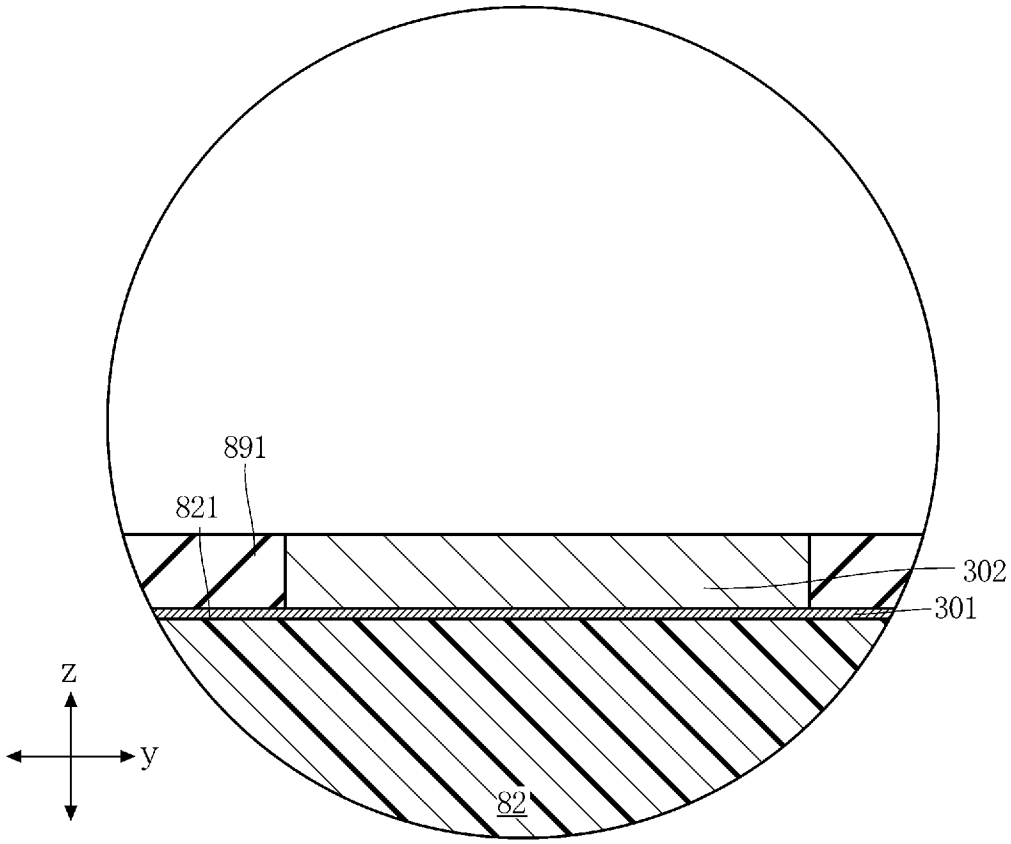
[図24]
FIG.24



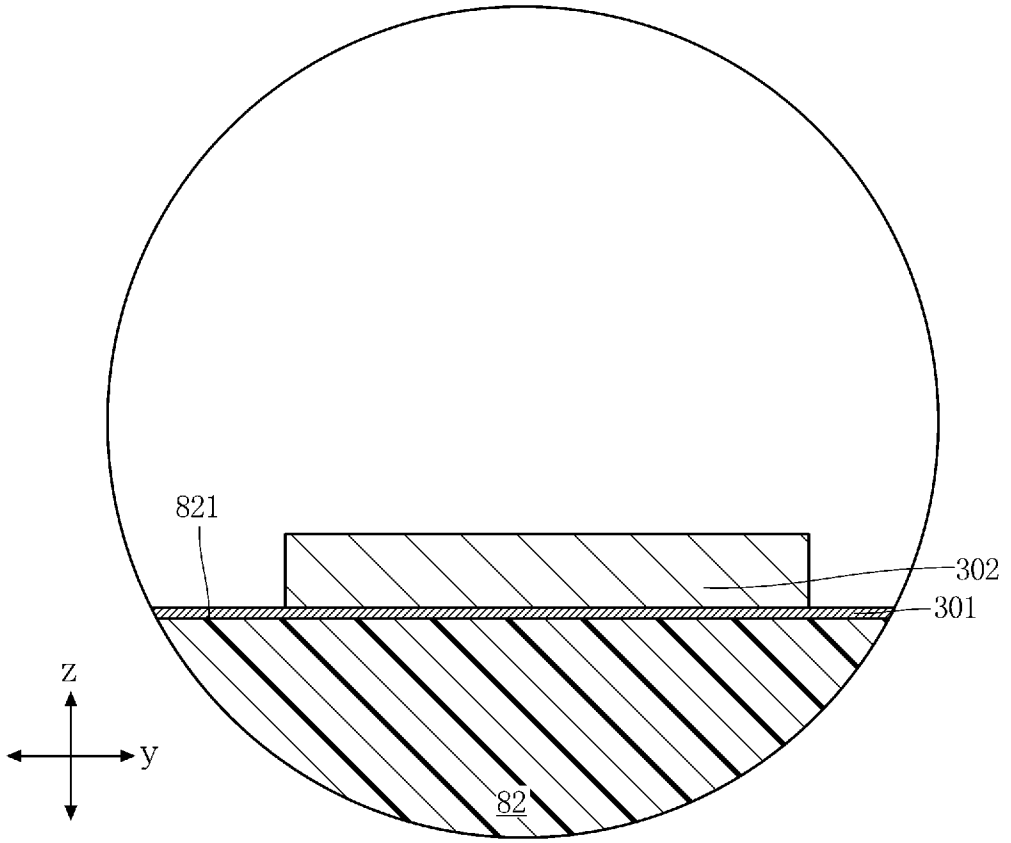
[図25]
FIG.25



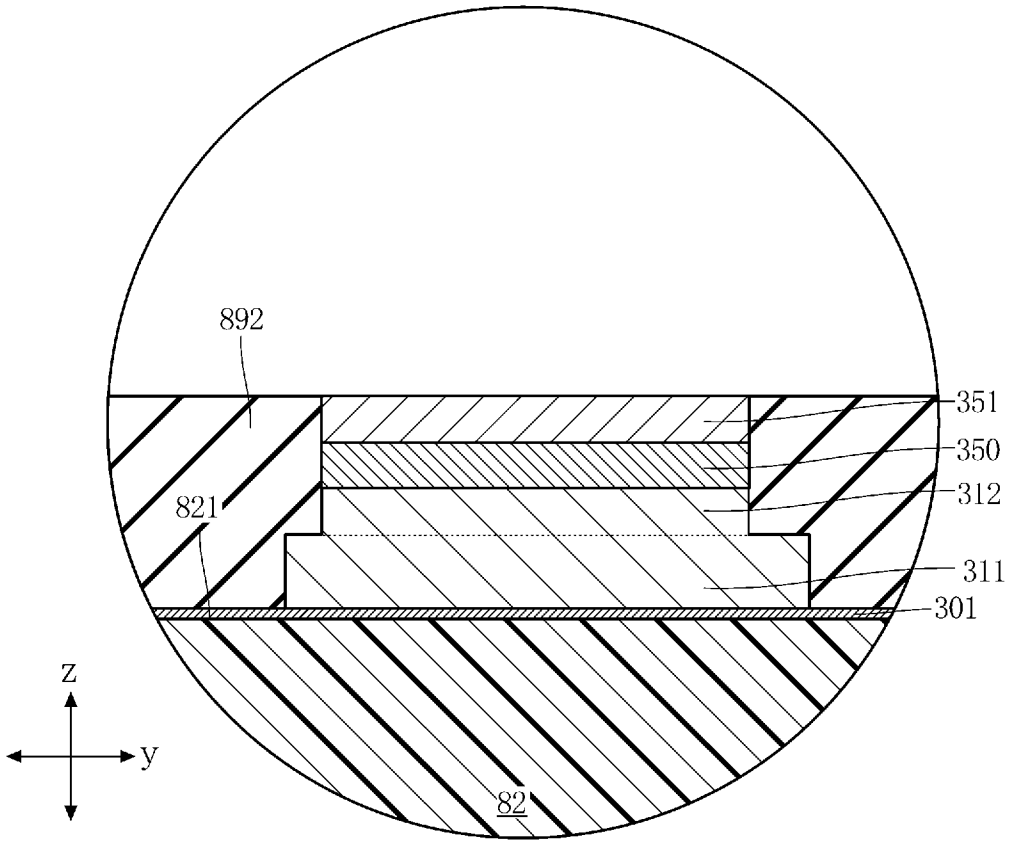
[図26]
FIG.26



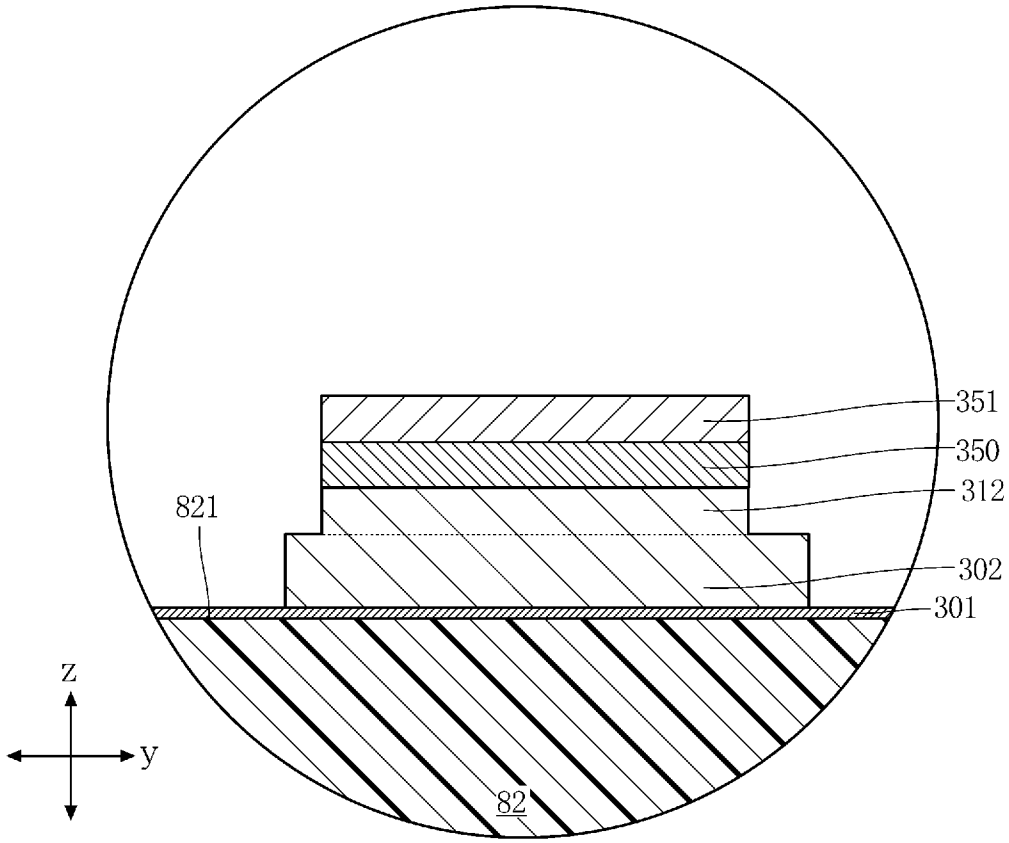
[図27]
FIG.27



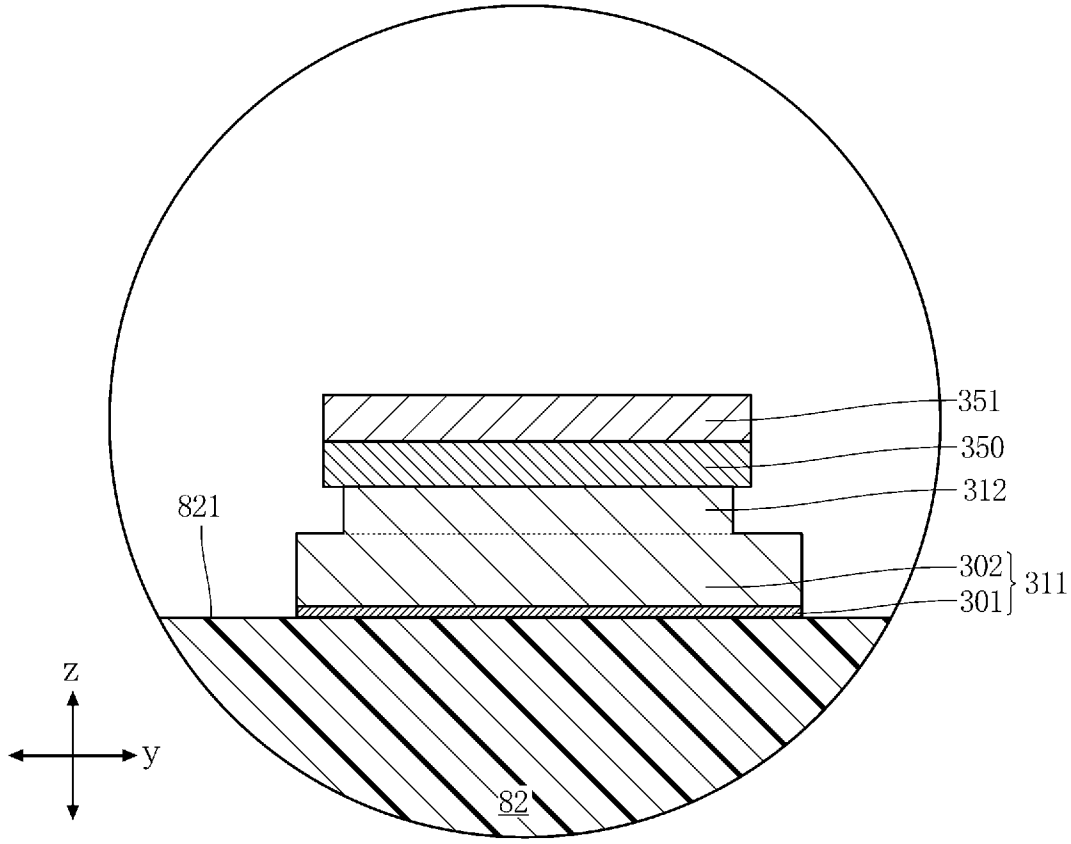
[図28]
FIG.28



[図29]
FIG.29



[図30]
FIG.30



[図31]

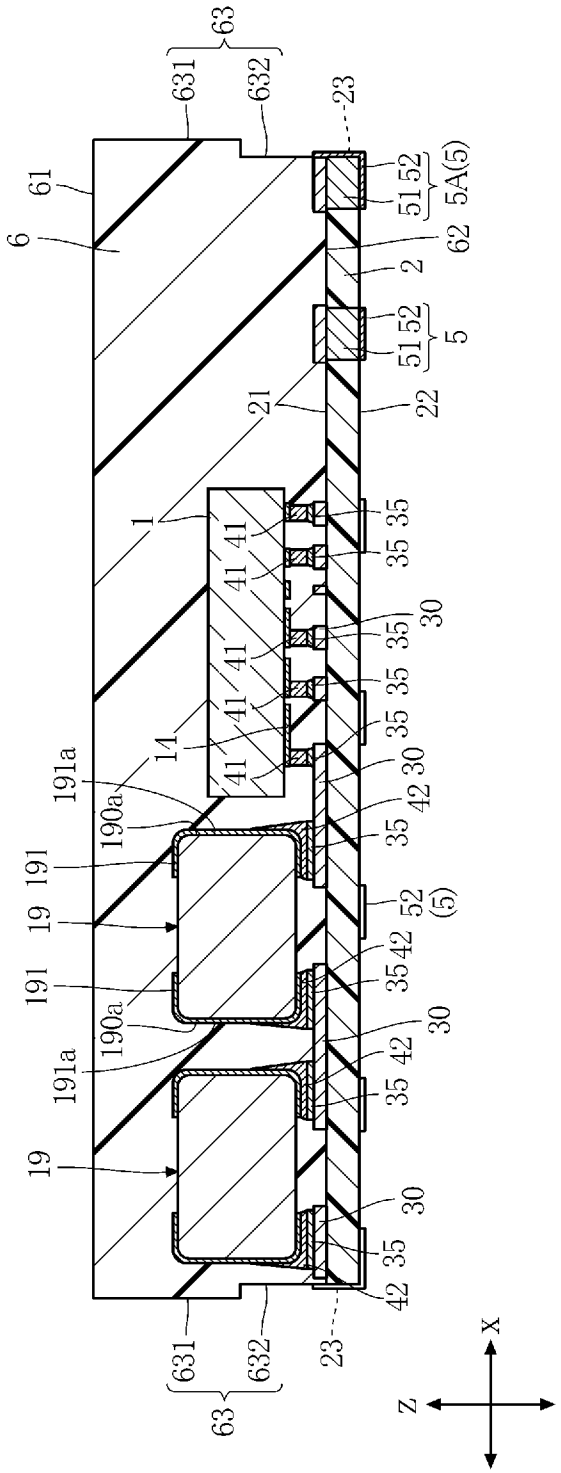

63
631
632
23
61
6
51 52
5A(5)
62
2
5
22
21
1
41
35
30
14
191a
190a
191
19
42
52
(5)
X
Z

FIG.31

[図32]

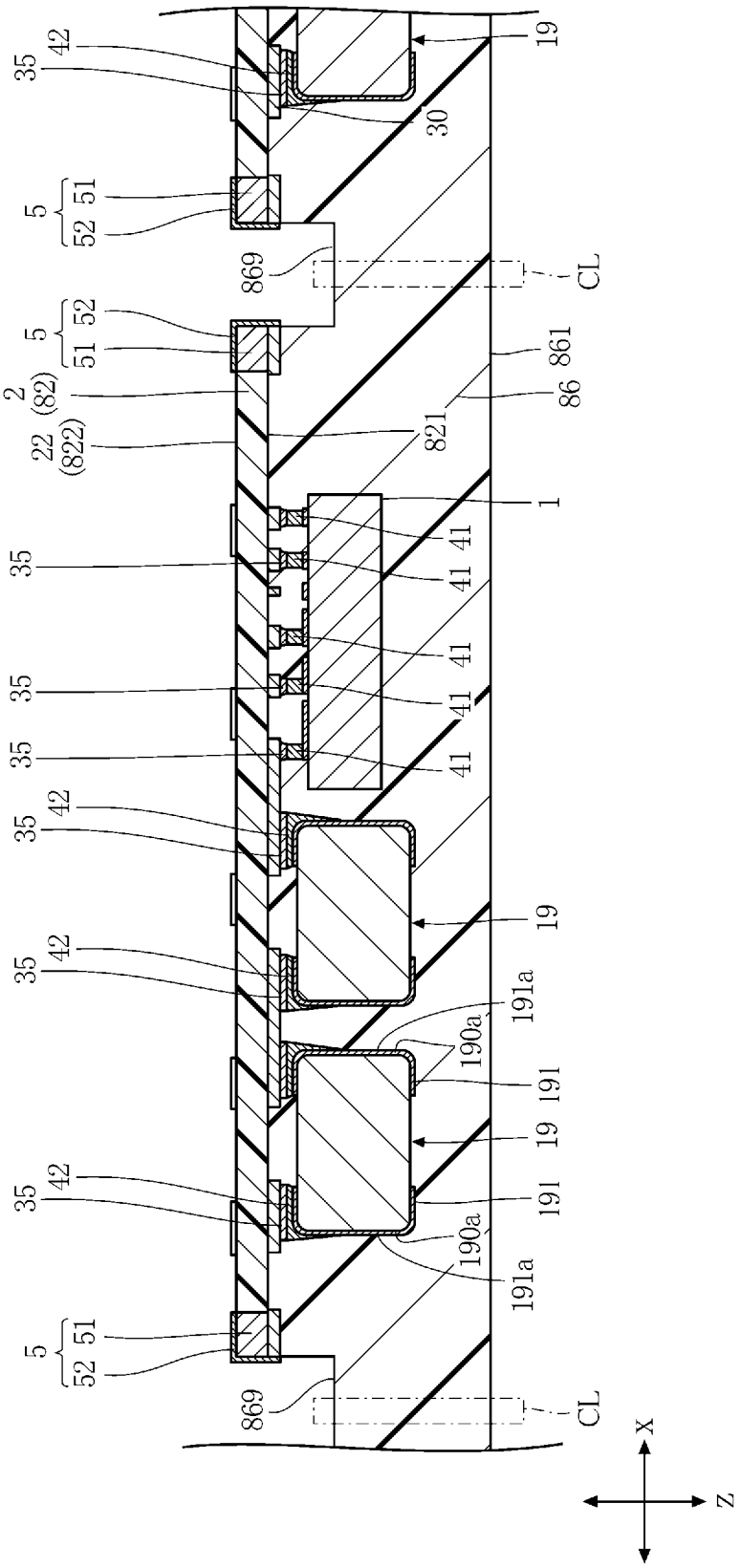
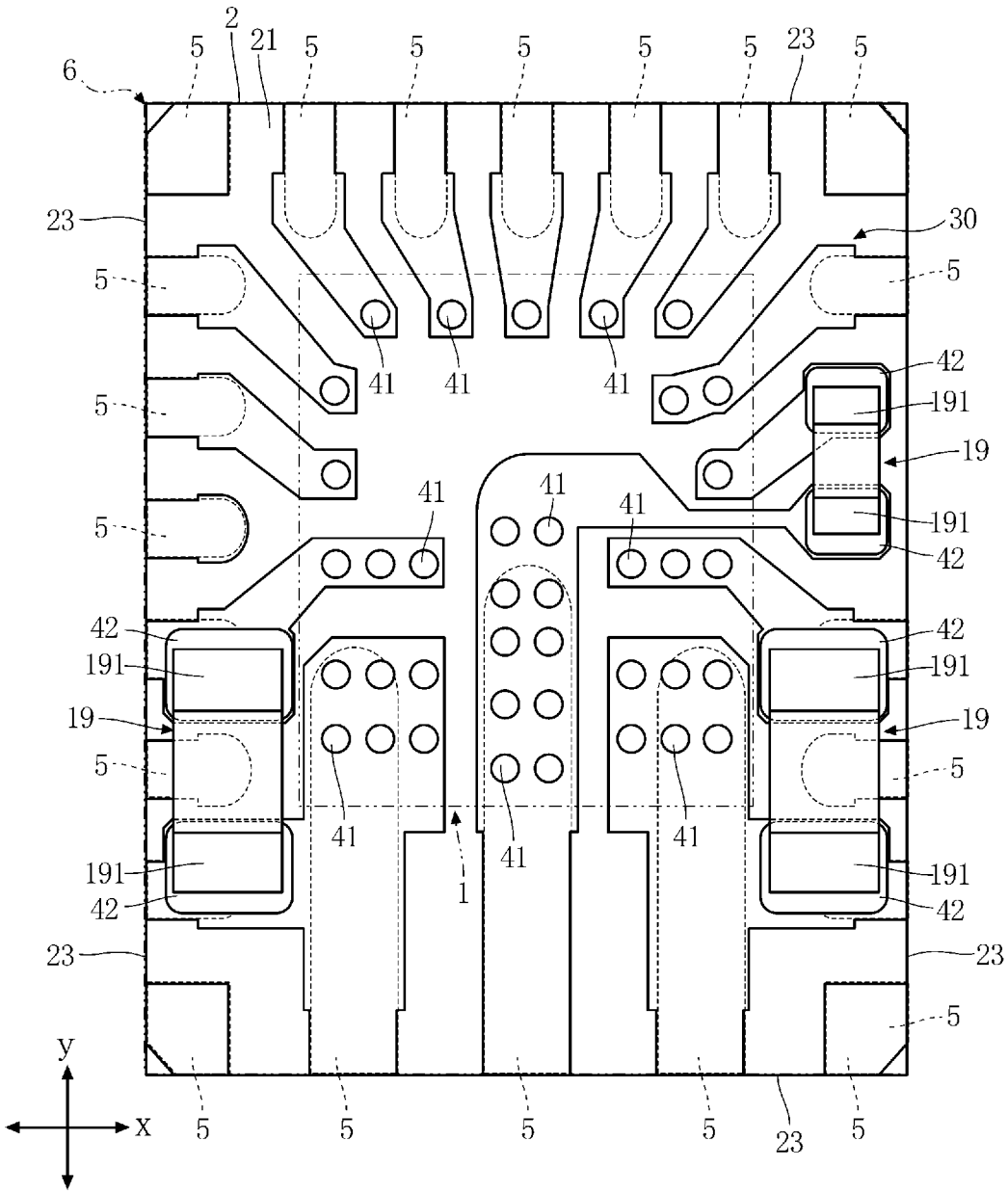
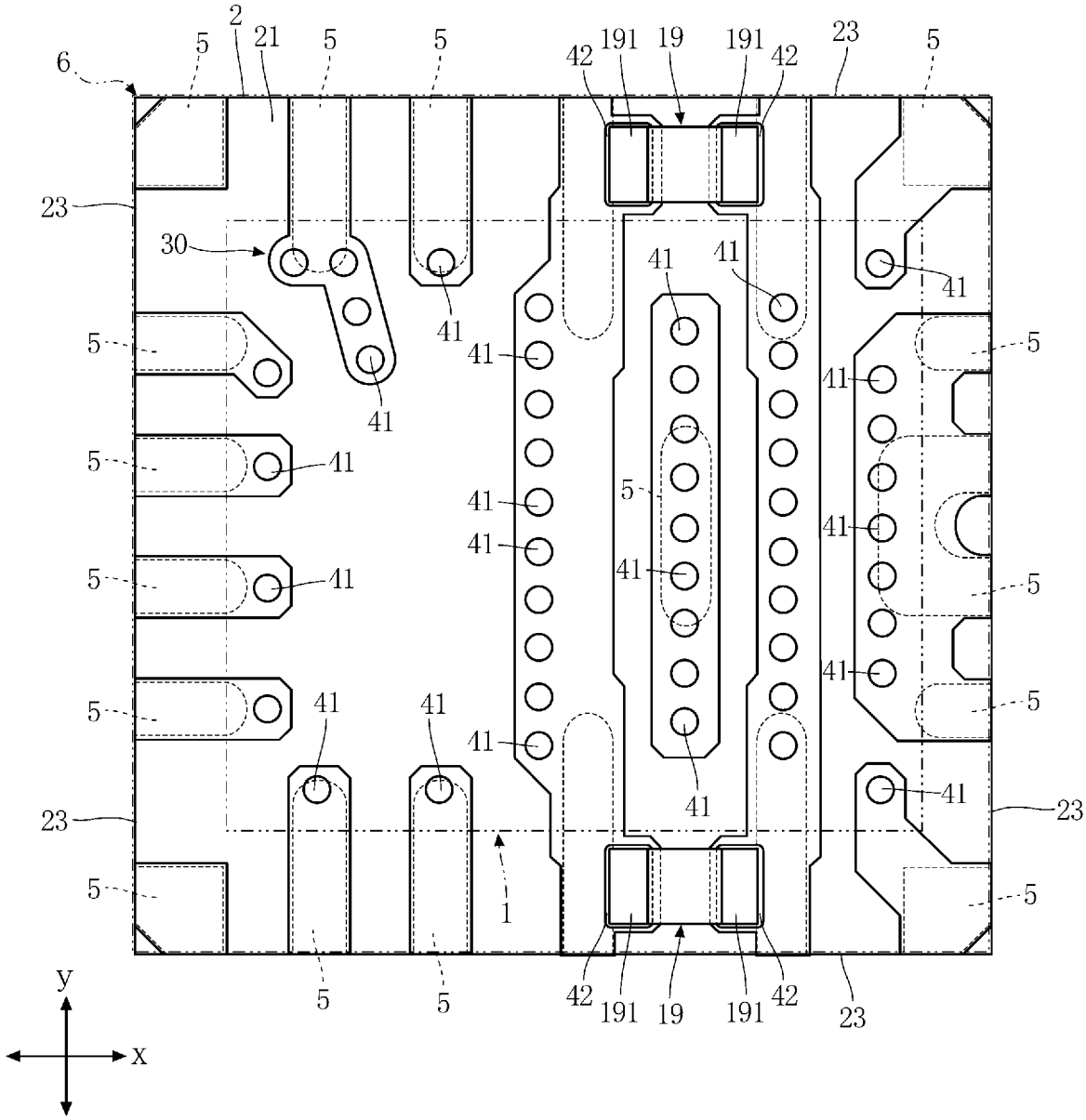

35
42
30
19
5
51
52
869
CL
861
86
2
(82)
22
(822)
821
1
41
191a
190a
191
X
Z

FIG.32

[図33]
FIG.33



[図34]
FIG.34



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/044243

A. CLASSIFICATION OF SUBJECT MATTER

H05K 3/34(2006.01)i; ***H01L 23/12***(2006.01)i
FI: H05K3/34 501D; H01L23/12 Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/34; H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-228422 A (DAI NIPPON PRINTING CO., LTD.) 10 November 2011 (2011-11-10) paragraphs [0025]-[0060], fig. 1-4	1-8
Y	paragraphs [0025]-[0060], fig. 1-4	9, 10, 13-18
X	JP 2022-92505 A (TOPPAN PRINTING CO., LTD.) 22 June 2022 (2022-06-22) paragraphs [0059]-[0077], fig. 4-9	9-14, 18
Y	paragraphs [0059]-[0077], fig. 4-9	9, 10, 13-18
A	JP 2002-246510 A (HITACHI CABLE, LTD.) 30 August 2002 (2002-08-30) entire text	1-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 January 2024	**13 February 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/044243

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2011-228422 A	10 November 2011	(Family: none)	
JP 2022-92505 A	22 June 2022	WO 2022/124394 A1 paragraphs [0279]-[0298], fig. 42-48	
JP 2002-246510 A	30 August 2002	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/044243

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H05K 3/34(2006.01)i; H01L 23/12(2006.01)i
FI: H05K3/34 501D; H01L23/12 Q

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H05K3/34; H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-228422 A (大日本印刷株式会社) 10.11.2011 (2011-11-10) 段落0025-0060,図1-4	1-8
Y	段落0025-0060,図1-4	9,10,13-18
X	JP 2022-92505 A (凸版印刷株式会社) 22.06.2022 (2022-06-22) 段落0059-0077、図4-9	9-14,18
Y	段落0059-0077、図4-9	9,10,13-18
A	JP 2002-246510 A (日立電線株式会社) 30.08.2002 (2002-08-30) 全文	1-18

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.01.2024	13.02.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

原田　貴志 5D 4690

電話番号 03-3581-1101 内線 3551

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/044243

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-228422 A	10.11.2011	（ファミリーなし）	
JP 2022-92505 A	22.06.2022	WO 2022/124394 A1 段落0279-0298、図42-48	
JP 2002-246510 A	30.08.2002	（ファミリーなし）	