

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成25年5月30日 (2013.5.30)

【公開番号】特開2012-84142(P2012-84142A)

【公開日】平成24年4月26日 (2012.4.26)

【年通号数】公開・登録公報2012-017

【出願番号】特願2011-217575(P2011-217575)

【国際特許分類】

G 0 6 T 1/00 (2006.01)

G 0 6 F 15/80 (2006.01)

【 F I 】

G 0 6 T 1/00 5 0 0 B

G 0 6 F 15/80

【誤訳訂正書】

【提出日】平成25年4月15日 (2013.4.15)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

画像データを生成するよう構成されたレンダリングパイプラインであり、複数の並列スレッドを実行するよう構成された処理コアを含む該レンダリングパイプラインを備えており、

前記処理コアが、一以上の単精度オペランドに対して算術演算を実行するよう構成された単精度機能ユニットを含んでおり、

前記処理コアが、倍精度入力オペランドのセットに対して融合型積和演算を実行して倍精度の結果を提供し、一対の倍精度入力オペランドに対して加算演算を実行して倍精度の結果を提供し、一対の倍精度入力オペランドに対して乗算演算を実行して倍精度の結果を提供するよう構成された倍精度の積和演算 (D F M A) 機能ユニットを更に含んでおり、

前記 D F M A 機能ユニットが D F M A パイプラインを含んでおり、前記 D F M A パイプラインは、該 D F M A パイプラインの一回の通過で前記融合型積和演算、前記加算演算、又は前記乗算演算を実行して、該融合型積和演算、該加算演算、及び該乗算演算のそれぞれを、同数のクロックサイクルで完了させるよう十分に広いデータ経路を有し、

前記 D F M A パイプラインは、

第 1 のオペランド、第 2 のオペランド、及び第 3 のオペランドの仮数ビット、指数ビット、及び符号ビットを取り出すオペランド準備ブロックと、

前記第 1 のオペランドと前記第 2 のオペランドの積と前記第 3 のオペランドとの間の相対的な位置合わせ量を求め、前記第 3 のオペランドの位置合わせされた仮数を算出する指数経路と、

前記第 1 のオペランドの仮数と前記第 2 のオペランドの仮数の積を算出し、該積と前記位置合わせされた仮数との和を算出し、該和を正規化し、該正規化に基づいて位置合わせ信号を生成する仮数経路であって、前記指数経路は、該位置合わせ信号に基づいて前記結果用の指数を算出する、該仮数経路と、

前記符号ビットを受けて、該符号ビットから前記結果用の符号を求める符号経路と、

前記結果用の前記符号及び前記指数と前記正規化された和とに基づいて最終結果を生成する出力セクションと、

を有し、

前記仮数経路は、

前記第 1 のオペランドの仮数と前記第 2 のオペランドの仮数の積を算出する乗算器と

、

前記積と前記位置合わせされた仮数との和を算出する加算器と、

を含み、

前記乗算演算において、前記オペランド準備ブロックは、前記第 3 のオペランドの前記仮数として前記加算器にゼロを供給し、

前記加算演算において、前記オペランド準備ブロックは、前記第 2 のオペランドの前記仮数として前記乗算器に 1 . 0 を供給する、

グラフィックスプロセッサ。

【請求項 2】

画像データを生成するよう構成されたレンダリングパイプラインであり、複数の並列スレッドを実行するよう構成された処理コアを含む該レンダリングパイプラインを備えており、

前記処理コアが、一以上の単精度オペランドに対して算術演算を実行するよう構成された単精度機能ユニットを含んでおり、

前記処理コアが、倍精度入力オペランドのセットに対して融合型積和演算を実行して倍精度の結果を提供し、一対の倍精度入力オペランドに対して加算演算を実行して倍精度の結果を提供し、一対の倍精度入力オペランドに対して乗算演算を実行して倍精度の結果を提供するよう構成された倍精度の積和演算 (D F M A) 機能ユニットを更に含んでおり、

前記 D F M A 機能ユニットが D F M A パイプラインを含んでおり、前記 D F M A パイプラインは、該 D F M A パイプラインの一回の通過で前記融合型積和演算、前記加算演算、又は前記乗算演算を実行して、該融合型積和演算、該加算演算、及び該乗算演算のそれぞれを、同数のクロックサイクルで完了させるよう十分に広いデータ経路を有し、

前記 D F M A パイプラインは、

第 1 のオペランド、第 2 のオペランド、及び第 3 のオペランドの仮数ビット、指数ビット、及び符号ビットを取り出すオペランド準備ブロックと、

前記第 1 のオペランドと前記第 2 のオペランドの積と前記第 3 のオペランドとの間の相対的な位置合わせ量を求め、前記第 3 のオペランドの位置合わせされた仮数を算出する指数経路と、

前記第 1 のオペランドの仮数と前記第 2 のオペランドの仮数の積を算出し、該積と前記位置合わせされた仮数との和を算出し、該和を正規化し、該正規化に基づいて位置合わせ信号を生成する仮数経路であって、前記指数経路は、該位置合わせ信号に基づいて前記結果用の指数を算出する、該仮数経路と、

前記符号ビットを受けて、該符号ビットから前記結果用の符号を求める符号経路と、

前記結果用の前記符号及び前記指数と前記正規化された和とに基づいて最終結果を生成する出力セクションと、

を有し、

前記仮数経路は、

前記第 1 のオペランドの仮数と前記第 2 のオペランドの仮数の積を算出する乗算器と

、

前記積と前記位置合わせされた仮数との和を算出する加算器と、

を含み、

前記仮数経路は、前記乗算演算において前記加算器をバイパスし、該加算器と同数のクロックサイクルを消費する遅延回路を含むバイパス経路を有し、

前記仮数経路は、前記第 1 のオペランドの前記仮数用のバイパス経路であり前記加算演算において前記乗算器をバイパスし、該乗算器と同数のクロックサイクルを消費する遅延回路を含むバイパス経路を更に有する、

グラフィックスプロセッサ。

【請求項 3】

前記指数経路は、オーバーフロー条件又はアンダーフロー条件の発生を検出するアンダーフロー／オーバーフロー論理回路を有し、

前記出力セクションは、前記アンダーフロー／オーバーフロー論理回路が前記オーバーフロー条件又はアンダーフロー条件を検出したときに、浮動小数点算術演算の規格に準拠するオーバーフロー結果又はアンダーフロー結果を生成し、前記オーバーフロー条件又は前記アンダーフロー条件が発生したか否かを示すための出力ステータスフラグをセットするように、更に構成されている、請求項 1 又は 2 に記載のグラフィックスプロセッサ。

【請求項 4】

前記処理コアが、並列に動作するようになっている前記単精度機能ユニットの複数（ P 個）の複製と、前記 D F M A 機能ユニットの複数（ N 個）の複製と、を含んでいる、請求項 1 ～ 3 の何れか一項に記載のグラフィックスプロセッサ。

【請求項 5】

前記数 P が前記数 N よりも大きい、請求項 4 に記載のグラフィックスプロセッサ。

【請求項 6】

前記数 N が 1 である、請求項 5 に記載のグラフィックスプロセッサ。

【請求項 7】

前記処理コアが、前記 D F M A 機能ユニットを対象とする P 個のセットの倍精度入力オペランドを集めて、前記 P 個のセットの倍精度オペランドのうち異なるセットの倍精度オペランドを、異なるクロックサイクルにおいて、前記 D F M A 機能ユニットに提供するようになっている入力マネージャ回路を更に含んでいる、請求項 6 に記載のグラフィックスプロセッサ。

【請求項 8】

前記入力マネージャ回路が、前記単精度機能ユニットを対象とする P 個のセットの単精度入力オペランドを集めて、前記単精度機能ユニットの前記 P 個の複製のそれぞれに、前記 P 個のセットの単精度オペランドのうち異なるセットの単精度オペランドを、並列に提供するように、なっている、請求項 7 に記載のグラフィックスプロセッサ。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 1 1

【訂正方法】変更

【訂正の内容】

【0 0 1 1】

[0011] 本発明の別の態様によると、グラフィックスプロセッサは、画像データを生成するようになっているレンダリングパイプラインを含んでいる。このレンダリングパイプラインは、複数の同時スレッドを実行するようになっている処理コアを含んでいる。処理コアは、一以上の単精度オペランドに対して算術演算を実行するようになっている単精度の機能ユニットと、倍精度入力オペランドのセットに対して積和演算を実行して倍精度の結果を提供するようになっている倍精度の融合型積和演算（D F M A）機能ユニットと、を含んでいる。この D F M A 機能ユニットは、D F M A パイプラインを含んでおり、D F M A パイプラインは、当該 D F M A パイプラインの一回の通過で積和演算を実行するのに十分に広いデータ経路を有することが好適である。例えば、D F M A 機能ユニットは、倍精度の二つの仮数の積を 1 回の反復で計算するようになっている乗算器と、倍精度の二つの仮数の和を 1 回の反復で計算するようになっている加算器と、を含んでいてもよい。