公告本

394942

申請日期	87 年 8 月 7 日
案號	87113062
類別	G11C 11/00

A4
C4

394942

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體積體電路裝置
	英文	Semiconductor integrated circuit device
二、發明 創作 人	姓名	(1) 水野弘之 (2) 青木郭和 (3) 石橋孝一郎
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都國分寺市西恋ヶ窪三－八－一一八七 (2) 日本國東京都八王子市中野上町一－三〇－四 (3) 日本國埼玉縣蕨市南町三－七－六
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1997 年 8 月 28 日	9-232052	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明領域

本發明係關於振盪器電路及半導體積體電路裝置，半導體積體電路裝置係包含採用振盪電路之低顫動和低歪斜之時計配送系統。

發明背景

舉例而言，使用傳統的ＰＬＬ（鎖相迴路）之時計產生方法揭示於１９９２年ＩＥＥＥ JOURNAL OF SOLID STATE CIRCUITS, VOL ２７，ＮＯ １１（此後簡稱爲“習知技藝實施例Ａ”）。

圖２係說明採用傳統的ＰＬＬ之時計產生單位之結構。參考時計訊號ｆｅｘｔ會從電路外部輸入至ＰＬＬ。ＰＬＬ包含下述：ＰＬＬ包含下述：“ＰＦＤ”，相位／頻率比較器；”ＣＰ”，電荷泵；”ＬＰＦ”，低通濾波器；”ＶＯＣ０”，電壓控制式振盪器；”ＤＩＶＮ”１／Ｎ分頻器；”ＤＩＶ２”，１／２分頻器；及”ＮＯ”，時計配送網路。省略這些電路元件之細節。

藉由相位／頻率比較器ＰＦＤ比較參考時計訊號ｆｅｘｔ與內部時計訊號ｆｉｎｔ之間的相位差或頻率差，會從相位／頻率比較器ＰＦＤ輸出誤差訊號ＵＰ或ＤＮ。誤差訊號會由電荷泵ＣＰ轉換成類比訊號，且訊號的高頻成份會由低通濾波器ＬＰＦ移除。所造成的訊號會輸入至電壓控制式振盪器ＶＣＯ０作爲振盪頻率控制訊號ＶＣ。電壓控制振盪器ＶＣＯ０的振盪輸出會由分頻器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

ＤＩＶ２分割成振盪輸出ｆｉｎｔ０，其頻率爲先前振盪器輸出的頻率的一半且其作比例爲５０％，並被輸入至時計配送網路ＮＯ。

來自時計配送系統之返回訊號ｆｉｎｔ之頻率會由１／Ｎ分頻器ＤＩＶＮ分頻。所造成的訊號會輸入至相位／頻率比較器ＰＦＤ。參考時計ｆｅｘｔ及內部時計ｆｉｎｔ的相位會由此鎖相迴路ＰＬＬ０鎖相，且訊號ｆｉｎｔ的頻率會變成訊號ｆｅｘｔ的頻率的Ｎ倍。

發明概述

內部時計ｆｉｎｔ的頻率逐年增加，且時計配送網路ＮＯ的面積隨著晶片面積增加而加大。當時計要於寬廣面積上以高速穩定地饋送時，會於時計配送系統中發生問題。如下所述，這些問題發生於習知技藝實施例Ａ中。

（１）時計配送網路的延遲時間，亦即，訊號ｆｉｎｔ０與ｆｉｎｔ之延遲，相較於１／ｆｉｎｔ會變得相當長。因此，時計配送網路的歪斜網路會影響時計配送網路與鎖相迴路ＰＬＬ０結合的整個時計配送系統之功效。而且，有一方法，於其中晶片內的時計饋送範圍會以大數目分裂，且於其中設置獨立的ＰＬＬ用於個別的時計饋送副範圍。但是，在此方法的情形下，會有如下所述的問題。

（２）一般而言，ＰＬＬ較不受諸如電源雜訊及基底雜訊等雜訊影響，且此種雜訊會增加訊號ｆｉｎｔ０的振

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（3）

盪頻率及相位的顫動。在晶片內提供大量的ＰＬＬ將須考慮對每一ＰＬＬ減少雜訊。

（３）大量ＰＬＬ的總面積會影響整個晶片的面積。在慮及問題（２）時，每一ＰＬＬ的面積甚至增加更多。

（４）獨立的時計饋送副範圍之間的時計歪斜成爲 TskewG + 2*TskewL + 2*Tjitter ，其中 TskewL 代表個別時計饋送副範圍之內的歪斜， Tjitter 代表ＰＬＬ的顫動，而 TskewG 代表發生於每一ＰＬＬ之參考時計的歪斜。

（５）由於設置如此大量的ＰＬＬ，所以耗電量增加。

發明之目的係爲解決上述問題，而提供振盪電路及包含使用振盪電路的時計配送系統之半導體積體電路裝置。

特別是，發明的目的係提供半導體積體電路裝置，其具有多個振盪器，每一振盪器均具有振盪節點，其中每一振盪器的振盪節點連接在一起。較佳的是，以爲閉迴路方式，以導電接線將振盪器連接在一起。

發明之又一目的係振盪器會同步以便以實際相同的頻率振盪及又以實際相同的相位振盪。

發明的另一目的係振盪器會於連接點處連接至接線，於連接點之間具有實際相同的接線長度間隔，導致振盪器同步以便以實際相同的頻率及相位振盪。

在發明的較佳實施例中，半導體積體電路裝置具有多個振盪器，多個振盪器係於篩網交會點處連接至篩網形狀的導電接線，其中於所有連接點之中，連接點之間的導電接線之長度間隔實際相同。較佳的是，長度間隔至少５０μ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

m。

在本發明的又一目的中，振盪器係環狀振盪電路，具有環狀連接的反相器，其中每一環狀振盪電路的至少一反相器的輸出會連接至導電接線。或者，振盪器可爲具有至少一反相器連接至導電接線之多級連接反相器之延遲線。

根據發明的另一目的，半導體積體電路裝置設有具有時計配送電路之多個電路區及多個振盪器，多個振盪器會輸出時計訊號至時計配送電路，於時計配送電路中設置導電接線以將每一振盪器的振盪節點連接在一起。在此配置中，電路區可能包括邏輯電路或記憶體電路且相對於多個電路區以一對一之方式設置多個振盪器。

在發明的又另一目的中，半導體積體電路裝置具有由接線將輸出連接在一起之多個振盪電路、連接至振盪電路之多個時計配送電路以及比較時計配送電路的時計訊號與參考時計訊號之相位頻率轉換器，其中振盪電路會改變振盪頻率以回應來自相位頻率比較器的訊號。

根據本發明，半導體積體電路裝置設置有多個振盪器及導電接線，多個振盪器具有實際上相同的自然振盪頻率，導電接線會將每一振盪器的輸出連接在一起。結果，振盪器會以不受供應至每一振盪器的電壓波動影響之實際相同的頻率振盪。此外，由於這些振盪器會同步以提供不受電壓源的波動影響之實際相同的輸出頻率，所以這些振盪器適於提供時計訊號給多個時計配送電路，配送電路會將時計訊號分送給半導體積體電路裝置上的電路區。結果，根

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

據本發明實施例，可提供分送之時計訊號，其不因雜訊而變動，且因而具有低顫動及歪斜。

圖式簡述

圖1係顯示本發明的基本實施例。

圖2係顯示採用傳統的PLL之時計產生單元。

圖3(A)及3(B)係顯示圖形，說明根據本發明之振盪電路的電路模擬波形。

圖4係顯示實施例的圖形，於其中，在本發明的振盪電路中，環式振盪器連接至分別的電源。

圖5係根據本發明的振盪電路之實施例，其中於2環式振盪器中採用差動反相器。

圖6係發明的實施例，顯示不同於圖1實施例所示之連接。

圖7係發明的實施例，顯示不同於圖1實施例所示之連接。

圖8係發明之振盪電路實施例，其中環式振盪器連接至陣列形的篩網。

圖9係實施例之圖形，於其中使用本發明的振盪器將時計饋送至多個邏輯電路。

圖10係根據圖9之發明實施例中，用於個別邏輯電路之時計的相位作成可調整的。

圖11係實施例的圖形，於其中使用本發明的振盪器作爲鎖相迴路PLL電路中的電壓控制式振盪器（變頻振盪

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

器）。

圖１２(A)係顯示電壓控制式振盪器的基本實施例。

圖１２(B)係顯示電壓控制式振盪器的另一基本實施例。

圖１３係根據本發明的時計配送網路之基本實施例。

圖１４係根據本發明的微處理機。

圖１５係本發明應用至延遲線之實施例。

圖１６係使用電壓控制式延遲線（可變延遲線）作爲圖１５中的延遲線以構成延遲鎖迴路之實施例。

圖１７(A)係顯示圖８中所示的發明實施例具有切換開關插入於篩網的連接點之間。

圖１７(B)係用於圖１７Ａ的實施例中的切換開關。

圖１８係類似於圖８的實施例，使用ＰＬＬ取代圖８中所示之環式振盪器。

圖１９係圖１８中所使用的ＰＬＬ之實施例。

主要元件對照表

ＯＳＣ	振盪器
ＰＬＬ	鎖相迴路
ＰＦＤ	相位／頻率比較器
ＣＰ	電荷泵
ＬＰＦ	低通濾波器
ＶＯＣ	電壓控制式振盪器
ＤＩＶ２	１／２分頻率
ＮＯ	時計配送網路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

fext	參考時計訊號
fint0	內部時計訊號
LOG	邏輯電路
1200	微處理機
1201	邏輯電路區
1202	邏輯電路區
1203	邏輯電路區
1211	時計配送網路
1212	時計配送網路
1213	時計配送網路
1220	佇鎖
1231	通用時計
1232	通用時計
1233	通用時計
1241	區域時計
DLL	延遲鎖迴路

較佳實施例詳述

圖1係顯示本發明的振盪電路之基本實施例，其包含環式振盪器OSC1－OSC2，分別配置有反相器110－11M、120－12m、及1n0－1nm。每一環式振盪器的振盪節點之一會連接至節點101－10n中的對應者，而相鄰的節點101－10n會由接線連接在一起，較佳地爲閉迴路形連接。而且，較佳的是，接線長

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

度間隔或相鄰節點之間的距離（舉例而言，節點１０１與１０２之間的距離）係等距離１。反相器１１０－１１ｍ、１２０－１２ｍ、及１ｎ０－１ｎｍ可爲ＣＭＯＳ反相器，但並未侷限於此。爲簡化說明，僅述及ＣＭＯＳ型反相器會用於下述圖１的說明中。

由於個別環式振盪器ＯＳＣ１－ＯＳＣｎ的振盪節點會彼此連接，所以，這些環式振盪器ＯＳＣ１至ＯＳＣｎ會以實際相同的相位／頻率振盪。

圖３（Ａ）係說明環式振盪器的數目爲四的情形下之電路模擬波形。橫軸代表時間，而縱軸代表個別節點的電壓。在圖式中，Ｖ（ｘ），亦即Ｖ（１０１）、Ｖ（１０２）等等，代表節點ｘ的電位。模擬中所使用的電晶體係ＣＯＭＳ電晶體，每一電晶體的閘長度爲０．２５μｍ。反相器１１０－１１ｍ、１２０－１２ｍ、及１ｎ０－１ｎｍ均爲相同型式的反相器（於其中每一ＰＭＯＳ電晶體的閘寬度Ｗｐ爲１０μｍ，而每一ＮＭＯＳ電晶體的閘寬度Ｗｎ爲５μｍ）。電壓源爲１．８Ｖ，而節點之間的距離爲３ｍｍ。假設在初始狀態時，個別節點１０１－１０４具有不同於其初始值之電位（在０ｎｓ的時間點時）。雖然在時間點０ｎｓ時有不同的相位，但是，仍然可見環式振盪器ＯＳＣ１至ＯＳＣ４會於時間點０ｎｓ後一會兒建立的穩定狀態之下，以相同的相位／頻率振盪。

在此方式下，由於本發明的配置結果，相鄰者間彼此以距離１間隔之環式振盪器會以相同的相位／頻率振盪。距

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

離1的範圍從1μm至10mm。具有振盪頻率不視個別距離而定之優點。

雖然，在前述中，圖1中個別相鄰的節點之間的距離被設定爲等距離1，但是，它們無須總是相等的距離。在此情形中，在穩定狀態下，雖然個別環式振盪器的振盪具有實際相同的頻率，但是它們不具有相同的相位。個別的環狀振盪器會同步振盪，同時保持相位δ1－δn（假使個別相鄰節點之間的距離均爲等距離1，則保持δ1＝δ2＝δ3＝……＝δn）。

此外，雖然構成個別的環式振盪器之反相器110－11m、120－12m、及1n0－1nm均於圖3中顯示爲相同型式，但是，它們無須總是爲相同型式。假使它們不相同，則個別環式振盪器會以實際相同的頻率振盪，但如同上述般於穩定狀態下爲不相同相位。個別的環式振盪器會同步振盪並具有相位δ1－δn。相對地，藉由調整個別環式振盪器的反相器之排序（負載驅動能力等等）以改變相位δ1－δn。即使當所有的個別相鄰節點之間的距離並未設定爲等距離1時，仍可經由使用此特性以調整個別環式振盪器的反相器之排序，而使個別環式振盪器的相位δ1－δn實際相同。

一般而言，由於反相器11m－1nm必須驅動節點101－10n以及連接它們之接線，所以，這些反相器中的每一者均需要相當高的負載驅動能力（在CMOS電晶體的情形下爲閘寬加大）。因此，舉例而言，爲降低耗

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

電量，有效的是使負載驅動能力依反相器１１０、１１１……及１１ｍ之次序漸漸變高。

此外，於環式振盪器中反相器的級數無須相同。假使環振盪器的自然振盪頻率於某程上相等，則本發明的構造能使個別環式振盪器於穩定狀態下保持相位δ１－δｎ以相同的頻率振盪。

接著，將解釋諸如電壓源波動或基底電壓波動等雜訊作用於本發明的振盪器之情形下的特性。

圖３（Ｂ）說明僅有環式振盪器ＯＳＣ１具有不同於其它環式振盪器之電壓源的情形下之電路模擬波形。環式振盪器ＯＳＣ１的電壓源爲２．０Ｖ，而其它條件與圖３（Ａ）的模擬相同。環式振盪器ＯＳＣ１至ＯＳＣ４於時間點０ｎｓ一會兒之後建立的穩定狀態下，以實際相同的相位／頻率振盪。

本發明的振盪電路係配置成具有大量的環式振盪器，具有即使數個組成的環式振盪器的電壓源波動時，整個振盪電路的相位／頻率也難以改變之優點（在環式振盪器於無電壓源波動或基底電壓波動之穩定狀態下具有相位δ１－δｎ之情形下，它們會作用以保持相位而抵抗電壓源波動及基底電壓波動）。

使用作動於環式振盪器之電壓源波動不影響其它環式振盪器的電壓源之配置，則此效果變得更大。一般而言，積體電路中的電壓源波動產生於本地。因此，在電源由多個環式振盪器共用時，距離１愈大愈佳。此外，較佳的是，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

個別的環式振盪器於實用上儘可能不共用電源。舉例而言，可將分別的電壓源產生器或電壓源穩定器用於個別的環式振盪器。

雖然僅於前述中提及本發明關於電壓源波動之效應，但是，對基底電壓波動仍然有相同的效應。

圖4係顯示本發明的實施例，其利用上述根據本發明之不受雜訊影響之考量。相較於圖1的實施例，圖4中的實施例之不同點在於個別的環式振盪器ＯＳＣ１－ＯＳＣｎ係以成對的振盪器（ＯＳＣ１ａ，ＯＳＣ１ｂ）－（ＯＳＣｎａ，ＯＳＣｎｂ）之方式構成的。此外，環式振盪器對會連接至不同的電壓源ＶＤＤ１ａ－ＶＤＤｎａ以及ＶＳＳ１ａ－ＶＳＳｎａ和ＶＤＤ１ｂ－ＶＤＤｎｂ及ＶＳＳ１ｂ－ＶＳＳｎｂ。

由於雜訊的區域性，所以，諸如電壓源波動之雜訊同時地牽涉於電壓源ＶＤＤ１ａ－ＶＤＤｎａ和ＶＳＳ１ａ－ＶＳＳｎａ以及電壓源ＶＤＤ１ｂ－ＶＤＤｎｂ和ＶＳＳ１ｂ－ＶＳＳｎｂ中之機率是低的。因此，能夠於節點４０１－４０ｎ處抑制導因於電壓源波動、基底電壓波動等之振盪頻率及相位的波動。

上述之本發明的效果類似於所謂的旁通電容器（解耦合電容器）之效果，其係插入於電壓源之間以便抑制電壓源波動。旁通電容器係用以在雜訊不存在的狀態下於雜訊存在於具有預定電位（電位意指供應電壓）的訊號之情形下保持預定電位。另一方面，本發明的振盪器係用以在雜訊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

不存在的穩定狀態下於雜訊存在於具有預定頻率／相位的訊號之情形下保持預定的振盪頻率／相位。

雖然於圖1至4的實施例中使用單一端輸入／輸出型的反相器，但是也可使用如圖5所示之具有差動輸入／輸出、ＯＳＣ1ｄ－ＯＳＣｎｄ的差動反相器（差動反相器的詳細電路實施例說明於習知技藝實施例A的圖１１中，且將省略說明）。在此情形下，差動反相器具有正邏輯輸出及負邏輯輸出之振盪輸出，以致於等同於圖1中的節點１０１－１０Ｎ者爲形成雙軌之節點（５０１Ａ，５０１ｂ）－（５０ｎａ，５０ｎｂ）。

此外，雖然使用圖1至5的實施例中之振盪的特別一者以連接環式振盪器，但是，也可使用圖6中所示的每一振盪器之多個振盪節點（具有不同相位），將它們連接。在圖6中，每一環式振盪器的二節點會用於如同所示之６０１ａ－６０ｎａ及６０１ｂ－６０ｎｂ處之連接。由於環式振盪器之間的耦合程度比圖1的連接態樣之情形更加強化，所以，可加雜訊免疫力。

圖7及8係說明發明的實施例，於振盪器的連接上，不同於前述實施例。相較於圖1的實施例，圖7的實施例特徵在於未有直接連接環式振盪器ＯＳＣ1及ＯＳＣｎ之接線部份存在。在此情形下，即使在節點１０１－１０ｎ中所有個別的相鄰者之間的距離爲等距離1及所有的環式振盪器ＯＳＣ1－ＯＳＣｎ具有相同特性的情形下，雖然環式振盪器ＯＳＣ1－ＯＳＣｎ真正地以相同頻率振盪，但

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

是它們不會以相同相位振盪。此處，環式振盪器ＯＳＣ１－ＯＳＣｎ同步振盪，但保持相位δ１－δｎ。不僅可藉由調整個別相鄰節點之間的距離，也可藉由調整環式振盪器ＯＳＣ１至ＯＳＣｎ的排序（負載驅動能力等），以使相位δ１－δｎ相同。舉例而言，在振盪電路的相對端處，環式振盪器ＯＳＣ１及ＯＳＣｎ之負載驅動能力均可設定爲其它環式振盪器的能力之一半。

圖８係說明環式振盪器由導電接線以ｘｑ篩網之形狀連接在一起的實施例。篩網連接可用於發明之實際應用中，但是，不同的連接態樣可視爲發明的一部份，且只要連接配置的結果可使環式振盪器因而同步振盪，則可採用任何連接態樣。根據發明，具有自然振盪頻率之多個實際上相同的振盪器會經由環式振盪器的節點而連接，以致於振盪器會以實際相同的頻率振盪。結果，以圖８的配置可取得類似於圖１至４中所示的每一實施例之效果。在後續說明中，爲簡潔起見，將使用圖１的實施例，說明採用本發明的振盪器或振盪電路之實施例。

圖９係說明發明的實施例，其中藉由使用本發明之振盪器，將時計饋送至多個邏輯電路。ＬＯＧ１－ＬＯＧ７代表邏輯電路，而７１１－７１ｎ代表緩衝器。相較於圖１的實施例，緩衝器７１１－７１ｎ係連接至對應於圖１中的節點１０１－１０ｎ之節點７０１－７０ｎ，而這些緩衝器的輸出７２１－７２ｎ分別饋送至邏輯電路ＬＯＧ１－ＬＯＧｎ。如上所述，於節點７０１－７０ｎ處，環式

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

振盪器會以實際相同的頻率及實際相同的相位振盪（雖然環式振盪器能如上述般以相位δ１－δｎ振盪，但是爲簡潔起見，假設它們被連接以提供具相同相位之振盪）。因此，不具歪斜之時計訊號可以饋送至邏輯電路ＬＯＧ１－ＬＯＧｎ。此外，由於如同前述的雜訊免疫，所以，仍可饋送發生小顫動的時計訊號。當然，將省略緩衝器７１１－７１ｎ。當緩衝器７１１－７１ｎ存在時，可以抑制從邏輯電路ＬＯＧ１－ＬＯＧｎ至振盪器之雜訊傳送。

如同圖３（Ｂ）所示，在節點電位改變後的某些時間週基之後，在雜訊存在下之節點７０１－７０ｎ處的歪斜會較少。因此，連接至節點７０１－７０ｎ之緩衝器７１１－７１ｎ應較佳地爲史密特輸入（Schmitt input）。所以，可以減少緩衝器７１１－７１ｎ的輸出歪斜。

在圖９的實施例中，藉由調整對應的緩衝器７１１－７１ｎ的延遲時間，則可以於延遲方向上個別地調整輸入至個別邏輯電路ＬＯＧ１－ＬＯＧｎ之時計訊號７２１－７２ｎ的相位。

圖１０係說明要饋送至個別邏輯電路之時計７２１－７２ｎ的相位也可以於領先方向上被調整之實施例。選取連接環式振盪器之不同於振盪節點８０１－８０ｎ之振盪節點（８３１ａ、８３１ｂ、８３１ｃ、……）－（８３ｎａ、８３ｎｂ、８３ｎｃ、……），且被選取的振盪節點會連接至緩衝器７１１－７１ｎ。舉例而言，在一反相器級中，振盪節點８３１ａ會以比振盪節點的相位還

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

早之相位振盪（在環式振盪器配置有p級具相同排序的反相器之假設下，相位會快３６０／ｐ度）。因此，當時計藉由使用緩衝器７１１而從振盪節點８３１ａ饋送至邏輯電路ＬＯＧ１時，其相位會比經由緩衝器從振盪節點８０１產生的邏輯電路之時計的相位還早。

圖１１係說明，於其中本發明的振盪電路應用至ＰＬＬ的電壓控制式振盪器（ＶＣＯ）。ＶＣＯ１－ＶＣＯｎ代表電壓受控振盪器，且ｆｉｎｔ１－ｆｉｎｔｎ代表其輸出訊號。９０１－９０ｎ代表緩衝器，而Ｎ１－Ｎｎ代表時計配送網路。相較於圖７的實施例，電壓控制式振盪器ＶＣＯ１－ＶＣＯｎ對應於環式振盪器ＯＳＣ１－ＯＳＣｎ，且振盪頻率控制訊號ＶＣ因而由ＰＬＬ結構控制，藉以構成鎖相迴路ＰＬＬ１。此外，緩衝器９０１－９０ｎ的輸出之通用時計９１１－９１ｎ會連接至時計配送網路Ｎ１－Ｎｎ。

雖然，爲了簡化說明，電壓控制式振盪器ＶＣＯ１－ＶＣＯｎ的連接與圖１所示相同，但是，可採用圖４至８所示的任何連接型式。此外，相較於圖２中的習知技藝實施例，圖１１中的實施例並未顯示任何對應於１／２分頻器ＤＩＶ２之電路元件，但是，假使需要時，可於緩衝器９０１－９０ｎ之前或之後的級中連接這些元件。

振盪器ＶＯＯ１－ＶＣＯｎ中每一者的電路實施例顯示於圖１２（Ａ）及１２（Ｂ）中。圖１２（Ａ）顯示振盪器，其配置有均具單一端輸入／輸出之反相器１０００－

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

１００ｍ。每一反相器的延遲時間會視振盪頻率控制訊號ＶＣ的值而改變，因此，振盪輸出ｆｉｎｔ１的振盪頻率會視振盪頻率控制訊號ＶＣ的值而變（反相器的詳細電路實施例說明於習知技藝實施例Ａ的圖４中，因此省略其說明）。

另一方面，圖１２（Ｂ）顯示振盪器，其配置有均具差動輸入／輸出之差動反相器１０１０－１０１ｍ。如同圖１２（Ａ）之方式，每一差動反相器的延遲時間會視振盪頻率控制訊號ＶＣ的值而變，因此，振盪輸出ｆｉｎｔ１及／ｆｉｎｔ１的振盪頻率會視振盪頻率控制訊號ＶＣ的值而變（差動反相器的詳細電路實施例說明於習知技藝實施例Ａ的圖１１中，因此省略其詳細說明）。

圖１３係圖１１中所示的時計配送網路Ｎ１的詳細圖。１１００－１１０Ｋ代表時計配送線，而１１１０－１１１ｋ標示區域緩衝器。個別的時計配送線１１００－１１０ｋ的長度會設定於晶片佈局中，以致於從通用時計９１１至個別區域緩衝器１１１０－１１１ｋ之長度會變成相等。因此，區域緩衝器１１１０－１１１ｋ之特性實際性相同（此後稱爲“匹配”）。此外，在無雜訊下，區域時計輸出ｏｕｔ１－ｏｕｔｋ的歪斜會變成零。

由於電壓控制振盪器ＶＣＯ１－ＶＣＯｎ會被饋送相同的振盪頻率控制訊號ＶＣ，所以，其振盪輸出ｆｉｎｔ１至ｆｉｎｔｎ會如同前述般以實際相同的頻率／相同的相位振盪（雖然電壓控制振盪器ＶＣＯ１－ＶＣＯｎ能如同

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

直至圖8所示的實施例所述般，以相位δ1－δn振盪，但是，於此爲了簡化說明，假設它們係連接成提供具實際相同相位之振盪）。因此，區域時計輸出out1－outk會以實際相同的頻率及相位振盪。此外，由於取得類似於圖10之前的圖式中所顯示的實施例中所取得的免於雜訊，所以，實際上不會因電壓源波動或基底電壓波動而增加輸出的歪斜／顫動。

圖14係說明圖11的PLL應用至要求高效能PLL的微處理機之實施例，即在半導體積體電路裝置中。數字1200代表微處理機，數字1201－1203代表邏輯電路區，而1211－1213對應於圖11中的時計配送網路。邏輯電路區的功能並未特別受限。邏輯電路區可爲具有數學單元等建於其中的資料通道，或是諸如快閃記憶體等記憶體或其控制器。

通用時計1231－1233會從鎖相迴路PLL1輸出。通用時計1231－1233會由時計配送網路1211－1213分送至個別邏輯電路區內的區域時計1241。最後，區域時計1241會饋送至諸如佇鎖1220等電路的時計輸入單元。

如圖11的實施例所示般，不會因電壓源波動或基底電壓波動而實際地增加區域時計1241的歪斜／顫動。此外，鎖相迴路PLL1之內的電壓控制式振動器VCO1－VCOn會零散地位於晶片中且配置成接近它們所配屬的邏輯電路區，因此，從電壓控制振盪器VCO1－

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

ＶＣＯｎ的時計輸出至諸如佇鎖等使用對應的時計輸出的電路之通路可以縮短（舉例而言，在圖１４中，通路包含通用時計１２３１、時計配送網路１２１１及區域時計１２４１）。當通路縮短時，牽涉於其中的延遲時間可以縮短。因此，能夠減輕發生於通路中的歪斜或顫動對於整個時計配送系統效能之影響。

在晶片內時計饋送範圍分裂成大量及個別地配置獨立的ＰＬＬ以用於所造成的時計饋送副範圍之配置中，獨立時計饋送副範圍之間的時計歪斜會成爲 TskewG + 2*TskewL + 2*Tjitter ，其中 TskewL 代表每一時計饋送副範圍內的歪斜， Tjitter 代表ＰＬＬ的歪斜，而 TskewG 代表發生於每一ＰＬＬ之參考時計的歪斜。根據本發明的配置，時計歪斜變成 2*TskewLN + TjitterN ，其中 TjitterN 代表來自鎖相迴路ＰＬＬ１之通用時計輸出的顫動，而 TskewLN 代表時計配送網路１２１１－１２１３中的一對應者之歪斜。即使當假設 TskewL = TskewLN 時，藉由本發明仍可減少時計歪斜。事實上，如同上述，對本發明的ＰＬＬ而言，會保持 TjitterN < Tjitter ，以致於本發明的配置能夠尖銳地減少時計歪斜。

此外，藉由本發明的設計，可以使晶片面積更小，在本發明的設計中，ＶＣＯ的數目比多重ＰＬＬ設計中更多，會零散地位於晶片中且同步。

雖然已於前述中提及在每一實施例中使用ＰＬＬ設計以使外部時計及內部時計同步，但是，也可使用延遲鎖迴路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

（ＤＬＬ）設計。舉例而言，本發明可以以延遲線取代圖１中的環式振盪器而構成ＤＬＬ之方式，輕易地應用至ＤＬＬ。

圖１５係顯示此實施例。此外，圖１６係顯示藉由設置圖１５中的延遲線作爲可變延遲線以構成ＤＬＬ之實施例。與圖１１的實施例相較，圖１６的實施例不同處在於參考時計ｆｅｘｔ會輸入至可變延遲線ＶＤＬ１－ＶＤＬｎ。或者，圖１５的實施例顯然可應用至圖２至１４中所示的本發明之每一實施例。

雖然上述每一實施例對應於本發明應用於單一晶片中的情形，但是，顯然其也能擴展至包含多個晶片之半導體積體電路裝置。舉例而言，本發明可容易地應用至如圖１４所示之個別的分開晶片構成邏輯電路區及所配屬的電壓控制式振盪器ＶＣＯ之情形，也可應用至如圖１所示之個別分開的晶片構成環式振盪器之情形。

此外，並無上述任何一實施例包含降低耗電量之方法，諸如閘式時計。但是，舉例而言，本發明可以輕易地應用至圖１０中的緩衝器７１１－７１ｎ改變成及構造成閘電路之情形。雖然有多種不同的方法，但是，本發明並不特別侷限於這些方法，且以圖１７（Ａ）所示的配置提供降低耗電量的一種此方法。

在圖１７（Ａ）中，顯示使用切換開關之配置，其中本發明所使用的很多振盪器中僅有一部份必須在任一次中操作，以便選擇性地降低耗電量。圖１７（Ｂ）顯示圖１７

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

（Ａ）中所示的開關之一的較佳實施例。

如圖１７（Ａ）所示，切換開關係連接至接線，接線係連接至根據圖８的實施例之環式振盪器，環式振盪器係以ｎｘｑ網狀連接。舉例而言，切換開關可爲如圖１７（Ｂ）所示的ＣＯＭＳ切換開關，但並不侷限於此。

當所有的環式振盪器要被操作時，所有的操作開關會被開啓。同時，舉例而言，當僅需要環式振盪器ＯＳＣ１１、ＯＳＣ１２、ＯＳＣ２１、ＯＳＣ２２操作而其它振盪器不操作時，切換開關ＳＷ１２１３、ＳＷ２２２３、ＳＷ２２３２、ＳＷ２１３１會關閉。藉由關閉切換開關ＳＷ１２１３、ＳＷ２２２３、ＤＥ２２３２、ＳＷ２１３１，則不操作的環式振盪器不會影響環式振盪器ＯＳＣ１１、ＯＳＣ１２、ＯＳＣ２１、ＯＳＣ２２。舉例而言，爲了藉由僅供應時計訊號給部份電路以減少耗電，可以使用發明之結構及控制方法。

在前述實施例中，雖然前提爲環式振盪器的頻率由振盪頻率控制訊號所控制，但是，環式振盪器可爲頻率由外部輸入的時計所決定之振盪器。舉例而言，可採用ＰＬＬ結構以實現此點。圖１８係顯示提供自外部接收時計（未顯示）之鎖相電路ＰＬＬ１１至ＰＬＬｑｎ，取代圖８實施例中所使用的振盪器ＯＳＣ１１－ＯＳＣｑｎ。

圖１８中所示的ＰＬＬ電路具有分別連接至均爲網狀之分開的第一和第二導電接線之輸入及輸出。連接至第一導電接線之每一ＰＬＬ電路的輸出之相位及頻率會同步。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

另一方面，參考時計訊號會輸入至連接至第二導電接線的每一ＰＬＬ電路。圖１８的第二導電接線係用以分送參考時計訊號作爲每一ＰＬＬ之具有相同頻率及相位的輸入，所以，接線形狀不限於圖中所示之網狀，可採用任何能執行此功能之形狀。假使參考時計訊號輸入的頻率經由第一導電接線至每一ＰＬＬ電路而有點變化時，但因爲ＰＬＬ電路的每一振盪器由第二接線連接在一起之本發明所取得的效果而使每一ＰＬＬ電路的輸出時計訊號未有實際變化。

相較於先前用於振盪器的頻率控制訊號分送於整個晶片上之實施例（舉例而言，圖８及１１），本實施例係使用參考時計訊號輸出至ＰＬＬ電路，以致於不需要分送頻率控制訊號。因此，根據已知的分送時計訊號之技術，本實施例能夠分送輸入的參考時計訊號。此外，根據本實施例，會分送穩定的輸出時計訊號，即使輸入至每一ＰＬＬ電路之參考時計訊號的相位有變化，其也不會於每一ＰＬＬ電路之間變化。因此，假使根據本實施例分送之時計訊號不會因雜訊而有變異

圖１９係顯示圖１８中所使用的ＰＬＬ１１至ＰＬＬｑｎ中每一ＰＬＬ的實施例。圖１９中所使用的符號與圖２中相同，因此，省略其說明。

雖然某些上述實施例使用多個反相器以多級形式環狀連接之環式振盪器，但是，本發明不侷限於此結構。在本發明中可採用環式振盪電路之其它選擇。藉由使用其振盪輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

出作爲輸入／輸出線以調整振盪電路的振盪頻率及相位，及如上述般連接的這些多個振盪電路能同步振盪，即已足夠。

此外，在每一上述實施例中，本發明中所使用的半導體製程、電晶體結構等並未特別說明。可採用ＣＭＯＳ製程，及採用從ＳＯＩ晶圓中製成的ＳＯＩ電晶體。電壓源的型式或其種類並無特別限制。

如同此處所揭示般，根據本發明，能夠提供具有低歪斜及低顫動之時計訊號及時計配送電路或電路系統給微處理機等的邏輯電路或記憶體電路。此外，由於根據本發明能夠產生及分送穩定的時計訊號，所以，能提供高速的半導體積體電路裝置。

雖然已詳細說明較佳實施例，但是，根據本發明的寬廣觀點而思及的其它實施例、修改及變異，皆由申請專利範圍的精神及範圍所涵蓋。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體積體電路裝置）

一種振盪電路，提供具有低歪斜及低顫動的時計訊號及時計配送電路或電路系統予微處理器等的邏輯電路及記憶體電路。此外，由於產生及分送穩定的時計訊號，因而提供高速的半導體積體電路裝置。振盪電路係在具有多個振盪器的半導體積體電路裝置中，多個振盪器均具有振盪節點，其中每一振盪器的振盪節點會由可爲閉迴路的導電接線連接在一起。振盪器會同步以便以實際相同的頻率振盪。振盪器會於連接點連接至導電接線，連接點之間具有實際相同的導電接線長度間隔，造成振盪器同步而以實際相同的相位振盪。導電接線也可形成爲篩網狀，其連接點之間的導電接線的長度間隔至少爲５０μｍ。振盪器係環式振盪電路，具有環狀連接的反相器，其中每一環式振盪電路的至少一反相器的輸出會連接至導電接線。或者，振盪器可爲延遲線，具有多級連接的反相器，至少有一反相器連接至導電接線。

英文發明摘要（發明之名稱：SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE）

Abstract of the Disclosure

An oscillation circuit provides clock signals and a clock distribution circuit or system of circuits having low skew and low jitter to logic circuits and memory circuits of a microprocessor or the like. Further, a semiconductor integrated circuit device of high speed is provided as a result of the stable clock signal that is generated and distributed. The oscillation circuit is in a semiconductor integrated circuit device having a plurality of oscillators each having an oscillation node, wherein the oscillation nodes of each of the oscillators are connected together by a conductive wiring line that may be a closed loop. The oscillators are synchronized to oscillate at substantially the same frequency. The oscillators are connected to the conductive wiring line at connecting points having substantially the same interval of conductive wiring lengths between the connection points, which leads to synchronizing the oscillators to oscillate with a substantially identical phase. The conductive wiring line can also be formed in the

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

英文發明摘要（發明之名稱：　　）

shape of a mesh with the interval of length of the conductive wiring line between the connection points being at least 50 μm. The oscillators are ring oscillation circuits having inverters connected in a ring shape wherein an output of at least one inverter of each ring oscillation circuit is connected to the conductive wiring. Alternatively, the oscillators may be delay lines having multistage connected inverters with at least one inverter connected to the conductive wiring line.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體積體電路裝置，包括多個均具有振盪節點之振盪器，

其中該多個振盪器中的每一振盪器之該振盪節點會連接在一起。

2．如申請專利範圍第1項之半導體積體電路裝置，其中該振盪器會同步以便在每一該振盪節點處以實際相同的頻率振盪。

3．如申請專利範圍第2項之半導體積體電路裝置，其中該振盪器會同步以便在每一該振盪節點處以實際相同的相位振盪。

4．如申請專利範圍第1項之半導體積體電路裝置，進一步包括導電接線，其中每一該振盪器的該振盪節點會由該導電接線連接在一起。

5．如申請專利範圍第4項之半導體積體電路裝置，其中該導電接線係形成爲閉迴路形狀。

6．如申請專利範圍第4項之半導體積體電路裝置，其中該導電接線係形成爲篩網狀，且該振盪器的該振盪節點會於該篩網的交接點連接。

7．如申請專利範圍第4項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線長度間隔之方式，將該振盪節點於連接點處連接至該導電接線，其中該間隔長度是實際相等的。

8．如申請專利範圍第4項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線長度間隔之方式，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

將該振盪節點於連接點處連接至該導電接線，其中該間隔長度至少爲５０μｍ。

９．如申請專利範圍第１項之半導體積體電路裝置，其中該振盪器係環式振盪電路。

１０．如申請專利範圍第１項之半導體積體電路裝置，其中該振盪器係具有多級連接反相器之延遲線。

１１．一種半導體積體電路裝置，包括：

多個環式振盪電路，具有環狀連接的反相器；及

導電接線，

其中每一該環式振盪電路的至少一反相器之輸出會連接至該導電接線。

１２．如申請專利範圍第１１項之半導體積體電路裝置，其中該環式振盪電路會同步以便與具有實際相同頻率之每一該環式振盪電路的該輸出一起振盪。

１３．如申請專利範圍第１２項之半導體積體電路裝置，其中該環式振盪電路會同步以便與具有實際相同相位之每一該環式振盪電路的該輸出一起振盪。

１４．如申請專利範圍第１１項之半導體積體電路裝置，其中該導電接線係形成爲閉迴路狀。

１５．如申請專利範圍第１１項之半導體積體電路裝置，其中該導電接線係形成爲篩網狀，及該環式振盪電路的至少一反相器的該輸出會於該篩網的連接點處相連。

１６．如申請專利範圍第１１項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線的長度間隔之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

方式，將該環式振盪電路的至少一反相器的該輸出於連接點處連接至該導電接線，其中該間隔長度係實際相等的。

17．如申請專利範圍第11項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線的長度間隔之方式，將該環式振盪電路的至少一反相器的該輸出於連接點處連接至該導電接線，其中該間隔長度係50μm或更大。

18．一種半導體積體電路裝置，包括：

多個延遲線，具有多級連接反相器；及

導電接線，

其中每一該延遲線的至少一反相器之輸出會連接至該導電接線。

19．如申請專利範圍第18項之半導體積體電路裝置，其中該延遲線會同步以便與具有實際相同頻率的每一該反相器的輸出一起振盪。

20．如申請專利範圍第19項之半導體積體電路裝置，其中該延遲線會同步以便與具有實際相同相位的每一該反相器的輸出一起振盪。

21．如申請專利範圍第18項之半導體積體電路裝置，其中該導電接線係形成爲閉迴路形狀。

22．如申請專利範圍第18項之半導體積體電路裝置，其中該導電接線係形成爲篩網狀，且該環式振盪電路的該至少一反相器之該輸出會於該篩網的連接點處相連接。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

２３．如申請專利範圍第１８項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線的長度間隔之方式，將該環式振盪電路的至少一反相器的該輸出於連接點處連接至該導電接線，其中該間隔長度係實際相等的。

２４．如申請專利範圍第１８項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線的長度間隔之方式，將該環式振盪電路的至少一反相器的該輸出於連接點處連接至該導電接線，其中該間隔長度係５０μｍ或更大。

２５．一種半導體積體電路裝置，包括：

多個電路區，具有時計配送電路；

多個振盪器，均具有振盪節點及從該振盪節點輸出時計訊號至該時計配送電路；及

導電接線，將每一該振盪器的該振盪節點連接在一起。

２６．如申請專利範圍第２５項之半導體積體電路裝置，其中該振盪器會同步以便在每一該振盪節點以實際相同的頻率振盪。

２７．如申請專利範圍第２６項之半導體積體電路裝置，其中該振盪器會同步以便在每一該振盪節點以實際相同的相位振盪。

２８．如申請專利範圍第２５項之半導體積體電路裝置，其中該導電接線係形成爲閉迴路形狀。

２９．如申請專利範圍第２５項之半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

置，其中該導電接線係形成爲篩網狀，且該振盪器的該振盪節點會於該篩網的交接點連接。

３０．如申請專利範圍第２５項之半導體積體電路裝置，其中，以該連接點之間具有該導電接線長度間隔之方式，將該振盪節點於連接點處連接至該導電接線，其中該間隔長度是實際相等的。

３１．　如申請專利範圍第２５項之半導體積體電路裝置，其中該振盪器係環式振盪電路。

３２．　如申請專利範圍第２５項之半導體積體電路裝置，其中該振盪器係具有多級連接反相器之延遲線。

３３．　如申請專利範圍第２５項之半導體積體電路裝置，其中該電路區包括邏輯電路或記憶體電路。

３４．一種半導體積體電路裝置，包括：

多個振盪電路；

接線，將每一該振盪電路的輸出連接在一起；

多個時計配送電路，連接至該振盪電路；及

相位頻率比較器，將該多個時計配送電路中的至少一時計配送電路的時計訊號與參考時計訊號相比較，

其中該振盪電路會改變振盪頻率以回應該來自相位頻率比較器的訊號輸出。

３５．如申請專利範圍第３４項之半導體積體電路裝置，其中該振盪電路會同步以便與具有實際相同頻率之每一該振盪電路的該輸出一起振盪。

３６．如申請專利範圍第３５項之半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

置，其中該振盪電路會同步以便與具有實際相同相位之每一該振盪電路的該輸出一起振盪。

３７．如申請專利範圍第３４項之半導體積體電路裝置，其中該導電接線係形成爲閉迴路形狀。

３８．如申請專利範圍第３４項之半導體積體電路裝置，其中，以該連接點之間具有該接線的長度間隔之方式，將該振盪電路的該輸出於連接點處連接至該接線，其中該間隔長度係實際相等的。

３９．如申請專利範圍第３４項之半導體積體電路裝置，其中該振盪器係環式振盪電路。

４０．如申請專利範圍第３４項之半導體積體電路裝置，其中該振盪器係具有多級連接反相器的延遲線。

４１．一種半導體積體電路裝置，包括：

多個振盪器，具有實際相同的自然振盪頻率；及

導電接線，連接每一該振盪器的輸出，

因此所有該振盪器會以該實際相同的頻率振盪，而不受供應至該振盪器之電壓源波動的影響。

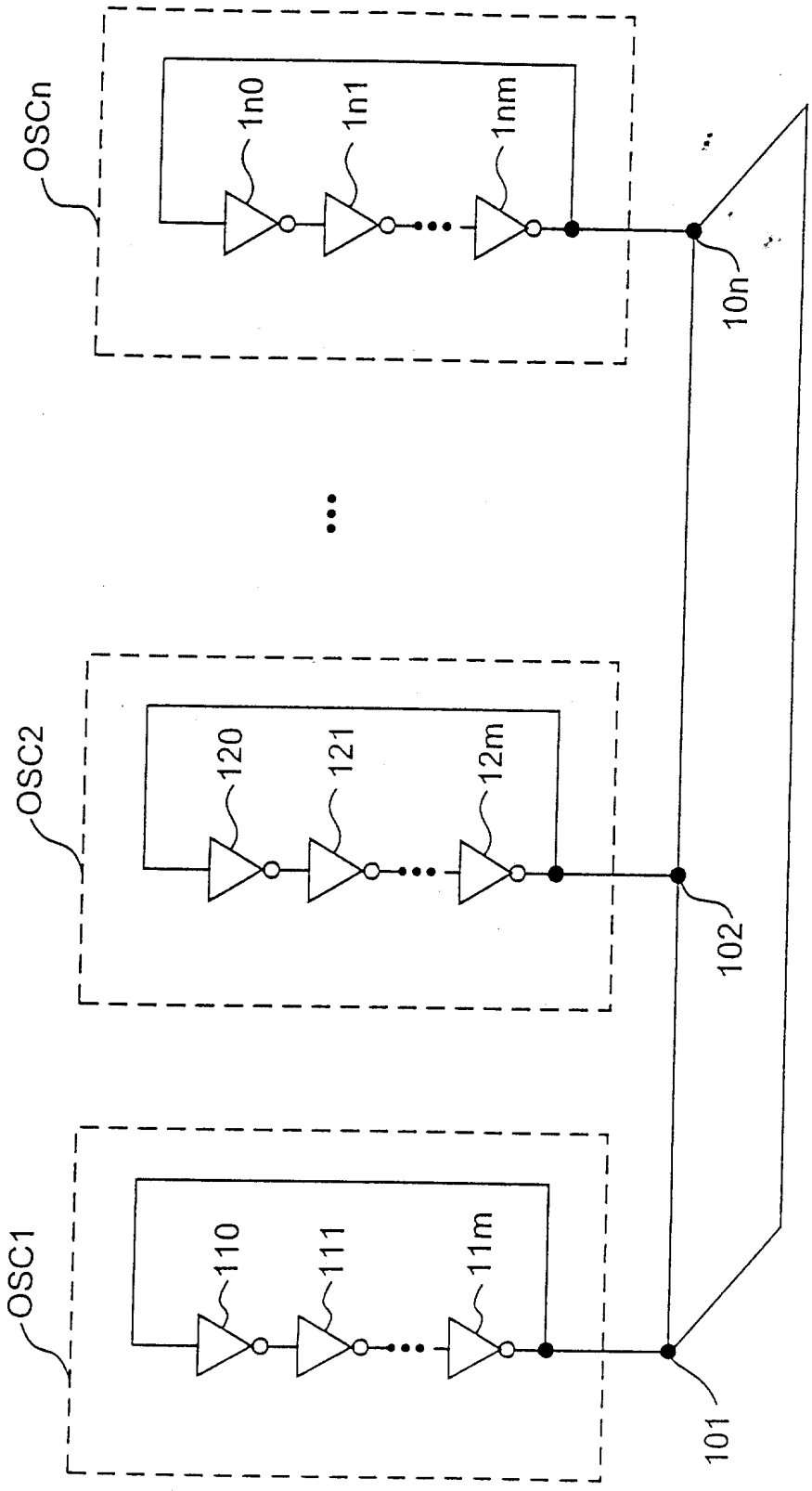
４２．一種半導體積體電路裝置，包括：

時計配送機構，用以將時計訊號分送至多個電路區；

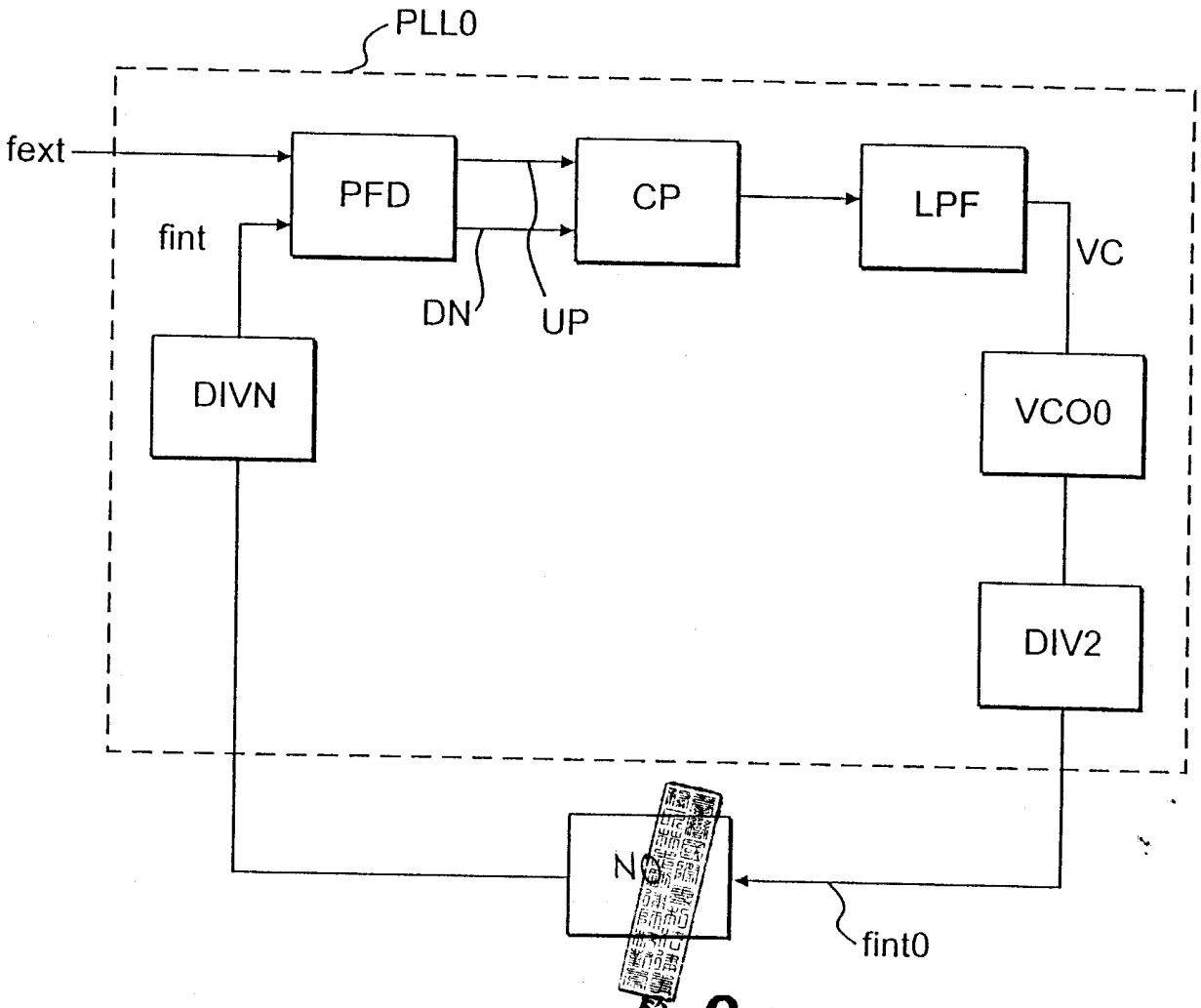
多個振盪器機構，用以將時計訊號輸出至該時計配送機構；及

同步機構，用以使該多個振盪器機構的每一輸出頻率同步，該輸出頻率不受供應至該多個振盪器機構的電壓源波動所影響。

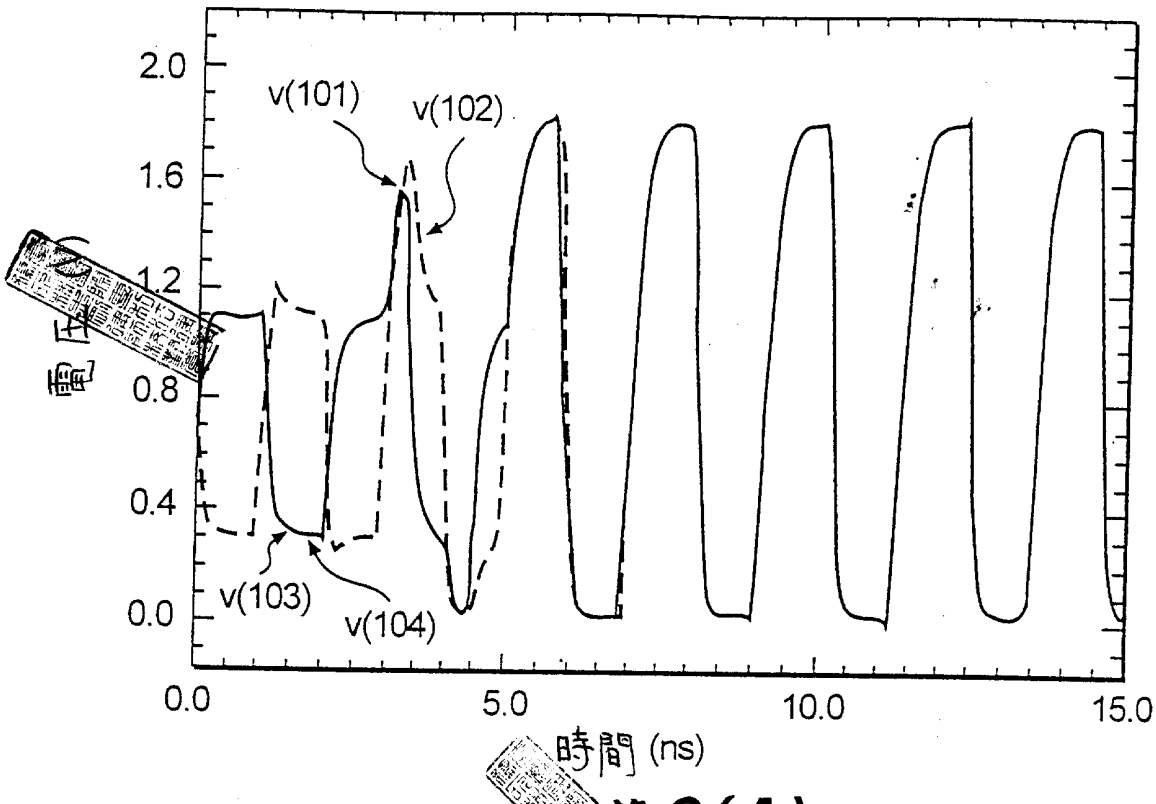
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製



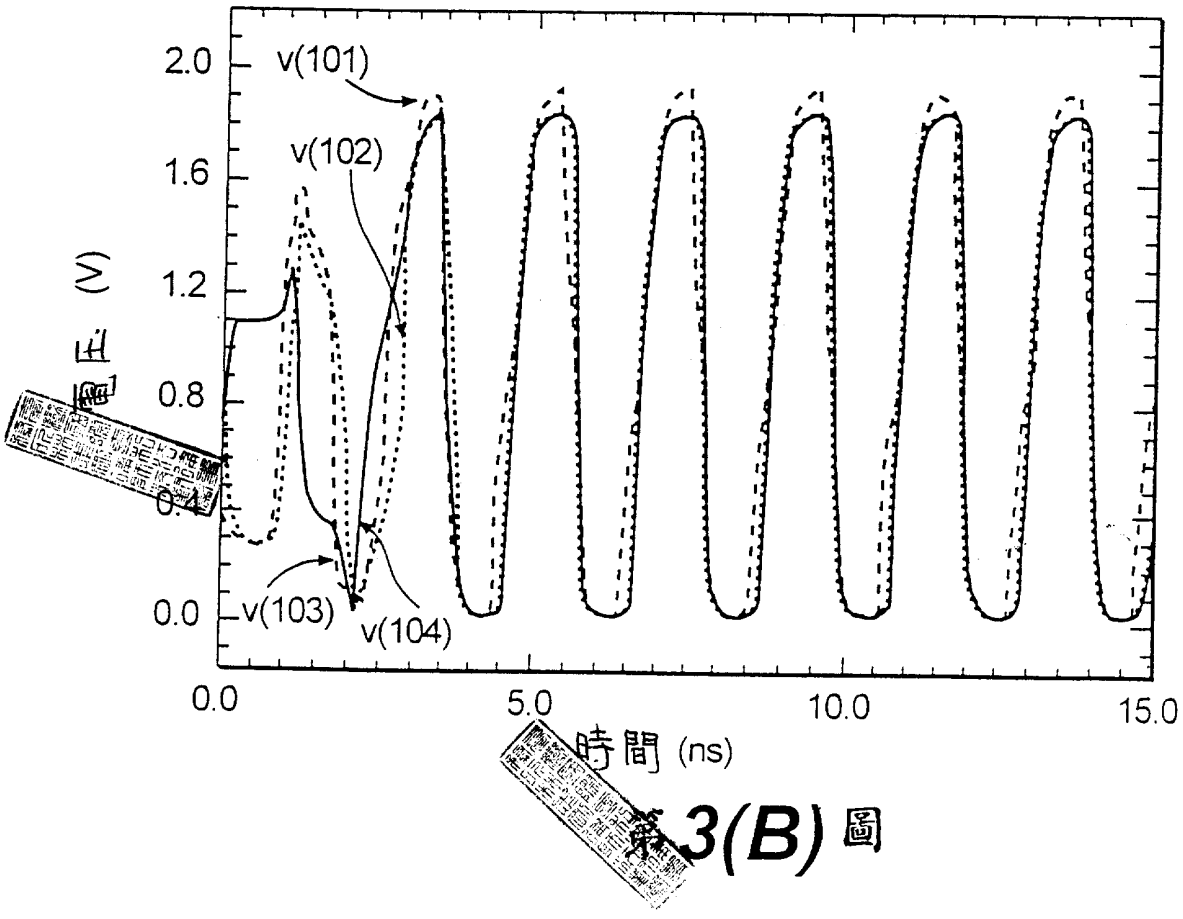
第1圖



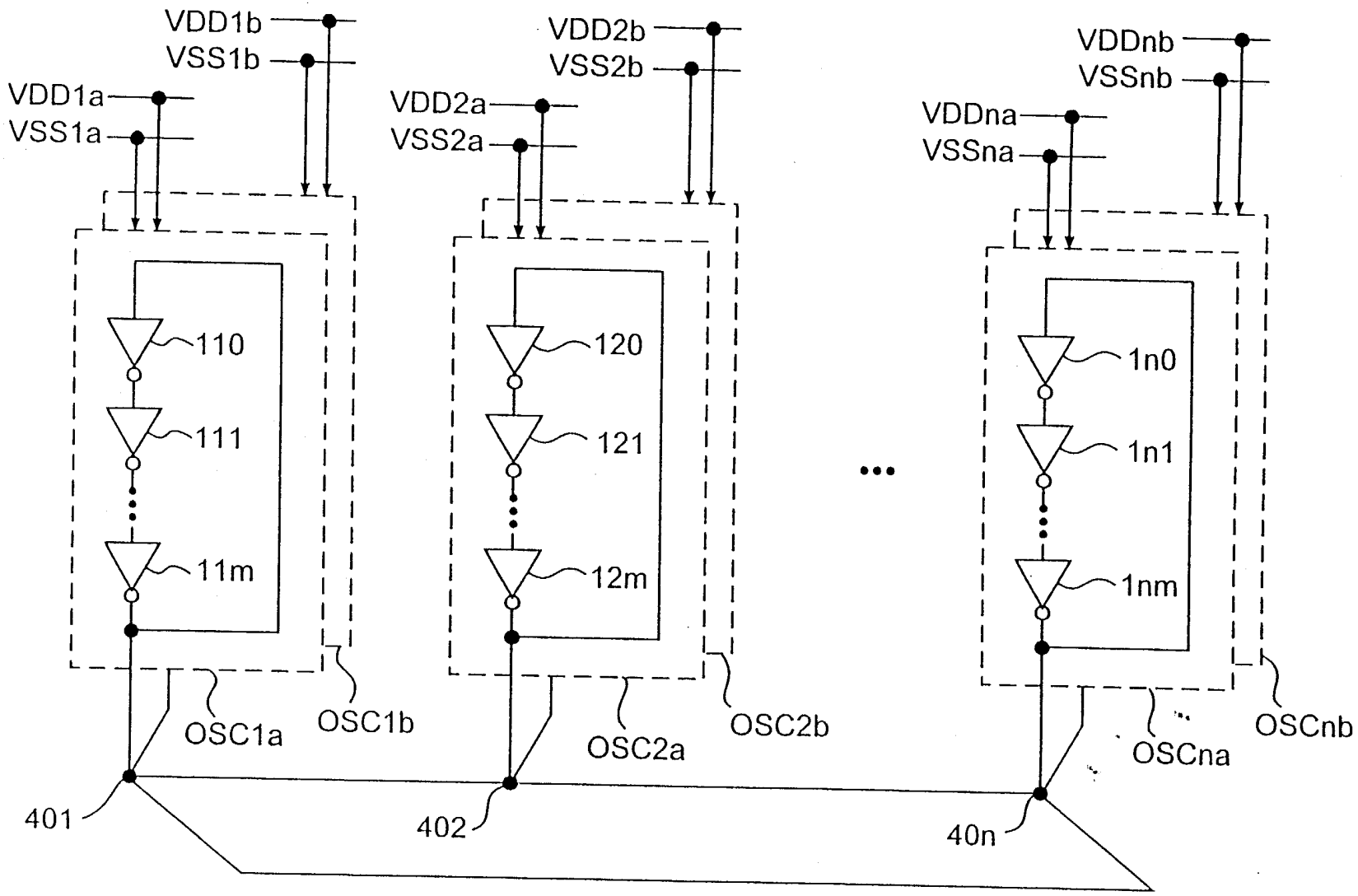
第 2圖


2.0
1.6
1.2
0.8
0.4
0.0
v(101)
v(102)
v(103)
v(104)
0.0
5.0
10.0
15.0
時間 (ns)

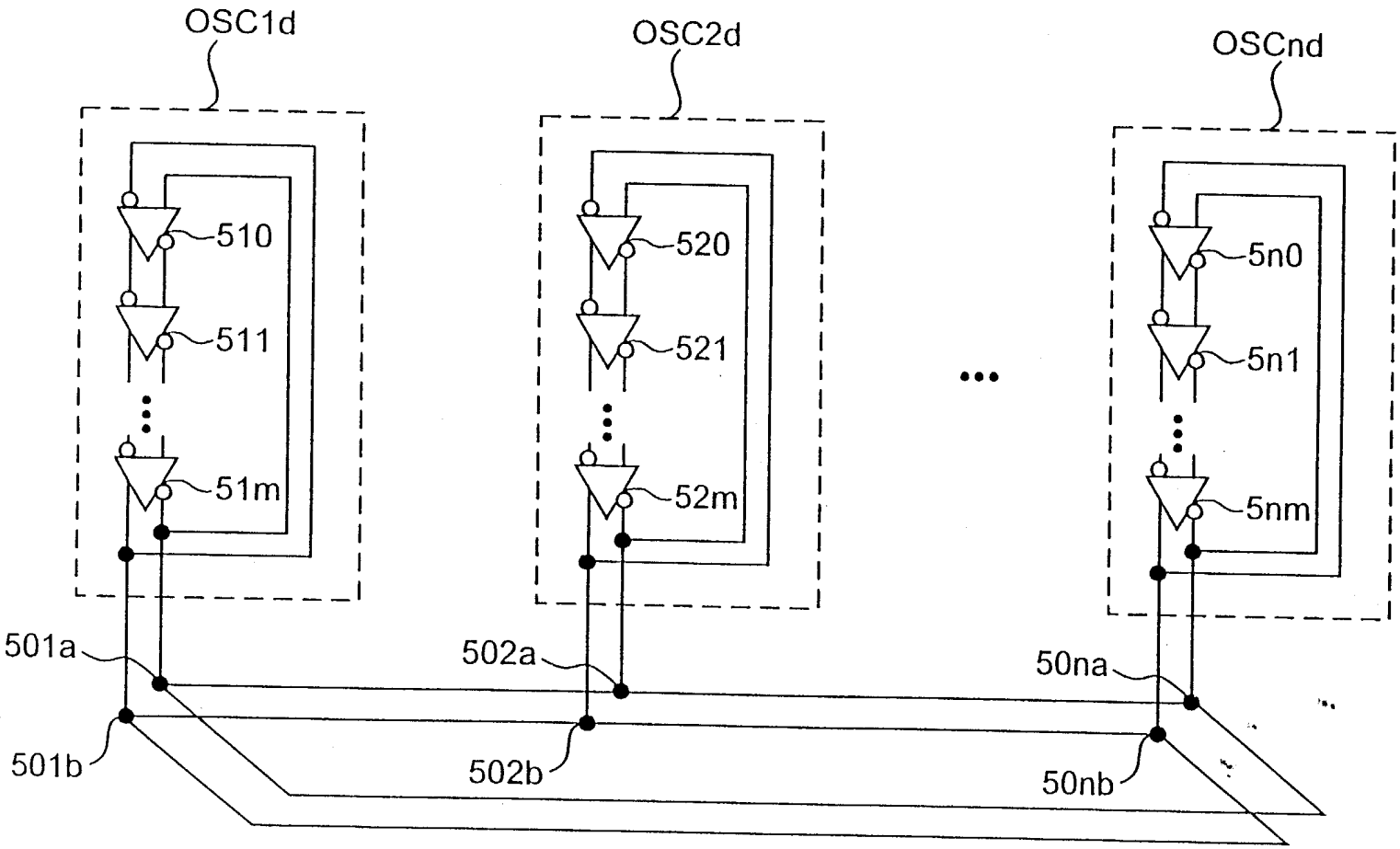
第3(A)圖


2.0
1.6
1.2
0.8
0.0
v(101)
v(102)
v(103)
v(104)
0.0
5.0
10.0
15.0
時間 (ns)

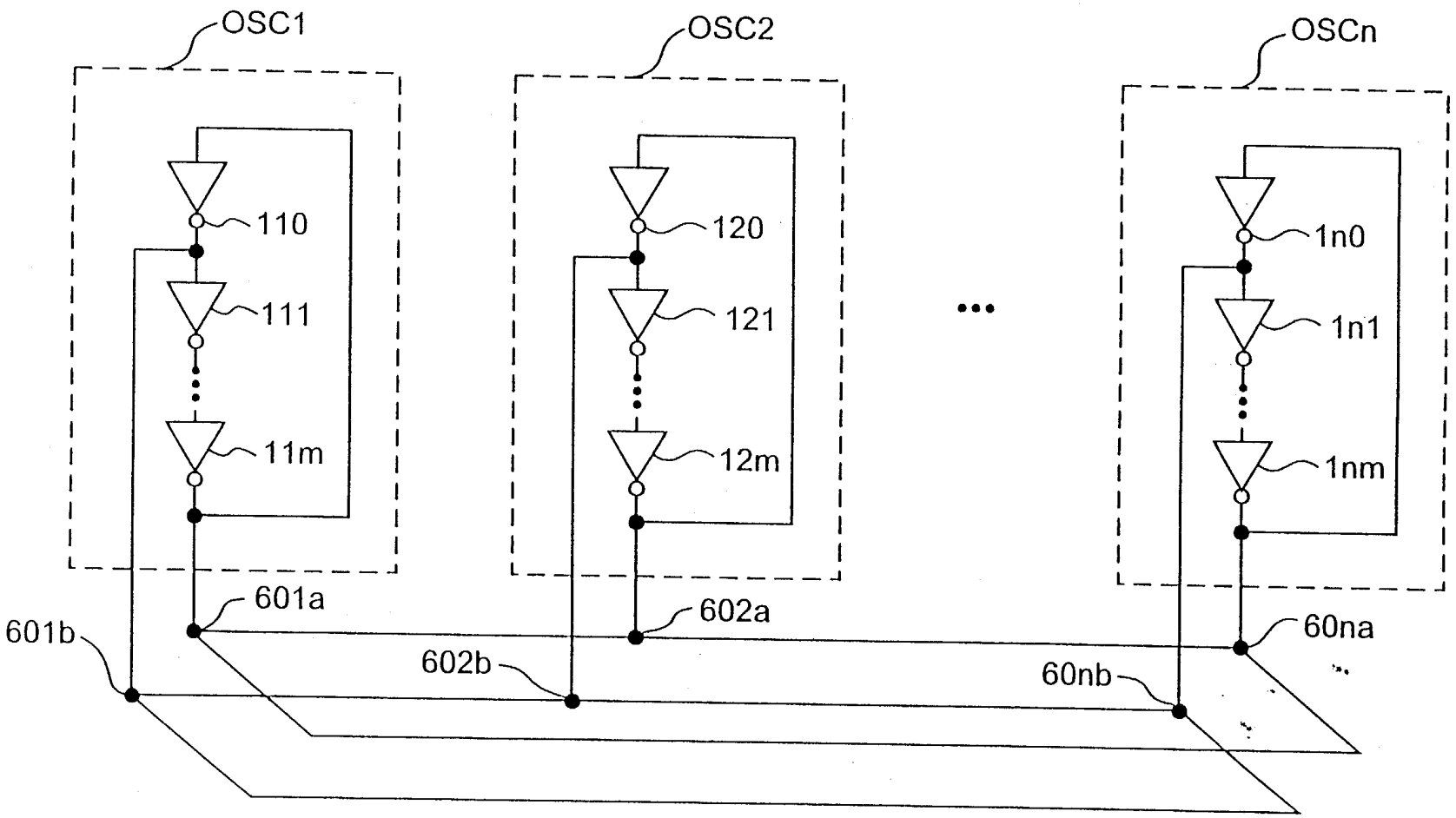
第3(B)圖


VDD1b
VSS1b
VDD1a
VSS1a
110
111
11m
OSC1a
OSC1b
VDD2b
VSS2b
VDD2a
VSS2a
120
121
12m
OSC2a
OSC2b
VDDnb
VSSnb
VDDna
VSSna
1n0
1n1
1nm
OSCna
OSCnb
401
402
40n

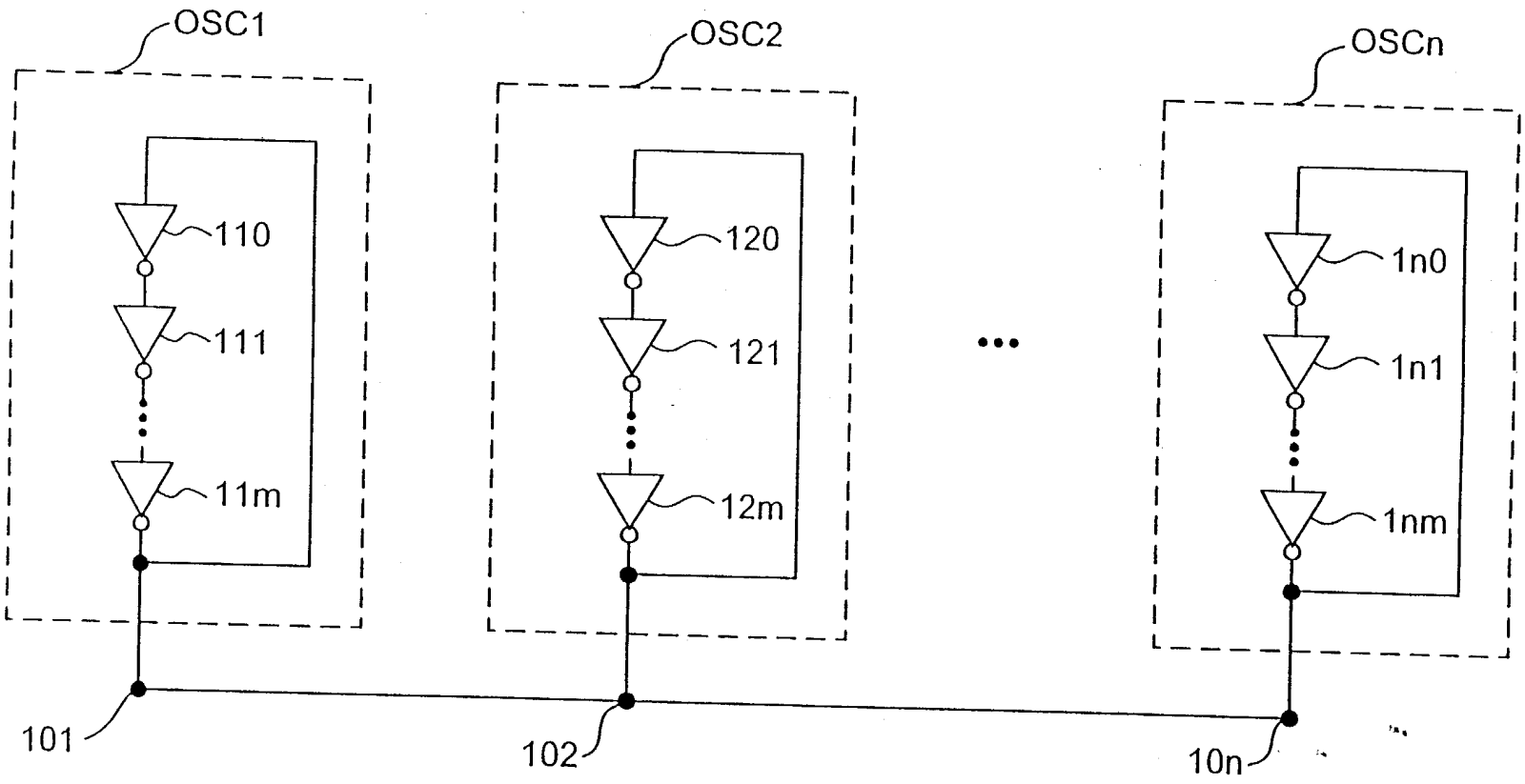
第4圖


OSC1d
OSC2d
OSCnd
510
511
51m
520
521
52m
5n0
5n1
5nm
501a
501b
502a
502b
50na
50nb

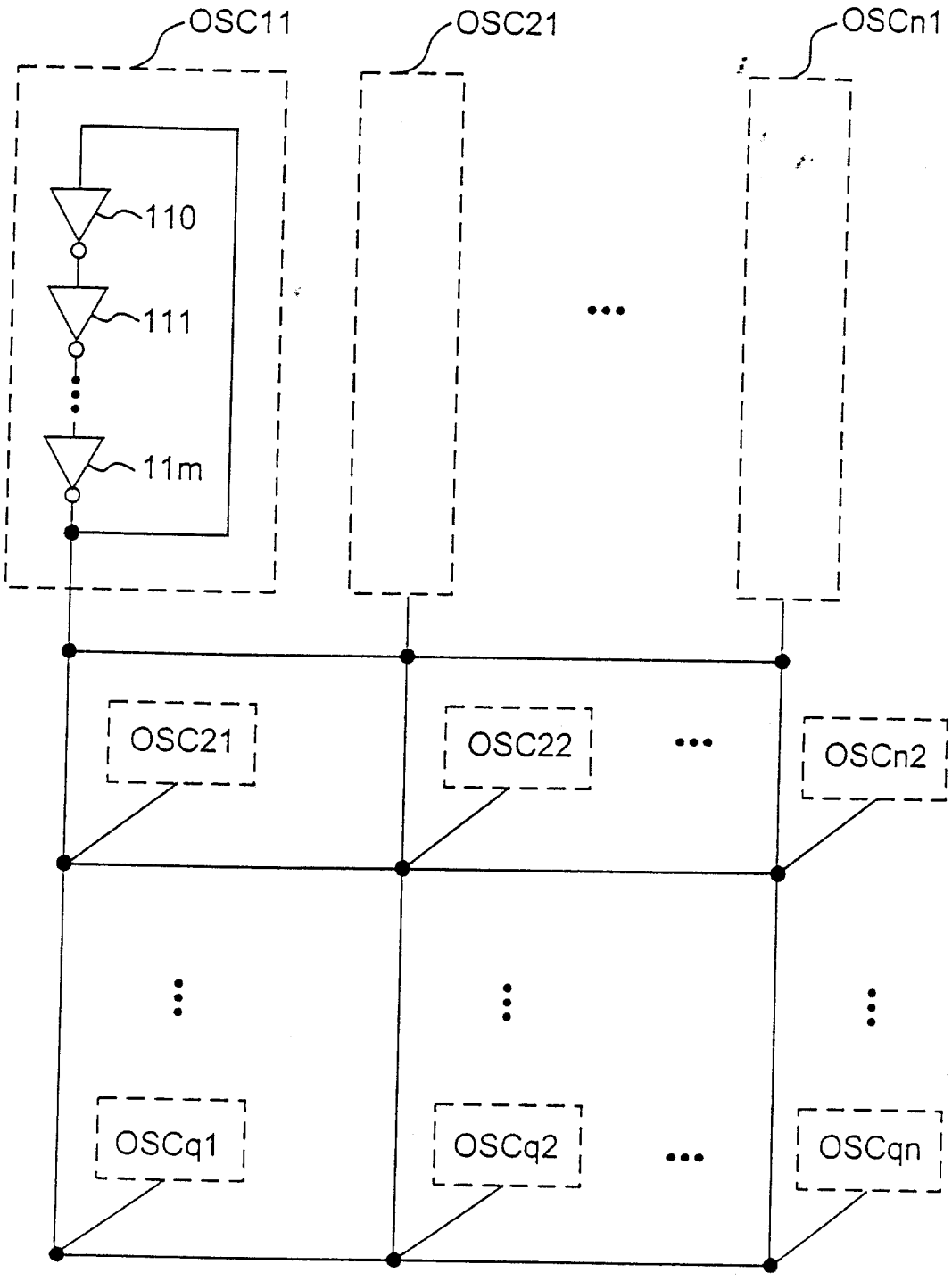
第5圖


OSC1
OSC2
OSCn
110
111
11m
120
121
12m
1n0
1n1
1nm
601a
601b
602a
602b
60na
60nb

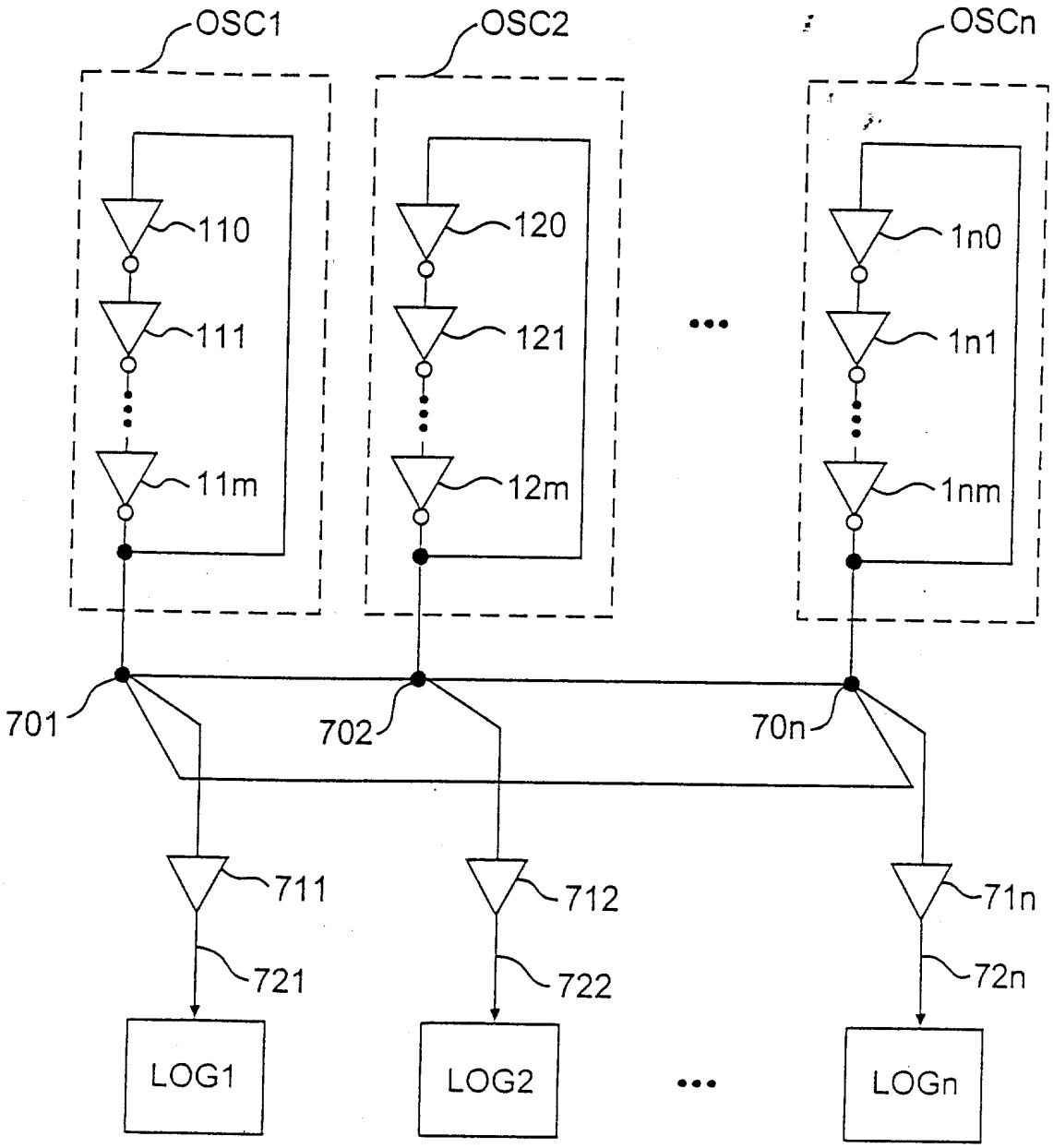
第 6 圖



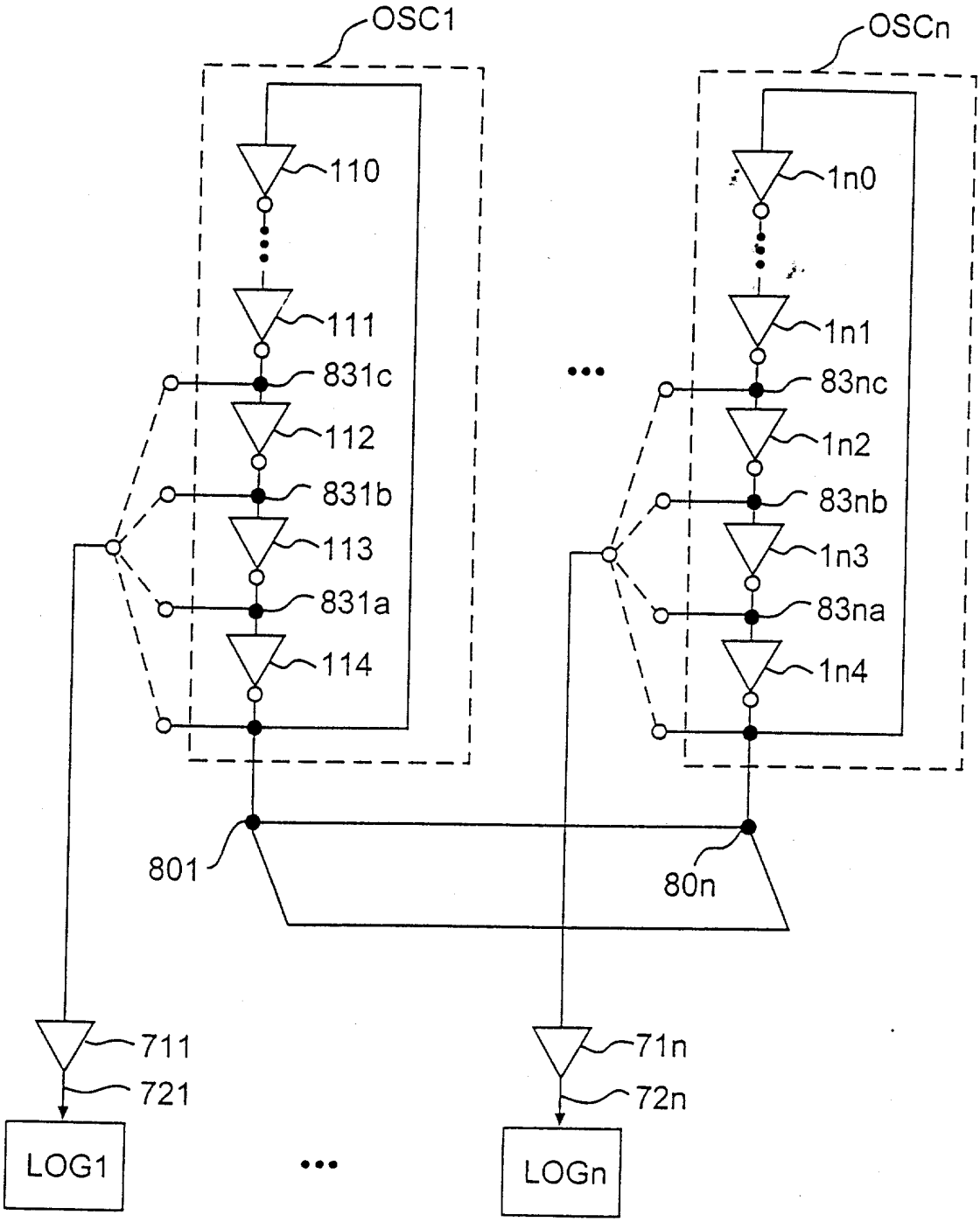
第 7 圖


OSC11
OSC21
OSCn1
110
111
11m
OSC21
OSC22
OSCn2
OSCq1
OSCq2
OSCqn

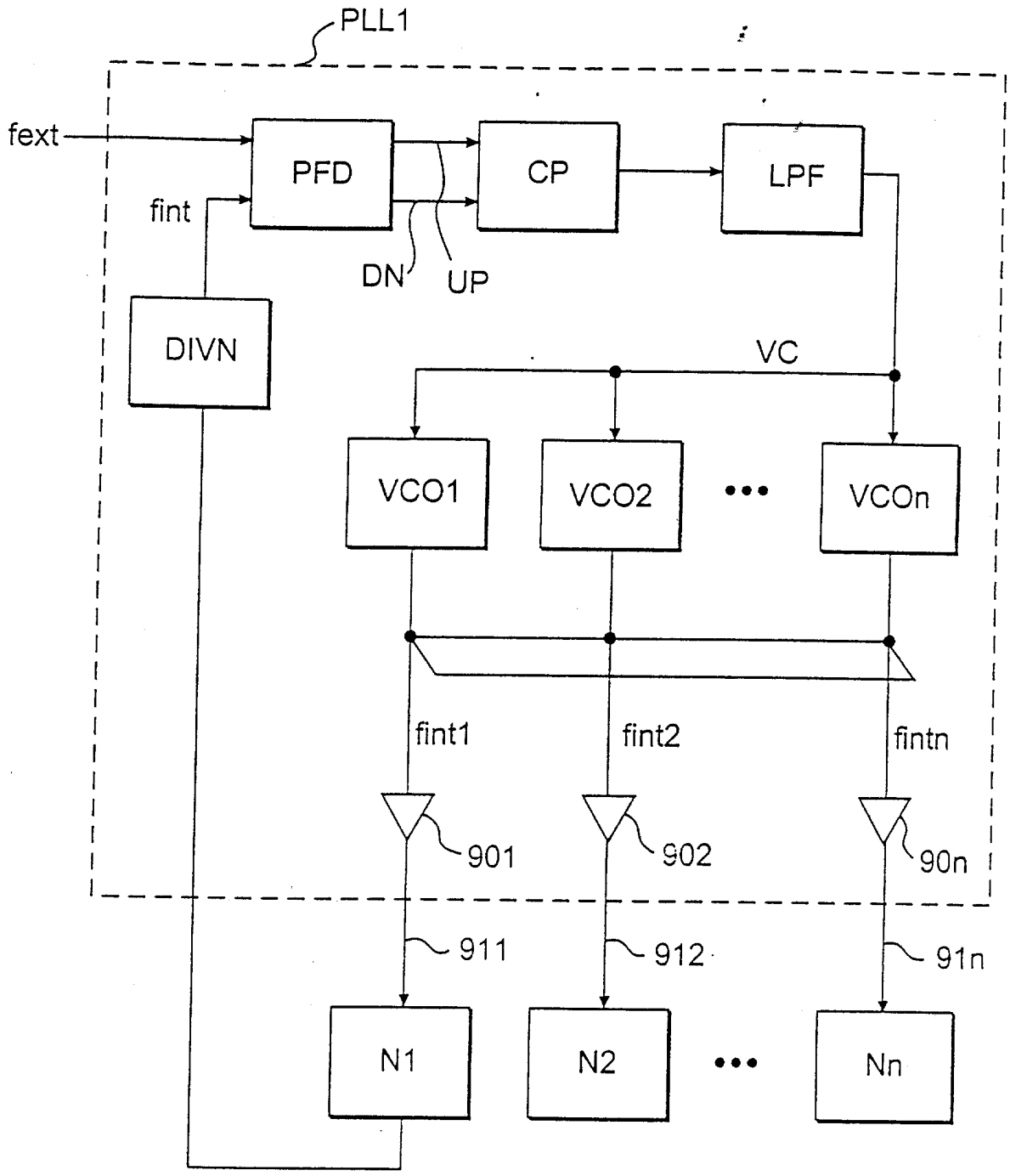
第8圖


OSC1
OSC2
OSCn
110
111
11m
120
121
12m
1n0
1n1
1nm
701
702
70n
711
712
71n
721
722
72n
LOG1
LOG2
LOGn

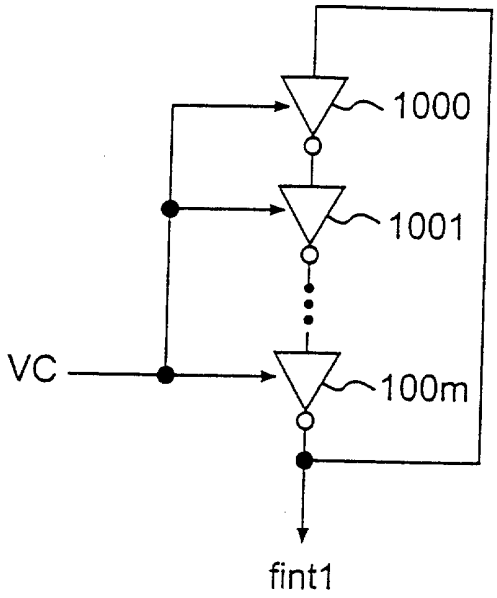
第9圖


OSC1
OSCn
110
111
831c
112
831b
113
831a
114
1n0
1n1
83nc
1n2
83nb
1n3
83na
1n4
801
80n
711
721
71n
72n
LOG1
LOGn

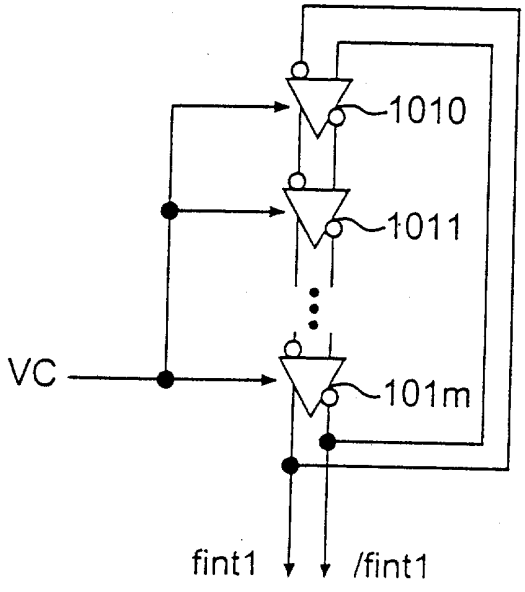
第10圖


PLL1
fext
PFD
CP
LPF
fint
DN
UP
DIVN
VC
VCO1
VCO2
VCOn
fint1
fint2
fintn
901
902
90n
911
912
91n
N1
N2
Nn

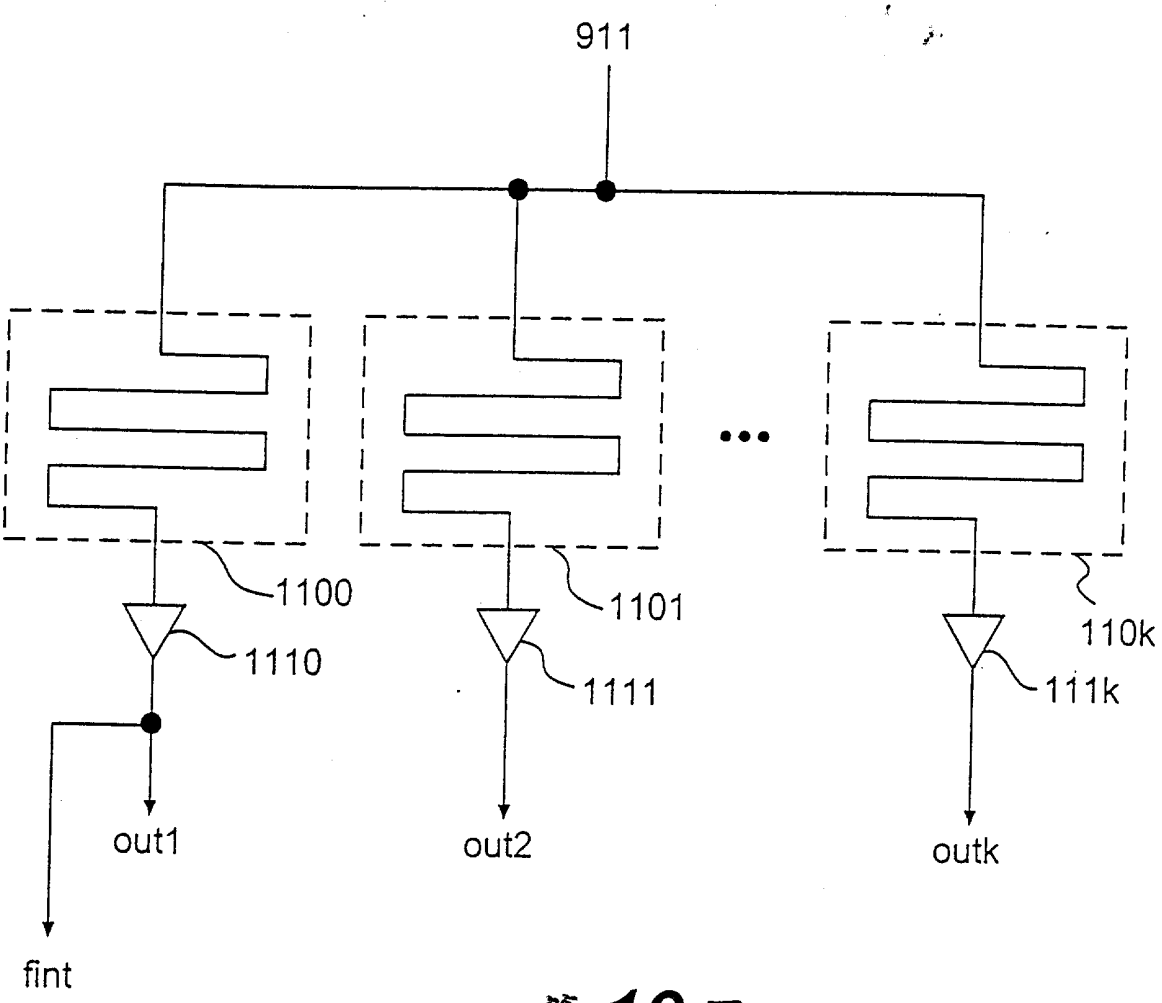
第11圖



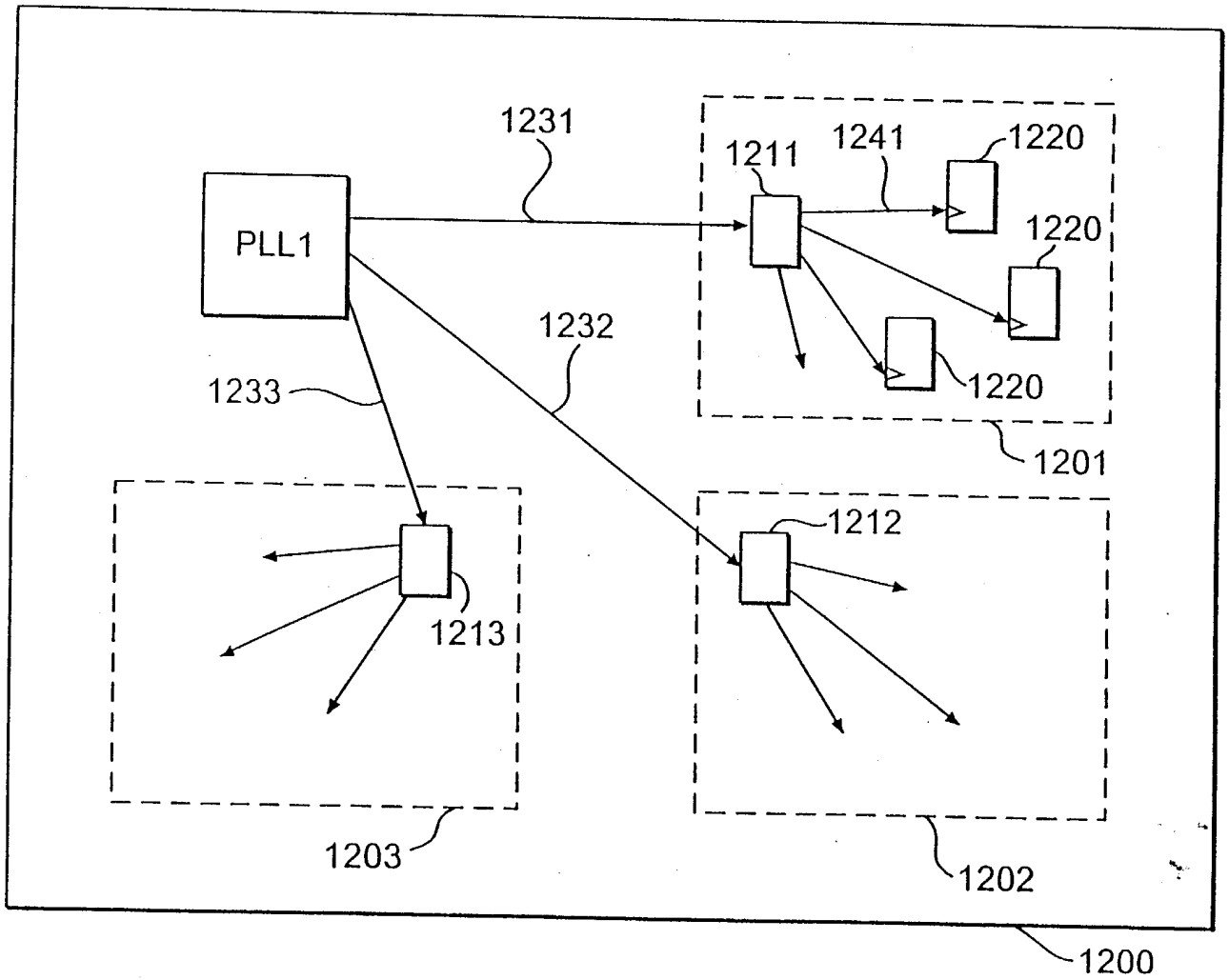
第12(A)圖



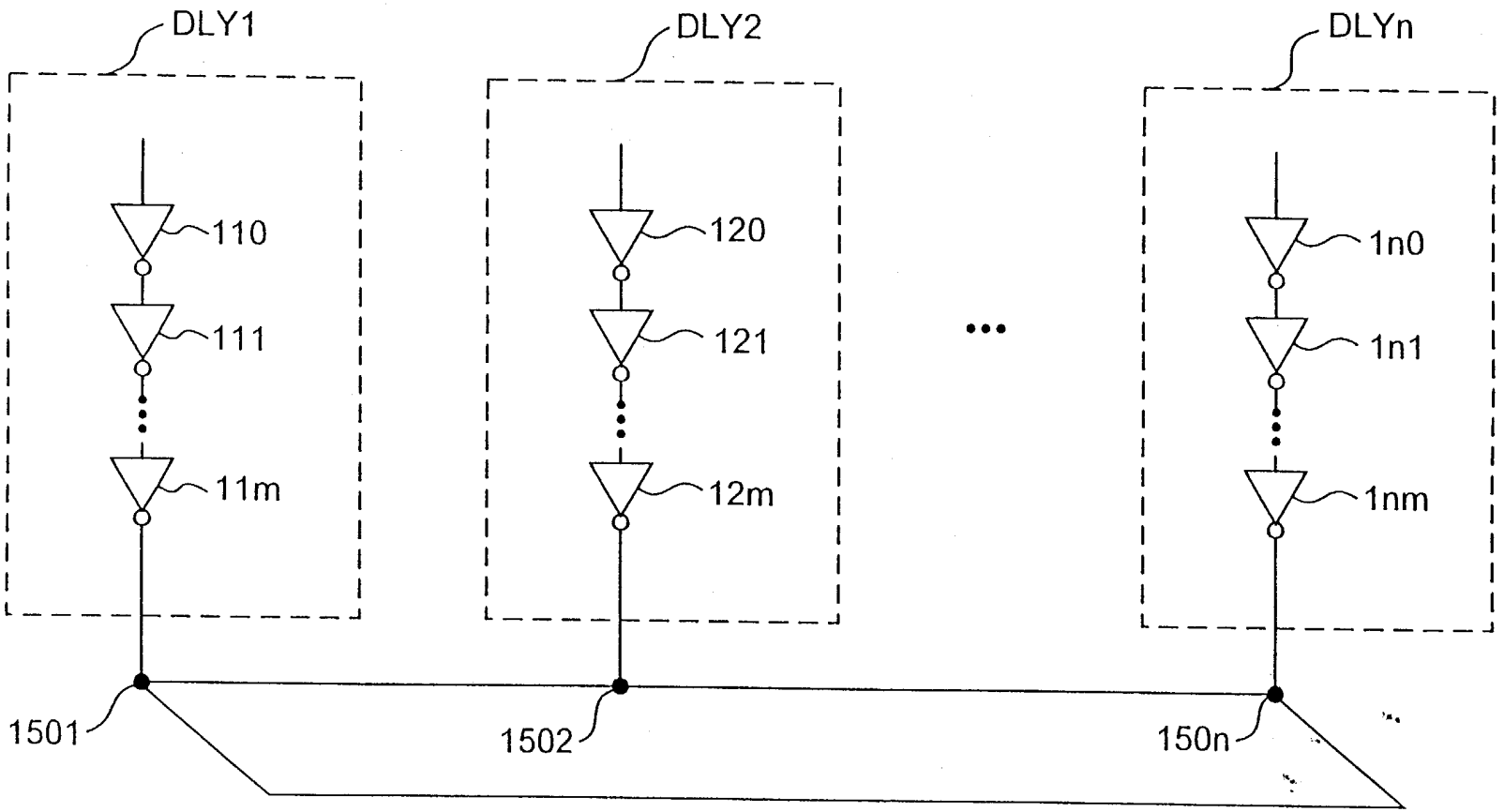
第12(B)圖



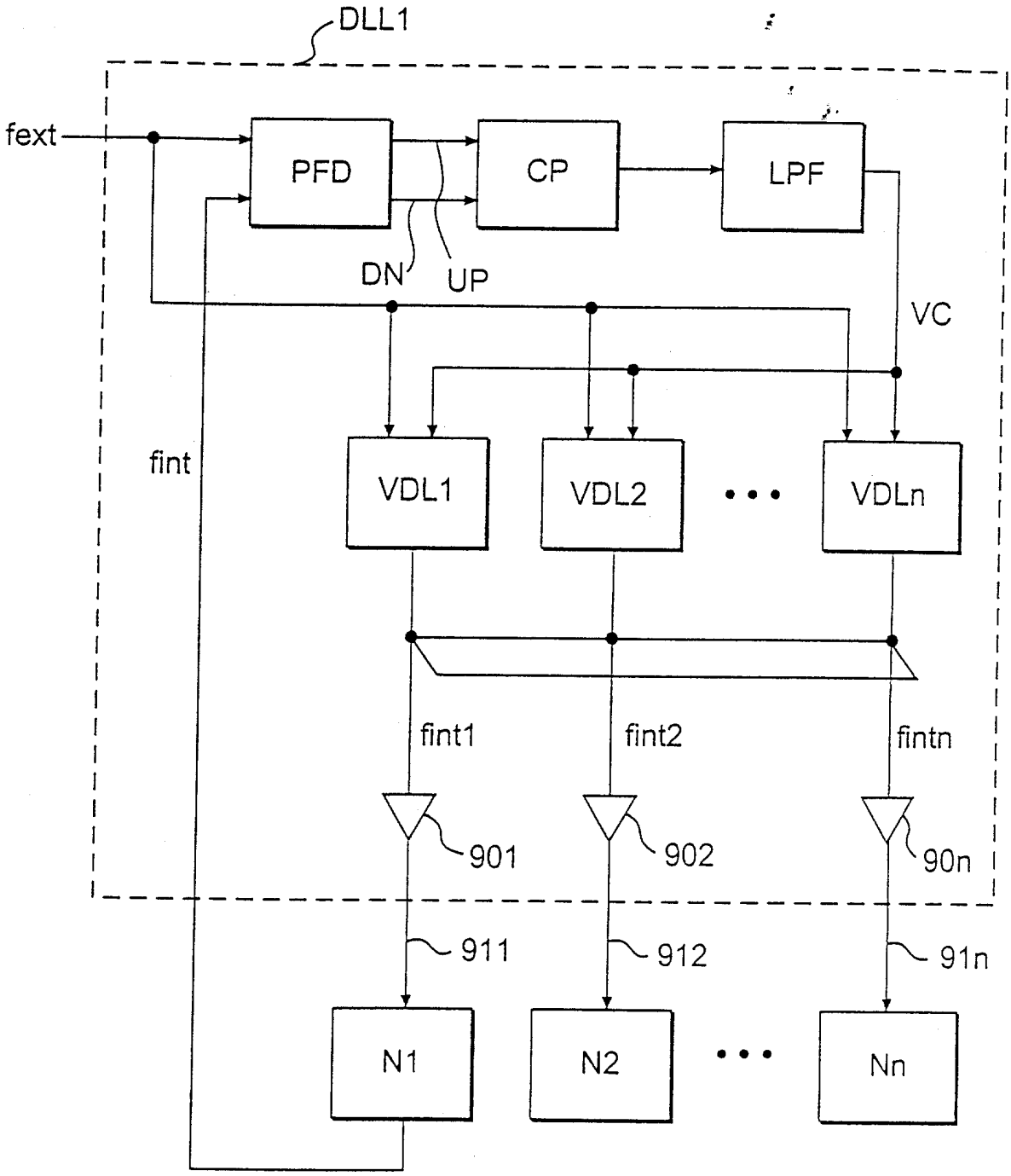
第 13 圖


1231
1211
1241
1220
PLL1
1220
1232
1233
1220
1201
1212
1213
1203
1202
1200

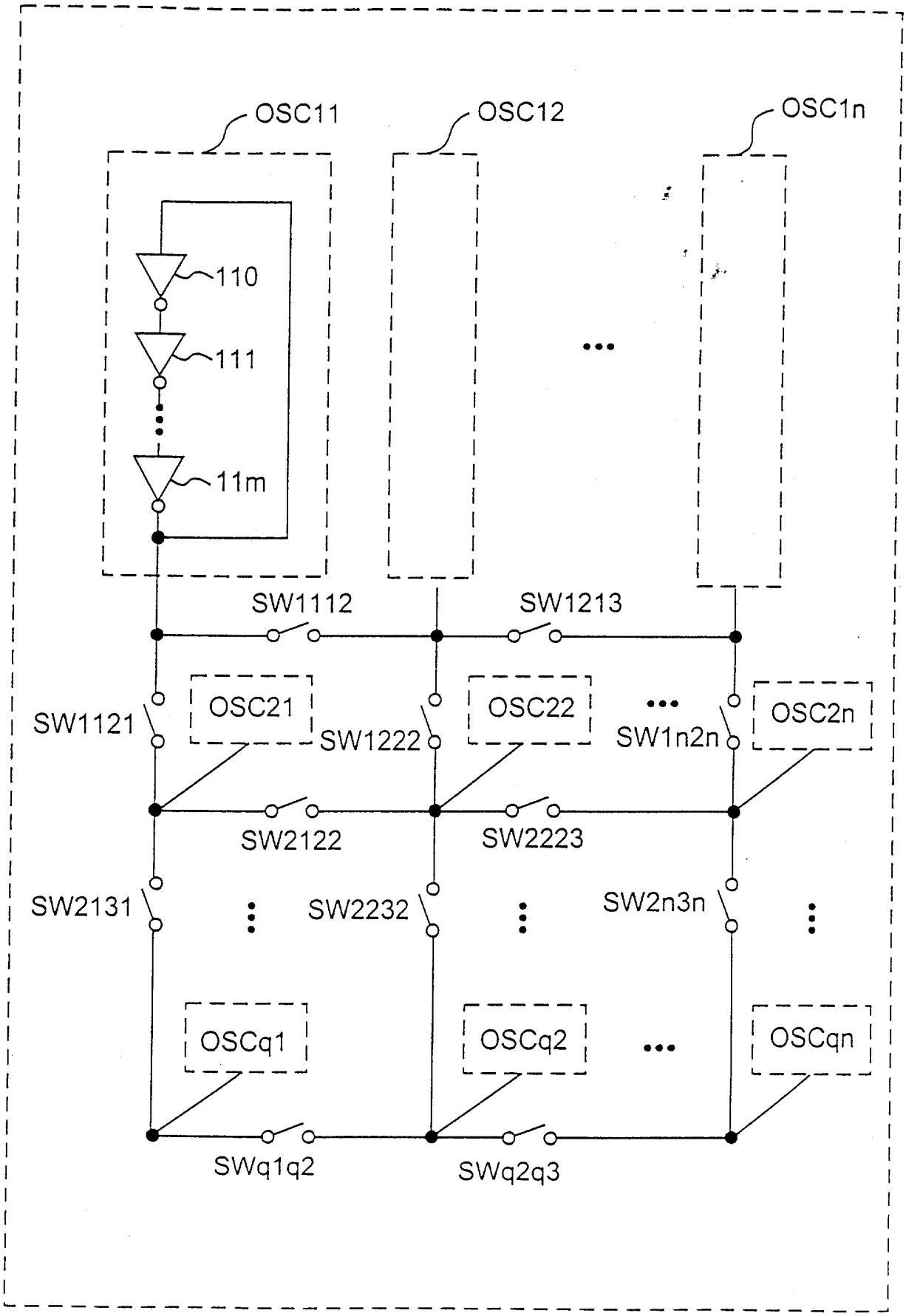
第14圖


DLY1
DLY2
DLYn
110
111
11m
120
121
12m
1n0
1n1
1nm
1501
1502
150n

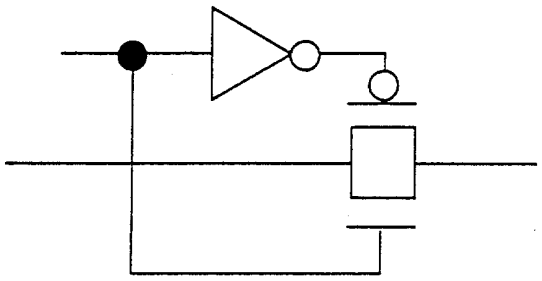
第 15 圖


DLL1
fext
PFD
CP
LPF
DN
UP
VC
fint
VDL1
VDL2
VDLn
fint1
fint2
fintn
901
902
90n
911
912
91n
N1
N2
Nn

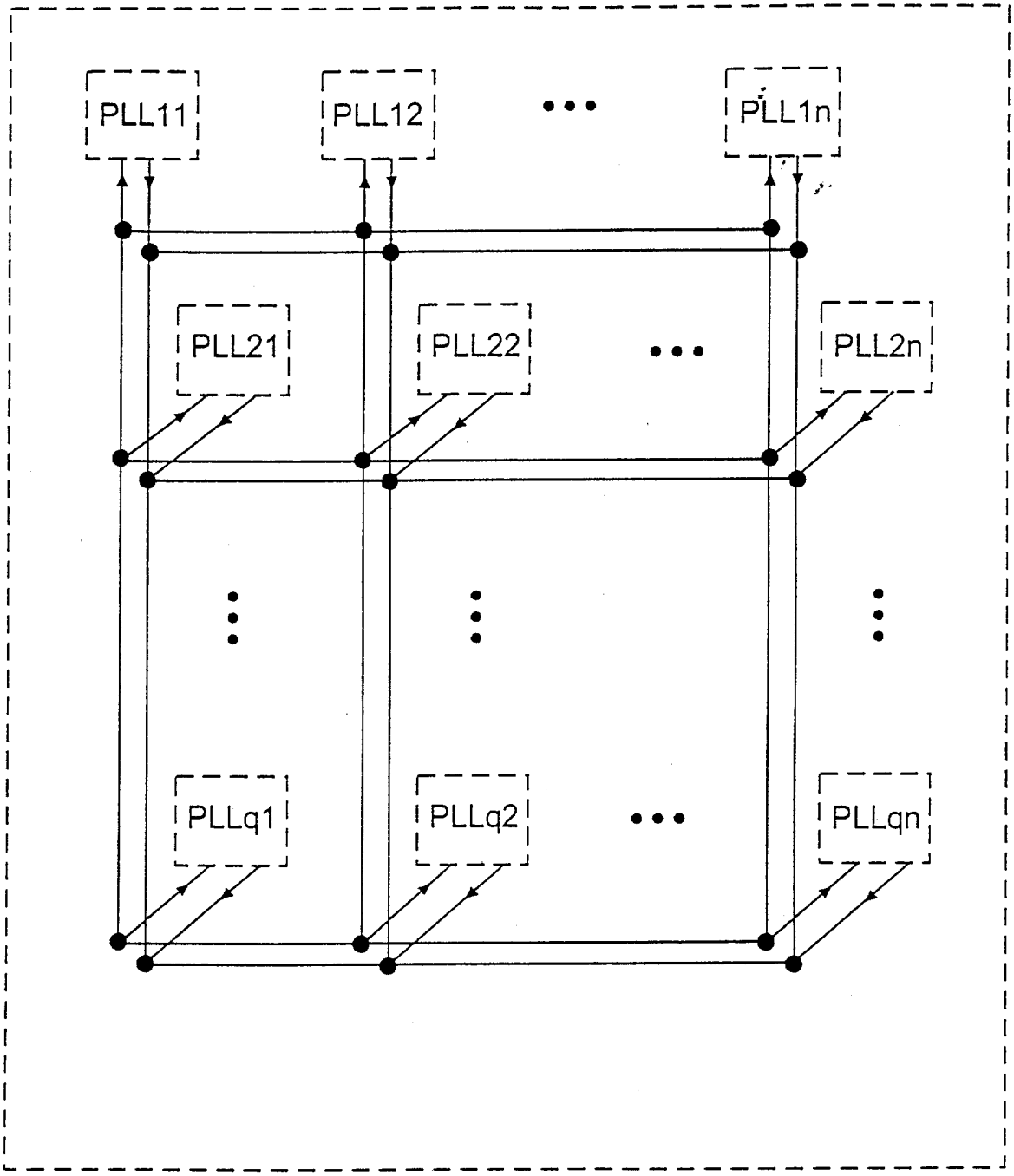
第 16 圖


OSC11
OSC12
OSC1n
110
111
11m
SW1112
SW1213
SW1121
OSC21
OSC22
OSC2n
SW1222
SW1n2n
SW2122
SW2223
SW2131
SW2232
SW2n3n
OSCq1
OSCq2
OSCqn
SWq1q2
SWq2q3

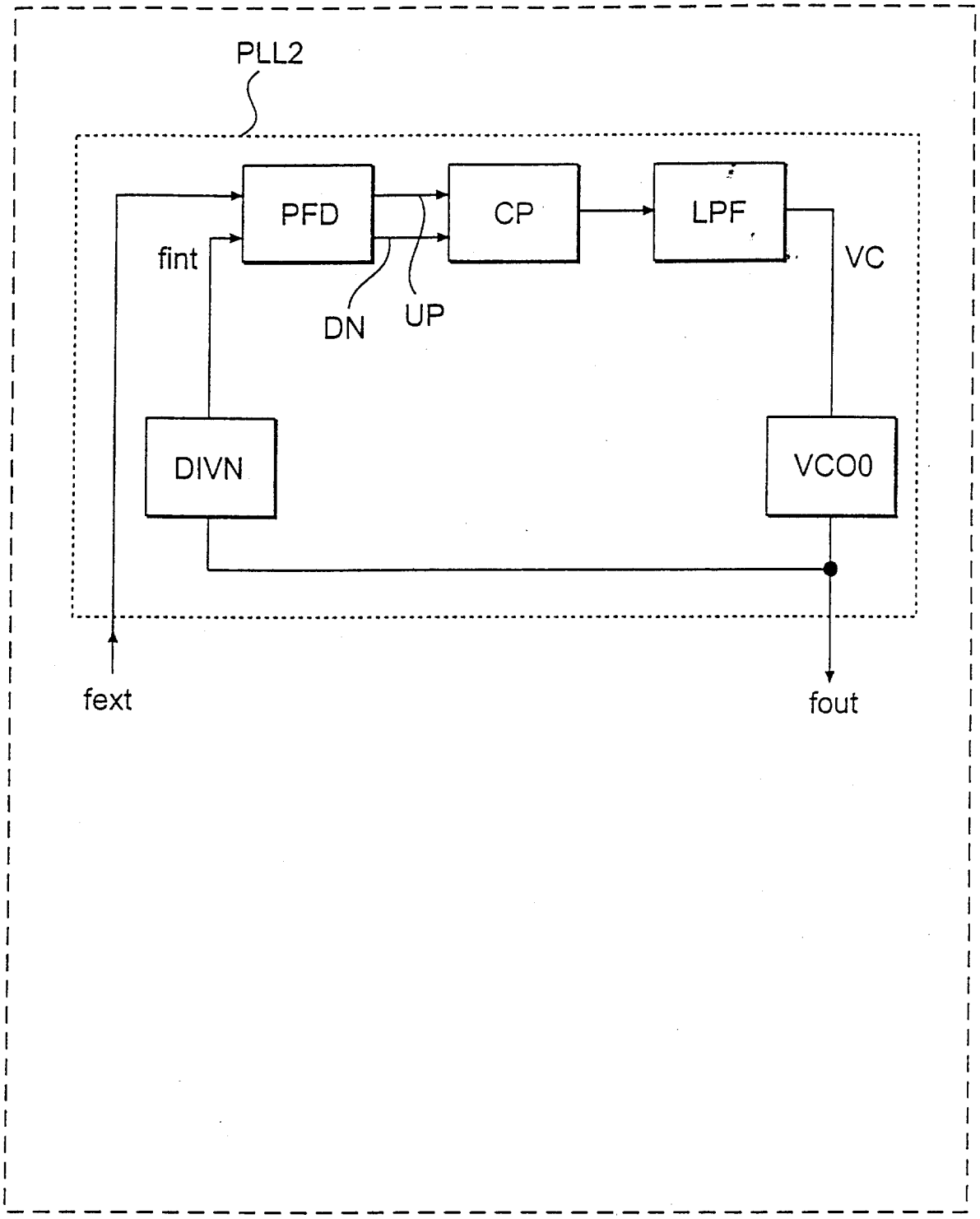
第17(A)圖



第17(B)圖



第18圖



第19圖