

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月23日(23.11.2017)



(10) 国際公開番号

WO 2017/199712 A1

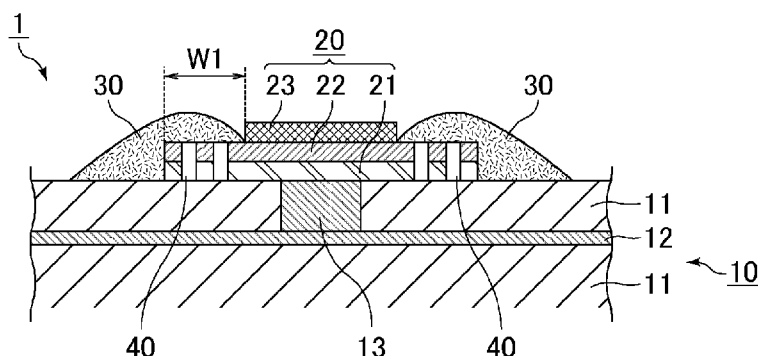
- (51) 国際特許分類:
H05K 3/34 (2006.01) *H05K 3/28* (2006.01)
- (21) 国際出願番号: PCT/JP2017/016377
- (22) 国際出願日: 2017年4月25日(25.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-098041 2016年5月16日(16.05.2016) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 武森 祐貴 (TAKEMORI, Yuki);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 安富国際特許事
務所(YASUTOMI & ASSOCIATES); 〒5320003
大阪府大阪市淀川区宮原 3 丁目 5
番 3 6 号 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: セラミック電子部品

図1



(57) Abstract: This ceramic electronic component is provided with: an electronic component main body which has a base ceramic layer in the surface; a surface electrode which is arranged on the surface of the electronic component main body; and a covering ceramic layer which covers an outer peripheral portion of the surface electrode. This ceramic electronic component is characterized in that the outer peripheral portion of the surface electrode covered by the covering ceramic layer has an opening.

(57) 要約: 本発明のセラミック電子部品は、表面に基材セラミック層を有する電子部品本体と、上記電子部品本体の表面に設けられた表面電極と、上記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、上記被覆セラミック層によって被覆された上記表面電極の外周部は、開口を有することを特徴とする。

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称 : セラミック電子部品

技術分野

[0001] 本発明は、セラミック電子部品に関する。

背景技術

[0002] 電子部品本体の表面に表面電極が設けられたセラミック電子部品として、例えば、多層セラミック基板のような積層型セラミック電子部品が挙げられる。

[0003] このようなセラミック電子部品においては、表面電極の高周波特性の劣化を防止するために、いわゆるフレーミング層と呼ばれる被覆セラミック層を表面電極の外周部に設けることが行われている（特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-186269号公報

発明の概要

発明が解決しようとする課題

[0005] 上記被覆セラミック層は、表面電極の外周部に加えて、電子部品本体のセラミック層（以下、基材セラミック層という）上にも設けられる。

通常、被覆セラミック層は、被覆セラミック層形成用のセラミックグリーンシートを所定箇所に載置して焼成するか、又は、被覆セラミック層形成用のセラミックペーストを所定箇所に塗布して焼成することにより形成され、電子部品本体及び表面電極を得るための焼成と同時に焼成することによって形成されることが好ましいとされている。

[0006] しかし、表面電極上と基材セラミック層上とは、セラミックグリーンシート又はセラミックペーストの焼結性が異なるため、焼成後に得られる被覆セラミック層の強度に差が生じるという問題があった。具体的には、表面電極上の被覆セラミック層の強度が基材セラミック層上の被覆セラミック層の強

度よりも低くなり、その結果、セラミック電子部品に対してブラスト処理等の表面処理を行った場合、被覆セラミック層が表面電極から剥がれてしまうという問題があった。

[0007] 本発明は上記の問題を解決するためになされたものであり、被覆セラミック層と表面電極との間の接合強度が高く、表面電極からの被覆セラミック層の剥がれを防止することができるセラミック電子部品を提供することを目的とする。

課題を解決するための手段

[0008] 電子部品本体及び表面電極を得るための焼成と同時に焼成することによって被覆セラミック層を形成する場合、焼成時、基材セラミック層を構成するセラミック成分又はガラス成分が液相となって被覆セラミック層へ供給され、その結果、被覆セラミック層の焼結性が向上すると考えられる。本発明者は、基材セラミック層から被覆セラミック層へ供給される液相の量の違いによって、表面電極上と基材セラミック層上とで被覆セラミック層の焼結性に違いが生じるのではないかと考えた。すなわち、本発明者は、表面電極上の被覆セラミック層は、基材セラミック層上の被覆セラミック層に比べて、液相が供給されにくいために焼結性が劣り、被覆セラミック層と表面電極との間の接合強度が低くなるのではないかと考えた。

[0009] そこで、本発明者は、基材セラミック層から表面電極上の被覆セラミック層へ液相を供給するための経路を表面電極に形成することにより、表面電極からの被覆セラミック層の剥がれを防止することができることを見出し、本発明を完成した。

[0010] 本発明の第1実施形態に係るセラミック電子部品は、表面に基材セラミック層を有する電子部品本体と、上記電子部品本体の表面に設けられた表面電極と、上記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、上記被覆セラミック層によって被覆された上記表面電極の外周部は、開口を有することを特徴とする。

[0011] 本発明の第1実施形態では、被覆セラミック層によって被覆された表面電極

の外周部に開口を形成することにより、開口を通して基材セラミック層から被覆セラミック層へ液相が供給されと考えられる。その結果、表面電極上の被覆セラミック層の焼結性が向上し、被覆セラミック層と表面電極との間の接合強度が高くなるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層が表面電極から剥がれにくくなる。

[0012] このように、開口を通して基材セラミック層から被覆セラミック層へ液相が供給されるため、焼結性が低い組成の被覆セラミック層（例えば、 Al_2O_3 等の金属酸化物の含有量が多い被覆セラミック層）を形成する場合であっても、被覆セラミック層と表面電極との間の接合強度が高くなる。

[0013] また、被覆セラミック層と表面電極との間の接合強度が高いと、被覆セラミック層を形成した後にめっき層を形成する場合であっても、めっき層を形成する前の表面電極と被覆セラミック層との界面にめっき液が侵入しにくくなるため、異常析出のリスクが低下する。

[0014] さらに、表面電極の外周部に開口を形成することにより、被覆セラミック層と表面電極との接触面積が増大するため、アンカー効果が高まり、被覆セラミック層と表面電極との間の接合強度が高くなる。

[0015] 本発明の第1実施形態において、上記開口は、上記表面電極を貫通することが好ましい。

表面電極を貫通する開口を表面電極の外周部に形成することにより、表面電極上の被覆セラミック層への液相の供給が促進される。

[0016] 本発明の第1実施形態において、上記開口は、穴又はスリットであることが好ましい。

穴又はスリットからなる開口は、開口を有するスクリーン版を用いてスクリーン印刷を行う方法やレーザ又はメカパンチャー等を用いた加工方法等によって容易に形成することができるため、基材セラミック層から表面電極上の被覆セラミック層へ液相を供給するための経路を容易に形成することができる。

[0017] 本発明の第2実施形態に係るセラミック電子部品は、表面に基材セラミック層を有する電子部品本体と、上記電子部品本体の表面に設けられた表面電極と、上記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、上記被覆セラミック層によって被覆された上記表面電極の外周部において、上記表面電極の周縁側に、上記表面電極の中央部よりも厚みが薄い薄肉部が存在し、上記薄肉部の幅は、上記被覆セラミック層によって被覆された上記表面電極の外周部の幅の50%以上であることを特徴とする。

[0018] 本発明の第3実施形態に係るセラミック電子部品は、表面に基材セラミック層を有する電子部品本体と、上記電子部品本体の表面に設けられた表面電極と、上記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、上記被覆セラミック層によって被覆された上記表面電極の外周部において、上記表面電極の中央部側に、上記表面電極の中央部よりも厚みが薄い薄肉部が存在し、上記薄肉部の幅は、上記被覆セラミック層によって被覆された上記表面電極の外周部の幅の20%以上であることを特徴とする。

[0019] 本発明の第2実施形態では、被覆セラミック層によって被覆された表面電極の外周部のうち、表面電極の周縁側に、表面電極の中央部よりも厚みの薄い薄肉部を形成し、薄肉部の幅を表面電極の外周部の幅の50%以上とすることにより、薄肉部を通して基材セラミック層から被覆セラミック層へ液相が供給されやすくなると考えられる。その結果、表面電極上の被覆セラミック層の焼結性が向上し、被覆セラミック層と表面電極との間の接合強度が高くなるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層が表面電極から剥がれにくくなる。

[0020] 本発明の第3実施形態では、被覆セラミック層によって被覆された表面電極の外周部のうち、表面電極の中央部側に、表面電極の中央部よりも厚みの薄い薄肉部を形成し、薄肉部の幅を表面電極の外周部の幅の20%以上とすることにより、第2実施形態と同様に、薄肉部を通して基材セラミック層から

被覆セラミック層へ液相が供給されやすくなると考えられる。特に、本発明の第3実施形態では、第2実施形態と比べて、最も剥がれが生じやすい被覆セラミック層の端部に、液相が選択的に供給されやすくなると考えられる。その結果、表面電極上の被覆セラミック層の焼結性が向上し、被覆セラミック層と表面電極との間の接合強度が高くなるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層が表面電極から剥がれにくくなる。

[0021] このように、本発明の第2実施形態及び第3実施形態では、薄肉部を通して基材セラミック層から被覆セラミック層へ液相が供給されやすくなるため、焼結性が低い組成の被覆セラミック層（例えば、 Al_2O_3 等の金属酸化物の含有量が多い被覆セラミック層）を形成する場合であっても、被覆セラミック層と表面電極との間の接合強度が高くなる。

[0022] また、被覆セラミック層と表面電極との間の接合強度が高いと、被覆セラミック層を形成した後にめっき層を形成する場合であっても、めっき層を形成する前の表面電極と被覆セラミック層との界面にめっき液が侵入しにくくなるため、異常析出のリスクが低下する。

[0023] 本発明の第2実施形態及び第3実施形態において、上記薄肉部の幅は、 $15\mu m$ 以上であることが好ましい。また、上記薄肉部の厚みは、 $10\mu m$ 以下であることが好ましい。

薄肉部の幅及び薄肉部の厚みをそれぞれ上記範囲にすることにより、表面電極上の被覆セラミック層への液相の供給が促進される。

[0024] 以下、本発明の第1実施形態に係るセラミック電子部品、本発明の第2実施形態に係るセラミック電子部品、及び、本発明の第3実施形態に係るセラミック電子部品を区別しない場合、単に本発明のセラミック電子部品という。

[0025] 本発明のセラミック電子部品において、上記表面電極は、上記基材セラミック層の上面に設けられた第1焼結層と、上記第1焼結層の上面に設けられた第2焼結層と、上記第2焼結層の上面に設けられためっき層とを含むことが好ましい。

この場合、表面電極を、基材セラミック層との接合強度を高くするための第1焼結層と、めっき層を設けるための第2焼結層とからなる複層構造にすることができるため、表面電極と基材セラミック層との間の接合強度を高くすることができる。

[0026] 本発明のセラミック電子部品において、上記第1焼結層は、Al、Zr、Ti、Si及びMgからなる群より選択される少なくとも1種の金属元素を含む金属酸化物を含有することが好ましい。

第1焼結層が上記金属酸化物を含有していると、これらの金属酸化物が基材セラミック層を構成するセラミック成分又はガラス成分と結合することができるため、第1焼結層と基材セラミック層との間の接合強度を高くすることができる。

[0027] 本発明のセラミック電子部品において、上記第2焼結層は、上記第1焼結層よりも少ない上記金属酸化物を含有することが好ましい。

この場合、第2焼結層の上面をめっきが付着しやすい状態にすることができる。

発明の効果

[0028] 本発明によれば、被覆セラミック層と表面電極との間の接合強度が高く、表面電極からの被覆セラミック層の剥がれを防止することができるセラミック電子部品を提供することができる。

図面の簡単な説明

[0029] [図1]図1は、本発明の第1実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

[図2]図2A～図2Cは、図1に示すセラミック電子部品1の製造方法の一例を模式的に示す断面図である。

[図3]図3は、本発明の第2実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

[図4]図4は、本発明の第2実施形態に係るセラミック電子部品の別の一例を模式的に示す断面図である。

[図5]図5は、本発明の第2実施形態に係るセラミック電子部品のさらに別の一例を模式的に示す断面図である。

[図6]図6A～図6Cは、図3に示すセラミック電子部品2の製造方法の一例を模式的に示す断面図である。

[図7]図7は、本発明の第3実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

[図8]図8は、セラミック電子部品1-1における表面電極の外周部に形成した開口の形状を模式的に示す平面図である。

[図9]図9は、セラミック電子部品1-2における表面電極の外周部に形成した開口の形状を模式的に示す平面図である。

発明を実施するための形態

[0030] 以下、本発明のセラミック電子部品の実施形態について説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。

以下において記載する個々の実施形態の望ましい構成を2つ以上組み合わせたものもまた本発明である。

[0031] 以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2実施形態以降では、第1実施形態と共通の事項についての記述は省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については、実施形態毎には逐次言及しない。

[0032] 以下の実施形態では、セラミック電子部品が、多層セラミック基板等の積層型セラミック電子部品である場合、すなわち、電子部品本体が、複数のセラミック層が積層された積層構造を有する場合について説明する。しかし、本発明は、積層型セラミック電子部品に限らず、電子部品本体が表面に基材セラミック層を有し、電子部品本体の表面に表面電極が設けられた種々のセラミック電子部品に対して適用することが可能である。

[0033] [第1実施形態]

図１は、本発明の第１実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

図１には全体的な構成が示されていないが、セラミック電子部品１は、表面に基材セラミック層１１を有する電子部品本体１０と、電子部品本体１０の表面に設けられた表面電極２０と、表面電極２０の外周部を被覆する被覆セラミック層３０とを備えている。

そして、被覆セラミック層３０によって被覆された表面電極２０の外周部は、開口４０を有している。図１では示していないが、開口４０は、基材セラミック層１１に含有されるセラミック成分又はガラス成分で充填されていることが好ましい。

[0034] 図１では、電子部品本体１０は、複数の基材セラミック層１１が積層された積層構造を有しており、電子部品本体１０の内部には、内部配線導体としての内部導体膜１２及びビアホール導体１３が設けられている。内部導体膜１２はビアホール導体１３と電氣的に接続されており、ビアホール導体１３は表面電極２０と電氣的に接続されている。また、表面電極２０は、３層構造を有しており、電子部品本体１０の表面に位置する基材セラミック層１１の上面に設けられた第１焼結層２１と、第１焼結層２１の上面に設けられた第２焼結層２２と、第２焼結層２２の上面に設けられためっき層２３とを含んでいる。

[0035] 本明細書においては、表面電極のうち、被覆セラミック層によって被覆されている部分を表面電極の外周部といい、被覆セラミック層によって被覆されていない部分を表面電極の中央部という。以下、被覆セラミック層によって被覆された表面電極の外周部を、単に表面電極の外周部ともいう。

また、表面電極が複層構造を有する場合も同様に、被覆セラミック層によって被覆されている部分を各層の外周部といい、被覆セラミック層によって被覆されていない部分を各層の中央部という。

[0036] 図１に示すセラミック電子部品１では、表面電極２０の外周部は、基材セラミック層１１上及び第２焼結層２２上に設けられた被覆セラミック層３０に

よって被覆されており、さらに、第1焼結層21及び第2焼結層22を貫通する開口40を有している。一方、表面電極20の中央部には、めっき層23が設けられており、めっき層23は被覆セラミック層30によって被覆されていない。

[0037] 電子部品本体を構成する基材セラミック層は、低温焼結セラミック材料を含有することが好ましい。

低温焼結セラミック材料とは、セラミック材料のうち、1000℃以下の焼成温度で焼結可能であり、AgやCuとの同時焼成が可能である材料を意味する。

[0038] 基材セラミック層に含有される低温焼結セラミック材料としては、例えば、クォーツやアルミナ、フォスフェイト等のセラミック材料にホウ珪酸ガラスを混合してなるガラス複合系低温焼結セラミック材料、 $ZnO-MgO-Al_2O_3-SiO_2$ 系の結晶化ガラスを用いた結晶化ガラス系低温焼結セラミック材料、 $BaO-Al_2O_3-SiO_2$ 系セラミック材料や $Al_2O_3-CaO-SiO_2-MgO-B_2O_3$ 系セラミック材料等を用いた非ガラス系低温焼結セラミック材料等が挙げられる。

[0039] 電子部品本体の内部に設けられる内部配線導体（内部導体膜及びビアホール導体）は、導電成分を含有する。内部配線導体に含有される導電成分としては、例えば、Au、Ag、Cu、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru及びこれらの金属の1種を主成分とする合金等が挙げられる。内部配線導体は、導電成分として、Au、Ag又はCuを含有することが好ましく、Ag又はCuを含有することがより好ましい。Au、Ag及びCuは低抵抗であるため、特に、セラミック電子部品が高周波用途である場合に適している。

[0040] 表面電極の外周部を被覆する被覆セラミック層は、電子部品本体の表面に位置する基材セラミック層上と表面電極上とに設けられている。

[0041] 被覆セラミック層は、低温焼結セラミック材料を含有することが好ましい。この場合、被覆セラミック層に含有される低温焼結セラミック材料は、基材

セラミック層に含有される低温焼結セラミック材料と同一であっても異なっているとしてもよいが、基材セラミック層に含有される低温焼結セラミック材料と同一であることが好ましい。

[0042] 被覆セラミック層は、後述する表面電極の第1焼結層に含有される金属酸化物と同じ金属酸化物を含有してもよいが、上記金属酸化物を実質的に含有しないことが好ましい。被覆セラミック層が上記金属酸化物を含有する場合、被覆セラミック層中の上記金属酸化物の含有量は、50重量%未満であることが好ましい。

[0043] 被覆セラミック層の厚みは特に限定されないが、0.5 μm 以上、40 μm 以下であることが好ましい。

[0044] 電子部品本体の表面に設けられた表面電極は、配線基板又は搭載部品のような他の電子部品と接続されるためのものである。表面電極と他の電子部品とは、半田付け等によって接続される。

[0045] 表面電極に含有される導電成分としては、例えば、Au、Ag、Cu、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru及びこれらの金属の1種を主成分とする合金等が挙げられる。表面電極は、内部配線導体と同じ導電成分を含有することが好ましく、具体的には、導電成分として、Au、Ag又はCuを含有することが好ましく、Ag又はCuを含有することがより好ましい。

[0046] 表面電極の外周部の幅（図1中、W1で表される長さ）は特に限定されないが、15 μm 以上、1 mm以下であることが好ましい。

本明細書において、表面電極の外周部の幅とは、表面電極の周縁から被覆セラミック層の内周縁までの距離を意味する。

[0047] 本発明の第1実施形態では、被覆セラミック層によって被覆された表面電極の外周部が、開口を有することを特徴としている。上記開口は、基材セラミック層に含有されるセラミック成分又はガラス成分で充填されていることが好ましい。

[0048] 表面電極の外周部には、1つの開口が設けられていてもよいが、複数の開口

が設けられていることが好ましい。

[0049] 表面電極の外周部に設けられる開口は、表面電極を貫通していてもよいし、表面電極を貫通せず、表面電極の一方の主面のみが開口していてもよいが、表面電極を貫通していることが好ましい。上記開口が表面電極を貫通しない場合、開口していない側の表面電極の主面から開口までの距離は $10\ \mu\text{m}$ 以下であることが好ましい。

表面電極の外周部が複数の開口を有する場合、すべての開口が表面電極を貫通していることが好ましいが、表面電極を貫通する開口と表面電極を貫通しない開口とが混在していてもよい。

[0050] 開口が設けられる位置は、表面電極の外周部であれば特に限定されないが、表面電極の外周部に一様に開口が設けられていることが好ましい。

[0051] 表面電極の外周部に設けられる開口は、穴又はスリットであることが好ましい。

穴の平面形状は、実質的に円形又は正多角形であることが好ましく、実質的に円形又は正方形であることがより好ましい。スリットの平面形状は、実質的に楕円又は長方形であることが好ましい。

[0052] 表面電極の外周部に穴又はスリットが設けられる場合、1又は複数の穴のみが設けられていてもよく、1又は複数のスリットのみが設けられていてもよく、穴とスリットとが混在していてもよい。複数の穴が設けられている場合、穴の形状は、それぞれ異なってもよいが、すべて同じであることが好ましい。スリットの場合も同様である。

[0053] 表面電極は、1層構造を有していてもよいし、複層構造を有していてもよいが、複層構造を有していることが好ましい。

表面電極が1層構造を有する場合、焼結層のみからなることが好ましい。

表面電極が複層構造を有する場合、電子部品本体の表面に位置する基材セラミック層の上面に設けられた焼結層と、焼結層の上面に設けられためっき層とを含む少なくとも2層構造を有していることが好ましく、電子部品本体の表面に位置する基材セラミック層の上面に設けられた第1焼結層と、第1焼

結層の上面に設けられた第2焼結層と、第2焼結層の上面に設けられためっき層とを含む少なくとも3層構造を有していることがより好ましい。

焼結層は、導電性ペーストを焼き付けることによって形成されたものであり、めっき層は、焼結層を形成した後に電解めっき又は無電解めっきを施すことによって形成されたものである。

なお、表面電極が複層構造を有する場合、最表面にめっき層を含むことが好ましいが、めっき層を含まず、焼結層のみを含んでいてもよい。また、表面電極が最表面にめっき層を含む場合、めっき層は、通常、焼結層及び被覆セラミック層を形成した後に形成されるため、めっき層は被覆セラミック層によって被覆されていない。

[0054] 以下、表面電極の第1焼結層、第2焼結層及びめっき層について説明する。

表面電極を構成する第1焼結層は、導電成分を含有する。電子部品本体との接合強度を高くするため、第1焼結層は、金属酸化物をさらに含有することが好ましい。

[0055] 第1焼結層に含有される導電成分としては、例えば、Au、Ag、Cu、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru及びこれらの金属の1種を主成分とする合金等が挙げられる。第1焼結層は、内部配線導体と同じ導電成分を含有することが好ましく、具体的には、導電成分として、Au、Ag又はCuを含有することが好ましく、Ag又はCuを含有することがより好ましい。

[0056] 第1焼結層に含有される金属酸化物としては、例えば、Al、Zr、Ti、Si及びMgからなる群より選択される少なくとも1種の金属元素を含む金属酸化物が挙げられる。上記金属酸化物は、1種でもよく、2種以上でもよい。これらの中では、Al、Zr及びTiからなる群より選択される少なくとも1種の金属元素を含む金属酸化物が好ましく、Al元素を含む金属酸化物がより好ましい。

[0057] 第1焼結層中の金属酸化物の含有量は特に限定されないが、第2焼結層中の金属酸化物の含有量よりも多いことが好ましい。具体的には、第1焼結層中

の金属酸化物の含有量は、1重量%以上が好ましく、3重量%以上がより好ましい。一方、第1焼結層中の金属酸化物の含有量は、10重量%未満が好ましく、5重量%未満がより好ましい。

[0058] 第1焼結層が金属酸化物を含有する場合、導電成分を構成する金属の粒子と金属酸化物の粒子とが分散して存在していてもよく、金属の粒子の周囲に金属酸化物が被覆されていてもよいが、金属の粒子の周囲に金属酸化物が被覆されていることが好ましい。金属の粒子の周囲に金属酸化物が被覆されている場合、金属酸化物の含有量が少なくても、電子部品本体との接合強度を高くすることができる。

[0059] 第1焼結層の平面視形状は特に限定されず、例えば、矩形をはじめとする四角形のほか、四角形以外の多角形、円形、楕円形等が挙げられる。

[0060] 表面電極を構成する第2焼結層は、導電成分を含有する。第2焼結層に含有される導電成分は、第1焼結層に含有される導電成分と同じであることが好ましい。

[0061] 第2焼結層は、第1焼結層に含有される金属酸化物と同じ金属酸化物を含有していてもよいが、金属酸化物の含有量が多くなると、第2焼結層の上面にめっきが付着しにくくなる。そのため、第2焼結層は、第1焼結層よりも少ない金属酸化物を含有することが好ましく、上記金属酸化物を実質的に含有しないことがより好ましい。第2焼結層が金属酸化物を含有する場合において、第1焼結層中の金属酸化物の含有量が1重量%以上10重量%未満であるときは、第2焼結層中の金属酸化物の含有量は、1重量%未満であることが好ましい。また、第1焼結層中の金属酸化物の含有量が3重量%以上5重量%未満であるときは、第2焼結層中の金属酸化物の含有量は、3重量%未満であることが好ましく、1重量%未満であることがより好ましい。

[0062] 第2焼結層の上面の面積は、第1焼結層の上面の面積と実質的に同じであることが好ましい。すなわち、第2焼結層の平面視形状は、第1焼結層の平面視形状と実質的に同じであることが好ましい。

[0063] なお、焼結層の数は2層に限定されず、基材セラミック層の上面に設けられ

た第1焼結層と、上面にめっき層が設けられる第2焼結層との間に他の焼結層が設けられていてもよい。

[0064] 表面電極を構成するめっき層は、Au、Ag、Ni、Pd、Cu、Sn又はこれらの金属を含む合金からなることが好ましい。また、表面電極を構成するめっき層は、第2焼結層側から1層目がNi、2層目がAuであるNi/Auめっき層、第2焼結層側から1層目がNi、2層目がSnであるNi/Snめっき層、第2焼結層側から1層目がNi、2層目がPd、3層目がAuであるNi/Pd/Auめっき層等の複数層からなるめっき層であってもよい。

[0065] 被覆セラミック層が設けられている部分にはめっき層が設けられないため、めっき層の上面の面積は、第2焼結層の上面の面積よりも小さいことが好ましい。

[0066] めっき層の厚みは特に限定されないが、1 μ m以上、10 μ m以下であることが好ましい。

[0067] 図1に示すセラミック電子部品1は、好ましくは以下のように製造される。図2A～図2Cは、図1に示すセラミック電子部品1の製造方法の一例を模式的に示す断面図である。

[0068] まず、図2Aに示す未焼結の積層体100を作製する。

未焼結の積層体100を作製するため、複数の基材セラミックグリーンシート111を準備する。基材セラミックグリーンシート111は、焼成後に基材セラミック層11となるものである。

[0069] 基材セラミックグリーンシートは、例えば低温焼結セラミック材料のようなセラミック原料の粉末と、有機バインダと溶剤とを含有するスラリーを、ドクターブレード法等によってシート状に成形したものである。上記スラリーには、分散剤、可塑剤等の種々の添加剤が含有されていてもよい。

[0070] 上記スラリーに含有される有機バインダとしては、例えば、ブチラール樹脂（ポリビニルブチラール）、アクリル樹脂、メタクリル樹脂等を用いることができる。溶剤としては、例えば、トルエン、イソプロピルアルコール等の

アルコール等を用いることができる。可塑剤としては、例えば、ジ-n-ブチルフタレート等を用いることができる。

[0071] 次に、特定の基材セラミックグリーンシート 111 に、ビアホール導体 13 のための貫通孔を形成する。該貫通孔に、例えば Ag 又は Cu を導電成分として含有する導電性ペーストを充填することにより、ビアホール導体 13 となるべき導電性ペースト体 113 を形成する。

[0072] また、上記導電性ペーストと同じ組成の導電性ペーストを用いて、例えばスクリーン印刷等の方法によって、特定の基材セラミックグリーンシート 111 に、内部導体膜 12 となるべき導電性ペースト膜 112 を形成する。

[0073] さらに、積層後に表面に配置される基材セラミックグリーンシート 111 上に、第 1 焼結層 21 となるべき導電性ペースト膜 121 を形成し、導電性ペースト膜 121 上に、第 2 焼結層 22 となるべき導電性ペースト膜 122 を形成する。第 1 焼結層 21 となるべき導電性ペースト膜 121 は、例えば Ag 又は Cu を導電成分として含有し、 Al_2O_3 を金属酸化物として含有する導電性ペーストを用いて、スクリーン印刷等の方法によって形成することができる。第 2 焼結層 22 となるべき導電性ペースト膜 122 は、例えば Ag 又は Cu を導電成分として含有する導電性ペーストを用いて、スクリーン印刷等の方法によって形成することができる。この際、第 1 焼結層 21 となるべき導電性ペースト膜 121 及び第 2 焼結層 22 となるべき導電性ペースト膜 122 を貫通する開口 140 が形成されるように、開口を有する導電性ペースト膜 121 及び導電性ペースト膜 122 を形成するか、又は、導電性ペースト膜 121 及び導電性ペースト膜 122 を形成した後に開口を形成する。なお、第 1 焼結層 21 となるべき導電性ペースト膜 121 及び第 2 焼結層 22 となるべき導電性ペースト膜 122 は、基材セラミックグリーンシート 111 を積層した後、焼成する前に形成してもよい。上記導電性ペーストに含有される金属酸化物としては、例えば、 Al_2O_3 、 ZrO_2 、 TiO_2 、 SiO_2 、 MgO 等を用いることができ、これらの中では Al_2O_3 を用いることが好ましい。

- [0074] 開口を有する導電性ペースト膜を形成する方法としては、例えば、開口を有するスクリーン版を用いてスクリーン印刷を行う方法、PETフィルム等の転写フィルム上に導電性ペースト膜を形成し、メカパンチャー等を用いて転写フィルム上の導電性ペースト膜に開口を形成した後、導電性ペースト膜を基材セラミックグリーンシートに転写する方法等が挙げられる。導電性ペーストを形成した後に開口を形成する方法としては、例えば、基材セラミックグリーンシート上に導電性ペースト膜を形成した後、レーザ等を用いて導電性ペースト膜のみに開口を形成する方法等が挙げられる。
- [0075] 別途、被覆セラミックグリーンシート130を準備する。被覆セラミックグリーンシート130は、焼成後に被覆セラミック層30となるものである。
- [0076] 被覆セラミックグリーンシートは、例えば低温焼結セラミック材料のようなセラミック原料の粉末と、有機バインダと溶剤とを含有するスラリーを、ドクターブレード法等によってシート状に成形したものである。上記スラリーには、分散剤、可塑剤等の種々の添加剤が含有されていてもよい。なお、被覆セラミックグリーンシートを作製するためのスラリーとして、基材セラミックグリーンシートを作製するためのスラリーを使用することもできる。
- [0077] 続いて、ビアホール導体13となるべき導電性ペースト体113又は内部導体膜12となるべき導電性ペースト膜112が形成された基材セラミックグリーンシート111と、第1焼結層21となるべき導電性ペースト膜121及び第2焼結層22となるべき導電性ペースト膜122が形成された基材セラミックグリーンシート111と、被覆セラミックグリーンシート130とを積層し、圧着することにより、未焼結の積層体100を作製する。被覆セラミックグリーンシート130は、開口140が形成された領域を被覆するように、積層後に表面に配置される基材セラミックグリーンシート111上と第2焼結層22となるべき導電性ペースト膜122上とに配置する。
- [0078] なお、被覆セラミックグリーンシート130に代えて、ペースト状組成物を、未焼結の積層体100の表面に位置する基材セラミックグリーンシート111上と第2焼結層22となるべき導電性ペースト膜122上とに塗布する

ことによっても、未焼結の積層体 100 を作製することができる。この場合、積層する前の基材セラミックグリーンシート 111 上と第 2 焼結層 22 となるべき導電性ペースト膜 122 上とにペースト状組成物を塗布してもよい。

[0079] その後、未焼結の積層体 100 を焼成する。これによって、図 2 B に示すように、表面に基材セラミック層 11 を有する電子部品本体 10 と、基材セラミック層 11 の上面に設けられた第 1 焼結層 21 と、第 1 焼結層 21 の上面に設けられた第 2 焼結層 22 と、基材セラミック層 11 上及び第 2 焼結層 22 上に設けられた被覆セラミック層 30 とを備える積層体が得られる。被覆セラミック層 30 によって被覆された第 1 焼結層 21 及び第 2 焼結層 22 の外周部には、開口 40 が形成されている。図 2 B では示していないが、焼成時、基材セラミック層 11 を構成するセラミック成分又はガラス成分が液相となり、この液相が、開口 40 を通して基材セラミック層 11（基材セラミックグリーンシート 111）から被覆セラミック層 30（被覆セラミックグリーンシート 130）へ供給される。そのため、開口 40 は、基材セラミック層 11 を構成するセラミック成分又はガラス成分で充填されることが好ましい。

[0080] なお、第 1 焼結層及び第 2 焼結層は、焼結後の電子部品本体の表面に各導電性ペースト膜を形成し、これらの導電性ペースト膜を焼成することによっても形成することができ、また、被覆セラミック層は、焼結後の第 1 焼結層及び第 2 焼結層の周縁に被覆セラミックグリーンシートを配置し、この被覆セラミックグリーンシートを焼成することによっても形成することができるが、上記のように、電子部品本体を得るための焼成と同時に焼成することによって形成することが好ましい。第 1 焼結層、第 2 焼結層及び被覆セラミック層を同時焼成によって形成する方が、製造工程の効率化及び低コスト化にとって有利であり、また、電子部品本体と第 1 焼結層との間の接合強度、及び、電子部品本体と被覆セラミック層との間の接合強度を高くすることができる。第 1 焼結層、第 2 焼結層及び被覆セラミック層を同時焼成によって形成

する場合には、電子部品本体を構成する基材セラミック層は、上述したように低温焼結セラミック材料を含有することが好ましい。

[0081] また、未焼結の積層体 100 の焼結温度では実質的に焼結しない金属酸化物 (Al_2O_3 等) を主成分とする拘束グリーンシートを準備し、未焼結の積層体 100 の最表面に拘束グリーンシートを配置した状態で未焼結の積層体 100 を焼成してもよい。この場合、拘束グリーンシートは、焼成時において実質的に焼結しないので収縮が生じず、積層体に対して主面方向での収縮を抑制するように作用する。

[0082] 未焼結の積層体 100 の焼成後、電解めっき又は無電解めっきを施すことによって、図 2C に示すように、第 2 焼結層 22 の上面にめっき層 23 を形成する。めっき層 23 として、第 2 焼結層 22 上に Ni めっき膜を形成し、その上に Au 又は Sn めっき膜を形成することが好ましい。

以上により、第 1 焼結層 21、第 2 焼結層 22 及びめっき層 23 を含む表面電極 20 が電子部品本体 10 の表面に設けられ、表面電極 20 の外周部を被覆セラミック層 30 が被覆するセラミック電子部品 1 が得られる。

[0083] 本発明の第 1 実施形態では、被覆セラミック層によって被覆された表面電極の外周部に開口を形成することにより、開口を通して基材セラミック層から被覆セラミック層へ液相が供給され则认为られる。その結果、表面電極上の被覆セラミック層の焼結性が向上し、被覆セラミック層と表面電極との間の接合強度が高くなるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層が表面電極から剥がれにくくなる。

[0084] さらに、表面電極の外周部に開口を形成することにより、被覆セラミック層と表面電極との接触面積が増大するため、アンカー効果が高まり、被覆セラミック層と表面電極との間の接合強度が高くなる。

[0085] [第 2 実施形態]

図 3 は、本発明の第 2 実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

図3には全体的な構成が示されていないが、セラミック電子部品2は、表面に基材セラミック層11を有する電子部品本体10と、電子部品本体10の表面に設けられた表面電極20と、表面電極20の外周部を被覆する被覆セラミック層30とを備えている。

そして、被覆セラミック層30によって被覆された表面電極20の外周部において、表面電極20の周縁側には、表面電極20の中央部よりも厚みが薄い薄肉部50が存在する。

[0086] 図3では、電子部品本体10は、複数の基材セラミック層11が積層された積層構造を有しており、電子部品本体10の内部には、内部配線導体としての内部導体膜12及びビアホール導体13が設けられている。内部導体膜12はビアホール導体13と電氣的に接続されており、ビアホール導体13は表面電極20と電氣的に接続されている。また、表面電極20は、3層構造を有しており、電子部品本体10の表面に位置する基材セラミック層11の上面に設けられた第1焼結層21と、第1焼結層21の上面に設けられた第2焼結層22と、第2焼結層22の上面に設けられためっき層23とを含んでいる。

[0087] 上述のとおり、本明細書においては、表面電極のうち、被覆セラミック層によって被覆されている部分を表面電極の外周部といい、被覆セラミック層によって被覆されていない部分を表面電極の中央部という。

[0088] 図3に示すセラミック電子部品2では、表面電極20の外周部は、基材セラミック層11上及び第2焼結層22上に設けられた被覆セラミック層30によって被覆されており、さらに、表面電極20の外周部の全体が、表面電極20の中央部よりも厚みが薄い薄肉部50となっている。一方、表面電極20の中央部には、めっき層23が設けられており、めっき層23は被覆セラミック層30によって被覆されていない。

[0089] 図4は、本発明の第2実施形態に係るセラミック電子部品の別の一例を模式的に示す断面図である。

図4に示すセラミック電子部品3では、表面電極20の外周部の一部が、表

面電極 20 の中央部よりも厚みが薄い薄肉部 50 となっている。

[0090] 電子部品本体を構成する基材セラミック層の材料、電子部品本体の内部に設けられる内部配線導体の導電成分等は、第 1 実施形態と同じである。

[0091] 表面電極の外周部を被覆する被覆セラミック層は、電子部品本体の表面に位置する基材セラミック層上と表面電極上とに設けられている。

[0092] 被覆セラミック層に含有される材料、被覆セラミック層の厚み等は、第 1 実施形態と同じである。

[0093] 電子部品本体の表面に設けられた表面電極は、配線基板又は搭載部品のような他の電子部品と接続されるためのものである。表面電極と他の電子部品とは、半田付け等によって接続される。

[0094] 表面電極に含有される導電成分は、第 1 実施形態と同じである。

[0095] 本発明の第 2 実施形態では、被覆セラミック層によって被覆された表面電極の外周部において、表面電極の周縁側に、表面電極の中央部よりも厚みが薄い薄肉部が存在する。換言すると、本発明の第 2 実施形態では、表面電極の周縁を周縁側の端部として、表面電極の周縁側から中央部側に所定の幅を有する薄肉部が存在する。

[0096] 表面電極の外周部の幅（図 3 及び図 4 中、W1 で表される長さ）は特に限定されないが、 $15\text{ }\mu\text{m}$ 以上、 1 mm 以下であることが好ましい。

上述のとおり、本明細書において、表面電極の外周部の幅とは、表面電極の周縁から被覆セラミック層の内周縁までの距離を意味する。

[0097] 薄肉部の幅（図 3 及び図 4 中、W2 で表される長さ）は、 $10\text{ }\mu\text{m}$ 以上が好ましく、 $15\text{ }\mu\text{m}$ 以上がより好ましく、 $20\text{ }\mu\text{m}$ 以上がさらに好ましい。

本発明の第 2 実施形態において、薄肉部の幅とは、表面電極の周縁から中央部の厚みと同じ厚みになるまでの距離を意味する。

[0098] なお、表面電極の外周部の幅、及び、薄肉部の幅は、いずれも、走査型電子顕微鏡（SEM）を用いた断面観察により測定することができる。

[0099] 本発明の第 2 実施形態では、薄肉部の幅が、被覆セラミック層によって被覆された表面電極の外周部の幅の 50% 以上であることを特徴としている。す

なわち、図3及び図4に示すように、表面電極の外周部の幅 $W1$ に対する薄肉部の幅 $W2$ の割合($W2/W1$)が50%以上であることを特徴としている。例えば、図3では、薄肉部の幅 $W2$ が表面電極の外周部の幅 $W1$ と同じであるため、薄肉部の幅は表面電極の外周部の幅の100%である。

[0100] 薄肉部の幅は、被覆セラミック層によって被覆された表面電極の外周部の幅の70%以上であることが好ましく、90%以上であることがより好ましく、100%であることが特に好ましい。薄肉部の幅の上記割合が100%である場合、本発明の第3実施形態にも該当する。

また、薄肉部の幅は、被覆セラミック層によって被覆された表面電極の外周部の幅の100%を超えてもよい。この場合、被覆セラミック層によって被覆されていない表面電極の中央部にも薄肉部が存在することになる。このように、被覆セラミック層によって被覆されていない表面電極の中央部にも薄肉部が存在してもよいが、表面電極の外周部のみに薄肉部が存在することが好ましい。

[0101] 薄肉部の厚みは、 $10\mu\text{m}$ 以下が好ましく、 $5\mu\text{m}$ 以下がより好ましい。

薄肉部の厚みは、走査型電子顕微鏡(SEM)を用いた断面観察により測定することができる。

[0102] 薄肉部の厚みは、図3及び図4に示すように、薄肉部全体で一定であることが好ましいが、表面電極の中央部から外周部に向かって段階的に厚みが薄くなっていてもよいし、連続的に厚みが薄くなっていてもよい。

[0103] 表面電極の外周部には、薄肉部が表面電極の周縁を取り囲むように、表面電極の周縁を含む領域の全体に薄肉部が存在することが好ましいが、表面電極の周縁を含む領域の一部に、中央部の厚みと同じ厚みの部分が存在してもよい。また、表面電極の外周部には、複数の薄肉部が存在してもよい。

[0104] 表面電極は、1層構造を有していてもよいし、複層構造を有していてもよいが、複層構造を有していることが好ましい。

表面電極が1層構造を有する場合、焼結層のみからなることが好ましい。

表面電極が複層構造を有する場合、電子部品本体の表面に位置する基材セラ

ミック層の上面に設けられた焼結層と、焼結層の上面に設けられためっき層とを含む少なくとも2層構造を有していることが好ましく、電子部品本体の表面に位置する基材セラミック層の上面に設けられた第1焼結層と、第1焼結層の上面に設けられた第2焼結層と、第2焼結層の上面に設けられためっき層とを含む少なくとも3層構造を有していることがより好ましい。

第1焼結層及び第2焼結層等の焼結層、並びに、めっき層の構成は、第1実施形態と同じであるため、その詳細な説明は省略する。

[0105] 図5は、本発明の第2実施形態に係るセラミック電子部品のさらに別の一例を模式的に示す断面図である。

図5に示すセラミック電子部品4では、第1焼結層21の外周部に、第2焼結層22及びめっき層23が上面に設けられていない露出面が存在する。この露出面は、電子部品本体10の表面に位置する基材セラミック層11上と第1焼結層21上に設けられた被覆セラミック層30によって被覆されている。したがって、被覆セラミック層30によって被覆された第1焼結層21の外周部が、表面電極20の中央部よりも厚みが薄い薄肉部50となっている。

このように、表面電極が複層構造を有する場合、薄肉部を構成する層の数が表面電極を構成する層の数と異なってもよい。

[0106] 図3に示すセラミック電子部品2は、好ましくは以下のように製造される。

図6A～図6Cは、図3に示すセラミック電子部品2の製造方法の一例を模式的に示す断面図である。

図6A～図6Cに示す製造方法は、表面電極20を形成する方法を除いて、図2A～図2Cに示す製造方法と同じであるため、共通する事項についての説明は省略する。

[0107] まず、図6Aに示す未焼結の積層体200を作製する。

未焼結の積層体200を作製するため、第1実施形態と同様に、複数の基材セラミックグリーンシート111を準備し、その後、特定の基材セラミックグリーンシート111に、ビアホール導体13となるべき導電性ペースト体

1 1 3 又は内部導体膜 1 2 となるべき導電性ペースト膜 1 1 2 を形成する。
別途、被覆セラミックグリーンシート 1 3 0 を準備する。

[0108] さらに、積層後に表面に配置される基材セラミックグリーンシート 1 1 1 上に、第 1 焼結層 2 1 となるべき導電性ペースト膜 1 2 1 を形成し、導電性ペースト膜 1 2 1 上に、第 2 焼結層 2 2 となるべき導電性ペースト膜 1 2 2 を形成する。この際、導電性ペーストを塗布する量を変更することによって、中央部の厚みよりも外周部の厚みが薄い薄肉部 1 5 0 が形成されるように、導電性ペースト膜 1 2 1 及び導電性ペースト膜 1 2 2 を形成する。

[0109] 続いて、ビアホール導体 1 3 となるべき導電性ペースト体 1 1 3 又は内部導体膜 1 2 となるべき導電性ペースト膜 1 1 2 が形成された基材セラミックグリーンシート 1 1 1 と、第 1 焼結層 2 1 となるべき導電性ペースト膜 1 2 1 及び第 2 焼結層 2 2 となるべき導電性ペースト膜 1 2 2 が形成された基材セラミックグリーンシート 1 1 1 と、被覆セラミックグリーンシート 1 3 0 とを積層し、圧着することにより、未焼結の積層体 2 0 0 を作製する。被覆セラミックグリーンシート 1 3 0 は、導電性ペースト膜 1 2 1 及び導電性ペースト膜 1 2 2 の厚みが薄くなっている外周部を被覆するように、積層後に表面に配置される基材セラミックグリーンシート 1 1 1 上と第 2 焼結層 2 2 となるべき導電性ペースト膜 1 2 2 上とに配置する。

[0110] その後、未焼結の積層体 2 0 0 を焼成する。これによって、図 6 B に示すように、表面に基材セラミック層 1 1 を有する電子部品本体 1 0 と、基材セラミック層 1 1 の上面に設けられた第 1 焼結層 2 1 と、第 1 焼結層 2 1 の上面に設けられた第 2 焼結層 2 2 と、基材セラミック層 1 1 上及び第 2 焼結層 2 2 上に設けられた被覆セラミック層 3 0 とを備える積層体が得られる。被覆セラミック層 3 0 によって被覆された第 1 焼結層 2 1 及び第 2 焼結層 2 2 の外周部には、薄肉部 5 0 が形成されている。

[0111] 未焼結の積層体 2 0 0 の焼成後、電解めっき又は無電解めっきを施すことによって、図 6 C に示すように、第 2 焼結層 2 2 の上面にめっき層 2 3 を形成する。

以上により、第1焼結層21、第2焼結層22及びめっき層23を含む表面電極20が電子部品本体10の表面に設けられ、表面電極20の外周部を被覆セラミック層30が被覆するセラミック電子部品2が得られる。

[0112] 本発明の第2実施形態では、被覆セラミック層によって被覆された表面電極の外周部のうち、表面電極の周縁側に、表面電極の中央部よりも厚みの薄い薄肉部を形成し、薄肉部の幅を表面電極の外周部の幅の50%以上とすることにより、薄肉部を通して基材セラミック層から被覆セラミック層へ液相が供給されやすくなると考えられる。その結果、表面電極上の被覆セラミック層の焼結性が向上し、被覆セラミック層と表面電極との間の接合強度が高くなるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層が表面電極から剥がれにくくなる。

[0113] [第3実施形態]

図7は、本発明の第3実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

図7には全体的な構成が示されていないが、セラミック電子部品5は、表面に基材セラミック層11を有する電子部品本体10と、電子部品本体10の表面に設けられた表面電極20と、表面電極20の外周部を被覆する被覆セラミック層30とを備えている。

そして、被覆セラミック層30によって被覆された表面電極20の外周部において、表面電極20の中央部側には、表面電極20の中央部よりも厚みが薄い薄肉部50が存在する。

[0114] 本発明の第3実施形態では、被覆セラミック層によって被覆された表面電極の外周部において、表面電極の中央部側に、表面電極の中央部よりも厚みが薄い薄肉部が存在する。換言すると、本発明の第3実施形態では、表面電極の中央部側から周縁側に所定の幅を有する薄肉部が存在する。表面電極の中央部側に位置する薄肉部の端部は、図7に示すように、被覆セラミック層の内周縁の位置と一致することが好ましい。

[0115] 表面電極の外周部において、薄肉部以外の部分の厚みは、表面電極の中央部

と同じ厚みであることが好ましい。

[0116] 表面電極の外周部の幅（図7中、W1で表される長さ）は特に限定されないが、 $15\mu\text{m}$ 以上、 1mm 以下であることが好ましい。

[0117] 薄肉部の幅（図7中、W3で表される長さ）は、 $10\mu\text{m}$ 以上が好ましく、 $15\mu\text{m}$ 以上がより好ましく、 $20\mu\text{m}$ 以上がさらに好ましい。

本発明の第3実施形態において、薄肉部の幅とは、表面電極の中央部側の端部（好ましくは被覆セラミック層の内周縁）から、表面電極の周縁側で中央部と同じ厚みとなるまでの距離を意味する。

[0118] 本発明の第3実施形態では、薄肉部の幅が、被覆セラミック層によって被覆された表面電極の外周部の幅の20%以上であることを特徴としている。すなわち、図7に示すように、表面電極の外周部の幅W1に対する薄肉部の幅W3の割合（ $W3/W1$ ）が20%以上であることを特徴としている。

[0119] 薄肉部の幅は、被覆セラミック層によって被覆された表面電極の外周部の幅の50%以上であることが好ましく、70%以上であることがより好ましく、90%以上であることがさらに好ましく、100%であることが特に好ましい。薄肉部の幅の上記割合が100%である場合、本発明の第2実施形態にも該当する。

また、被覆セラミック層によって被覆されていない表面電極の中央部にも薄肉部が存在してもよいが、表面電極の外周部のみに薄肉部が存在することが好ましい。

[0120] 薄肉部の厚みは、 $10\mu\text{m}$ 以下が好ましく、 $5\mu\text{m}$ 以下がより好ましい。

[0121] 上述のとおり、本発明の第3実施形態においては、薄肉部が存在する位置、及び、薄肉部の幅が第2実施形態と異なっている。セラミック電子部品の他の構成は、第2実施形態と同じである。

[0122] 本発明の第3実施形態では、被覆セラミック層によって被覆された表面電極の外周部のうち、表面電極の中央部側に、表面電極の中央部よりも厚みの薄い薄肉部を形成し、薄肉部の幅を表面電極の外周部の幅の20%以上とすることにより、第2実施形態と同様に、薄肉部を通して基材セラミック層から

被覆セラミック層へ液相が供給されやすくなると考えられる。特に、本発明の第3実施形態では、第2実施形態と比べて、最も剥がれが生じやすい被覆セラミック層の端部に、液相が選択的に供給されやすくなると考えられる。その結果、表面電極上の被覆セラミック層の焼結性が向上し、被覆セラミック層と表面電極との間の接合強度が高くなるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層が表面電極から剥がれにくくなる。

実施例

[0123] 以下、本発明のセラミック電子部品をより具体的に開示した実施例を示す。

なお、本発明は、これらの実施例のみに限定されるものではない。

[0124] [開口による効果の確認]

第1実施形態で説明した方法により、基材セラミック層の表面に設けられた表面電極と、上記表面電極の外周部を被覆する被覆セラミック層とを備え、被覆セラミック層によって被覆された表面電極の外周部が開口を有するセラミック電子部品1-1～1-4を作製した。

[0125] 図8は、セラミック電子部品1-1における表面電極の外周部に形成した開口の形状を模式的に示す平面図である。

セラミック電子部品1-1では、幅0.05mmの隙間が0.05mm間隔で設けられたスクリーン版を用いてスクリーン印刷を行うことにより、サイズが2mm角であり、周縁から内側0.1mmの外周部に複数のスリット4-1が設けられた表面電極2-0を基材セラミック層1-1上に形成した。

[0126] 図9は、セラミック電子部品1-2における表面電極の外周部に形成した開口の形状を模式的に示す平面図である。

セラミック電子部品1-2では、0.02mm角の穴が0.02mm間隔で設けられたスクリーン版を用いてスクリーン印刷を行うことにより、サイズが2mm角であり、周縁から内側0.1mmの外周部に複数の穴4-2が設けられた表面電極2-0を基材セラミック層1-1上に形成した。

[0127] セラミック電子部品1-3では、サイズが2mm角の電極を形成した後、電

極のみを貫通するようにレーザを照射することにより、周縁から内側0.1 mmの外周部に、直径0.015 mmの穴が0.015 mm間隔で設けられた表面電極を基材セラミック層上に形成した。

[0128] セラミック電子部品1-4では、サイズが2 mm角の電極をPETフィルム上に形成し、電極の周縁から内側0.1 mmの外周部に、パンチャーを用いて直径0.01 mmの穴を0.01 mm間隔で形成した後、穴が形成された電極を基材セラミックグリーンシートに転写することにより、外周部に複数の穴が設けられた表面電極を基材セラミック層上に形成した。

[0129] セラミック電子部品1-1～1-4とは別に、表面電極の外周部に開口を有しないセラミック電子部品1-5を作製した。

[0130] セラミック電子部品1-1～1-5に対して、表面の汚れを除去するためのブラスト処理を行った。ブラスト処理の後、各セラミック電子部品に対して10個ずつ断面研磨を行い、被覆セラミック層と表面電極との界面に剥がれが発生していないかを確認し、被覆セラミック層と表面電極との間の接合強度を評価した。

被覆セラミック層と表面電極との間の接合強度は、被覆セラミック層と表面電極との界面での剥がれが1個も発生していないものを◎（優）、1個以上9個未満に剥がれが発生したものを○（良）、10個すべてに剥がれが発生したものを×（不良）として評価した。結果を表1に示す。

[0131] [表1]

No.	開口の 形成方法	被覆セラミック層と 表面電極との間の 接合強度
1-1	印刷によるスリット	◎
1-2	印刷による穴	◎
1-3	レーザによる穴	◎
1-4	パンチャーによる穴	◎
1-5*	なし	×

[0132] 表 1 において、*を付したセラミック電子部品 1-5 は、本発明の範囲外のものである。

[0133] 表 1 より、表面電極の外周部に開口を有しないセラミック電子部品 1-5 では、被覆セラミック層と表面電極との界面に剥がれが発生するのに対し、表面電極の外周部に開口（スリット又は穴）を有するセラミック電子部品 1-1 ~ 1-4 では、被覆セラミック層と表面電極との界面に剥がれが発生せず、被覆セラミック層と表面電極との間の接合強度が高いことが確認された。また、セラミック電子部品 1-1 ~ 1-4 では、焼成後の開口が基材セラミック層からの液相で充填されていた。

以上の結果から、表面電極の外周部に開口を形成することにより、開口を通して基材セラミック層から被覆セラミック層へ液相が供給され、被覆セラミック層と表面電極との間の接合強度が高くなると考えられる。

[0134] [薄肉部による効果の確認]

第 2 実施形態で説明した方法により、基材セラミック層の表面に設けられた表面電極と、上記表面電極の外周部を被覆する被覆セラミック層とを備え、被覆セラミック層によって被覆された表面電極の外周部に薄肉部が存在するセラミック電子部品 2-1 ~ 2-4 を作製した。

セラミック電子部品 2-1 ~ 2-4 においては、薄肉部の幅を表面電極の幅の 100% で固定し、薄肉部の厚みを表 2 に示す値に変化させた。

[0135] セラミック電子部品 2-1 ~ 2-4 に対して、上記と同様の方法により、被覆セラミック層と表面電極との間の接合強度を評価した。結果を表 2 に示す。

[0136]

[表2]

No.	薄肉部 厚み [μm]	被覆セラミック層と 表面電極との間の 接合強度
2-1	20	○
2-2	15	○
2-3	10	◎
2-4	5	◎

[0137] 表2より、表面電極の外周部に薄肉部が存在するセラミック電子部品2-1～2-4では、被覆セラミック層と表面電極との界面に発生する剥がれを防止できることが確認された。特に、薄肉部の厚みが $10\mu\text{m}$ 以下であるセラミック電子部品2-3及び2-4では、被覆セラミック層と表面電極との界面に剥がれが発生せず、被覆セラミック層と表面電極との間の接合強度が高いことが確認された。

以上の結果から、表面電極の外周部に薄肉部を形成することにより、薄肉部を通して基材セラミック層から被覆セラミック層へ液相が供給されやすくなり、被覆セラミック層と表面電極との間の接合強度が高くなると考えられる。

符号の説明

[0138] 1, 2, 3, 4, 5 セラミック電子部品

10 電子部品本体

11 基材セラミック層

20 表面電極

21 第1焼結層

22 第2焼結層

23 めっき層

30 被覆セラミック層

40 開口

41 スリット

4 2 穴

5 0 薄肉部

W 1 表面電極の外周部の幅

W 2, W 3 薄肉部の幅

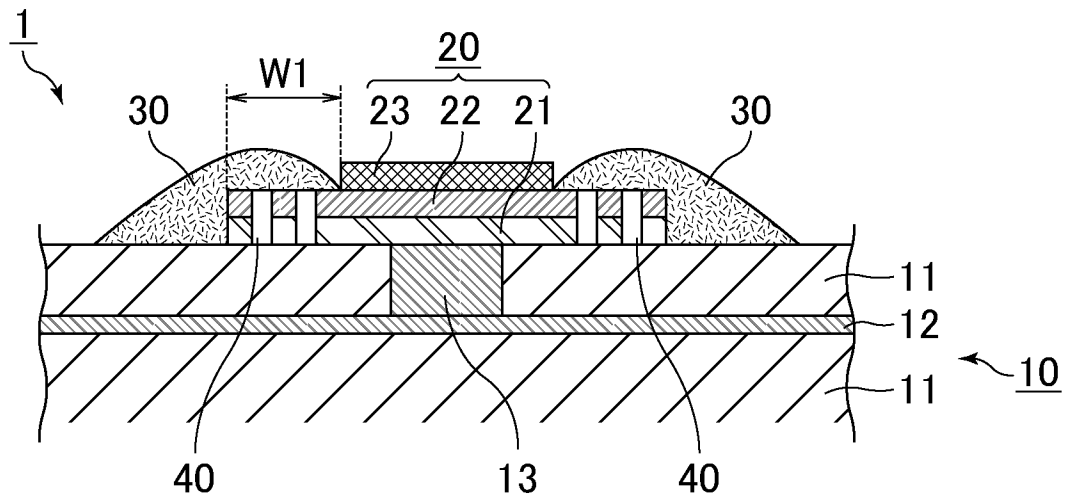
請求の範囲

- [請求項1] 表面に基材セラミック層を有する電子部品本体と、前記電子部品本体の表面に設けられた表面電極と、前記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、前記被覆セラミック層によって被覆された前記表面電極の外周部は、開口を有することを特徴とするセラミック電子部品。
- [請求項2] 前記開口は、前記表面電極を貫通する請求項1に記載のセラミック電子部品。
- [請求項3] 前記開口は、穴又はスリットである請求項1又は2に記載のセラミック電子部品。
- [請求項4] 表面に基材セラミック層を有する電子部品本体と、前記電子部品本体の表面に設けられた表面電極と、前記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、前記被覆セラミック層によって被覆された前記表面電極の外周部において、前記表面電極の周縁側に、前記表面電極の中央部よりも厚みが薄い薄肉部が存在し、前記薄肉部の幅は、前記被覆セラミック層によって被覆された前記表面電極の外周部の幅の50%以上であることを特徴とするセラミック電子部品。
- [請求項5] 表面に基材セラミック層を有する電子部品本体と、前記電子部品本体の表面に設けられた表面電極と、前記表面電極の外周部を被覆する被覆セラミック層とを備えるセラミック電子部品であって、前記被覆セラミック層によって被覆された上記表面電極の外周部において、前記表面電極の中央部側に、前記表面電極の中央部よりも厚みが薄い薄肉部が存在し、前記薄肉部の幅は、前記被覆セラミック層によって被覆された前記表面電極の外周部の幅の20%以上であることを特徴とするセラミック電子部品。

- [請求項6] 前記薄肉部の幅は、 $15\text{ }\mu\text{m}$ 以上である請求項4又は5に記載のセラミック電子部品。
- [請求項7] 前記薄肉部の厚みは、 $10\text{ }\mu\text{m}$ 以下である請求項4～6のいずれか1項に記載のセラミック電子部品。
- [請求項8] 前記表面電極は、前記基材セラミック層の上面に設けられた第1焼結層と、前記第1焼結層の上面に設けられた第2焼結層と、前記第2焼結層の上面に設けられためっき層とを含む請求項1～7のいずれか1項に記載のセラミック電子部品。
- [請求項9] 前記第1焼結層は、Al、Zr、Ti、Si及びMgからなる群より選択される少なくとも1種の金属元素を含む金属酸化物を含有する請求項8に記載のセラミック電子部品。
- [請求項10] 前記第2焼結層は、前記第1焼結層よりも少ない前記金属酸化物を含有する請求項8又は9に記載のセラミック電子部品。

[図1]

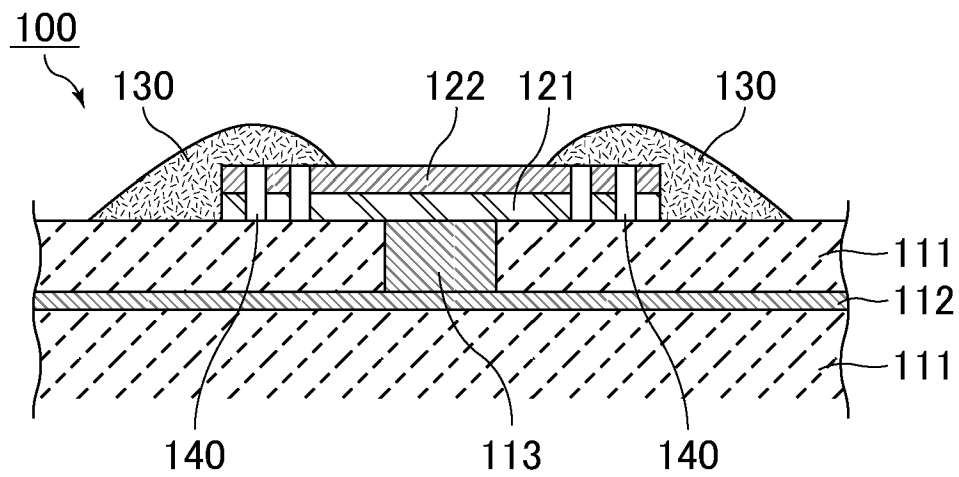
図1



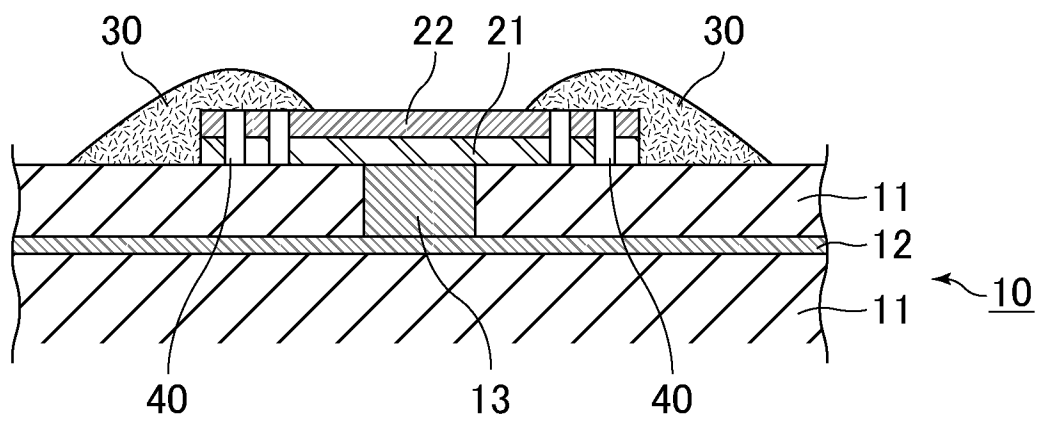
[図2]

図2

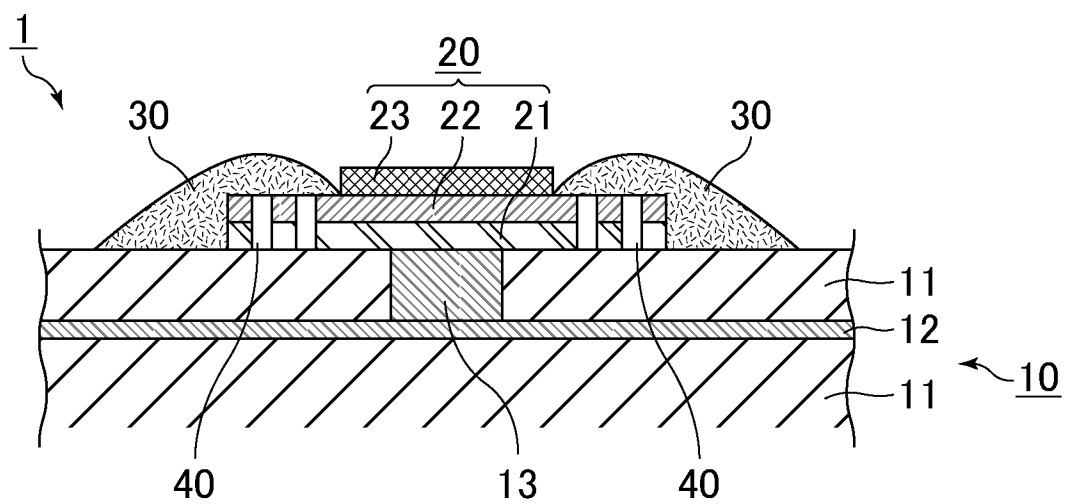
A



B

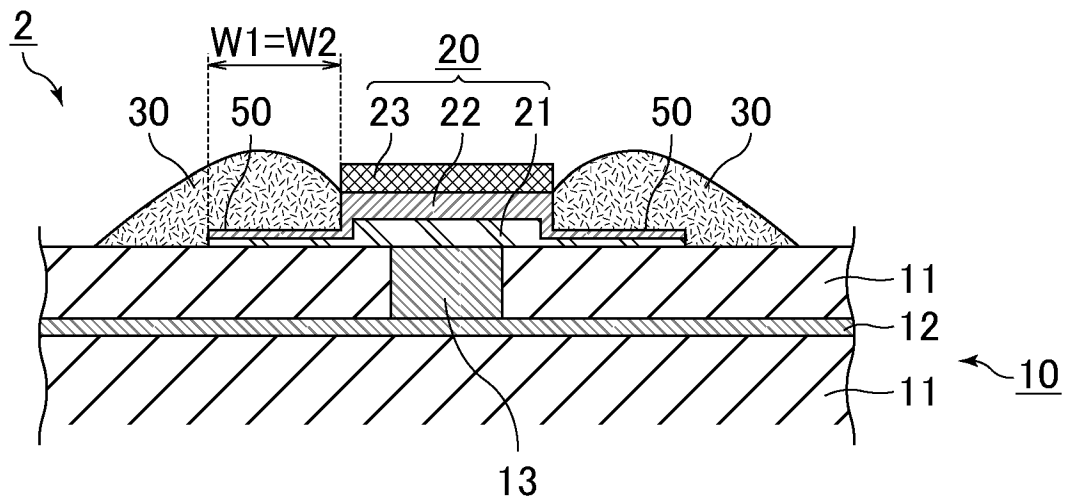


C



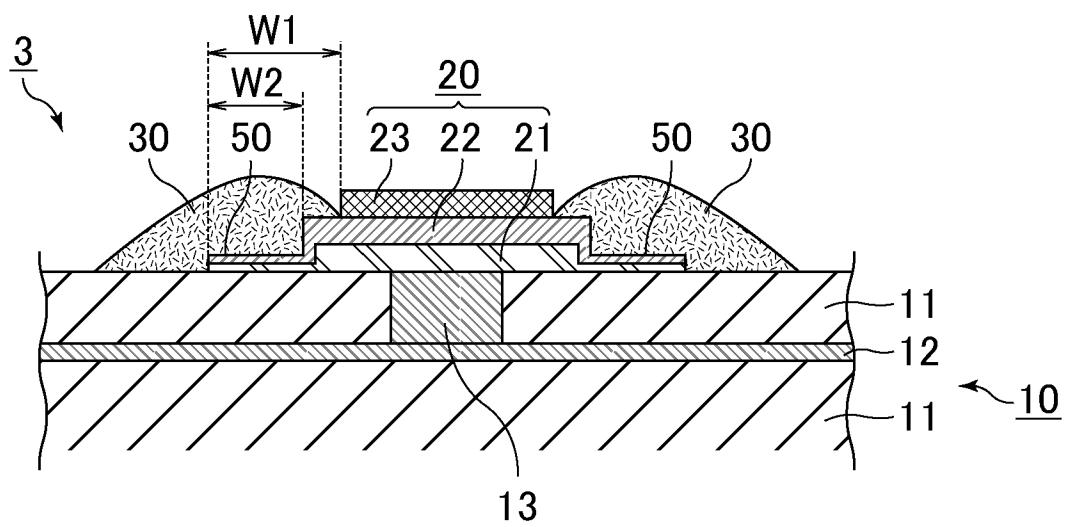
[図3]

図3



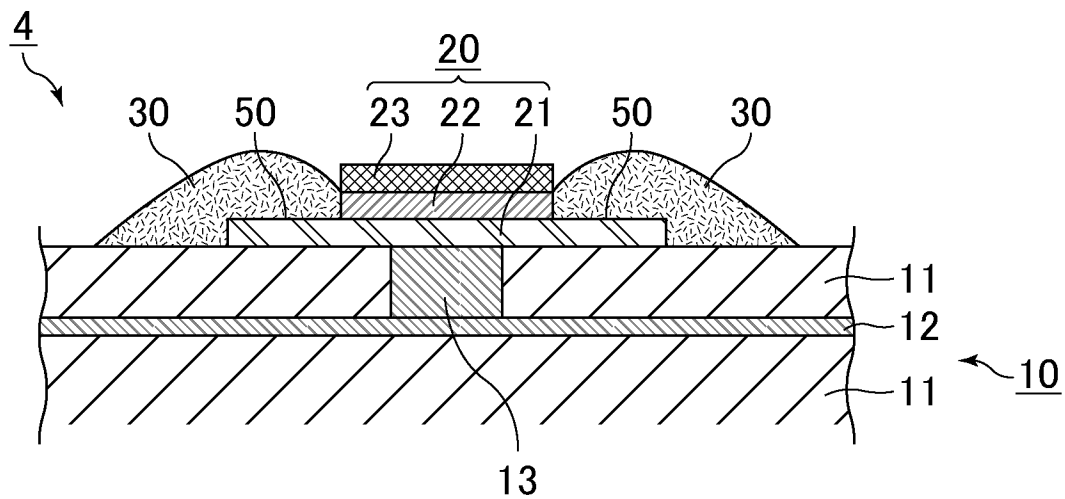
[図4]

図4



[図5]

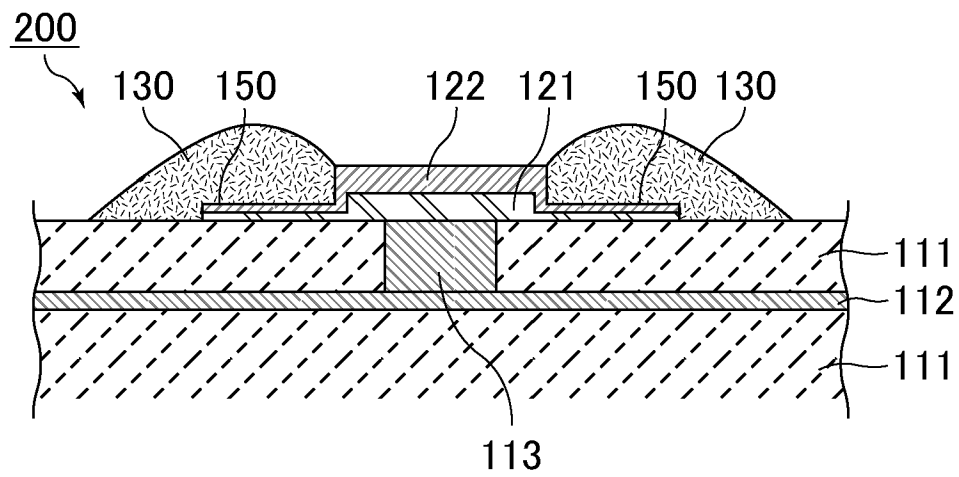
図5



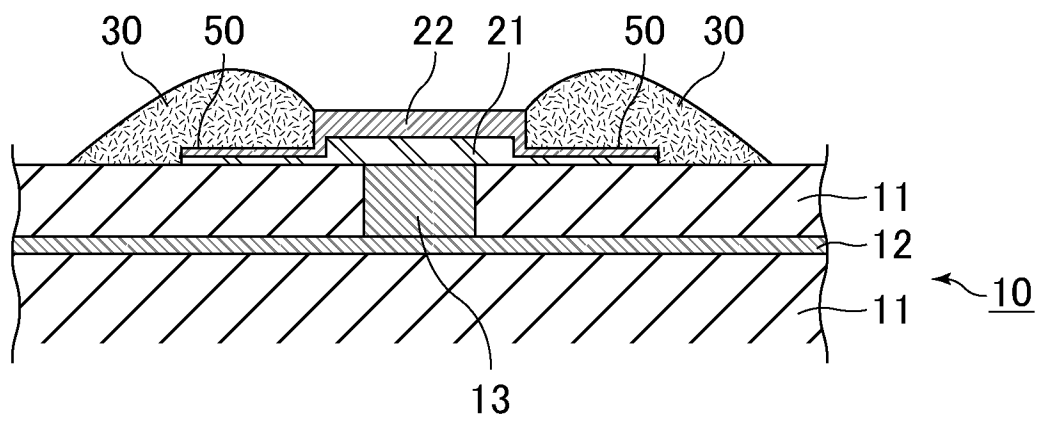
[図6]

図6

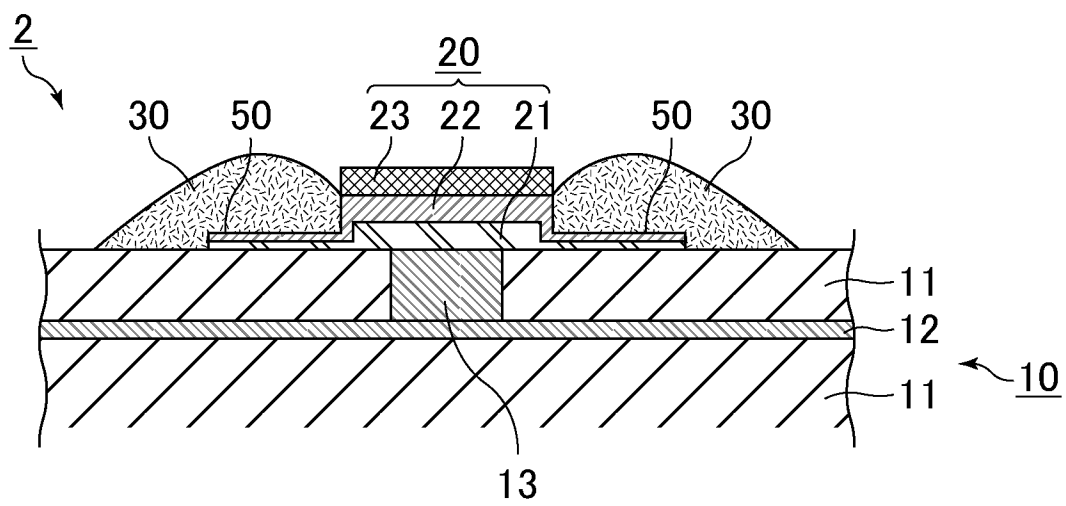
A



B

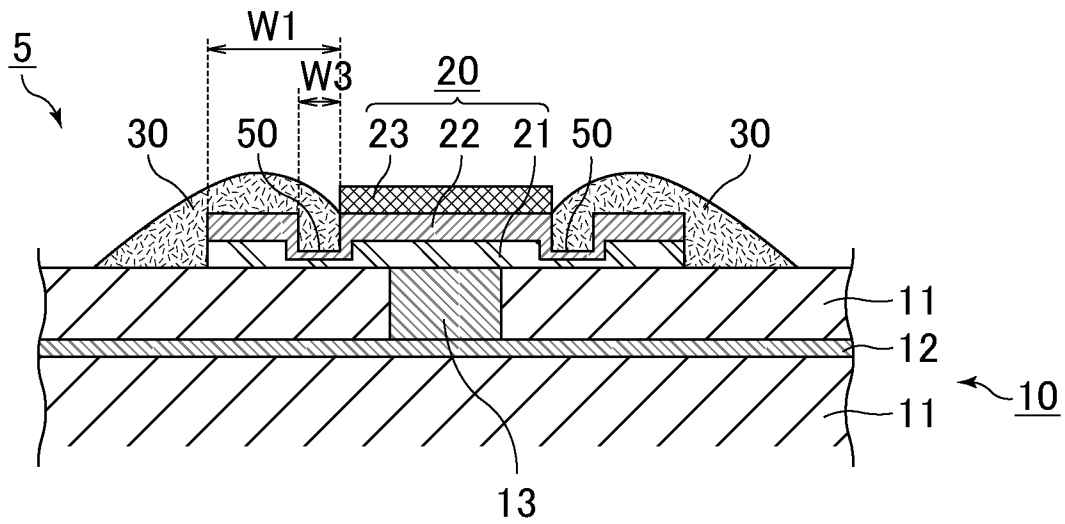


C



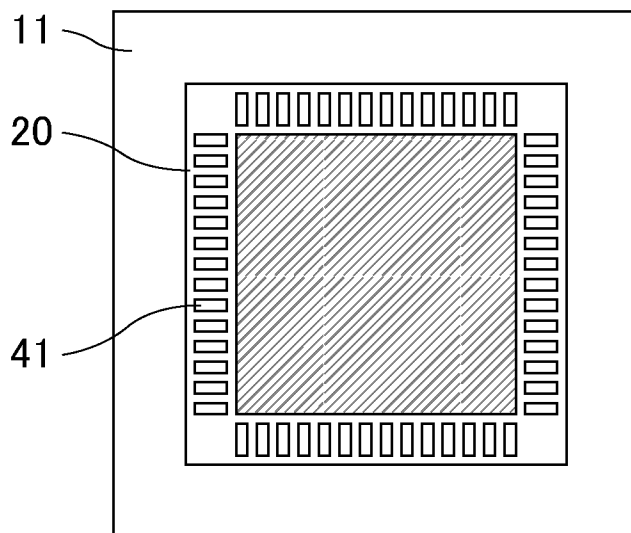
[図7]

図7



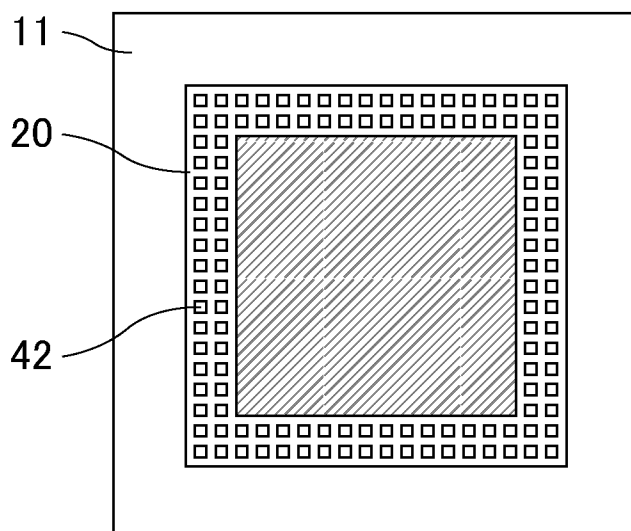
[図8]

図8



[図9]

図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016377

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/34(2006.01)i, H05K3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/34, H05K3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2012/121141 A1 (Murata Mfg. Co., Ltd.), 13 September 2012 (13.09.2012), paragraphs [0054] to [0074]; fig. 6A to 7C & US 2013/0330509 A1 paragraphs [0069] to [0084]; fig. 6A to 7C & CN 103404241 A	4, 6-7 8-10 1-3, 5
Y	JP 2008-109062 A (Mitsuboshi Belting Ltd.), 08 May 2008 (08.05.2008), paragraphs [0017] to [0029] (Family: none)	8-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 July 2017 (21.07.17)

Date of mailing of the international search report
08 August 2017 (08.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016377

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2007/063692 A1 (Murata Mfg. Co., Ltd.), 07 June 2007 (07.06.2007), paragraphs [0054] to [0059]; fig. 2A to 2C & US 2007/0224400 A1 paragraphs [0091] to [0100]; fig. 2A to 2C & EP 1956876 A1 & CN 101129102 A	8-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/34(2006.01)i, H05K3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/34, H05K3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2012/121141 A1（株式会社村田製作所）2012.09.13, 段落 [0054]-[0074], 図 6A-7C & US 2013/0330509 A1, PARS. [0069]-[0084], FIGS. 6A-7C & CN 103404241 A	4, 6-7 8-10 1-3, 5
Y	JP 2008-109062 A（三ツ星ベルト株式会社）2008.05.08, 段落 [0017]-[0029]（ファミリーなし）	8-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.07.2017

国際調査報告の発送日

08.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石坂 博明

5D

3353

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2007/063692 A1 (株式会社村田製作所) 2007. 06. 07, 段落 [0054]-[0059], 図 2A-2C & US 2007/0224400 A1, PARS. [0091]-[0100], FIGS. 2A-2C & EP 1956876 A1 & CN 101129102 A	8-10