



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01) H01L 21/8247 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년11월23일 10-0648287 2006년11월14일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0066383 2005년07월21일 2005년07월21일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자                    삼성전자주식회사  
                                      경기도 수원시 영통구 매탄동 416

(72) 발명자                        강상우  
                                      서울 용산구 후암동 254-40

                                      한정욱  
                                      경기 수원시 권선구 금곡동 LG빌리지 아파트 206동 203호

                                      김용태  
                                      경기 용인시 기흥읍 보라리 현대모닝사이드1차아파트307-1404

(74) 대리인                        임창현  
                                      오세준  
                                      권혁수  
                                      송윤호

(56) 선행기술조사문헌  
KR1020040008424 A  
\* 심사관에 의하여 인용된 문헌

심사관 : 박근오

전체 청구항 수 : 총 20 항

(54) 플래시 메모리 장치 및 그 제조 방법

(57) 요약

플래시 메모리 장치 및 그 제조 방법을 제공한다. 이 플래시 메모리 장치는 채널 영역들 및 채널 영역들 사이에 배치된 연결 영역들로 구성되면서 반도체기판의 소정영역에 배치되는 활성 패턴, 활성 패턴의 양측에 배치되는 소자분리막 패턴들, 소자분리막 패턴과 채널 영역 사이에 배치된 게이트 패턴들, 게이트 패턴과 반도체기판 사이 및 게이트 패턴과 활성 패턴 사이에 개재된 게이트 절연막 패턴, 게이트 패턴과 반도체기판 사이에 배치되어 게이트 절연막 패턴에 의해 둘러싸이는 터널 절연막, 연결 영역들에 형성되는 소오스/드레인 전극들 및 게이트 패턴들을 연결하는 하부 배선들을 포함한다. 이때, 터널 절연막은 게이트 절연막 패턴보다 얇다.

대표도

도 2

## 특허청구의 범위

### 청구항 1.

채널 영역들 및 상기 채널 영역들 사이에 배치된 연결 영역들로 구성되면서, 반도체기판의 소정영역에 배치되는 활성 패턴;

상기 활성 패턴의 양측에 배치되는 소자분리막 패턴들;

상기 소자분리막 패턴과 상기 채널 영역 사이에 배치된 게이트 패턴들;

상기 게이트 패턴과 상기 반도체기판 사이 및 상기 게이트 패턴과 상기 활성 패턴 사이에 개재된 게이트 절연막 패턴;

상기 게이트 패턴과 상기 반도체기판 사이에 배치되어, 상기 게이트 절연막 패턴에 의해 둘러싸이는 상기 게이트 절연막 패턴보다 얇은 터널 절연막;

상기 연결 영역들에 형성되는 소오스/드레인 전극들; 및

상기 활성 패턴들에 평행한 방향으로 배치되어 상기 게이트 패턴들을 연결하는 하부 배선들을 포함하는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 2.

제 1 항에 있어서,

상기 게이트 패턴은

상기 게이트 절연막 패턴에 접하는 부유 게이트 패턴;

상기 부유 게이트 패턴 상에 배치되는 제어 게이트 패턴; 및

상기 부유 게이트 패턴 및 상기 제어 게이트 패턴 사이에 개재되는 게이트 층간절연막 패턴을 포함하되,

상기 하부 배선은 상기 제어 게이트 패턴에 전기적으로 접속하는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 3.

제 1 항에 있어서,

상기 게이트 절연막 패턴은 실리콘 산화막, 실리콘 질화막 및 고유전막들 중에서 선택된 적어도 한가지로 이루어지는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 4.

제 1 항에 있어서,

상기 게이트 절연막 패턴은 상기 게이트 패턴과 상기 소자분리막 패턴 사이로 연장되는 것을 특징으로 하는 플래시 메모리 장치.

#### 청구항 5.

제 1 항에 있어서,

상기 터널 절연막 아래의 반도체기판에 형성되는 터널 불순물 영역을 더 포함하되,

상기 터널 불순물 영역은 상기 반도체기판과 다른 도전형인 것을 특징으로 하는 플래시 메모리 장치.

#### 청구항 6.

제 1 항에 있어서,

상기 게이트 패턴 아래의 반도체기판에 형성되는 하부 불순물 영역을 더 포함하되,

상기 하부 불순물 영역은 상기 반도체기판과 같은 도전형을 갖는 것을 특징으로 하는 플래시 메모리 장치.

#### 청구항 7.

제 1 항에 있어서,

상기 소오스/드레인 전극들은 상기 반도체기판의 연결 영역에 형성되는 불순물 영역을 포함하되,

상기 불순물 영역은 상기 채널 영역과 다른 도전형을 갖는 것을 특징으로 하는 플래시 메모리 장치.

#### 청구항 8.

제 1 항에 있어서,

상기 하부 배선들은

상기 게이트 패턴들에 접속하는 게이트 플러그들; 및

상기 활성 패턴에 평행한 방향으로 배치되어 상기 게이트 플러그들을 연결하는 게이트 라인을 포함하는 것을 특징으로 하는 플래시 메모리 장치.

#### 청구항 9.

제 1 항에 있어서,

상기 하부 배선들을 가로지르면서 상기 소오스/드레인 전극들을 연결하는 상부 배선들을 더 포함하는 플래시 메모리 장치.

#### 청구항 10.

반도체기판의 소정영역에 소자분리막 패턴들을 형성하여, 복수개의 채널 영역들, 상기 채널 영역들 사이에 배치된 연결 영역들 및 상기 채널 영역의 좌우에 배치된 게이트 영역들을 구비하는 예비 활성 패턴을 형성하는 단계;

상기 채널 영역보다 낮은 상부면을 갖도록 상기 예비 활성 패턴의 게이트 영역들을 리세스시킴으로써, 상기 채널 영역들 및 상기 연결 영역들로 구성되는 활성 패턴들을 형성하는 단계;

상기 리세스된 게이트 영역의 하부면에 형성되는 터널 절연막 및 상기 터널 절연막을 둘러싸면서 상기 리세스된 게이트 영역의 하부면 및 상기 활성 패턴의 노출된 측벽을 덮는 게이트 절연막을 형성하는 단계;

상기 채널 영역의 양측에 배치되어, 상기 게이트 절연막이 형성된 상기 리세스된 게이트 영역을 채우는 게이트 패턴들을 형성하는 단계; 및

상기 활성 패턴의 연결 영역들에 소오스/드레인 전극들을 형성하는 단계를 포함하되,

상기 게이트 절연막은 상기 터널 절연막보다 두꺼운 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

### 청구항 11.

제 10 항에 있어서,

상기 활성 패턴을 형성하는 단계는

상기 활성 패턴을 덮으면서 상기 게이트 영역의 상부면을 노출시키는 마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴을 식각 마스크로 사용하여 상기 게이트 영역을 이방성 식각함으로써, 상기 활성 패턴의 측벽을 노출시키는 상기 리세스된 게이트 영역을 형성하는 단계를 포함하되,

상기 게이트 영역을 식각하는 단계는 상기 마스크 패턴 및 상기 소자분리막 패턴에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 실시하는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

### 청구항 12.

제 10 항에 있어서,

상기 게이트 패턴을 형성하는 단계는

상기 게이트 절연막이 형성된 결과물 상에 상기 리세스된 게이트 영역을 채우는, 부유 게이트 도전막, 게이트 층간절연막 및 제어 게이트 도전막을 차례로 형성하는 단계; 및

상기 소자분리막 패턴의 상부면이 노출될 때까지 상기 제어 게이트 도전막, 상기 게이트 층간절연막 및 상기 부유 게이트 도전막을 평탄화 식각하여, 상기 리세스된 게이트 영역을 차례로 채우는 부유 게이트 패턴, 게이트 층간절연막 패턴 및 제어 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

### 청구항 13.

제 12 항에 있어서,

상기 게이트 패턴을 형성한 후, 상기 게이트 패턴들을 연결하는 하부 배선들을 형성하는 단계를 더 포함하되,

상기 하부 배선을 형성하는 단계는

상기 제어 게이트 패턴들에 접속하는 게이트 폴리그들을 형성하는 단계; 및

상기 활성 패턴에 평행한 방향으로 배치되어 상기 게이트 폴리그들을 연결하는 게이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

#### 청구항 14.

제 10 항에 있어서,

상기 소오스/드레인 전극을 형성하는 단계는 상기 반도체기판의 연결 영역 내에 상기 반도체기판과 다른 도전형을 갖는 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

#### 청구항 15.

제 14 항에 있어서,

상기 소오스/드레인 전극을 형성하는 단계는

상기 연결 영역의 소정 영역을 식각하여, 상기 연결 영역 내에 소정의 깊이를 갖는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 노출되는 상기 연결 영역의 내측벽에 상기 반도체기판과 다른 도전형을 갖는 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

#### 청구항 16.

제 13 항에 있어서,

상기 소오스/드레인 전극들을 형성한 후, 상기 하부 배선들을 가로지르면서 상기 소오스/드레인 전극들을 연결하는 상부 배선들을 형성하는 단계를 더 포함하는 플래시 메모리 장치의 제조 방법.

#### 청구항 17.

제 10 항에 있어서,

상기 활성 패턴들을 형성한 후,

상기 리세스된 게이트 영역 하부의 반도체기판에 하부 불순물 영역을 형성하는 단계를 더 포함하되, 상기 하부 불순물 영역은 상기 반도체기판과 같은 도전형을 갖는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

#### 청구항 18.

제 10 항에 있어서,

상기 터널 절연막 및 상기 게이트 절연막을 형성하는 단계는

상기 리세스된 게이트 영역의 하부면 및 상기 활성 패턴의 노출된 측벽에 예비 게이트 절연막을 형성하는 단계;

상기 리세스된 게이트 영역의 중앙에서 상기 예비 게이트 절연막의 상부면을 노출시키는 개구부를 갖는 마스크 패턴들을 형성하는 단계;

상기 마스크 패턴들을 식각 마스크로 사용하여 상기 노출된 예비 게이트 절연막을 식각함으로써, 상기 반도체기판의 상부면을 노출시키는 터널 영역을 형성하는 단계;

상기 마스크 패턴들을 제거하여 상기 예비 게이트 절연막을 노출시키는 단계; 및

상기 터널 영역에 터널 절연막을 형성하는 단계를 포함하되,

상기 터널 절연막은 상기 게이트 절연막보다 얇은 두께로 형성되는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

## 청구항 19.

제 18 항에 있어서,

상기 터널 절연막을 형성하는 단계는 열산화 공정 및 화학적 기상 증착 공정 중에서 선택된 적어도 한가지 방법을 사용하여 실시하는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

## 청구항 20.

제 18 항에 있어서,

상기 마스크 패턴은 사진 공정 및 식각 공정을 통해 형성되는 포토레지스트 패턴 및 증착 공정 및 이방성 식각 공정을 통해 형성되는 스페이서 중의 한가지로 형성되는 것을 특징으로 하는 플래시 메모리 장치의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 자세하게는 플래시 메모리 장치 및 그 제조 방법에 관한 것이다.

반도체 장치의 집적도는 18개월 또는 1년마다 두 배씩 증가한다는 무어의 법칙 또는 황의 법칙을 준수해왔으며, 이러한 증가 추세는 앞으로도 계속될 것으로 예상된다. 이러한 집적도의 증가를 지속시키기 위해서는, 반도체 장치를 구성하는 전자 소자들이 점유하는 평면적 넓이를 축소(shrink)시키는 것이 필요하다. 하지만, 상기 축소(shrink)는 상기 전자 소자들에서 요구되는 다양한 특성들을 충족시켜야 하는 요구(requirement)에 의해 제약을 받는다.

모오스 트랜지스터들과 관련하여 이슈가 되고 있는, 단채널 효과(short channel effect)는 반도체 장치의 축소와 관련된 제약의 대표적인 예이다. 상기 단채널 효과는 트랜지스터의 채널 길이(즉, 소오스 전극과 드레인 전극 사이의 간격)이 좁아짐에 따라 발생하는 현상으로, 펀치 스루(punch-through), 드레인 기인 베리어 강하(drain induced barrier lowering; DIBL) 및 문턱 아래 변동(subthreshold swing) 등과 같은 트랜지스터의 특성을 열화시키는 문제들을 유발한다. 이에 더하

여, 트랜지스터의 채널 길이가 감소할 경우, 소오스/드레인 전극과 기판 사이의 기생 정전용량(parasitic capacitance)의 증가 및 누설 전류(leakage current)의 증가와 같은 문제들도 나타나고 있다. 이러한 문제들에 의해, 상기 트랜지스터의 채널 길이를 줄이는 것은 상술한 것처럼 제약된다.

한편, 평판형 모오스 트랜지스터(planar MOS transistor)의 경우, 반도체 장치의 집적도를 증가시키는 또다른 방법으로, 트랜지스터의 채널 폭을 줄이는 것을 고려할 수 있다. 하지만, 상기 채널 폭(W)은, 아래 식에 의해 표현되는 것처럼, 드레인 전류( $I_d$ )에 비례하기 때문에, 채널 폭의 축소는 트랜지스터의 전류 전송 능력을 감소시킨다.

### 수학식 1

$$I_d = \frac{W}{L} f(V_G, V_T, V_{DS}), \text{ where } L = \text{channel length}$$

또한, 일반적인 플래시 메모리 장치는 부유 게이트 전극과 반도체기판 사이에 균일한 두께를 갖는 게이트 절연막을 구비한다. 하지만, 게이트 절연막의 이러한 균일한 두께때문에, 플래시 메모리 장치의 제품 특성을 개선하는 것은 한계를 갖는다. 예를 들어, 플래시 메모리 장치의 정보 저장 능력을 개선하기 위해서는 게이트 절연막의 두께를 증가시키는 것이 바람직하지만, 이러한 게이트 절연막의 두께 증가는 읽기 및 쓰기 동작의 특성은 저하시킨다. 따라서, 상기 게이트 절연막의 두께는 요구되는 특성들을 절충할 수 있도록 선택된다. 이이피롬과 같은 비휘발성 메모리 장치의 단위 셀은 이러한 한계를 극복할 수 있도록 선택 트랜지스터와 셀 트랜지스터를 구비한다. 하지만, 이이피롬은 두개의 트랜지스터들을 구비하기 때문에 단위 셀의 면적이 큰 문제를 갖는다.

결론적으로, 일반적인 평판형 모오스 트랜지스터에 있어서, 트랜지스터의 특성 개선과 집적도의 증가라는 기술적 요청들은 서로 양립되기 어렵다. 즉, 이러한 기술적 요청들을 양립시킬 수 있는 새로운 구조의 트랜지스터가 요구된다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 집적도를 증가시킬 수 있는 플래시 메모리 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 기술적 과제는 증가된 채널 길이를 갖는 플래시 메모리 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 기술적 과제는 정보 저장 능력, 읽기 동작 특성 및 쓰기 동작 특성들을 독립적으로 개선할 수 있는 플래시 메모리 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 기술적 과제는 집적도를 증가시킬 수 있는 플래시 메모리 장치의 제조 방법을 제공하는 데 있다.

본 발명이 이루고자 하는 기술적 과제는 트랜지스터의 채널 길이를 증가시킬 수 있는 플래시 메모리 장치의 제조 방법을 제공하는 데 있다.

본 발명이 이루고자 하는 기술적 과제는 정보 저장 능력, 읽기 동작 특성 및 쓰기 동작 특성들을 독립적으로 개선할 수 있는 플래시 메모리 장치의 제조 방법을 제공하는 데 있다.

### 발명의 구성

상기 기술적 과제들을 달성하기 위하여, 본 발명은 수직인 채널 및 게이트 절연막보다 얇은 터널 절연막을 구비하는 플래시 메모리 장치를 제공한다. 이 장치는 채널 영역들 및 상기 채널 영역들 사이에 배치된 연결 영역들로 구성되면서 반도체 기판의 소정영역에 배치되는 활성 패턴, 상기 활성 패턴의 양측에 배치되는 소자분리막 패턴들, 상기 소자분리막 패턴과 상기 채널 영역 사이에 배치된 게이트 패턴들, 상기 게이트 패턴과 상기 반도체기판 사이 및 상기 게이트 패턴과 상기 활성 패턴 사이에 개재된 게이트 절연막 패턴, 상기 게이트 패턴과 상기 반도체기판 사이에 배치되어 상기 게이트 절연막 패턴에 의해 둘러싸이는 상기 게이트 절연막 패턴보다 얇은 터널 절연막, 상기 연결 영역들에 형성되는 소오스/드레인 전극들 및 상기 게이트 패턴들을 연결하는 하부 배선들을 포함한다.

상기 게이트 패턴은 상기 게이트 절연막 패턴에 접하는 부유 게이트 패턴, 상기 부유 게이트 패턴 상에 배치되는 제어 게이트 패턴, 그리고 상기 부유 게이트 패턴 및 상기 제어 게이트 패턴 사이에 개재되는 게이트 층간절연막 패턴을 포함한다. 이때, 상기 하부 배선은 상기 제어 게이트 패턴에 전기적으로 접속한다.

본 발명의 실시예들에 따르면, 상기 게이트 절연막 패턴은 실리콘 산화막, 실리콘 질화막 및 고유전막들 중에서 선택된 적어도 한가지로 이루어질 수 있다. 또한, 본 발명의 일 실시예에 따르면, 상기 게이트 절연막 패턴은 상기 게이트 패턴과 상기 소자분리막 패턴 사이로 연장될 수 있다.

상기 터널 절연막 아래의 반도체기판에는 터널 불순물 영역이 형성될 수 있다. 이때, 상기 터널 불순물 영역은 상기 반도체기판과 다른 도전형인 것이 바람직하다.

이에 더하여, 상기 게이트 패턴 아래의 반도체기판에는 하부 불순물 영역이 형성될 수 있다. 이때, 상기 하부 불순물 영역은 상기 반도체기판과 같은 도전형을 갖는다.

상기 기술적 과제들을 달성하기 위하여, 본 발명은 게이트 전극을 채널의 측면에 형성하고 게이트 절연막보다 얇은 터널 절연막을 형성하는 단계를 포함하는 플래시 메모리 장치의 제조 방법을 제공한다. 이 방법은 반도체기판의 소정영역에 소자분리막 패턴들을 형성하여, 복수개의 채널 영역들, 상기 채널 영역들 사이에 배치된 연결 영역들 및 상기 채널 영역의 좌우에 배치된 게이트 영역들을 구비하는 예비 활성 패턴을 형성한 후, 상기 채널 영역보다 낮은 상부면을 갖도록 상기 예비 활성 패턴의 게이트 영역들을 리세스시킴으로써, 상기 채널 영역들 및 상기 연결 영역들로 구성되는 활성 패턴들을 형성하는 단계를 포함한다. 이어서, 상기 리세스된 게이트 영역의 하부면에 형성되는 터널 절연막 및 상기 터널 절연막을 둘러싸면서 상기 리세스된 게이트 영역의 하부면 및 상기 활성 패턴의 노출된 측면을 덮는 게이트 절연막을 형성한다. 이때, 상기 게이트 절연막은 상기 터널 절연막보다 두껍다. 이후, 상기 채널 영역의 양측에 배치되어 상기 게이트 절연막이 형성된 상기 리세스된 게이트 영역을 채우는 게이트 패턴들을 형성한 후, 상기 활성 패턴의 연결 영역들에 소오스/드레인 전극들을 형성한다.

본 발명의 일 실시예에 따르면, 상기 활성 패턴을 형성하는 단계는 상기 활성 패턴을 덮으면서 상기 게이트 영역의 상부면을 노출시키는 마스크 패턴을 형성한 후, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 게이트 영역을 이방성 식각함으로써 상기 활성 패턴의 측면을 노출시키는 상기 리세스된 게이트 영역을 형성하는 단계를 포함한다. 이때, 상기 게이트 영역을 식각하는 단계는 상기 마스크 패턴 및 상기 소자분리막 패턴에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 실시한다.

상기 게이트 패턴을 형성하는 단계는 상기 게이트 절연막이 형성된 결과물 상에 상기 리세스된 게이트 영역을 채우는, 부유 게이트 도전막, 게이트 층간절연막 및 제어 게이트 도전막을 차례로 형성한 후, 상기 소자분리막 패턴의 상부면이 노출될 때까지 상기 제어 게이트 도전막, 상기 게이트 층간절연막 및 상기 부유 게이트 도전막을 평탄화 식각하여, 상기 리세스된 게이트 영역을 차례로 채우는 부유 게이트 패턴, 게이트 층간절연막 패턴 및 제어 게이트 패턴을 형성하는 단계를 포함한다.

본 발명의 일 실시예에 따르면, 상기 활성 패턴들을 형성한 후, 상기 리세스된 게이트 영역 하부의 반도체기판에 하부 불순물 영역을 형성하는 단계를 더 포함한다. 이때, 상기 하부 불순물 영역은 상기 반도체기판과 같은 도전형을 갖는다.

상기 터널 절연막 및 상기 게이트 절연막을 형성하는 단계는 상기 리세스된 게이트 영역의 하부면 및 상기 활성 패턴의 노출된 측면에 예비 게이트 절연막을 형성한 후, 상기 리세스된 게이트 영역의 중앙에서 상기 예비 게이트 절연막의 상부면을 노출시키는 개구부를 갖는 마스크 패턴들을 형성하는 단계를 포함한다. 이어서, 상기 마스크 패턴들을 식각 마스크로 사용하여 상기 노출된 예비 게이트 절연막을 식각함으로써 상기 반도체기판의 상부면을 노출시키는 터널 영역을 형성한 후, 상기 마스크 패턴들을 제거하여 상기 예비 게이트 절연막을 노출시킨다. 이후, 상기 터널 영역에 터널 절연막을 형성하되, 상기 터널 절연막은 상기 게이트 절연막보다 얇은 두께로 형성한다.

본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막을 다른 영역 또는 막과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.



도 1a는 본 발명의 일(some) 실시예에 따른 반도체 장치의 트랜지스터 구조체를 설명하기 위한 평면도이고, 도 1b 및 도 1c는 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 공정 단면도들이다. 도 1b 및 도 1c는 각각 도 1a에 도시된 점선 I-I' 및 II-II'을 따라 보여지는 단면을 도시한다. .

도 1a 내지 도 1c를 참조하면, 반도체기판(100)의 소정영역에 트랜지스터의 채널 영역으로 사용되는 반도체 패턴(110)이 형성된다. 상기 반도체 패턴(110)은 상기 반도체기판(100)과 같은 도전형을 갖는 반도체(예를 들면, 실리콘)로 이루어진다.

본 발명에 따르면, 상기 반도체 패턴(110)은 제 1, 제 2, 제 3 및 제 4 측면, 그리고 상부면과 하부면을 갖는 직육면체인 것이 바람직하다(도 2 참조). 이 경우, 상기 반도체 패턴(110)의 하부면은 상기 반도체기판(100)에 직접 접촉한다. 또한, 상기 제 1 측면 및 제 2 측면은 일방향에서 서로 마주보고, 상기 제 3 측면 및 제 4 측면은 이에 수직인 타방향에서 서로 마주본다.

상기 반도체 패턴(110)의 양측(예를 들면, 상기 제 1 및 제 2 측면)에는 불순물 패턴들(150)이 배치되고, 상기 반도체 패턴(110)의 또다른 양측(예를 들면, 상기 제 3 및 제 4 측면)에는 게이트 패턴들(135)이 배치된다. 상기 불순물 패턴들(150)은 트랜지스터의 소오스/드레인 전극으로 사용되며, 이를 위해 상기 불순물 패턴들(150)은 상기 반도체 패턴(110)에 직접 접촉하도록 배치된다. 상기 불순물 패턴들(150)은 상기 반도체 패턴(110) 및 상기 반도체기판(100)과 다른 도전형의 불순물들을 함유한다.

상기 게이트 패턴(135)들은 상기 반도체 패턴(110)의 전위(electric potential)를 제어하기 위한 게이트 전극으로 사용되고, 상기 게이트 패턴(135)과 상기 반도체 패턴(110) 사이에는 게이트 절연막 패턴(125)이 개재된다. 상기 게이트 절연막 패턴(125)은 연장되어, 상기 게이트 패턴(135)과 상기 반도체기판(100)을 분리시킨다. 상기 게이트 패턴(135)은 다결정 실리콘, 구리, 알루미늄, 텅스텐, 탄탈륨, 티타늄, 텅스텐 질화막, 탄탈륨 질화막, 티타늄 질화막, 텅스텐 실리사이드 및 코발트 실리사이드 중에서 선택된 적어도 한가지 물질로 이루어질 수 있다. 또한, 상기 게이트 절연막 패턴(125)은 실리콘 산화막, 실리콘 질화막 및 고유전막들 중에서 선택된 적어도 한가지로 이루어질 수 있다.

상술한 실시예에 따르면, 한 개의 반도체 패턴(110)은 두 개의 트랜지스터들이 공유하는 채널 영역에 해당한다. 이에 더하여, 한 개의 반도체 패턴(110) 양측에 배치되는 한 쌍의 불순물 패턴들(150) 역시 상기 두 개의 트랜지스터들이 공유하는 소오스/드레인 전극에 해당한다. 결과적으로, 소정의 반도체 패턴(110) 주변에 형성되는 한 쌍의 트랜지스터들은 채널 영역 및 소오스/드레인 전극으로 각각 상기 반도체 패턴(110) 및 상기 불순물 패턴들(150)을 공유한다. 이처럼 상기 반도체 패턴(110) 및 상기 불순물 패턴들(150)은 두 개의 트랜지스터들에 의해 공유되기 때문에, 단위 면적당 형성되는 트랜지스터의 개수를 증가시킬 수 있다. 한편, 도 10a 및 도 10b에 도시된 것처럼, 소오스/드레인 전극으로 사용되는 한 개의 불순물 영역은 네 개의 트랜지스터들에 의해 공유될 수도 있다. 그 결과, 본 발명에 따른 반도체 장치는 통상적인 평판형 트랜지스터들(planar transistors)을 갖는 반도체 장치에 비해 더욱 높은 집적도를 갖는다.

본 발명에 따른 모오스 트랜지스터의 게이트 전극은 채널 영역(즉, 상기 반도체 패턴(110))의 측면에 배치된다는 점에서, 게이트 전극이 채널 영역의 상부에 배치되는 일반적인 평판형 모오스 트랜지스터와 차이를 갖는다. 또한, 상기 반도체기판(100)으로부터 상기 게이트 패턴들(135)과 불순물 패턴들(150)의 상부면까지의 높이는 대체로 같다. 즉, 이들은 대체로 같은 두께를 갖는다. 이때, 'A와 B의 두께가 대체로 같다'라는 표현은 A와 B의 두께의 차이가 A 또는 B의 두께의 20%보다 작음을 의미한다.

상기 게이트 패턴들(135)은 그 상부에 배치되는 게이트 플러그(172)를 통해 게이트 전압이 인가되는 게이트 라인(174)에 접속되고, 상기 불순물 패턴들(150)은 그 상부에 배치되는 콘택 플러그(182)를 통해 접지 전압 또는 신호 전압이 인가되는 소오스/드레인 라인들(184)에 접속된다. 바람직하게는, 상기 게이트 플러그(172) 및 상기 게이트 라인(174)은 상기 소오스/드레인 라인(184)보다 낮은 높이에 배치되는 하부 배선(170)을 구성하고, 상기 콘택 플러그(182) 및 상기 소오스/드레인 라인(184)은 상부 배선(180)을 구성한다.

상기 게이트 패턴들(135) 및 상기 불순물 패턴들(150)의 상부에는 하부 층간절연막(162) 및 상부 층간절연막(164)이 배치되어, 상기 게이트 라인들(174) 및 상기 소오스/드레인 라인들(184)을 구조적으로 지지하면서 동시에 전기적으로 절연시킨다. 상기 게이트 플러그(172)는 상기 하부 층간절연막(162)을 관통하여 상기 게이트 패턴(135)에 접속하고, 상기 콘택 플러그(182)는 상기 하부 및 상부 층간절연막들(162, 164)을 관통하여 상기 불순물 패턴(150)에 접속한다.

본 발명의 일 실시예에 따르면, 한 개의 반도체 패턴(110) 주변에 형성되는 두 개의 게이트 패턴들(135)은 각각 서로 다른 하부 배선들(170)에 접속한다(도 1a 참조). 유사하게, 한 개의 반도체 패턴(110) 주변에 형성되는 두 개의 불순물 패턴들(150) 역시 각각 서로 다른 상부 배선들(180)에 접속한다.

한편, 본 발명에 따른 트랜지스터 구조체는 부유 게이트형(floating-gate type) 플래시 메모리의 셀 트랜지스터들을 구성할 수도 있다. 이 실시예에 따르면, 상기 게이트 패턴(135)은 차례로 적층된 부유 게이트 패턴(136), 게이트 층간절연막 패턴(137) 및 제어 게이트 패턴(138)으로 이루어진다(도 10a 및 도 10b 참조). 이때, 상기 하부 배선(170)은 상기 제어 게이트 패턴(138)에 전기적으로 연결되고, 상기 부유 게이트 패턴(136)은 전기적으로 부유(float)된다. 즉, 상기 부유 게이트 패턴(136)은 상기 게이트 절연막 패턴(125)에 의해 상기 반도체 패턴(110) 및 상기 반도체 기판(100)으로부터 이격되고, 상기 게이트 층간절연막 패턴(137)에 의해 상기 제어 게이트 패턴(138)으로부터 이격된다.

또한, 본 발명에 따른 트랜지스터 구조체는 부유 트랩형(floating-trap type) 플래시 메모리의 셀 트랜지스터들을 구성할 수도 있다. 이 실시예에 따르면, 상기 게이트 절연막 패턴(125)은 실리콘 질화막을 포함하는 절연막일 수 있으며, 바람직하게는 차례로 적층된 실리콘 산화막-실리콘 질화막-실리콘 산화막으로 구성된다. 이러한 플래시 메모리에 적용되는 본 발명의 실시예들은 이후, 도 4 내지 도 10을 참조하여, 보다 상세하게 설명한다.

본 발명의 다른 실시예에 따르면, 상기 하부 배선(170) 및 상부 배선(180)의 구조는 변형될 수 있다. 도 3a는 이러한 변형된 실시예에 따른 배선 구조체를 구비하는 반도체 장치를 설명하기 위한 평면도이다. 도 3b 및 도 3c는 각각 도 3a에 도시된 점선 III-III' 및 IV-IV'을 따라 보여주는 단면을 도시하는 공정 단면도들이다. 이 실시예는 배선 구조를 제외하면 앞서 설명된 실시예와 유사하므로, 아래에서는 앞선 실시예와 중복되는 내용에 대한 설명은 생략한다.

도 3a, 도 3b 및 도 3c를 참조하면, 한 개의 반도체 패턴(110) 주변에 형성되는 두 개의 게이트 패턴들(135)은 상기 반도체 패턴(110)을 가로지르는 국부 배선(176)에 의해 연결되고(도 3c 참조), 상기 국부 배선(176)은 그 상부에 배치되는 상부 게이트 플러그(178)를 통해 상기 게이트 라인(174)에 접속된다(도 3a 참조).

이 실시예에 따르면, 상기 국부 배선(176)에 의해 연결된 게이트 패턴들(135)에는 동일한 게이트 전압이 인가되므로, 한 개의 반도체 패턴(110)을 채널 영역으로 이용하는 트랜지스터의 개수는 한 개이다. 하지만, 이 실시예에 따른 트랜지스터의 채널 폭은 앞서 설명한 실시예에 비해 증가한다.

보다 구체적으로 설명하면, 본 발명에 따른 트랜지스터의 채널 폭은 채널 영역(즉, 상기 반도체 패턴(110))에 접하는 게이트 패턴(135)의 높이(도 2의 H)에 상응한다. 상술한 것처럼, 상기 게이트 패턴들(135)이 상기 국부 배선(176)에 의해 연결될 경우, 상기 채널 영역에 접하는 게이트 패턴(135)의 면적은 앞서 도 1a 내지 도 1c를 참조하여 설명한 실시예에 비해 두 배가 된다. 따라서, 이 실시예에 따른 채널 폭은 앞선 실시예에 비해 대략 두 배이다. 이처럼 트랜지스터의 채널 폭이 증가할 경우, 트랜지스터의 전류 전송 능력이 증가될 수 있다. 한편, 트랜지스터의 채널 길이는 소오스 전극과 드레인 전극 사이의 길이로서, 상술한 본 발명의 실시예들에 따르면, 상기 반도체 패턴(110) 또는 상기 게이트 패턴(135)의 길이(도 2의 L)에 상응한다. 따라서, 도 1a 및 도 3a에 도시된 실시예들에서, 상기 채널 길이는 동일하다.

이 실시예에 따르면, 상기 불순물 패턴들(150) 중의 하나는, 앞선 실시예와 동일하게, 상기 상부 배선(180)에 접속되는 반면, 다른 하나의 불순물 패턴(150)은 그 상부에 배치되는 소정의 정보 저장 장치(190)에 연결된다. 상기 정보 저장 장치(190)는, 도 3b에 도시한 것처럼, 하부 전극(192), 상부 전극(196) 및 이들 사이에 개재된 유전막(194)을 구비하는 디램의 셀 커패시터(DRAM cell capacitor)일 수 있다.

본 발명의 변형된 실시예들에 따르면, 상기 정보 저장 장치(190)는 자기램(magnetic random access memory; MRAM), 강유전램(ferroelectric RAM; FeRAM) 및 상변환램(phase-change RAM; PRAM)에서 정보 저장을 위한 구조로 사용되는 자기터널접합(magnetic tunnel junction; MTJ), 강유전체 커패시터(ferroelectric capacitor) 및 상변환 저항체(phase-change resistor)일 수도 있다.

도 4a 내지 도 10a는 본 발명의 일(some) 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들이고, 도 4b 내지 도 10b는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 4a 및 도 4b를 참조하면, 반도체기판(100) 상에 마스크막(210)을 형성한다. 상기 마스크막(210)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 및 다결정 실리콘막 중에서 선택된 적어도 한가지로 형성할 수 있다. 본 발명의 일부 실시예들에 따르면, 상기 마스크막(210)은 차례로 적층된 실리콘 산화막 및 실리콘 질화막이다.

이후, 상기 마스크막(210) 및 상기 반도체기판(100)을 패터닝하여, 예비 활성 패턴(200)을 정의하는 소자분리 트렌치(102)를 형성한다. 상기 예비 활성 패턴(200)은 후속 공정을 통해 트랜지스터들이 형성되는 영역으로, 복수개의 채널 영역들(201), 복수개의 연결 영역들(202) 및 복수개의 게이트 영역들(203)로 구성된다. 상기 채널 영역들(201)은 일 방향(예를 들면, 종 방향)을 따라 배열되고, 상기 연결 영역들(202)은 상기 채널 영역들(201) 사이에 배치되고, 상기 게이트 영역들(203)은 타 방향(예를 들면, 횡 방향)을 따라 상기 채널 영역들(201)의 좌우에 배치된다. 즉, 한 개의 채널 영역의 양측에는 한 쌍의 연결 영역들(202)과 이들에 수직한 한 쌍의 게이트 영역들(203)이 배치된다.

상기 소자분리 트렌치(102)를 형성하는 단계는 이방성 식각의 방법으로 실시하며, 상기 마스크막(210)은 이 식각 공정에서 식각 마스크로 사용된다. 이때, 상기 마스크막(210)은 후속 평탄화 식각 단계들에서 식각정지막(etch stop layer)으로 사용될 수도 있다(도 5b 및 도 8b 참조). 상기 마스크막(210)의 두께는 이러한 식각 마스크 및 식각정지막으로 사용되는 동안 리세스되는 두께를 고려하여 결정하는 것이 바람직하다. 본 발명에 따르면, 상기 마스크막(210)은 대략 200 내지 3000Å의 두께로 형성될 수 있다.

도 5a 및 도 5b를 참조하면, 상기 예비 활성 패턴(200)이 형성된 결과물 상에 소자분리막을 형성한 후, 상기 마스크막(210)의 상부면이 노출될 때까지 상기 소자분리막을 평탄화 식각한다. 그 결과, 상기 예비 활성 패턴(200)의 둘레에는, 상기 소자분리 트렌치(102)를 채우는 소자분리막 패턴(105)이 형성된다.

본 발명의 실시예들에 따르면, 상기 소자분리막은 실리콘 산화막을 사용하여 형성하는 것이 바람직한데, 실리콘 질화막, 다결정 실리콘막, 에스오지막(spin-on-glass layer; SOG Layer) 등이 더 사용될 수도 있다. 또한, 상기 이방성 식각 공정에서 발생한 식각 손상을 치유하기 위해, 상기 소자분리막을 형성하기 전에 열산화 공정을 더 실시할 수도 있다. 이러한 열산화 공정에 의해, 상기 소자분리 트렌치(102)의 내벽에는 실리콘 산화막(도시하지 않음)이 형성된다. 이에 더하여, 불순물의 침투에 따른 트랜지스터의 특성 변화를 방지하기 위해, 상기 소자분리막을 형성하기 전에, 확산 방지막(도시하지 않음)을 더 형성할 수도 있다. 상기 확산 방지막은 화학 기상 증착을 통해 형성되는 실리콘 질화막인 것이 바람직하다.

한편, 본 발명에 따르면, 트랜지스터의 채널로 사용되는 상기 채널 영역들(201)은 통상적인 평판형 트랜지스터 구조에 비해, 상기 소자분리막(105)과 접하는 면적이 최소화된다. 따라서, 상기 열산화 공정 또는 확산 방지막 형성 공정 등은 선택적으로 생략될 수도 있다.

도 6a 및 도 6b를 참조하면, 상기 예비 활성 패턴(200) 상에 상기 게이트 영역들(203)을 노출시키는 포토레지스트 패턴을 형성한다. 이후, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 게이트 영역들(203)에서 상기 마스크막(210) 및 상기 예비 활성 패턴(200)을 식각한다. 그 결과, 상기 포토레지스트 패턴의 아래에는 상기 채널 영역들(201)과 상기 연결 영역들(202)이 교대로 배치되는 활성 패턴(205) 및 상기 마스크막(210)의 식각 결과물인 마스크 패턴(215)이 형성된다. 또한, 상기 활성 패턴(205)과 상기 소자분리막 패턴(105) 사이에는 상기 채널 영역(201)의 측벽을 노출시키는 리세스된 게이트 영역(203')이 형성된다. 이후, 상기 포토레지스트 패턴을 제거하여 상기 마스크 패턴(215)의 상부면을 노출시킨다.

상기 리세스된 게이트 영역(203')의 깊이는 본 발명에 따른 트랜지스터의 채널 폭(channel width, H)을 결정한다. 상기 채널 폭은 전류 전송 능력과 같은 트랜지스터의 전기적 특성에 영향을 주는 공정 파라미터이므로, 큰 것이 바람직하다. 종래 기술에서 설명한 것처럼, 통상적인 평판형 트랜지스터(planar transistor)를 구비하는 반도체 장치의 경우, 상기 채널 폭의 증가는 집적도의 감소를 가져오는 단위 셀 면적의 증가로 이어지기 때문에 제한적이다. 반면, 본 발명의 실시예들에 따르면, 상기 채널 폭은 상기 리세스된 게이트 영역(203')에 의해 노출되는 채널 영역(201)의 높이에 해당한다. 따라서, 상기 리세스된 게이트 영역(203')의 깊이를 증가시킴으로써, 셀 면적의 증가없이 상기 트랜지스터의 채널 폭을 증가시킬 수 있다. 이에 따라, 본 발명은 종래 기술에서와 같은 제한을 받지 않는다.

이후, 상기 리세스된 게이트 영역(203')을 통해 노출되는 반도체기판(100) 상에, 트랜지스터의 게이트 절연막으로 사용되는 게이트 절연막 패턴(125)을 형성한다. 본 발명의 일 실시예에 따르면, 상기 게이트 절연막 패턴(125)은 열산화 공정을 통해 형성되는 실리콘 산화막일 수 있다. 이 경우, 상기 게이트 절연막 패턴(125)은 상기 활성 패턴(205)의 노출되는 측벽(즉, 상기 채널 영역들(201)의 측면) 및 상기 리세스된 게이트 영역(203')의 바닥면에 형성된다. 한편, 상기 리세스된 게이트 영역(203')을 형성하기 위한 식각 공정에서 발생한 식각 손상은 상기 열산화 공정에 의해, 치유될 수 있다.

도 7a 및 도 7b를 참조하면, 상기 게이트 절연막 패턴(125)이 형성된 결과물 상에 게이트 도전막(130)을 형성한다. 상기 게이트 도전막(130)은 다결정 실리콘, 구리, 알루미늄, 텅스텐, 탄탈륨, 티타늄, 텅스텐 질화막, 탄탈륨 질화막, 티타늄 질

화막, 텅스텐 실리사이드 및 코발트 실리사이드 중에서 선택된 적어도 한가지 물질로 형성될 수 있으며, 이를 형성하는 방법으로는 화학 기상 증착 기술이 사용될 수 있다. 상기 게이트 도전막(130)을 구리로 형성하는 경우에는, 전기 도금(electroplating) 기술이 사용될 수 있다.

플래시 메모리의 제조 방법에 대한 본 발명의 일 실시예에 따르면, 상기 게이트 도전막(130)은 차례로 적층된 부유 게이트 도전막(131), 게이트 층간절연막(132) 및 제어 게이트 도전막(133)으로 이루어질 수 있다. 상기 부유 게이트 도전막(131) 및 제어 게이트 도전막(133)은 다결정 실리콘으로 형성되고, 상기 게이트 층간절연막(132)은 실리콘 질화막을 포함하는 절연막으로 형성될 수 있다. 바람직하게는, 상기 게이트 층간절연막(132)은 차례로 적층된 실리콘 산화막-실리콘 질화막-실리콘 산화막으로 형성된다.

도 8a 및 도 8b를 참조하면, 상기 마스크 패턴(215) 및 상기 소자분리막 패턴(105)이 노출될 때까지 상기 게이트 도전막(130)을 평탄화 식각하여, 상기 리세스된 게이트 영역들(203)을 채우는 게이트 패턴들(135)을 형성한다.

본 발명에 따르면, 상기 채널 영역(201)에 대한 식각 손상을 방지하기 위해, 상기 평탄화 식각은 상기 마스크 패턴(215)이 제거되지 않는 한도 내에서 실시한다. 바람직하게는 상기 평탄화 식각은 화학적 기계적 연마(chemical mechanical polishing; CMP) 기술을 사용하여 실시된다.

상기 게이트 패턴들(135)은 차례로 적층된 부유 게이트 패턴(136), 게이트 층간절연막 패턴(137) 및 제어 게이트 패턴(138)으로 구성된다. 상기 게이트 층간절연막 패턴(137)은 상기 제어 게이트 패턴(138)의 측면 및 하부면에 접하도록 형성되고, 상기 부유 게이트 패턴(136)은 상기 게이트 층간절연막 패턴(137)의 외측면 및 하부면에 접촉하도록 형성된다. 상기 부유 게이트 패턴(136)은 상기 소자분리막 패턴(105) 및 상기 게이트 절연막 패턴(125)에 의해 둘러싸인다. 상기 게이트 절연막 패턴(125)은 상기 부유 게이트 패턴(136)과 상기 채널 영역(201) 사이에 그리고 상기 부유 게이트 패턴(136)과 상기 반도체기판(100) 사이에 개재된다.

도 9a 및 도 9b를 참조하면, 상기 게이트 패턴들(135)이 형성된 결과물 상에 하부 층간절연막(도 1b 및 도 1c의 162 참조)을 형성한 후, 이를 패턴링하여 상기 게이트 패턴들(135)의 상부면을 노출시키는 게이트 콘택홀들을 형성한다. 이어서, 상기 게이트 콘택홀들을 통해 상기 게이트 패턴들(135)에 접속하는 하부 배선들(170)을 형성한다.

한편, 반도체 장치의 소모 전력 감소 및 동작 속도의 증가를 위해, 상기 하부 배선들(170)은 금속성 물질로 형성되는 것이 바람직하다. 예를 들면, 상기 하부 배선들(170)은 알루미늄, 구리 및 텅스텐 중에서 선택된 적어도 한가지 물질로 형성될 수 있다.

본 발명의 일 실시예에 따르면, 상기 하부 배선(170)은 상기 게이트 콘택홀을 채우는 게이트 플러그들(172) 및 상기 게이트 플러그들(172)을 연결하는 게이트 라인들(174)로 구성된다. 본 발명의 다른 실시예에 따르면, 상기 하부 층간절연막의 두께가 얇을 경우, 상기 하부 배선(170)은 와이어링 공정(wiring process)을 통해 형성될 수 있다. 이 경우, 상기 게이트 플러그들(172) 및 상기 게이트 라인들(174)은 일체를 이루면서 동시에 형성된다.

상술한 플래시 메모리에 관한 실시예에 따르면, 상기 하부 배선(170)(특히, 상기 게이트 플러그들(172))은 상기 제어 게이트 패턴(138)에 접속된다. 반면, 상기 부유 게이트 패턴(136)은 상기 소자분리막 패턴(105), 게이트 절연막 패턴(125) 및 하부 층간절연막에 의해 전기적으로 고립된다.

또한, 상기 활성 패턴(205)의 양측에 배치되는 게이트 패턴들(135)은 서로 다른 하부 배선들(170)에 의해 연결된다. 즉, 상기 활성 패턴(205)의 일측에 배치되는 게이트 패턴들(135)을 연결하는 하부 배선(170)은 상기 활성 패턴(205)의 타측에 배치되는 게이트 패턴들(135)을 연결하는 하부 배선(170)과 전기적으로 분리된다. 이 경우, 상기 하부 배선들(170)은, 도 9b에 도시한 것처럼, 상기 게이트 패턴들(135) 사이에 개재되는 상기 소자분리막 패턴(105)의 상부에 배치되며, 상기 마스크 패턴(215)에 평행한 방향을 갖는다.

도 10a 및 도 10b를 참조하면, 상기 하부 배선들(170)이 형성된 결과물 상에 상부 층간절연막(도 1b 및 도 1c의 164)을 형성한 후, 이를 패턴링하여 상기 연결 영역(202)을 노출시키는 소오스/드레인 콘택홀들(도 11의 168)을 형성한다. 이어서, 상기 소오스/드레인 콘택홀들(168)을 통해 노출되는 상기 연결 영역들(202)에 소오스/드레인 전극(도 11의 150)을 형성한다.

상기 소오스/드레인 전극(150)은 상기 채널 영역(201)과 다른 도전형의 불순물들(impurities)을 고농도로 함유하는 불순물 영역(doped region)인 것이 바람직하다. 상기 불순물 영역들(150)은 상기 소오스/드레인 콘택홀들(168)을 갖는 상기 상부 층간절연막(164)을 이온 주입 마스크로 사용하는 이온 주입 공정을 통해 형성될 수 있다.

이후, 상기 소오스/드레인 전극(150)에 접속하는 상부 배선들(180)을 형성한다. 상기 상부 배선들(180) 역시 낮은 비저항을 갖는 금속성 물질로 형성되는 것이 바람직하다. 본 발명의 일 실시예에 따르면, 상기 상부 배선들(180)은 상기 소오스/드레인 콘택홀(168)들을 채우는 콘택 플러그들(182) 및 상기 콘택 플러그들(182)을 연결하는 소오스/드레인 라인들(184)로 구성된다.

도 11은 본 발명의 변형된 실시예에 따른 소오스/드레인 전극(150)의 형성 방법을 설명하기 위한 공정 단면도로서, 도 10b의 점선 V-V'을 따라 보여지는 단면을 도시한다.

도 11을 참조하면, 상기 소오스/드레인 전극(150)을 형성하는 단계는 상기 연결 영역들(202)에 소정 깊이의 콘택홀들을 형성한 후, 상기 콘택홀들을 통해 노출되는 상기 연결 영역들(202)의 내측벽에 불순물들을 주입하는 단계를 더 포함할 수 있다. 상기 콘택홀들은 상기 상부 층간절연막(164)을 식각 마스크로 사용하여, 상기 소오스/드레인 콘택홀들(168)을 통해 노출되는 상기 연결 영역들(202)을 이방성 식각함으로써 형성된다.

이 실시예에 따르면, 상기 불순물을 주입하는 단계는 이온 주입 공정 또는 확산 공정 등을 사용할 수 있다. 바람직하게는, 상기 불순물을 주입하는 단계는 불순물의 농도가 높은 다결정 실리콘 플러그(highly doped polysilicon plug)로 상기 콘택홀들을 채우는 단계를 포함할 수도 있다. 이 경우, 상기 다결정 실리콘 플러그에 함유된 불순물들은 확산되어, 상기 소오스/드레인 전극(150)으로 사용되는 불순물 영역을 형성한다. 이러한 다결정 실리콘 플러그는, 도시된 것처럼, 상기 상부 배선(180)을 구성하는 상기 콘택 플러그(182)를 대신할 수 있다.

도 12는 본 발명의 또다른 변형된 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 사시도이다. 보다 구체적으로는, 이 실시예는 부유 트랩형 플래시 메모리의 제조 방법에 적용될 수 있다.

도 12를 참조하면, 도 6a 및 도 6b에서 설명한 게이트 절연막 패턴(125)을 형성하는 단계는 화학 기상 증착 기술을 사용하여 형성될 수도 있다. 이 경우, 상기 게이트 절연막 패턴(125)은 실리콘 산화막, 실리콘 질화막 및 고유전막들 중에서 선택된 적어도 한가지로 형성될 수 있다. 또한, 상기 채널 영역(201)의 식각 손상을 치유하기 위한 열처리 공정이 더 실시될 수도 있다.

부유 트랩형 플래시 메모리에 관한 실시예에 따르면, 상기 게이트 절연막 패턴(125)은 차례로 적층된 실리콘 산화막-실리콘 질화막-실리콘 산화막으로 이루어질 수 있다. 이 실시예에서, 상기 실리콘 질화막은 트랩 사이트들이 풍부하기 때문에, 정보 저장을 위한 구조물로 이용될 수 있다.

한편, 화학 기상 증착 기술을 사용하여 형성되는 물질막은 결과물(resultant structure)의 전면에 형성되기 때문에, 상기 게이트 절연막 패턴(125)은 상기 소자분리막 패턴(105)과 상기 게이트 패턴(135) 사이 및 상기 마스크 패턴(215)과 상기 게이트 패턴(135) 사이에도 형성될 수 있다.

도 13은 본 발명의 일 실시예에 따른 플래시 메모리의 셀 어레이는 도시하는 회로도이다.

도 13을 참조하면, 셀 트랜지스터들의 소오스/드레인 전극들은 복수개의 비트라인들(BL1, BL2, BL3, BL4, BL5)에 의해 연결된다. 상기 비트라인들(BL1, BL2, BL3, BL4, BL5)은 복수개의 워드 라인들(WL1, WL2, WL3, WL4)을 가로지르면서 배치된다. 상기 워드 라인들(WL1, WL2, WL3, WL4)은 셀 트랜지스터의 게이트 전극들을 연결한다.

본 발명의 일 실시예에 따르면, 플래시 메모리의 셀 트랜지스터는 핫 캐리어 인젝션(Hot Carrier Injection)이 이용하여 프로그램(program)되고, 에프엔 터널링(Fowler Nordheim tunneling; FN tunneling)이 이용하여 이레이즈(erase)된다. 보다 구체적으로, 제 2 워드 라인(WL2), 제 2 비트 라인(BL2) 및 제 3 비트 라인(BL3)에 의해 선택되는 소정의 셀 트랜지스터(A)를 고려하면, 프로그램 동작을 위해 선택된 워드라인(WL2)에는 프로그램 전압( $V_{PGM}$ )을 인가하고 선택되지 않은 워드라인들(WL1, WL3, WL4)에는 접지 전압을 인가한다. 이때, 상기 제 1 및 제 2 비트 라인들(BL1, BL2)에는 접지 전압을 인가하고, 상기 제 3 내지 제 5 비트 라인들(BL3, BL4, BL5)에는 드레인 전압( $V_D$ )을 인가한다. 이때, 상기 프로그램 전압( $V_{PGM}$ )은 대략 12 볼트이고, 상기 드레인 전압( $V_D$ )은 대략 5 볼트인 것이 바람직하다.

이 실시예에서, 이레이즈 동작을 위해서는, 상기 선택된 워드라인(WL2)에는 접지 전압을 인가하고 기판(Bulk)에는 소거 전압( $V_{ERASE}$ )을 인가하고, 비트 라인들(BL1, BL2, BL3, BL4, BL5)은 전기적으로 고립(float)시킨다. 이때, 선택되지 않은 워드라인들(WL1, WL3, WL4)에는 상기 소거 전압( $V_{ERASE}$ )을 인가함으로써, 선택되지 않은 셀들의 소거를 방지할 수 있다. 상기 소거 전압( $V_{ERASE}$ )은 대략 15 내지 20 볼트일 수 있다.

또한, 읽기 동작을 위해서는, 통상적인 플래시 메모리의 경우와 같이, 선택된 워드라인에 읽기 전압( $V_{READ}$ )을 인가하고, 소오스 및 드레인 전극에 해당하는 비트라인들(BL2, BL3)에 각각 접지 전압 및 드레인 전압( $V_D$ )을 인가한다. 상기 읽기 전압( $V_{READ}$ )은 대략 1 내지 3 볼트이고, 상기 드레인 전압( $V_D$ )은 대략 0.1 내지 1 볼트일 수 있다.

본 발명의 다른 실시예에 따르면, 플래시 메모리의 셀 트랜지스터는 에프엔 터널링(FN tunneling)이 이용하여 프로그램될 수 있다. 이 경우, 상기 선택된 워드라인(WL2)에는 프로그램 전압( $V_{PGM}$ )을 인가하고 상기 제 2 비트 및 제 3 비트라인들(BL2, BL3) 및 상기 기판(Bulk)에는 접지 전압을 인가한다. 이때, 상기 선택되지 않은 셀 트랜지스터들이 상기 선택된 워드라인(WL2)에 인가되는 프로그램 전압( $V_{PGM}$ ) 의해 프로그램되는 것을 방지하기 위해, 선택되지 않은 셀 트랜지스터들에 접속하는 비트라인들(BL1, BL4, BL5)에는 소정의 드레인 전압( $V_D$ )이 인가된다. 상기 소거 전압( $V_{ERASE}$ )은 대략 15 내지 20 볼트일 수 있다.

상술한 플래시 메모리의 셀 트랜지스터의 동작 방법 및 동작 조건은 트랜지스터 구조체의 구조 및 배선 구조들의 특징을 고려하여 다양하게 변형될 수 있다.

도 14a 내지 도 14d는 본 발명의 일 실시예에 따른 플래시 메모리의 제조 방법을 설명하기 위한 공정 단면도들로서, 도 1a의 점선 II-II'을 따라 보여지는 단면을 도시한다. 이 실시예는 상기 게이트 절연막 패턴(125)을 형성하는 또다른 방법에 관한 것으로, 상기 리세스된 게이트 영역(203')을 형성하기까지의 공정은 앞서 설명한 실시예들과 동일하다. 또한, 상기 게이트 도전막(130)을 형성하는 공정 및 그 후속 공정들에 대해서도, 앞서 설명된 실시예들은 이 실시예에 동일하게 적용될 수 있다. 아래의 설명에서는, 간략함을 위해, 앞서 설명된 실시예들과 중복되는 내용은 생략된다.

도 14a를 참조하면, 상기 리세스된 게이트 영역(203')을 형성한 후(도 6a 및 도 6b 참조), 상기 리세스된 게이트 영역(203')을 통해 노출된 반도체기판(100)에 하부 불순물 영역(310)을 형성한다. 구체적으로, 상기 하부 불순물 영역(310)은 상기 리세스된 게이트 영역(203')의 하부면에 형성되며, 상기 반도체기판(100)과 같은 도전형을 갖는다. 이에 따라, 상기 하부 불순물 영역(310)이 형성된 반도체기판(100)은 상기 채널 영역(201)에 비해 더 높은 문턱 전압을 갖는다.

이러한 문턱 전압의 차이에 의해, 이 실시예에 따른 트랜지스터의 채널은 상기 채널 영역(201)으로 한정(confine)된다. 즉, 트랜지스터의 게이트 전극(즉, 상기 게이트 패턴(135))에 인가되는 게이트 전압이 상기 채널 영역(201)의 문턱 전압과 상기 하부 불순물 영역(310)의 문턱 전압 사이의 값을 가질 경우, 상기 리세스된 게이트 영역(203') 아래의 반도체기판(100)-즉, 상기 하부 불순물 영역(310)-에는 (전하가 흐를 수 있는 전기적 통로인) 채널이 형성되지 않는다. 이처럼, 채널로 사용되는 영역의 한정(즉, 트랜지스터의 턴온 전류의 변동을 줄이기 때문에, 트랜지스터의 읽기 동작 특성은 개선될 수 있다.

상기 하부 불순물 영역(310)을 형성하는 단계는 소정의 제 1 이온 주입 공정(300)을 포함할 수 있다. 이때, 상기 리세스된 게이트 영역(203') 형성을 위한 식각 공정에서 식각 마스크로 사용된 상기 포토레지스트 패턴은 상기 제 1 이온 주입 공정(300)에서 이온 마스크로 사용될 수 있다. 본 발명의 다른 실시예에 따르면, 상기 포토레지스트 패턴을 제거한 후, 상기 소자분리막 패턴(105) 및 상기 마스크 패턴(215)을 상기 이온 마스크로 사용할 수도 있다.

도 14b를 참조하면, 상기 하부 불순물 영역들(310)이 형성된 결과물에 대해 열산화 공정을 실시하여, 상기 채널 영역(201)의 측벽 및 상기 하부 불순물 영역(310)의 상부면에 예비 게이트 절연막(122)을 형성한다.

본 발명의 다른 실시예에 따르면, 상기 예비 게이트 절연막(122)은 화학 기상 증착 기술을 사용하여 형성되는 실리콘 산화막, 실리콘 질화막 및 고유전막들 중의 한가지일 수 있다. 도 12와 관련하여 설명된 방법은 이 실시예에 동일하게 적용될 수 있다.

본 발명의 또다른 실시예에 따르면, 상기 예비 게이트 절연막(122)을 형성한 후, 상기 하부 불순물 영역(310)을 형성할 수도 있다. 이 경우, 상기 예비 게이트 절연막(122)은 상기 제 1 이온 주입 공정(300)에서 이온 채널링(ion channelling)이 발생하는 문제를 감소시킨다.

도 14c를 참조하면, 상기 예비 게이트 절연막(122)이 형성된 결과물 상에, 상기 예비 게이트 절연막(122)의 상부면 일부를 노출시키는 개구부들(328)을 갖는 포토레지스트 패턴(325)을 형성한다. 바람직하게는, 상기 개구부(328)는 상기 리세스된 게이트 영역(203')의 중앙에서 상기 예비 게이트 절연막(122)의 상부면을 노출시킨다. 이어서, 상기 포토레지스트 패턴(325)을 이온 주입 마스크로 사용하는 제 2 이온 주입 공정(320)을 실시한다. 이에 따라, 상기 개구부(328) 아래의 반도체 기판(100)에는 터널 불순물 영역(320)이 형성된다. 이때, 상기 터널 불순물 영역(320)은 상기 반도체기판(100) 및 상기 하부 불순물 영역(310)과 다른 도전형일 수 있다. 또한, 상기 터널 불순물 영역(320)은 상기 하부 불순물 영역(310)보다 높은 불순물 농도를 갖는다.

한편, 본 발명의 다른 실시예에 따르면, 소정의 스페이서(325')가 상기 포토레지스트 패턴(325)을 대신할 수 있다(도 15 참조). 상기 스페이서(325')를 형성하는 단계는 상기 예비 게이트 절연막(122)이 형성된 결과물 상에 스페이서막을 형성한 후, 상기 스페이서막을 이방성 식각하는 단계를 포함한다. 이때, 상기 스페이서막은 상기 예비 게이트 절연막(122) 및 상기 소자분리막 패턴(105)에 대해 식각 선택비를 갖는 물질로 형성되는 것이 바람직하다. 예를 들면, 상기 스페이서막은 실리콘 질화막 또는 실리콘 산화질화막일 수 있다. 또한, 상기 스페이서막을 이방성 식각하는 단계는 상기 리세스된 게이트 영역(203')의 바닥에서 상기 예비 게이트 절연막(122)이 노출될 때까지 실시하며, 그 결과로서 상기 개구부(328)를 갖는 스페이서(325')가 형성된다.

도 14d를 참조하면, 상기 포토레지스트 패턴(325) 또는 상기 스페이서(325')를 식각 마스크로 사용하여, 상기 예비 게이트 절연막(122)을 식각한다. 이에 따라, 상기 반도체기판(100)의 상부면(보다 구체적으로는, 상기 터널 불순물 영역(320)의 상부면)을 노출시키는 터널 영역이 형성된다.

이후, 상기 포토레지스트 패턴(325) 또는 상기 스페이서(325')를 제거한 후, 상기 터널 영역에 터널 절연막(128)을 형성한다. 상기 터널 절연막(128)을 형성하는 단계는 열산화 공정을 포함하며, 이 경우 상기 예비 게이트 절연막(122)에 의해 덮혀진 상기 채널 영역(201) 및 상기 반도체기판(100) 역시 산화된다. 그 결과, 도시된 것처럼, 상기 예비 게이트 절연막(122)의 두께는 증가하여, 상기 게이트 절연막 패턴(125)을 형성한다. 이렇게 형성된 게이트 절연막 패턴(125)은 상기 터널 절연막(128)에 비해 두꺼운 두께를 갖는다.

본 발명의 다른 실시예에 따르면, 상기 터널 절연막(128)은 화학 기상 증착 기술을 사용하여 형성되는 실리콘 산화막, 실리콘 질화막 및 고유전막들 중의 한가지일 수 있다. 앞서와 마찬가지로, 도 12와 관련하여 설명된 방법은 이 실시예에 동일하게 적용될 수 있다.

이후, 상기 터널 절연막(128) 및 상기 게이트 절연막 패턴(125)이 형성된 결과물 상에, 상기 리세스된 게이트 영역(203')을 채우는 게이트 도전막(130)을 형성한다. 상기 게이트 도전막(130)을 형성하는 단계 및 그 후속 단계들에 대해서는, 플래시 메모리 장치와 관련하여 설명된 실시예들이 동일하게 적용될 수 있다(도 4 내지 도 11 참조).

도 14a 내지 도 14d 및 도 15를 참조하여 설명된 실시예들에 따르면, 상기 채널 영역(201)과 상기 게이트 패턴(135) 사이에는 상기 게이트 절연막 패턴(125)이 개재되고, 상기 터널 불순물 영역(320)과 상기 게이트 패턴(135) 사이에는 상기 터널 절연막(128)이 개재된다. 이때, 상기 터널 절연막(128)은 상술한 것처럼 상기 게이트 절연막 패턴(125)보다 얇기 때문에, 본 발명에 따른 플래시 메모리 장치는 효율적인 쓰기 동작이 가능하다. 왜냐하면, 잘 알려진 것처럼, 에프엔 터널링(Fowler-Nordheim tunnelling)이 일어날 확률은 유전막의 두께가 감소할수록 증가하기 때문이다. 이 실시예에 따르면, 플래시 메모리의 셀 트랜지스터는 핫 캐리어 인젝션(Hot Carrier Injection)이 이용하여 프로그램(program)되고, 에프엔 터널링(Fowler Nordheim tunneling; FN tunneling)이 이용하여 이레이즈(erase)된다. 상기 이레이즈 동작은 상기 반도체기판(100)과 상기 제어 게이트 패턴(138) 사이의 전압 차이를 이용하는 것이 바람직하다.

이에 더하여, 본 발명에 따르면, 상기 터널 절연막(128) 아래에 형성되는 상기 터널 불순물 영역(320)의 불순물 농도를 조절함으로써, 쓰기 동작의 효율을 증가시킬 수 있다.

## 발명의 효과



본 발명에 따르면, 한 개의 반도체 패턴은 두 개의 트랜지스터들의 채널 영역으로 공유될 수 있다. 이에 더하여, 한 개의 불순물 영역은 두 개 또는 네 개의 트랜지스터들의 소오스/드레인 전극으로 공유될 수 있다. 이에 따라, 반도체 장치의 집적도를 획기적으로 증가시킬 수 있다.

또한, 본 발명에 따르면, 트랜지스터의 게이트 전극은 채널 영역의 측면에 배치되기 때문에, 리세스된 게이트 영역의 깊이(즉, 채널 영역의 높이)를 증가시킴으로써 트랜지스터의 채널 폭을 증가시키는 것이 가능하다. 이 경우, 상술한 반도체 장치의 집적도 증가는 트랜지스터의 채널 폭 감소없이 이루어질 수 있다. 결과적으로, 본 발명에 따르면, 반도체 장치의 집적도를 증가시키면서 더불어 트랜지스터의 특성을 개선할 수 있다.

본 발명의 일 실시예에 따르면, 게이트 패턴과 채널 영역 사이에는 게이트 절연막 패턴이 개재되고, 게이트 패턴과 반도체 기판 사이에는 터널 절연막이 개재된다. 이에 따라, 이 실시예에 따른 플래시 메모리 장치에서는 읽기 동작을 위한 채널 영역과 쓰기 동작을 위한 터널 영역이 공간적으로 분리된다. 그 결과, 읽기 동작 및 쓰기 동작의 특성을 독립적으로 개선하는 것이 가능하다. 예를 들면, 실시예들에서 설명된 것처럼, 효율적인 쓰기 동작을 위해, 상기 터널 절연막을 상기 게이트 절연막 패턴보다 얇게 형성하는 것이 가능하다. 쓰기 동작의 효율은 상기 터널 절연막 아래에 형성되는 불순물 영역의 도전형 및 농도를 조절함으로써 더욱 개선될 수 있다. 결과적으로, 본 발명에 따른 플래시 메모리 장치에서는, 읽기 동작 및 쓰기 동작의 특성이 모두 개선될 수 있다.

### 도면의 간단한 설명

도 1a는 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 평면도이다.

도 1b 및 도 1c는 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 공정 단면도들이다.

도 2는 본 발명의 바람직한 실시예에 따른 반도체 장치의 트랜지스터 구조체를 도시하는 사시도이다.

도 3a는 본 발명의 다른 실시예에 따른 반도체 장치를 설명하기 위한 평면도이다.

도 3b 및 도 3c는 본 발명의 다른 실시예에 따른 반도체 장치를 설명하기 위한 공정 단면도들이다.

도 4a 내지 도 10a는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들이다.

도 4b 내지 도 10b는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 11은 본 발명의 변형된 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

도 12는 본 발명의 또다른 변형된 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 사시도이다.

도 13은 본 발명에 따른 플래시 메모리를 도시하는 회로도이다.

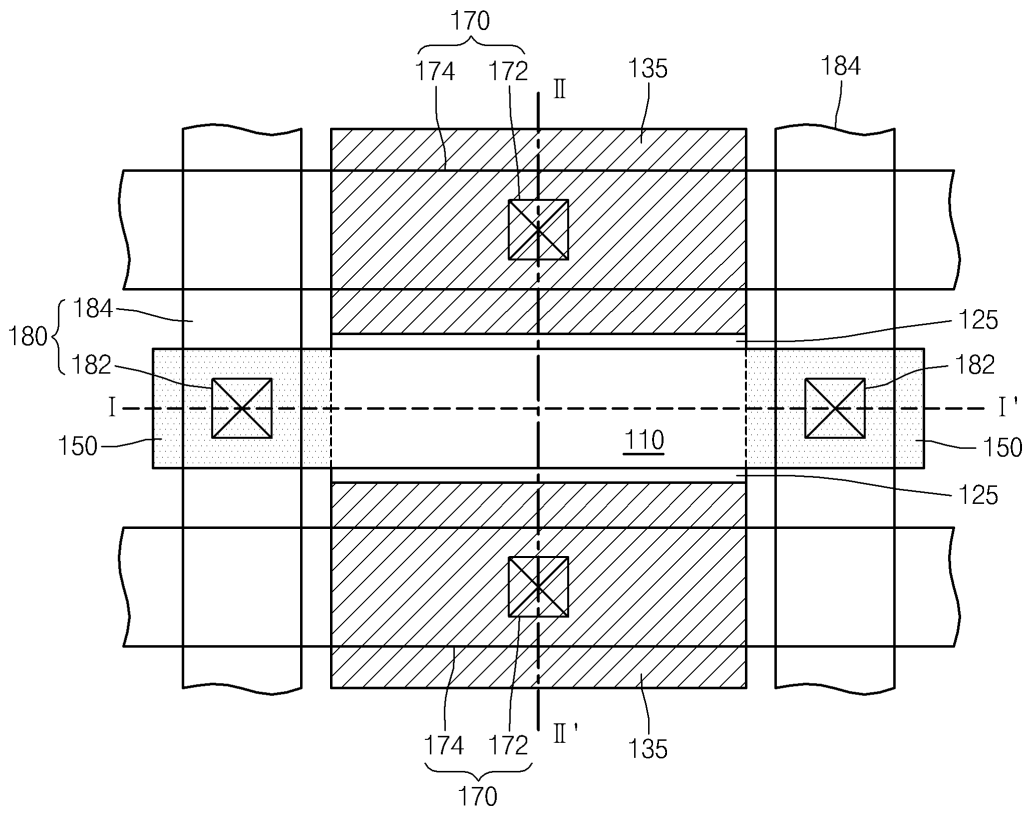
도 14a 내지 도 14d는 본 발명의 일 실시예에 따른 플래시 메모리의 제조 방법을 설명하기 위한 공정 단면도들이다.

도 15는 본 발명의 변형된 실시예에 따른 플래시 메모리의 제조 방법을 설명하기 위한 공정 단면도이다.

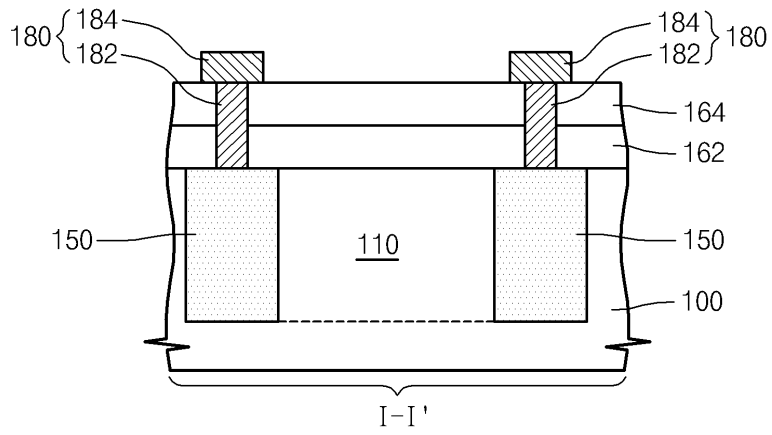
### 도면



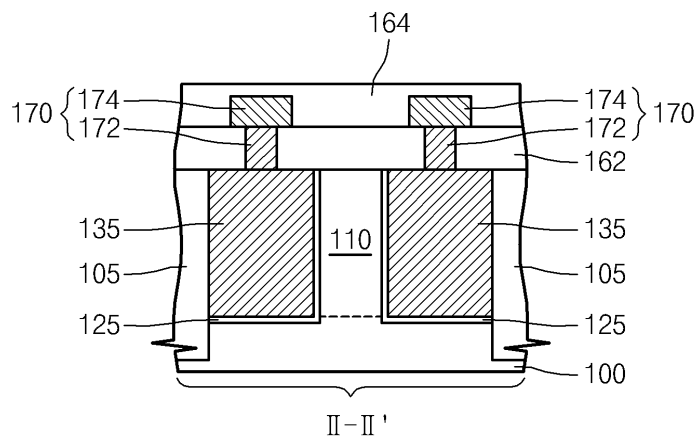
도면1a



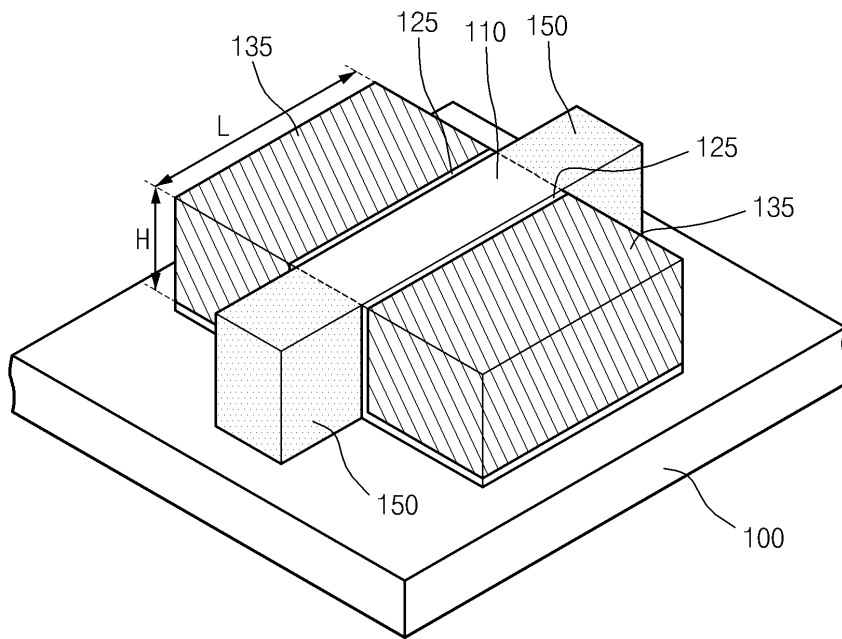
도면1b



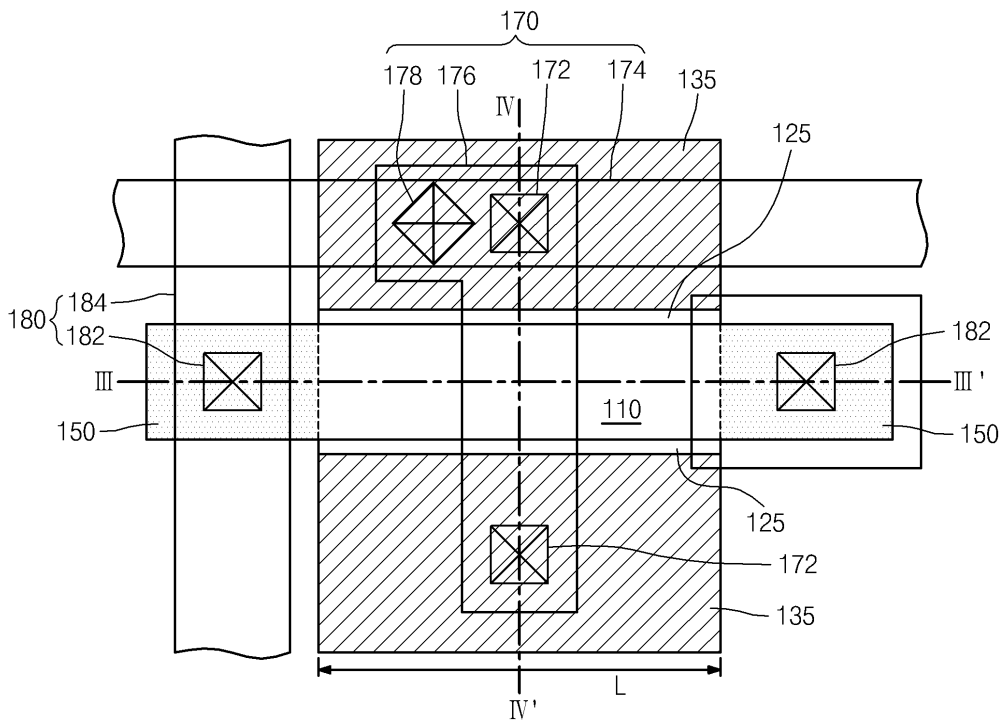
도면1c



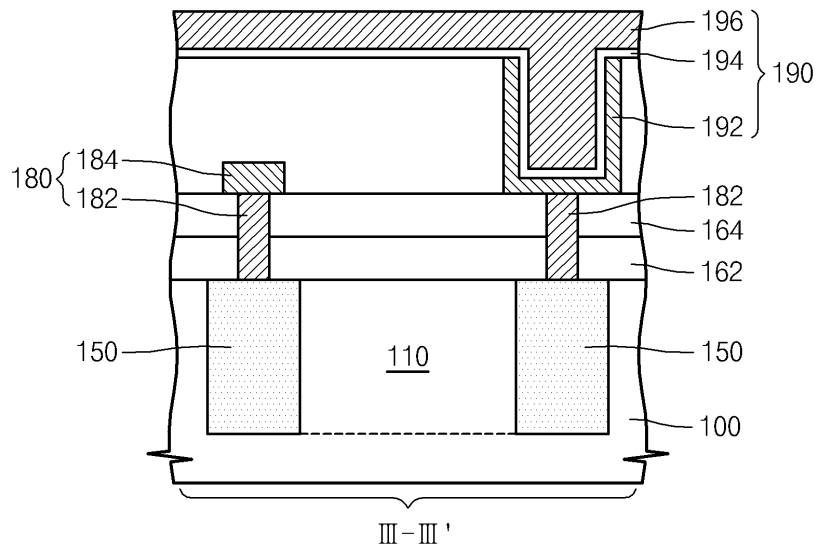
도면2



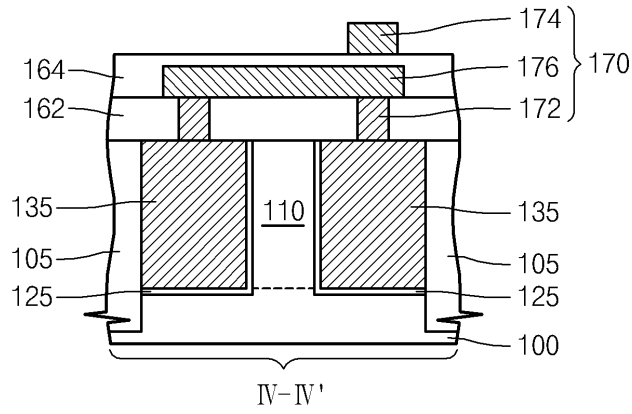
도면3a



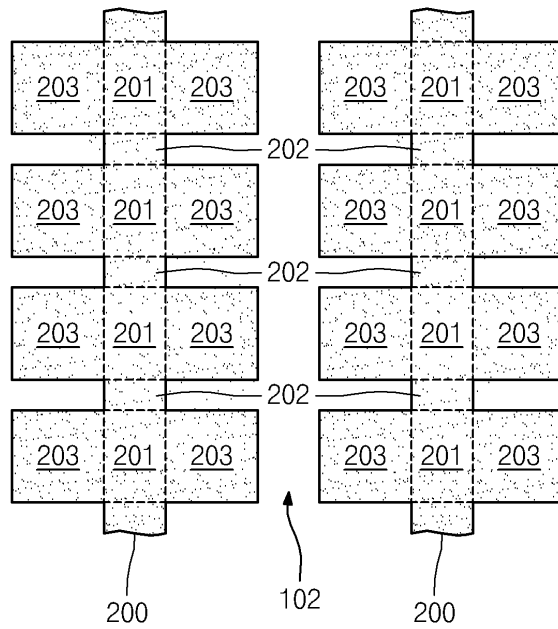
도면3b



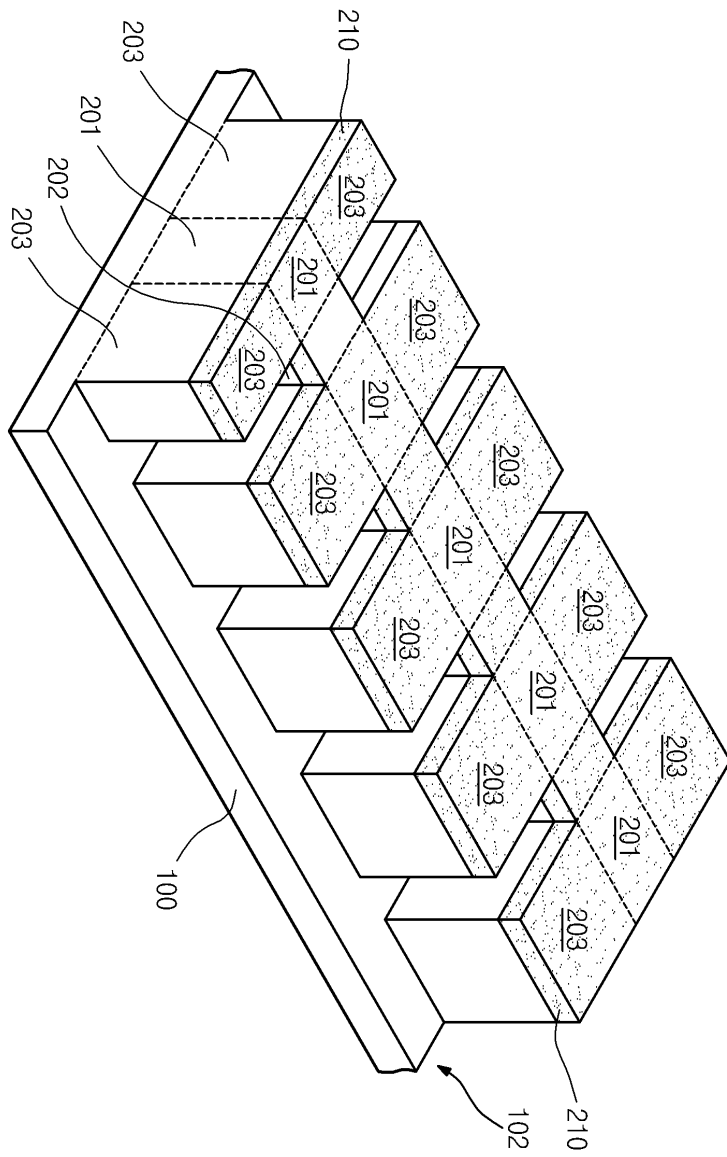
도면3c



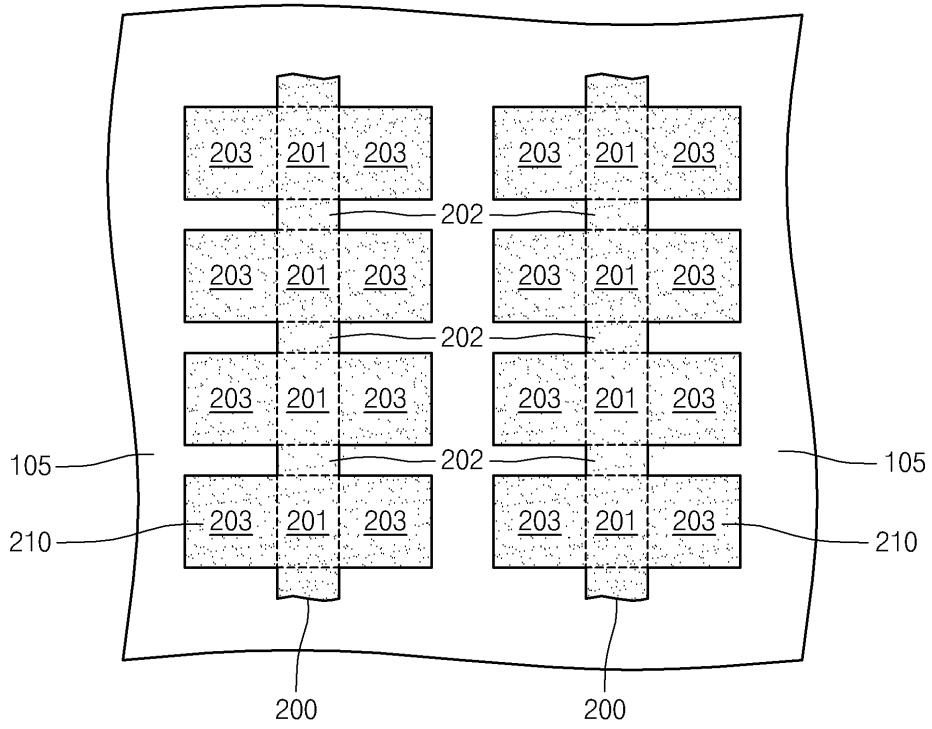
도면4a



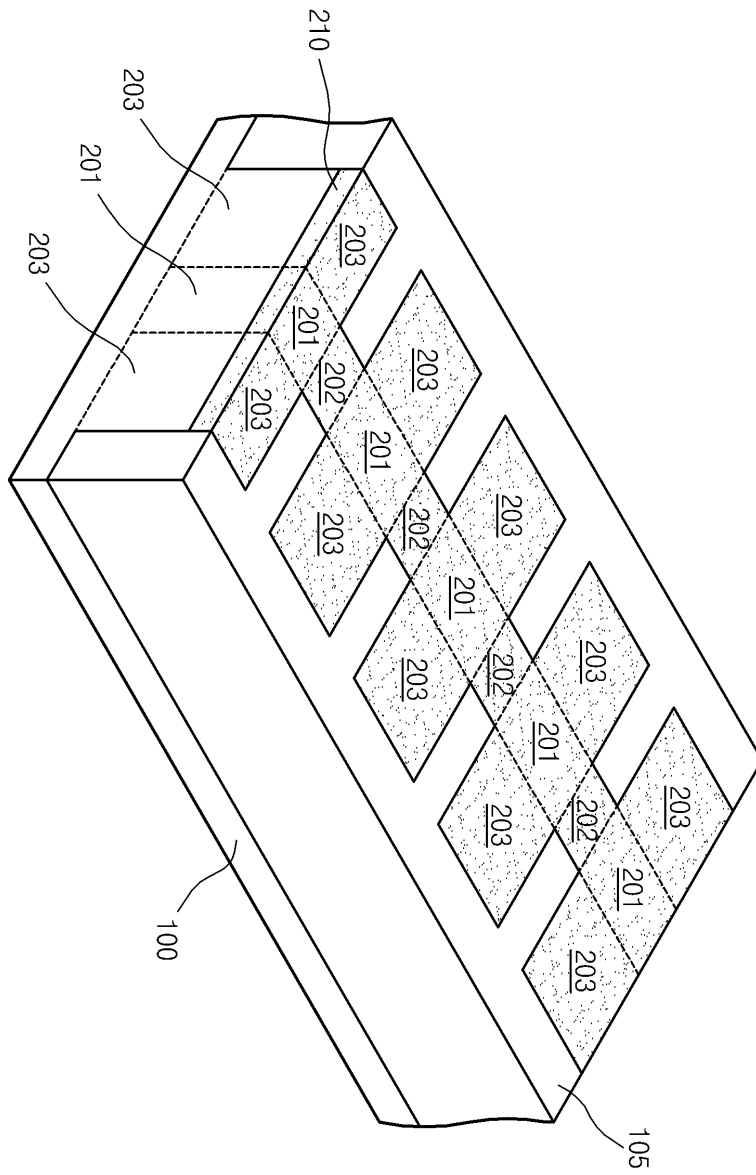
도면4b



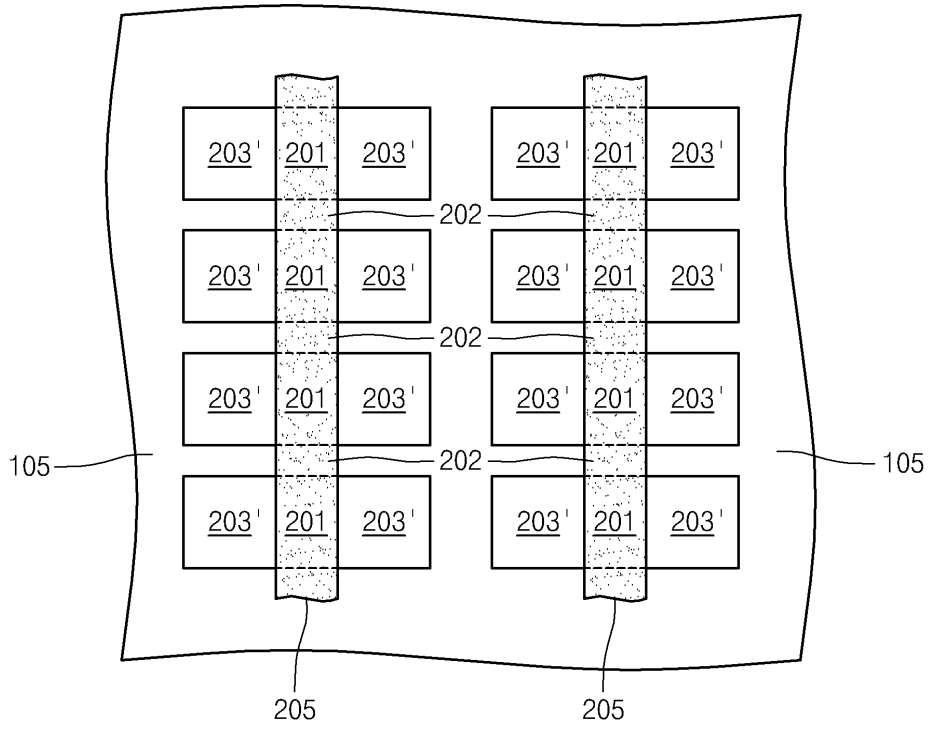
도면5a



도면5b

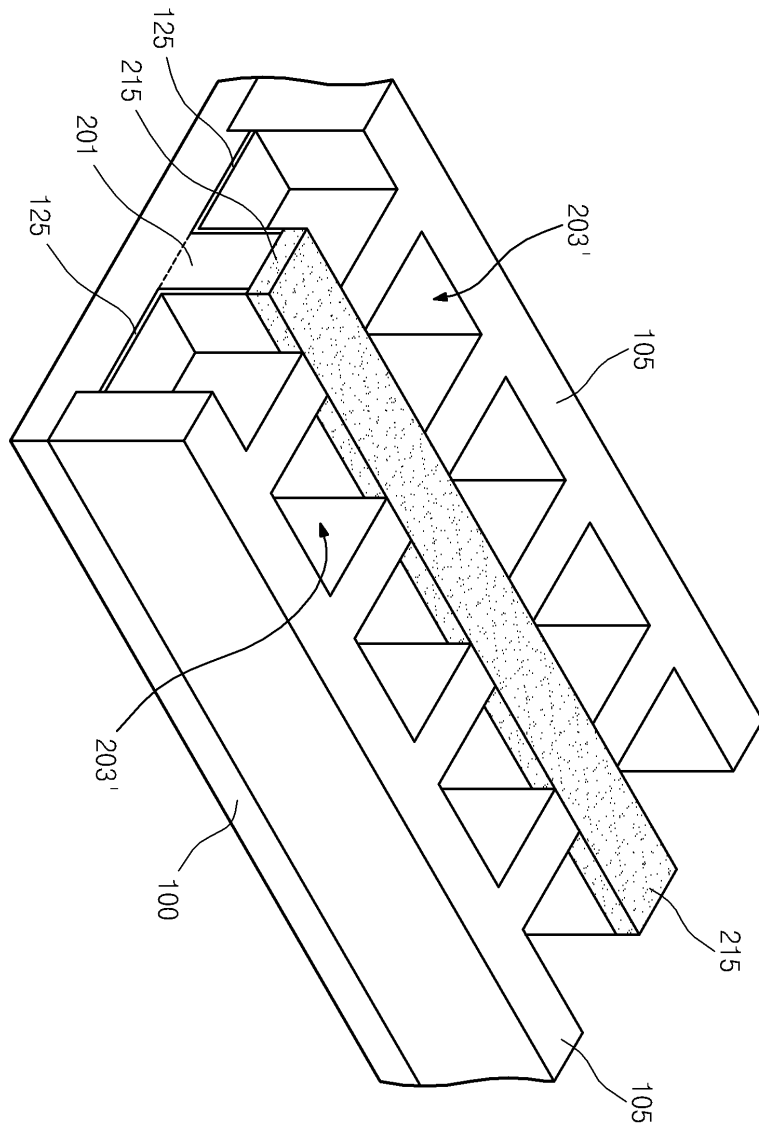


도면6a

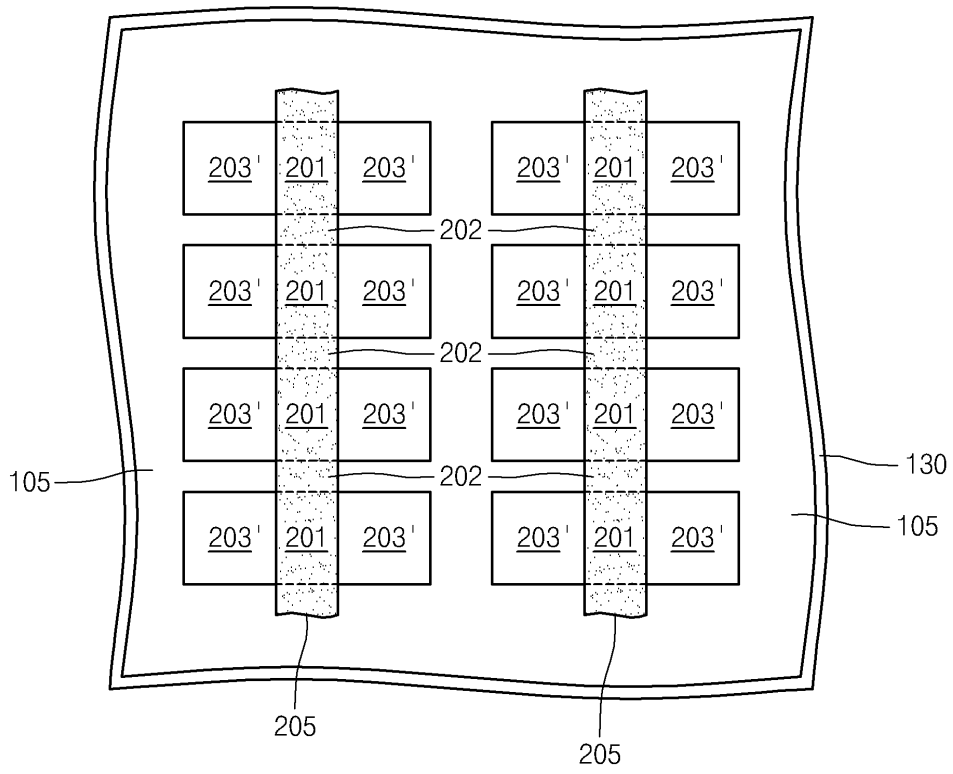




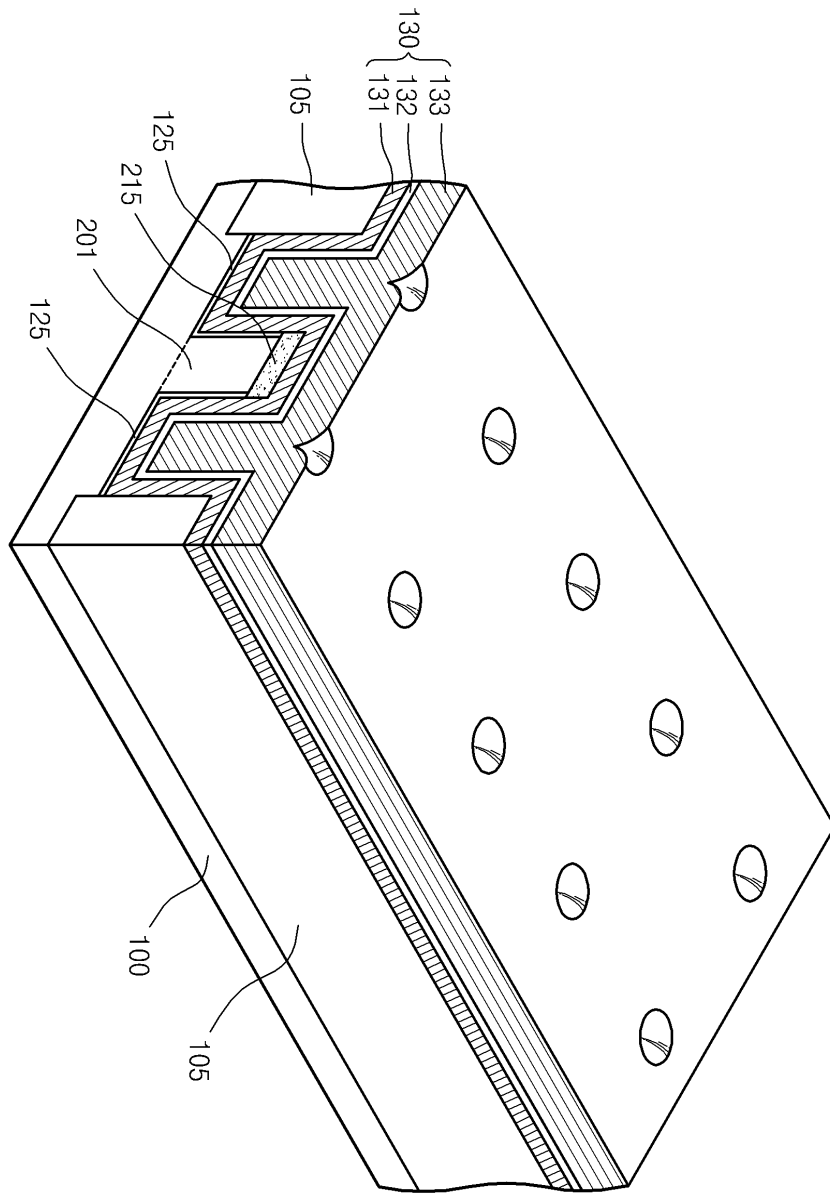
도면6b



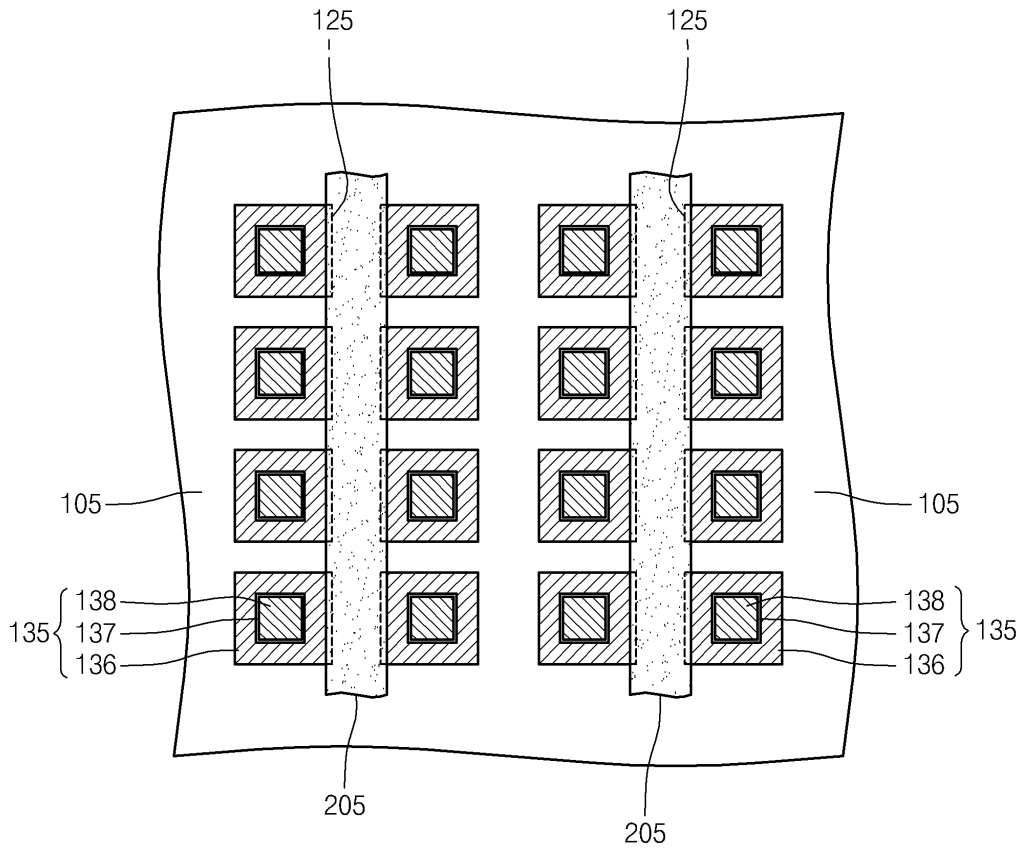
도면7a



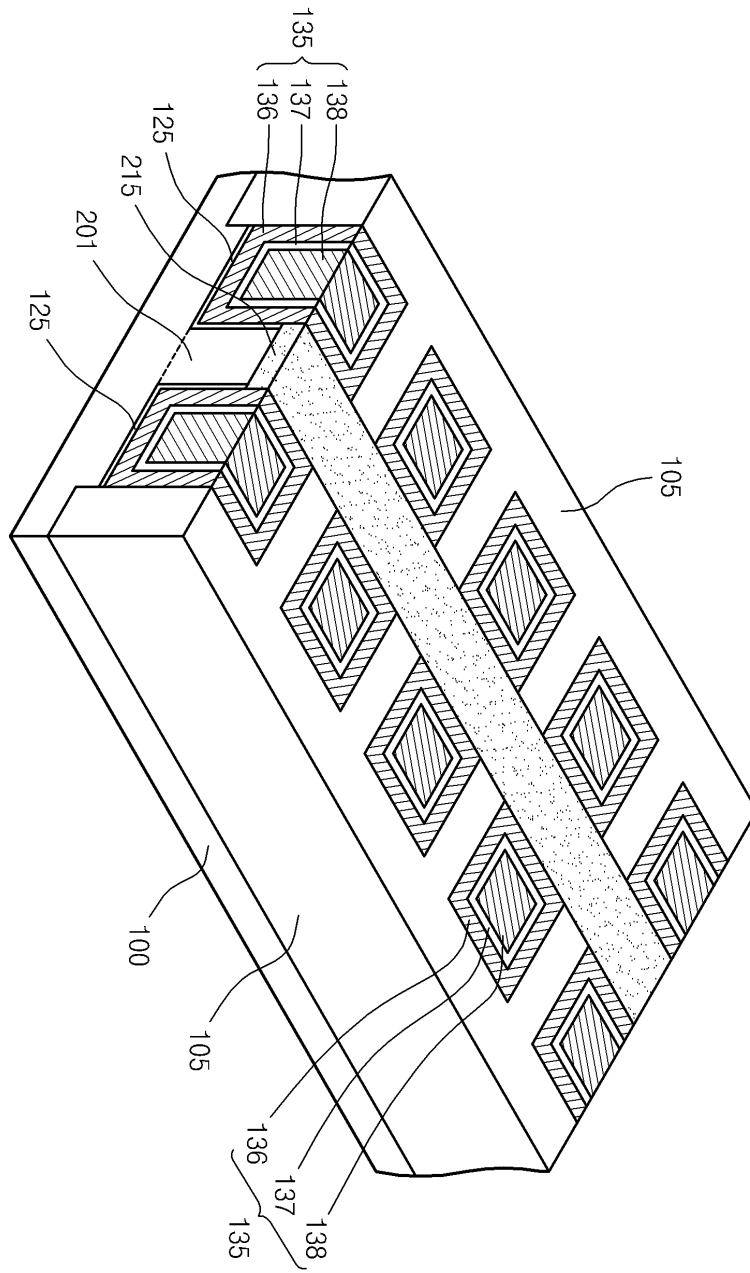
도면7b



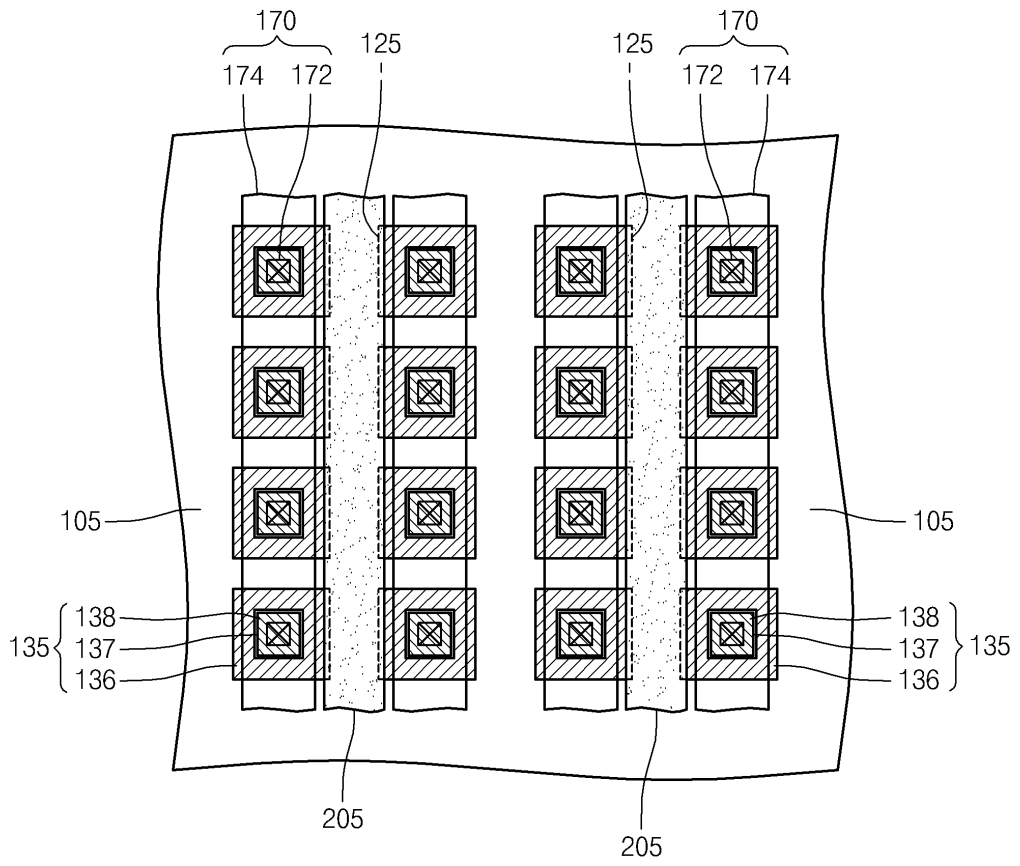
도면8a



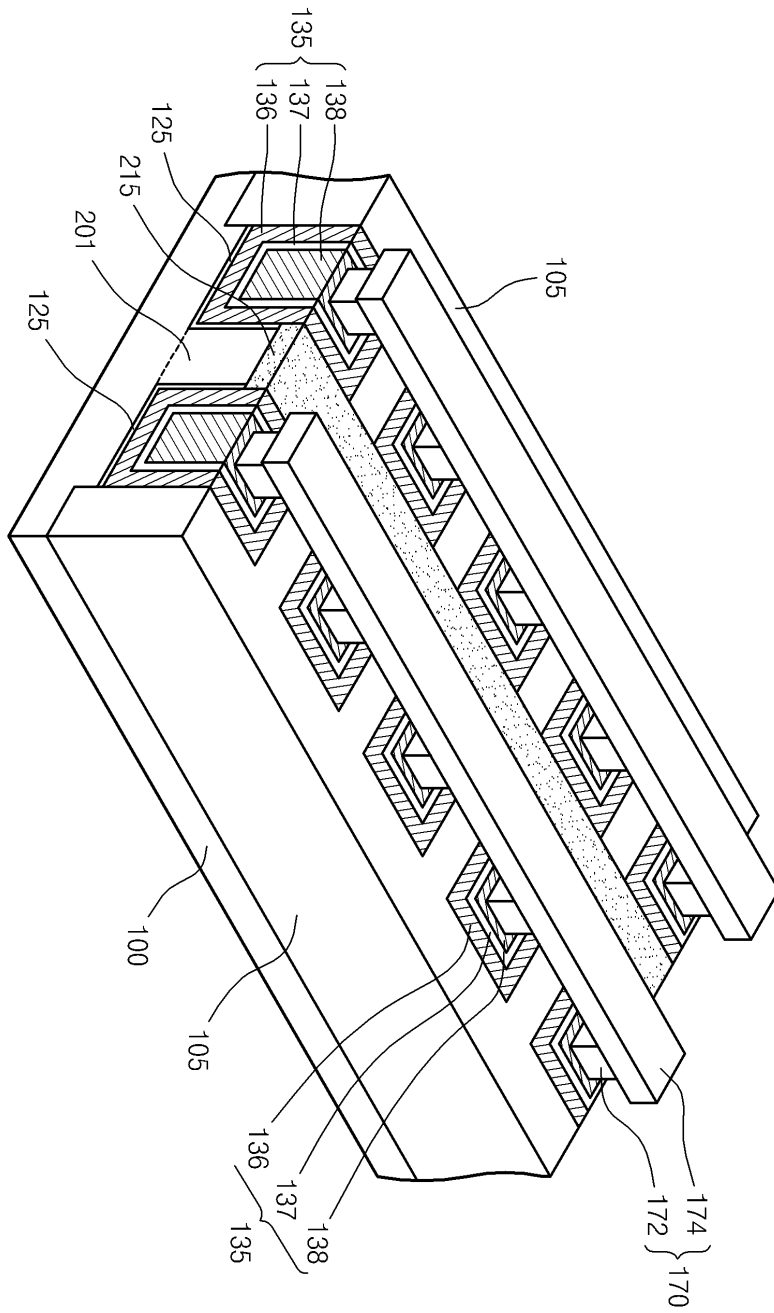
도면8b



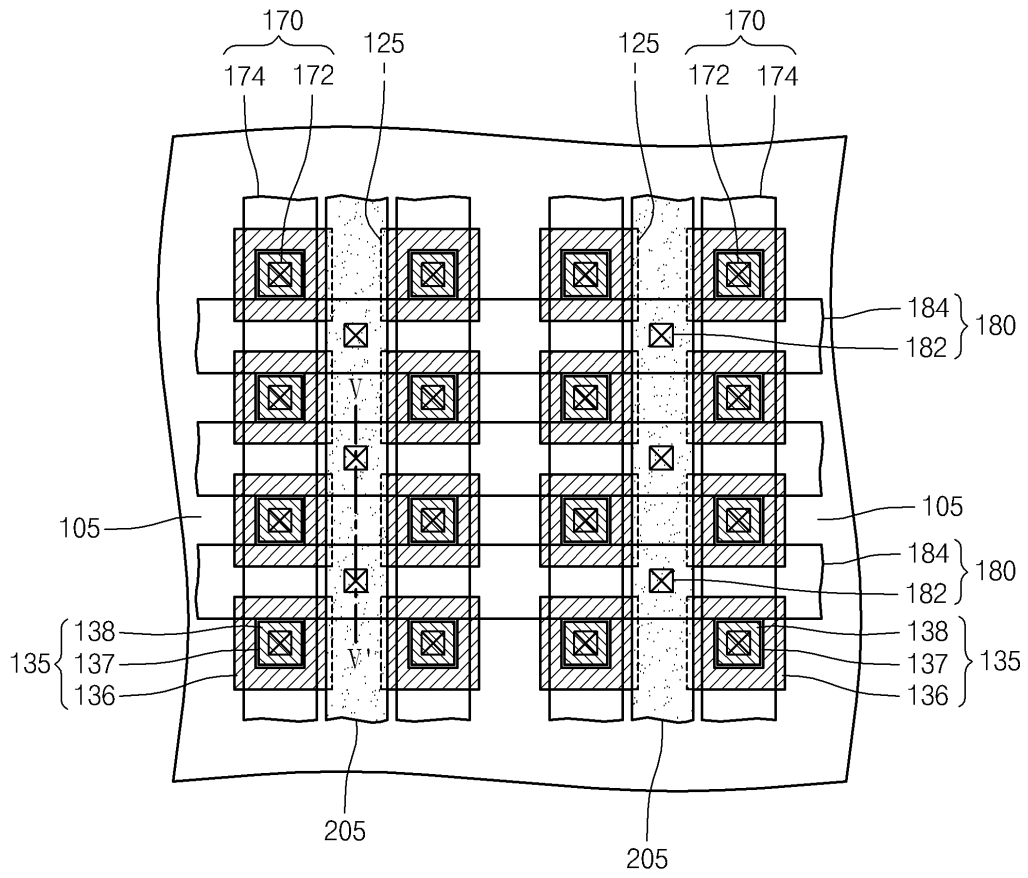
도면9a



도면9b

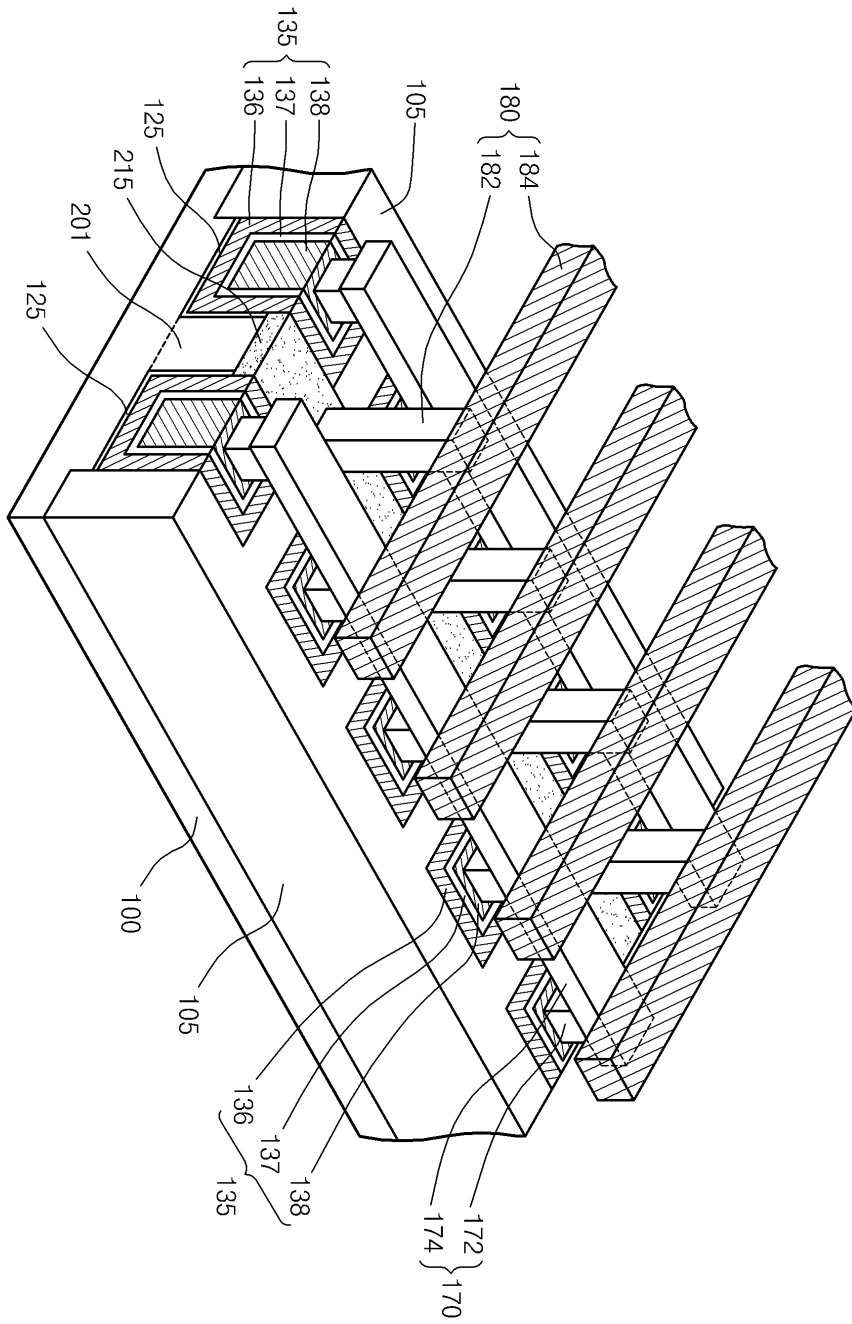


도면10a



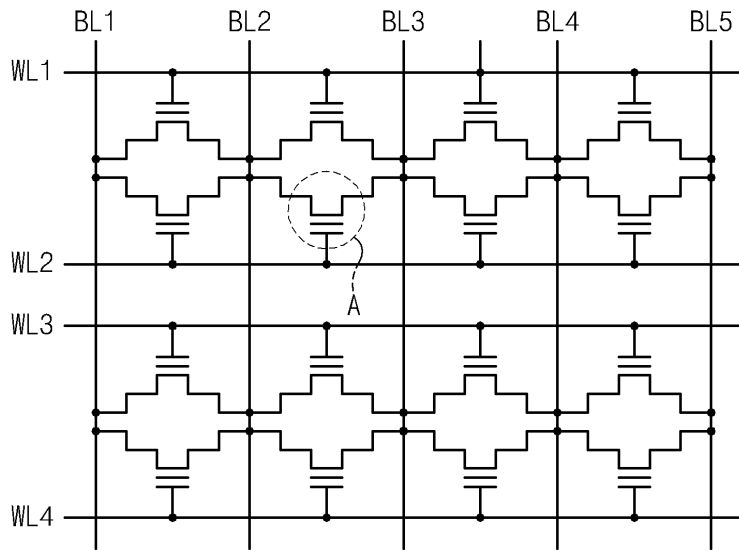


도면10b

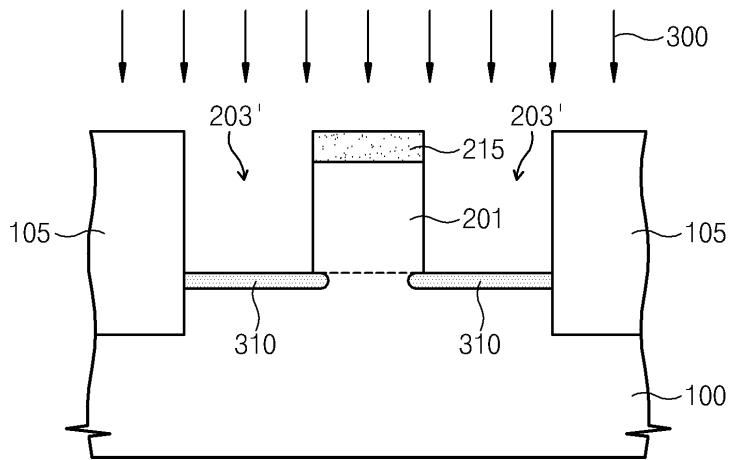




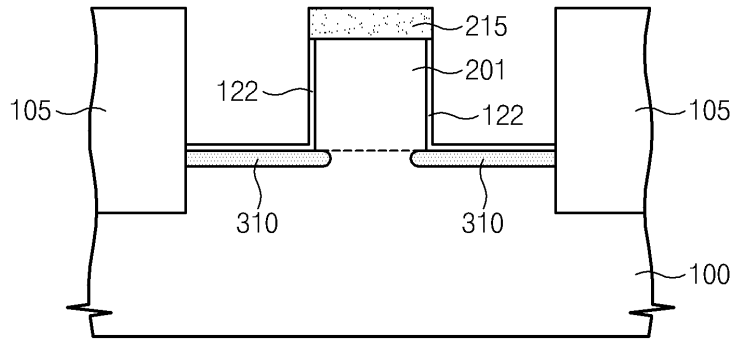
도면13



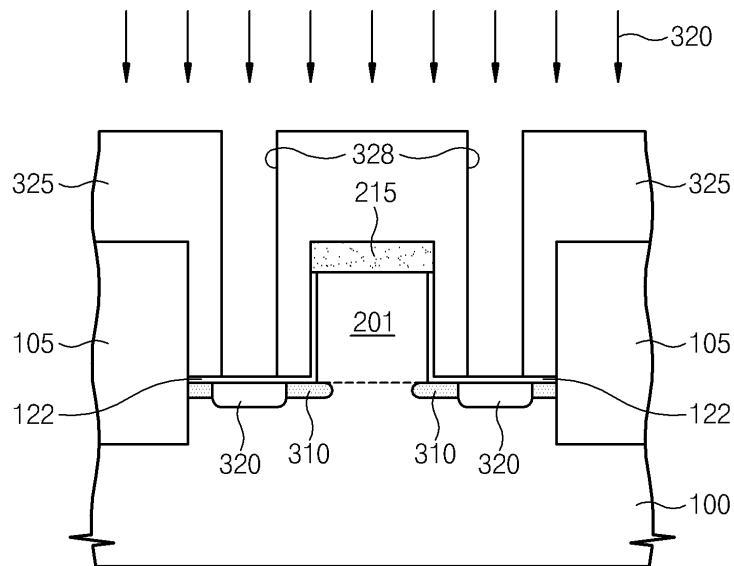
도면14a



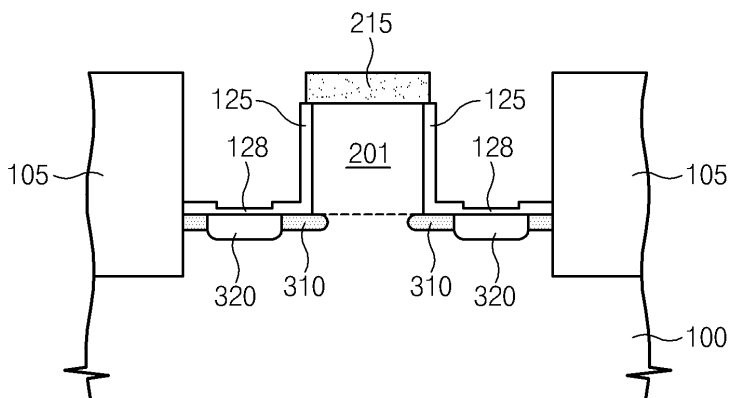
도면14b



도면14c



도면14d



도면15

