

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年5月14日(2009.5.14)

【公表番号】特表2008-541333(P2008-541333A)

【公表日】平成20年11月20日(2008.11.20)

【年通号数】公開・登録公報2008-046

【出願番号】特願2008-512275(P2008-512275)

【国際特許分類】

G 11 C 11/41 (2006.01)

G 11 C 15/04 (2006.01)

G 06 F 12/08 (2006.01)

【F I】

G 11 C 11/34 K

G 11 C 15/04 6 3 1 C

G 11 C 15/04 6 0 1 A

G 06 F 12/08 5 1 1 E

G 06 F 12/08 5 5 3 B

G 06 F 12/08 5 7 9

【手続補正書】

【提出日】平成21年3月27日(2009.3.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1端子及び第2端子を有し第1データ値を記憶するための第1記憶セルと、

第1端子及び第2端子を有し第2データ値を記憶するための第2記憶セルと、

前記第1記憶セル及び前記第2記憶セルの各々に接続され、それぞれ前記第1データ値及び前記第2データ値双方を前記第1記憶セル及び前記第2記憶セルに選択的に提供するための共用書き込みビット線であって、前記第1データ値及び前記第2データ値の書き込みは独立して行なわれる、共用書き込みビット線と、

前記第1記憶セルに接続され、前記第1記憶セルだけを選択的に読み出すための第1読み出しひビット線と、

前記第2記憶セルに接続され、前記第2記憶セルだけを選択的に読み出すための第2読み出しひビット線と、

からなる記憶回路。

【請求項2】

記憶回路であって、

第1端子及び第2端子を有し第1データ値を記憶するための第1記憶セルと、

第1端子及び第2端子を有し第2データ値を記憶するための第2記憶セルと、

第1記憶セルのみに選択的に書き込むために、第1記憶セルに接続された第1書き込みワード線と、

第2記憶セルのみに選択的に書き込むために、第2記憶セルに接続された第2書き込みワード線と、

前記第1記憶セルに接続された第1選択ゲート及び前記第2記憶セルに接続された第2選択ゲート、

前記第1記憶セルおよび前記第2記憶セルから第1データ値および第2データ値をそれぞれ供給すべく制御信号を選択的に供給するための、第1選択ゲート及び第2選択ゲートのそれぞれに接続された共用読み出しワード線と、

からなる記憶回路。

【請求項3】

記憶回路であって、

第1端子及び第2端子を有し第1データ値を記憶するための第1記憶セルと、

第1端子及び第2端子を有し第2データ値を記憶するための第2記憶セルと、

前記第1記憶セルおよび前記第2記憶セルそれぞれに第1データ値および第2データ値の両方を選択的に供給するために、前記第1記憶セルおよび前記第2記憶セルそれぞれに接続された共用書き込みビット線と、

前記第1記憶セルを選択的に読み込む第1読み込み選択ゲート、および前記第2記憶セルを選択的に読み込む第2読み出し選択ゲートと、

前記第1記憶セルおよび第2記憶セルのそれぞれを選択的に読み出すために、前記第1読み込み選択ゲートおよび第2読み出し選択ゲートのそれぞれに接続された共用読み出しビット線と、

からなる記憶回路。

【請求項4】

記憶回路であって、

第1端子及び第2端子を有し第1データ値を記憶するための第1記憶セルと、

第1端子及び第2端子を有し第2データ値を記憶するための第2記憶セルと、

前記第1記憶セルおよび前記第2記憶セルそれぞれに第1データ値および第2データ値の両方を選択的に供給するために、前記第1記憶セルおよび前記第2記憶セルにそれぞれ接続された共用書き込みビット線と、

前記第1記憶セルのみを選択的に読み出すために前記第1記憶セルに接続された第1読み出しビット線と、

前記第2記憶セルのみを選択的に読み出すために前記第2記憶セルに接続された第2読み出しビット線と、

前記第1記憶セルの第1端子に接続された第1選択ゲートと、

前記第2記憶セルの第2端子に接続された第2選択ゲートと、

前記第1選択ゲートに接続されて、第1選択ゲートが第1記憶セルに書き込むことを可能にする第1書き込みワード線と、

前記第2選択ゲートに接続されて、第2選択ゲートが第2記憶セルに書き込むことを可能にする第2書き込みワード線と、

からなる記憶回路。

【請求項5】

記憶回路であって、

第1端子及び第2端子を有し第1データ値を記憶するための第1記憶セルと、

第1端子及び第2端子を有し第2データ値を記憶するための第2記憶セルと、

前記第1記憶セルおよび前記第2記憶セルそれぞれに第1データ値および第2データ値の両方を選択的に供給するために、前記第1記憶セルおよび前記第2記憶セルにそれぞれ接続された共用書き込みビット線と、

前記第1記憶セルのみを選択的に読み出すために前記第1記憶セルに接続された第1読み出しビット線と、

前記第2記憶セルのみを選択的に読み出すために前記第2記憶セルに接続された第2読み出しビット線と、

前記第1記憶セルの第1端子に接続された第1選択ゲートと、

前記第2記憶セルの第2端子に接続された第2選択ゲートと、

前記第1選択ゲートに接続されて、第1選択ゲートが第1記憶セルに書き込むことを可能にする第1書き込みワード線と、

前記第2選択ゲートに接続されて、第2選択ゲートが第2記憶セルに書き込むことを可能にする第2書き込みワード線と、

前記第1選択ゲートに接続されて、第1選択ゲートが第1記憶セルに書き込むことを可能にする第1書き込みワード線と、

前記第1記憶セルの第2端子に接続されて、第1書き込みワード線によって制御される第3選択ゲートと、

前記第2記憶セルの第3端子に接続されて、第2書き込みワード線によって制御される第4選択ゲートと、

からなる記憶回路。

【請求項6】

データ記憶回路においてデータを処理するための方法であって、

第1端子及び第2端子を有する第1記憶セルに第1データ値を記憶する段階と、

第1端子及び第2端子を有する第2記憶セルに第2データ値を記憶する段階と、

それぞれ前記第1データ値及び前記第2データ値の双方を前記第1記憶セル及び前記第2記憶セルに選択的に提供するための共用書き込みビット線を前記第1記憶セル及び前記第2記憶セルの各々に接続する段階と、

前記第1記憶セルに接続された第1読み出しビット線を介して前記第1記憶セルだけを選択的に読み出す段階と、

前記第2記憶セルに接続された第2読み出しビット線を介して前記第2記憶セルだけを選択的に読み出す段階と、

が含まれる方法。

【請求項7】

データ記憶回路においてデータを処理するための方法であって、

第1データ値を記憶するために第1端子及び第2端子を有する第1記憶セルを提供する段階と、

第2データ値を記憶するために第1端子及び第2端子を有する第2記憶セルを提供する段階と、

前記第1データ値及び前記第2データ値の双方をそれぞれ前記第1記憶セル及び前記第2記憶セルに選択的に提供するために、前記第1記憶セル及び前記第2記憶セルの各々の第1端子に共用書き込みビット線を接続する段階と、

前記第1記憶セル及び前記第2記憶セルの各々を選択的に読み出すために、前記第1記憶セル及び前記第2記憶セルの各々に共用読み出しビット線を接続する段階と、からなる方法。

【請求項8】

第1データ値を記憶するために第1端子及び第2端子を有する第1記憶セルを提供する段階と、

第2データ値を記憶するために第1端子及び第2端子を有する第2記憶セルを提供する段階と、

前記第1データ値及び前記第2データ値の双方をそれぞれ前記第1記憶セル及び前記第2記憶セルに選択的に提供するために、前記第1記憶セル及び前記第2記憶セルの各々に接続された共用書き込みビット線を提供する段階であって、

前記第1データ値及び前記第2データ値の書き込みは独立して行なわれる方法。