

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成21年5月14日 (2009.5.14)

【公表番号】特表2008-541333(P2008-541333A)

【公表日】平成20年11月20日 (2008.11.20)

【年通号数】公開・登録公報2008-046

【出願番号】特願2008-512275(P2008-512275)

【国際特許分類】

G 1 1 C 11/41 (2006.01)

G 1 1 C 15/04 (2006.01)

G 0 6 F 12/08 (2006.01)

【F I】

G 1 1 C 11/34 K

G 1 1 C 15/04 6 3 1 C

G 1 1 C 15/04 6 0 1 A

G 0 6 F 12/08 5 1 1 E

G 0 6 F 12/08 5 5 3 B

G 0 6 F 12/08 5 7 9

【手続補正書】

【提出日】平成21年3月27日 (2009.3.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 端子及び第 2 端子を有し第 1 データ値を記憶するための第 1 記憶セルと、
 第 1 端子及び第 2 端子を有し第 2 データ値を記憶するための第 2 記憶セルと、
 前記第 1 記憶セル及び前記第 2 記憶セルの各々に接続され、それぞれ前記第 1 データ値
 及び前記第 2 データ値双方を前記第 1 記憶セル及び前記第 2 記憶セルに選択的に提供する
 ための共用書き込みビット線であって、前記第 1 データ値及び前記第 2 データ値の書き込
 みは独立して行なわれる、共用書き込みビット線と、

前記第 1 記憶セルに接続され、前記第 1 記憶セルだけを選択的に読み出すための第 1 読
 出しビット線と、

前記第 2 記憶セルに接続され、前記第 2 記憶セルだけを選択的に読み出すための第 2 読
 出しビット線と、

からなる記憶回路。

【請求項 2】

記憶回路であって、

第 1 端子及び第 2 端子を有し第 1 データ値を記憶するための第 1 記憶セルと、

第 1 端子及び第 2 端子を有し第 2 データ値を記憶するための第 2 記憶セルと、

第 1 記憶セルのみに選択的に書き込むために、第 1 記憶セルに接続された第 1 書き込み
 ワード線と、

第 2 記憶セルのみに選択的に書き込むために、第 2 記憶セルに接続された第 2 書き込み
 ワード線と、

前記第 1 記憶セルに接続された第 1 選択ゲート及び前記第 2 記憶セルに接続された第 2
 選択ゲート、

前記第 1 記憶セルおよび前記第 2 記憶セルから第 1 データ値および第 2 データ値をそれぞれ供給すべく制御信号を選択的に供給するための、第 1 選択ゲート及び第 2 選択ゲートのそれぞれに接続された共用読み出しワード線と、
からなる記憶回路。

【請求項 3】

記憶回路であって、

第 1 端子及び第 2 端子を有し第 1 データ値を記憶するための第 1 記憶セルと、

第 1 端子及び第 2 端子を有し第 2 データ値を記憶するための第 2 記憶セルと、

前記第 1 記憶セルおよび前記第 2 記憶セルそれぞれに第 1 データ値および第 2 データ値の両方を選択的に供給するために、前記第 1 記憶セルおよび前記第 2 記憶セルそれぞれに接続された共用書き込みビット線と、

前記第 1 記憶セルを選択的に読み込める第 1 読み込み選択ゲート、および前記第 2 記憶セルを選択的に読み込める第 2 読み出し選択ゲートと、

前記第 1 記憶セルおよび第 2 記憶セルのそれぞれを選択的に読み出すために、前記第 1 読み込み選択ゲートおよび第 2 読み出し選択ゲートのそれぞれに接続された共用読み出しビット線と、

からなる記憶回路。

【請求項 4】

記憶回路であって、

第 1 端子及び第 2 端子を有し第 1 データ値を記憶するための第 1 記憶セルと、

第 1 端子及び第 2 端子を有し第 2 データ値を記憶するための第 2 記憶セルと、

前記第 1 記憶セルおよび前記第 2 記憶セルそれぞれに第 1 データ値および第 2 データ値の両方を選択的に供給するために、前記第 1 記憶セルおよび前記第 2 記憶セルにそれぞれ接続された共用書き込みビット線と、

前記第 1 記憶セルのみを選択的に読み出すために前記第 1 記憶セルに接続された第 1 読み出しビット線と、

前記第 2 記憶セルのみを選択的に読み出すために前記第 2 記憶セルに接続された第 2 読み出しビット線と、

前記第 1 記憶セルの第 1 端子に接続された第 1 選択ゲートと、

前記第 2 記憶セルの第 2 端子に接続された第 2 選択ゲートと、

前記第 1 選択ゲートに接続されて、第 1 選択ゲートが第 1 記憶セルに書き込むことを可能にする第 1 書き込みワード線と、

前記第 2 選択ゲートに接続されて、第 2 選択ゲートが第 2 記憶セルに書き込むことを可能にする第 2 書き込みワード線と、

からなる記憶回路。

【請求項 5】

記憶回路であって、

第 1 端子及び第 2 端子を有し第 1 データ値を記憶するための第 1 記憶セルと、

第 1 端子及び第 2 端子を有し第 2 データ値を記憶するための第 2 記憶セルと、

前記第 1 記憶セルおよび前記第 2 記憶セルそれぞれに第 1 データ値および第 2 データ値の両方を選択的に供給するために、前記第 1 記憶セルおよび前記第 2 記憶セルにそれぞれ接続された共用書き込みビット線と、

前記第 1 記憶セルのみを選択的に読み出すために前記第 1 記憶セルに接続された第 1 読み出しビット線と、

前記第 2 記憶セルのみを選択的に読み出すために前記第 2 記憶セルに接続された第 2 読み出しビット線と、

前記第 1 記憶セルの第 1 端子に接続された第 1 選択ゲートと、

前記第 2 記憶セルの第 2 端子に接続された第 2 選択ゲートと、

前記第 1 選択ゲートに接続されて、第 1 選択ゲートが第 1 記憶セルに書き込むことを可能にする第 1 書き込みワード線と、

前記第 2 選択ゲートに接続されて、第 2 選択ゲートが第 2 記憶セルに書き込むことを可能にする第 2 書き込みワード線と、

前記第 1 選択ゲートに接続されて、第 1 選択ゲートが第 1 記憶セルに書き込むことを可能にする第 1 書き込みワード線と、

前記第 1 記憶セルの第 2 端子に接続されて、第 1 書き込みワード線によって制御される第 3 選択ゲートと、

前記第 2 記憶セルの第 3 端子に接続されて、第 2 書き込みワード線によって制御される第 4 選択ゲートと、

からなる記憶回路。

【請求項 6】

データ記憶回路においてデータを処理するための方法であって、

第 1 端子及び第 2 端子を有する第 1 記憶セルに第 1 データ値を記憶する段階と、

第 1 端子及び第 2 端子を有する第 2 記憶セルに第 2 データ値を記憶する段階と、

それぞれ前記第 1 データ値及び前記第 2 データ値の双方を前記第 1 記憶セル及び前記第 2 記憶セルに選択的に提供するための共用書き込みビット線を前記第 1 記憶セル及び前記第 2 記憶セルの各々に接続する段階と、

前記第 1 記憶セルに接続された第 1 読出しビット線を介して前記第 1 記憶セルだけを選択的に読み出す段階と、

前記第 2 記憶セルに接続された第 2 読出しビット線を介して前記第 2 記憶セルだけを選択的に読み出す段階と、

が含まれる方法。

【請求項 7】

データ記憶回路においてデータを処理するための方法であって、

第 1 データ値を記憶するために第 1 端子及び第 2 端子を有する第 1 記憶セルを提供する段階と、

第 2 データ値を記憶するために第 1 端子及び第 2 端子を有する第 2 記憶セルを提供する段階と、

前記第 1 データ値及び前記第 2 データ値の双方をそれぞれ前記第 1 記憶セル及び前記第 2 記憶セルに選択的に提供するために、前記第 1 記憶セル及び前記第 2 記憶セルの各々の第 1 端子に共用書き込みビット線を接続する段階と、

前記第 1 記憶セル及び前記第 2 記憶セルの各々を選択的に読み出すために、前記第 1 記憶セル及び前記第 2 記憶セルの各々に共用読出しビット線を接続する段階と、

からなる方法。

【請求項 8】

第 1 データ値を記憶するために第 1 端子及び第 2 端子を有する第 1 記憶セルを提供する段階と、

第 2 データ値を記憶するために第 1 端子及び第 2 端子を有する第 2 記憶セルを提供する段階と、

前記第 1 データ値及び前記第 2 データ値の双方をそれぞれ前記第 1 記憶セル及び前記第 2 記憶セルに選択的に提供するために、前記第 1 記憶セル及び前記第 2 記憶セルの各々に接続された共用書き込みビット線を提供する段階であって、

前記第 1 データ値及び前記第 2 データ値の書き込みは独立して行なわれる
方法。