(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월27일
(11) 등록번호 10-1011551
(24) 등록일자 2011년01월21일

(51) Int. Cl.
H01L 29/78 (2006.01)
(21) 출원번호 10-2008-0064175
(22) 출원일자 2008년07월03일
심사청구일자 2008년07월03일
(65) 공개번호 10-2009-0006745
(43) 공개일자 2009년01월15일
(30) 우선권주장
JP-P-2007-00183478 2007년07월12일 일본(JP)
(56) 선행기술조사문헌
KR100161498 B1*
JP2008053135 A
US4849798 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고
(72) 발명자
사사고 요시타카
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 1고가부시키가이샤 히타치세이사쿠쇼 치테키자이산켄혼부 나이
데라오 모토야수
일본국 도쿄토 니시타마군 히노데마치 히라이 2196반치 383
(뒷면에 계속)
(74) 대리인
특허법인 원전

전체 청구항 수 : 총 13 항 심사관 : 정두한

(54) 반도체 장치

(57) 요 약

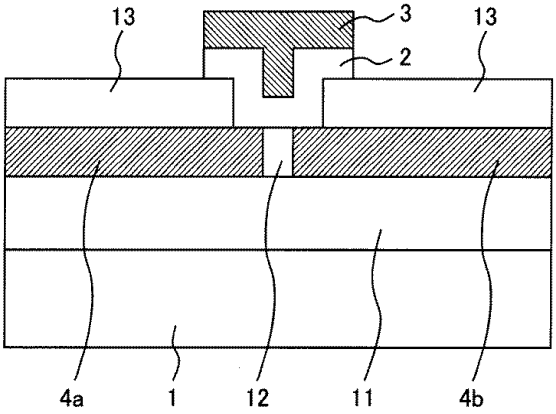
[과제]

3개 이상의 전극 사이의 접속을 전환할 수 있는 간단한 구조의, 소면적, 불 휘발, 고기능의 디바이스를 제공한다.

[해결 수단]

적어도 1개의 전극이, 고체 전해질막(2) 내부(中)를 이동하기 쉬운 동, 은 등을 포함하는 3개 이상의 전극을 가지고, 그 전극은 고체 전해질막을 사이에 두고 대향하며, 전압을 인가함으로써, 전극 사이에 도전 패스가 생성 또는 소멸 되어서 스위치 온/스위치 오프 동작을 시킨다. 또한, 두 전극 사이에 생성된 도전 패스는, 다른 제3 전극에 전압을 인가함으로써, 도전 패스로 연결된 두 전극 사이에 전압을 인가하는 일없이 소멸시키는 것이 가능한 반도체 장치.

대 표 도 - 도2



(72) 발명자

다카우라 노리카츠

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 1고 가부시키가이샤 히타치세이사쿠쇼 치테키자이산켄 혼부 나이

후지사키 요시히사

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 1고 가부시키가이샤 히타치세이사쿠쇼 치테키자이산켄 혼부 나이

고다마 토모유키

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 1고 가부시키가이샤 히타치세이사쿠쇼 치테키자이산켄 혼부 나이

아라사와 노부유키

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 1고 가부시키가이샤 히타치세이사쿠쇼 치테키자이산켄 혼부 나이

특허청구의 범위

청구항 1

삭제

청구항 2

반도체 기판 상에 설치되고, 제1 금속을 포함한 제1 전극과,

상기 제1 전극과 대향해서 설치되며, 상기 제1 금속과 다른 제2 금속을 포함하는 적어도 2개의 제2 전극과,

상기 제1 전극과 상기 적어도 2개의 제2 전극의 사이에 개재(介在)하는 제1 고체 전해질막을 갖고,

상기 제1 금속이, 전압 인가에 의해 이온화하며, 상기 제1 고체 전해질막 내부(中)를 이동하여 상기 이동 경로에 따라서 퇴적함으로써, 상기 제1 고체 전해질막 내부에 저저항 제1 도전 패스를 생성하는 금속이고,

상기 제1 전극과 상기 제1 고체 전해질막의 사이에 각각과 접해서 설치되고, 제3 금속을 고농도로 포함한 제2 고체 전해질막을 가지며,

상기 제3 금속이, 전압 인가에 의해 이온화하고, 상기 제2 고체 전해질막 내부를 이동함으로써, 상기 제2 고체 전해질막 내부에 저저항 제2 도전 패스를 생성하는 금속인 것을 특징으로 하는 반도체 장치.

청구항 3

제2 항에 있어서,

상기 저저항 제1 도전 패스는, 상기 제1 금속을 포함하여 이루어진 금속 필라멘트로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 4

제3 항에 있어서,

상기 제1 도전 패스가, 상기 제 1 및 제2 전극 사이에 전압을 인가하는 일 없이 지속적으로 유지되는 불휘발성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 5

제2 항에 있어서,

상기 제1 금속이, 동(銅)인 것을 특징으로 하는 반도체 장치.

청구항 6

제2 항에 있어서,

상기 제1 금속이, 은(銀)인 것을 특징으로 하는 청구항 반도체 장치.

청구항 7

제2 항에 있어서,

상기 제1 금속과 상기 제3 금속이, 동 또는 은인 것을 특징으로 하는 반도체 장치.

청구항 8

제2 항에 있어서,

상기 제1 금속이 텅스텐 또는 탄탈이고, 상기 제3 금속이 동 또는 은인 것을 특징으로 하는 반도체 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

제2 항에 있어서,

상기 제1 전극 및 상기 제2 전극의 적어도 어느 하나의 전극이, 상기 반도체

기판 상에 설치된 절연막으로의 매립 배선 또는 플러그로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12

제2 항에 있어서,

상기 제1 전극 및 상기 제2 전극의 적어도 어느 하나의 전극이, 상기 전극과

접하여 설치된 절연막과의 계면에, 상기 제 1 및 제2 전극에 포함되는 금속의 상기절연막으로의 확산을 억제하는 배리어 메탈을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 13

제12 항에 있어서,

상기 배리어 메탈이, Ti, TiN, Ta, 또는 TaN인 것을 특징으로 하는 반도체 장치.

청구항 14

삭제

청구항 15

반도체 기판 상에 설치된 적어도 3개의 전극을 갖고,

상기 적어도 3개의 전극의 어느 2개의 제1 및 제2 전극 사이에 인가되는 전압에 의해, 상기 제1 및 제2 전극 사이에 형성된 도전 패스를, 상기 제1 및 제2 전

극과는 다른 제3 전극과 상기 제 1 또는 제2 전극의 사이에 전압을 인가함으로써, 상기 제 1 및 제2 전극 사이에 전압을 인가하는 일 없이, 상기 제3 전극과 상기 제 1 또는 제2 전극의 사이에 형성된 상기 도전 패스와는 다른 도전 패스로 전환하는 것을 특징으로 하는 반도체 장치.

청구항 16

청구항 15에 기재된 반도체 장치를 구비하여 이루어진 복수의 셀로 구성된 어레이를 갖고,

상기 셀의 각각은, 전극 사이에 도전 패스를 생성할 시(時)에 양전압(陽電壓)이 인가되는 양극 전극과 음전압(陰電壓)이 인가되는 음극 전극을 구비하며,

상기 셀의 하나가 가지는 음극 전극 하나와, 상기 셀의 하나와는 다른 셀이 가지는 양극 전극 하나가 금속 배선으로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 17

제16 항에 있어서,

상기 셀의 하나가 가지는 음극 전극 하나와, 상기 셀의 하나가 가지는 양극 전극 하나의 사이에 전압 인가하여 도전 패스를 형성함으로써, 상기 셀의 하나가 가지는 양극 전극과, 상기 다른 셀이 가지는 양극 전극을 전기적으로 접속하고,

상기 전압 인가를 다른 복수의 셀에 적용함으로써, 상기 어레이 내의 복수의 셀이 소망하는 경로로 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은, 반도체 장치에 관한 것이며, 특히 전기적 전환이 가능한 불휘발성 로직 디바이스의 고집적화, 고성능화를 실현하는 기술, 그 응용인 인간에 가까운 기억 및 논리 판단 능력을 갖는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 종래의 CMOS로 구성된 로직 디바이스는, 면적이 크고, 전원 OFF 시(時)에 리셋되어 버린다는 결점이 있었다. 이에 대해서, 비특허문헌 1에서는 로직 디바이스의 일례인 크로스바 스위치로, 구성 요소인 SRAM과 패스 트랜지스터 중에서 면적이 크고 휘발성의 SRAM 부분을, 소면적(小面積)이고 불휘발인 고체 전해질 나노 스위치로 치환하는 것으로 문제를 해결하는 것이 제안되어 있다.

[0003] 또, 논리 디바이스가 진행된 응용처로서 인공 지능을 실현하는 시도인 뉴럴 네트워크(neural network)(비특허문헌 2)가 있다. 사람의 뇌에는, 경험을 바탕으로 신속히 판단하거나, 필요 사항만을 기억하거나 할 수 있다는 현재 최첨단 컴퓨터에서도 실현되어 있지 않은 뛰어난 기능이 있다. 이러한 기능을 실현하려고 하는 종래 기술이 뉴럴 네트워크인데, 지금까지의 시도에서는 기대할만한 성과는 얻지 못하고 있다.

[0004] [비특허문헌 1]「International Solid-State Circuits Conference」, 2004, p.290-529

[0005] [비특허문헌 2] Jeff Hawkins and Sandra Blakeslee, "On intelligence", Times Books (2004)

[0006] [비특허문헌 3] D. Atuti, T. Nakano and K. Nakada, An Element Circuit for Nonlinear Dynamical Systems Using Phase Variables, Brain-Inspired IT III, International Congress Series, Vol. 1301, pp. 156-156, Elsevier, July, 2007.

[0007] [비특허문헌 4] http://www.sat.t.u-tokyo.ac.jp/~kohno/lecturenotes.html

발명의 내용

해결 하고자하는 과제

[0008] 셀 사이의 배선 접속의 강도를 변화시키는 것으로 학습, 기억시키는 것이 뉴럴 네트워크이다. 하드웨어적 관점으로부터 종래의 뉴럴 네트워크는, 셀끼리를 복잡하게 배선으로 접속할 필요가 있었기 때문에, 고기능의 실현에 필수인 대규모화가 실현될 수 없었다.

[0009] 본 발명의 목적은, 3개 이상의 전극 사이의 접속을 전환할 수 있는 간단한 구조의 디바이스를 제공하여, 대규모인 로직을 소면적으로 실현하는 것에 있다.

[0010] 본 발명의 상기 및 그 외의 목적과 신규 특징은, 본 명세서의 기술(記述) 및 첨부 도면으로부터 밝혀질 것이다.

과제 해결수단

[0011] 본원에 있어서 개시되는 발명 중, 대표적인 것을 간단하게 설명하면, 다음과

[0012] 같다.

[0013] 본 발명의 반도체 장치는, 전압 인가에 의해 고체 전해질막 내부에 금속 필라멘트로 된 도전 패스의 생성/소멸에 의해, 고체 전해질막을 사이에 두고 대향하는 전극 사이를 스위칭시킨다. 또한, 본 발명의 반도체 장치는, 고체 전해질막을 사이에 두고 대향하는 전극은, 종래의 반도체 장치와 같이 2개가 아니고, 3개 이상이며, 게다가 그 중의 적어도 3개는 동일한 정도의 거리를 떨어져서 대향하고 있다. 또한 고체 전해질막을 사이에 두고 대향하고 있는 전극 중 1개 이상이 동, 은 등의 고체 전해질막 내부를 이동하기 쉬운 원자를 포함하거나, 또는 고체 전해질막의 일부에 동, 은 등의 고체 전해질막 내부를 이동하기 쉬운 원자를 고농도로 포함하는 것이다.

[0014] 또, 본 발명의 반도체 장치는, 스위칭 동작시킬 때에 대응하는 전극 사이에 전압을 인가한다. 즉 동, 은 등의

고체 전해질막 내부를 이동하기 쉬운 원자를 포함한 전극, 또는 동, 은 등의 고체 전해질막 내부를 이동하기 쉬운 원자를 포함하는 고체 전해질막의 부분에 근접해 있는 전극을 양극(陽極)이 되도록 함으로써, 고체 전해질막 내부에 이들 금속으로 된 필라멘트가 생성되고, 전자(電子) 도전 패스가 되며, 스위치 온 상태로 할 수 있다. 또한 반대 극성의 전압을 인가함으로써, 스위치 오프 동작시킨다. 본 발명의 반도체 장치는, 종래의 고체 전해질막을 이용한 이들 두 단자 사이(間)의 전압 인가에 의한 스위칭 동작에 더하여, 두 단자 사이에 생성된 도전 패스를 제3 전극에 전위를 인가하는 것만으로 소멸시킨다는 새로운 동작을 시키는 것이다.

효 과

[0015] 본원에 의해서 개시되는 발명 가운데, 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면, 이하와 같다.

[0016] 종래, 복잡한 구조였던 로직 디바이스를 고체 전해질을 이용한 단순한 구조의 디바이스로 작성함으로써, 디바이스의 소면적화에 의한 제조 비용의 저감이 가능하게 된다. 또한, 간단한 구조이므로 대규모화가 가능하고, 순간 인식, 판단 등 인간의 뇌의 뛰어난 기능을 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명의 실시형태를 도면에 근거해 상세히 설명한다. 또, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 가지는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0018] <실시예 1>

[0019] 도 1은, 본 발명의 실시예 1인 반도체 장치의 일례를 나타낸 일부 평면도이고, 도 2는 도 1에 있어서의 A-A선 단면도이다. 또, 도 1의 평면도에 있어서, 도면을 보기 쉽게 하기 위해서 일부의 부재는 생략하고 있다. 본 실시예의 반도체 장치는, 전기 저항이 높은 고체 전해질막 재료 내부에서 동(銅) 등의 금속 이온이 미세한 도전 패스를 형성함으로써 스위치 온 상태, 형성된 도전 패스가 소멸함으로써 스위치 오프 상태가 되는 현상을 이용한 스위치 디바이스이다. 상기 도전 패스의 생성/소멸은, 전극 사이에 인가된 전압에 의해 고체 전해질 재료 내부를 동(Cu) 등의 금속 이온이 이동하는 것으로 일어난다. 이 반도체 장치는, 절연막(11) 상에 형성된 텅스텐으로 형성된 전극(4a, 4b)과 그 사이를 절연하는 절연막(12), 절연막 (12)과 전극(4a, 4b) 상에 형성된 고체 전해질막(2)과 그 상부에 형성된 Cu전극 (3), 그리고 동(銅) 전극(3)이 매우 좁은 영역에서 고체 전해질막(2)을 사이에 두고 전극(4a, 4b)과 접근하도록 설치된 절연막(13)을 갖는다.

[0020] 본 실시예의 반도체 장치의 동작을 설명하기 위해서, 도 3과 같이 3개의 전극을 전극 1, 2, 3으로 정의한다. 도 3은, 3개의 전극이 모두 0V로, 고체 전해질막(2) 내부에서는 금속(Cu)으로 된 도전 패스가 생성되어 있지 않은 상태이다.

[0021] 도 3 상태로부터 전극 사이에 도전 패스를 생성하기 위해서는, 예를 들면 도 4(a)와 같이 전극 1, 2에는 0V, 전극 3에는 -2V 정도의 전위를 인가하여, 전극 1과 전극 3의 사이에 전위차가 생기게 한다. 전극 1(Cu전극(3))에 포함되는 Cu원자의 일부는, 고체 전해질(2)과의 경계에서 Cu+로 이온화하고 고체 전해질 내부에 생긴 전계에 의해 전극 3의 방향으로 이동한다. 이 반응이 진행되면, Cu원자는 고체 전해질 내부에서 필라멘트를 형성한다. 전극 1과 전극 3의 사이가 Cu의 필라멘트로 연결되면, 이 필라멘트가 전자 도전 패스(10)가 되어, 전극 1과 전극 3 사이의 전류가 비약적으로 증대한다. 이것이 스위치 온 동작이다. 생성된 도전 패스(10)는, 전극 3의 전위를 0V로 해도 계속 존재하는 불휘발인 것이다. 마찬가지로 도 3 상태로부터 도 4(b)와 같이 전극 2에 -2V 정도의 전위를 인가하면 도전 패스(10)가 전극 1과 전극 2의 사이에 형성되어 스위치 온 상태가 된다.

[0022] 반대로, 도 4(a)에서 생성되고 있는 도전 패스(10)를 절단하기 위해서는, 전극 1, 2에 0V, 전극 3에 +2V를 인가한다. 필라멘트를 형성하고 있는 Cu원자는 이온화(Cu+)하여 전계에 의해 고체 전해질(2) 내부를 전극 1의 방향으로 이동한다. 전극 1의 표면에 도달하면 Cu+로부터 Cu로 돌아와 전극의 일부를 형성한다. 이 반응이 진행되면, 필라멘트를 형성하고 있던 Cu원자가 감소하여, 이윽고 필라멘트는 소멸 또는 절단된다. 전자 전류의 도전 패스가 없어지기 때문에, 전극 1과 전극 3 사이의 전류는 격감한다. 이것이 스위치 오프 동작이다. 도전 패스가 절단된 스위치 오프상태는 전극(3)의 전압을 0V로 해도 유지된다. 마찬가지로 도 4(b)의 상태로부터 도 5(b)와 같이 전극 2에 +2V 정도의 전위를 인가하면 전극 1과 전극 2 사이에 형성된 도전 패스(10)가 절단되어, 스위치 오프 상태가 된다.

[0023] 실시예 1의 반도체 장치로, 전극 1-전극 2 사이, 전극 1-전극 3 사이, 전극 2-전극 3 사이의 거리를 동일한 정도, 예를 들어 수(數) 10nm 정도로 하면, 도 4, 5와 같은 두 전극 사이만의 스위치 온/스위치 오프 동작에 더

하여 전극 간(間)의 간섭 현상을 이용한 동작이 가능하게 된다.

[0024] 실시예 1의 반도체 장치를 도 4(a)의 방법으로 도 6(a)의 상태, 즉 전극 1-

[0025] 전극 3 사이를 온 상태로 전극 1-전극 2 사이를 오프 상태로 한다. 이 상태로, 전극 1, 3에 0V, 전극 2에 -2V의 전위를 인가한다. 그러면, 도 4(b)의 동작과 마찬가지로, 전극 1로부터 이온화한 동(Cu+)이 전극 2 쪽으로 고체 전해질막(2) 내부를 이동하여 Cu필라멘트를 형성한다. 전극 1-전극 2 사이가 Cu필라멘트로 연결되면 도전 패스(10)가 형성되고, 전극 1-전극 2 사이가 스위치 온 상태로 된다. 이와 동시에, 도 6(a)에서 필라멘트를 형성하고 있던 Cu원자는, 전극 2에 인가된 -2V의 영향으로 이온화되어 전극 2의 방향으로 고체 전해질막(2) 내부를 이동한다. 반응이 진행되면 필라멘트를 형성하고 있던 Cu원자가 감소하여 이윽고 절단된다. 즉, 전극 1-전극 3 사이는 스위치 오프 상태가 된다. 결과적으로 도 6(b)의 동작에서는, 전극 1-전극 3 사이에 전압을 가하는 일없이, 전극 1-전극 3 사이로부터 전극 1-전극 2 사이에 도전 패스(10)를 전환한다는 종래의 반도체 장치에는 없는 새로운 동작이 실현되고 있다.

[0026] 도 7~도 10은, 실시예 1의 반도체 장치의 제조 방법의 일례를 나타낸 단면도 및 평면도이다. 우선, 반도체 기판(1)을 준비한다(도 7(a)). 이어서, 절연막(11)을 예를 들면 화학기상성장법(Chemical Vapor Deposition(CVD))을 이용하여 200nm 정도 퇴적한다(도 7(b)). 계속해서, 예를 들면 텅스텐(4)을 CVD법을 이용하여 100nm 정도 퇴적한다(도 7(c)).

[0027] 다음으로 리소그라피와 드라이 에칭기술에 의해, 텅스텐막(4)을, 4a와 4b에 패터닝한다. 패터닝 형상의 평면도가 도 8(a), 도 8(a)의 A-A선 단면도가 도 8(b)이다. 다음으로, 실리콘산화막(12)을 CVD법으로 퇴적한다(도 9(a)). 이때, 도 8(a)와 (b)에서 패터닝된 텅스텐(4)의 스페이스가 실리콘산화막(12)으로 완전에 매립되게 된다.

[0028] 다음으로, 화학적 기계 연마(CMP)법을 이용해 실리콘산화막(12)의 일부를 제거하고, 텅스텐(4a, 4b)의 윗 표면을 노출시킨다(도 9(b)). 다음으로 실리콘산화막(13)을 100nm 정도 퇴적한다(도 9(c)).

[0029] 다음으로 리소그라피 드라이 에칭기술에 의해, 실리콘산화막(13)을 패터닝

[0030] 하여 스페이스를 형성한다. 이때, 텅스텐(4a, 4b) 윗 표면의 일부가 노출되도록 한다(도 10(a)).

[0031] 다음으로, 고체 전해질막(2)과 Cu막(3)을 스퍼터법 또는, CVD법으로 퇴적한다(도 10(b)). 고체 전해질막(2)으로는, 예를 들어 CuS_2, CuTaO, CuTaS 등을 이용할 수 있다.

[0032] 다음으로, 리소그라피와 드라이 에칭기술에 의해, Cu전극막(3)과 고체 전해질막(2)을 패터닝한다(도 10(c)).

[0033] 그 후, 도에는 나타내지 않았으나, 층간 절연막을 형성 한 후, Cu전극(3), 텅스텐 전극(4a, 4b)에 이르는 컨택트 홀 및, 반도체 기판(1) 상에 형성한 집적 회로의 컨택트 홀을 형성하고, 계속해서 금속막을 퇴적하여 이것을 패터닝해 배선으로 하여, 반도체 장치를 완성했다.

[0034] 본 실시의 반도체 장치는, 단순한 구조이므로 소면적이고, 게다가 불휘발 스위치이다. 종래의 CMOS를 이용한 대면적이고 휘발성 스위치와 비교하여, 제조 원가, 기능의 양면에서 더 우수할 수 있었다.

[0035] <실시예 2>

[0036] 실시예 1에서는, 고체 전해질막을 1층으로 형성하고, 전극의 하나(전극 3)를 확산하기 쉬운 원소 Cu로 형성하고 있었지만, 고체 전해질막을 2층으로 형성하여 한쪽을, 확산하기 쉬운 원소를 고농도로 포함하도록 하고, 또한 순수한 Cu전극을 이용하지 않는 것도 가능하다. 도 11은, 본 발명의 실시예 2인 반도체 집적 회로 장치의 일례를 나타낸 도 1의 A-A선 단면도이다.

[0037] 실시예 1과 동일하게 전극에 전압을 인가함으로써, Cu를 고농도로 포함한 고체 전해질막(8)으로부터 공급되는 Cu로 고체 전해질막(2)에 Cu필라멘트를 형성시키는 것, 고체 전해질막(2)에 생성된 Cu필라멘트의 Cu를 고체 전해질막(8)으로 되돌리는 것으로 Cu필라멘트를 소멸시킬 수 있다. 고체 전해질막(8)은 Cu원자를 많이 포함하며 저저항(低抵抗)이므로, 거의 전극의 일부라고 생각할 수 있다. 고체 전해질막(2) 내부에 Cu필라멘트를 생성/소멸시키는 것으로 스위치 온/스위치 오프 동작을 실현할 수 있다. 도 4에서부터 도 6과 동일한 전압 인가에 의해, 실시예 1의 반도체 장치와 같은 동작을 실현할 수 있다.

[0038] 고체 전해질막(2), 고체 전해질막(8)의 조합으로서는, 예를 들면, 고체 전해질막(2)/고체 전해질막(8)=CuTaO/CuTaS, CuTaO/CuS, WO_3/CuTaS, WO_3/CuS, Ta_2O_5/CuTaS, Ta_2O_5/CuS 등, 또 동(銅) 대신에 은(Ag)을 고체

전해질막 내부의 도전 패스가 되는 필라멘트 형성용 금속 원자로서 Ta_2O_5/Ag_2S 등이 가능하다.

[0039] 본 실시예 2의 반도체 장치는, 도 7~도 10에 나타낸 실시예 1의 반도체 장치제조 방법의 일례로, 고체 전해질막(2)을 고체 전해질막(2)과 고체 전해질막(8)의 적층에, Cu막(3)을 텅스텐막(4)으로 변경하는 것으로 제조 가능하다. 본 실시의 반도체 장치는, 단순한 구조이므로 소면적이고, 게다가 불휘발 스위치이다. 종래의 CMOS를 이용한 대면적이고 휘발성인 스위치와 비교하여, 제조 원가, 기능의 양면에서 더 우수할 수 있었다.

[0040] <실시예 3>

[0041] 실시예 1, 2에서는, 3개의 전극을 가지는 반도체 장치의 일례였지만, 전극의 수를 더욱 늘리는 것도 가능하다. 도 12(a)는 본 발명의 실시예 3인 반도체 집적 회로 장치의 일례를 나타낸 일부 평면도, 도 12(b)는 도 12(a)의 A-A선 단면도이다.

[0042] 실시예 1과 마찬가지로, 도전 패스가 고체 전해질막(2)에 생성되어 있지 않은 상태, 즉 모든 전극 사이가 스위치 오프 상태로, 예를 들면 전극 2에 -2V 정도의 전압을 인가하여 전극 1, 3, 4, 5를 0V로 하면, 전극 1과 전극 2의 사이에 도전 패스가 생성되어 스위치 온 상태가 된다. 생성된 도전 패스는 전극 2에 +2V, 전극 1, 3, 4, 5를 0V로 하면 절단, 또는 소멸가능하여 스위치 오프 상태로 할 수 있다.

[0043] 또한, 전극 1과 전극 2의 사이에 도전 패스가 생성되어 있으며, 그 밖에 도전 패스가 형성되어 있지 않은 상태로, 예를 들면 전극 3에 -2V를 인가하여 전극 1, 2, 4, 5를 0V로 하면, 전극 3에 인가된 -2V에 의한 전계에서 전극 1과 전극 2의 사이에 생성되어 있던 도전 패스가 소멸하며, 대신에 전극 1과 전극 3의 사이에 도전 패스가 생성된다. 결과적으로, 전극 1-전극 2 사이에 전위차가 생기는 일없이, 전극 1-전극 2 사이에서 전극 1-전극 3 사이로 도전 패스를 전환하는 동작이 실현된다.이러한 도전 패스의 변환 동작은, 전극 1-전극 2, 전극 1-전극 3, 전극 1-전극 4, 전극 1-전극 5의 모든 전극 사이에서 서로 행할 수 있다. 실시예 1, 2에서는 전극의 수는 3개, 본 실시예 3에서는 전극의 수는 5개이지만 더욱 전극 수를 늘리는 것도 물론 가능하다.

[0044] 또, 실시예 2와 마찬가지로 고체 전해질막(2)과 Cu전극의 조합 대신에, 고체 전해질막(2), 고체 전해질막(8), 텅스텐 전극(4)의 조합을 이용하는 일도 가능하다. 고체 전해질막(2), 고체 전해질막(8)의 조합에 대해서도 실시예 2와 동일한 것이 가능하다. 본 실시의 반도체 장치는, 단순한 구조이므로 소면적이며, 게다가 불 휘발 스위치이다. 종래의 CMOS를 이용한 대면적이고 휘발성인 스위치와 비교하여, 제조 원가, 기능의 양면에서 우수할 수 있었다.

[0045] <실시예 4>

[0046] 실시예 1, 2, 3에서는, 절연막(13)의 스페이스를 이용하여, 매우 좁은 범위만으로 고체 전해질막을 시이에 두고 전극 사이가 근접하도록 했지만, 상측 전극과 고체 전해질막의 미세 가공 기술을 이용할 수도 있다.

[0047] 도 13은, 본 발명의 실시예 4인 반도체 장치의 일례를 나타낸 일부 평면도이고, 도 14는 도 13에 있어서의 A-A선 단면도이다. 또, 도 13의 평면도에 있어서, 도면을 보기 쉽게 위해서 일부의 부재는 생략하고 있다. 본 실시예 4의 반도체 장치는, 실시예 2와 마찬가지로, 고체 전해질막(2, 8)의 하측에 텅스텐 전극이 2개(전극(4a)과 전극(4b)), 상측에 전극 1개(전극(104))를 갖는다. 동작 원리는 실시예 2와 동일하며, 또 동작 전압도 동일하다.

[0048] 본 실시예 4의 반도체 장치의 제조 방법은, 이하와 같다. 실시예 1의 도 9(a)의 뒤, 고체 전해질막(2), 고체 전해질막(2)보다 Cu를 고농도로 포함하고 저저 항율인 고체 전해질막(8), 텅스텐막(104)을 퇴적한다(도 15). 그 후, 리소그라피와 드라이 에칭기술을 이용하여, 텅스텐막(104), 고체 전해질막(8), 고체 전해질막(2)을 순서대로 패터닝한다.

[0049] 그 후, 도면에는 도시하지 않았지만, 층간 절연막을 형성한 후, 텅스텐 전극(4a, 4b, 104)에 이르는 컨택트 홀 및, 반도체 기판(1) 상에 형성한 집적 회로의 컨택트 홀을 형성하고, 이어서 금속막을 퇴적해 이것을 패터닝하여 배선으로 해서, 반도체 장치를 완성했다.

[0050] 본 실시의 반도체 장치는, 단순한 구조이므로 소면적이고, 게다가 불휘발 스위치이다. 종래의 CMOS를 이용한 대면적이고 휘발성인 스위치와 비교하여, 제조 원가, 기능의 양면에서 우수할 수 있었다.

[0051] <실시예 5>

[0052] 도 16은, 본 발명의 실시예 5인 반도체 장치의 일례를 나타낸 일부 평면도이고 17 (a)과 (b)는 각각 도 16에 있어서의 A-O-C선 단면도, A-O-B선 단면도이다. 또, 도 16의 평면도에 있어서, 도면을 보기 쉽게 하기 위해서

일부의 부재는 생략하고 있다. 본 실시예의 반도체 장치는, 실시예 1, 2, 3과 마찬가지로 전기 저항이 높은 고체 전해질막 내부에서 Cu 등의 금속 이온이 미세한 도전 패스를 생성함으로써 스위치 온 상태, 형성된 도전 패스를 소멸시킴으로써 스위치 오프 상태가 되는 현상을 이용한 스위치 디바이스이다. 상기의 도전 패스의 생성/소멸은, 전극 사이에 인가하는 전압에 의해 고체 전해질막 내부를 Cu 등의 금속 이온이 이동하는 것으로 발생시킨다.

[0053] 본 실시예 5의 반도체 장치는, 절연막(11)과 절연막(11)에 형성된 홈(溝) 내에 매립된 텅스텐 전극(4a, 4b)과, 마찬가지로 절연막(11)에 형성된 홈 내에 매립된 Cu전극(3)과, 상기 전극(4a, 4b, 3)이 근접하고 있는 부분을 덮는 고체 전해질막(2)을 갖는다.

[0054] 도 18과 같이 3개의 전극을 전극 1, 2, 3으로 정의한다. 도 18은, 3개의 전극이 모두 0V로, 고체 전해질막(2) 내부에는 금속(Cu)으로 된 도전 패스가 형성되어 있지 않은 상태이다. 본 실시예의 반도체 장치는, 전극 1, 2, 3에 실시예 1에서 설명한 도 4, 도 5, 도 6과 동일한 전압을 인가함으로써, 고체 전해질막(2) 내부의 도전 패스의 생성/소멸에 의한 스위치 온/스위치 오프 동작이 가능하다. 실시예 1과 마찬가지로, 스위치 온 상태, 스위치 오프 상태 모두 불휘발이며, 전극으로의 전압 인가를 멈추어도 유지된다.

[0055] 도 19~도 24는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 단면도 및 평면도이다. 우선, 반도체 기판(1)을 준비한다(도 19(a)). 계속해서 절연막 (11)을, 예를 들어 CVD법을 이용하여 200nm 정도 퇴적한다(도 19(b)). 이어서, 리소그라피와 드라이 에칭기술에 의해, 절연막(11) 내부에 100nm 정도의 깊이 홈(Trench)를 2개 형성한다. 이러한 틈은 후공정(後工程)에서, 전극(4a, 4b)이 형성되는 스페이스이다. 이 상태에서의 평면도가 도 20(a), 도 20(a)의 A-A선 단면도가 도 20(b)이다.

[0056] 다음으로, 예를 들면 텅스텐막(4)을 홈이 완전히 매립되도록 퇴적한다(도 21(a)). 이때 배리어 메탈을 홈 표면에 퇴적해 두면, 텅스텐 원자가 불필요하게 절연막(11) 내부로 확산하는 것을 막을 수 있다. 배리어 메탈에는 예를 들어 Ti, TiN의 적층막을 이용할 수 있다.

[0057] 다음으로, CMP법을 이용하여 텅스텐막(4)의 일부를 제거하고, 실리콘산화막(11)의 윗 표면을 노출 시킨다(도 21(b)). 실리콘산화막(11)의 윗 표면을 노출시킴으로써, 도 20(a)와 (b)에서 형성한 2개의 홈에 매립된 텅스텐(4a, 4b)은 남지만, 4a와 4b는 서로 실리콘산화막(11)에 의해 분리된다.

[0058] 다음으로, 리소그라피와 드라이 에칭기술에 의해, 절연막(11) 내부에 100nm 정도 깊이의 홈(Trench)을 1개 형성한다. 이 홈은 후공정에서, Cu전극(3)이 형성 되는 스페이스이다. 이 상태에서의 평면도가 도 22(a), 도 22(a)의 A-O-B선 단면도가 도 22(b)이다. 다음으로, 예를 들면 동막(3)을 홈이 완전히 매립되도록 퇴적 한다(도 23(a)). 이때 배리어 메탈을 홈 표면에 퇴적해 두면, Cu원자가 불필요하게 절연막(11) 내부로 확산하는 것을 막을 수 있다. 배리어 메탈에는, 예를 들어 Ta, TaN의 적층막을 이용할 수 있다.

[0059] 다음으로, CMP법을 이용해 Cu막(3)의 일부를 제거하고, 실리콘산화막(11)의 윗 표면과 텅스텐 전극(4a, 4b)의 윗 표면을 노출 시킨다(도 23(b)). 실리콘산화막(11)의 윗 표면과 텅스텐 전극(4a, 4b)의 윗 표면을 노출시킴으로써, 텅스텐 전극(4a, 4b), Cu전극(3)은 서로 실리콘산화막(11)에 의해 분리된다.

[0060] 다음으로, 고체 전해질막(2)을 스퍼터법 또는, CVD법으로 퇴적한다(도 24(a)). 다음으로, 리소그라피와 드라이 에칭기술에 의해, 고체 전해질막(2)을 패터닝한다(도 24(b)). 그 후, 도면에는 도시되어 있지 않지만, 층간 절연막을 형성한 후, 텅스텐 전극(4a, 4b)과 Cu전극(3)에 이르는 컨택트 홀 및, 반도체 기판(1) 상에 형성한 집적회로의 컨택트 홀을 형성하고, 이어서 금속막을 퇴적해, 이것을 패터닝하여 배선으로 해서, 반도체 장치를 완성했다.

[0061] 본 실시의 반도체 장치는, 단순한 구조이므로, 소면적이고 게다가 불휘발 스위치이다. 종래의 CMOS를 이용한 대면적이고 휘발성인 스위치와 비교하여, 제조 원가, 기능의 양면에서 우수할 수 있었다.

[0062] <실시예 6>

[0063] 도 25는, 본 발명의 실시예 6인 반도체 장치의 일례를 나타낸 일부 평면도이고, 도 26은 도 25에 있어서의 A-A선 단면도이다. 또, 도 25의 평면도에 있어서, 도면을 보기 쉽게 하기 위해서 일부의 부재는 생략하고 있다.

[0064] 본 실시예의 반도체 장치는, 실시예 1~5와 마찬가지로 전기 저항이 높은 고체 전해질막 재료 내부에서 Cu 등의 금속 이온이 미세한 도전 패스를 생성함으로써 스위치 온 상태, 생성된 도전 패스가 소멸함으로써 스위치 오프 상태가 되는 현상을 이용한 스위치 디바이스이다. 상기 도전 패스의 생성/소멸은, 전극 사이에 인가한 전압으로

고체 전해질재료 내부를 Cu 등의 금속 이온이 이동하는 것에 의해 발생된다.

[0065] 이 스위치 디바이스는, 절연막(11)과 절연막(11) 상에 적층된 텅스텐 전극(4), 절연막(12), 텅스텐 전극(104), 절연막(13), 고체 전해질막(2)과 고체 전해질막(2)보다도 Cu를 고농도로 포함하고 저저항율인 고체 전해질막(8), 그리고 상기 2개의 텅스텐 전극과는 고체 전해질막(2, 8)을 사이에 두고 대향한 1개의 텅스텐 전극(204)을 갖는다. 도 27과 같이 3개의 전극을 전극 1, 2, 3으로 정의한다. 도 27은, 3개의 전극이 모두 0V로, 고체 전해질막(2) 내부에는 금속(동)으로 된 도전 패스가 생성되어 있지 않은 상태이다.

[0066] 본 실시예의 반도체 장치는, 전극 1, 2, 3에 대해서, 실시예 2에서 설명한 것과 동일한 전압 인가를 행함으로써, 고체 전해질막(2) 내부의 도전 패스의 생성/소멸에 의한 스위치 온/스위치 오프 동작이 가능하다. 실시예 2와 마찬가지로, 스위치 온 상태, 스위치 오프 상태 모두 불휘발이며, 전극으로의 전압 인가를 멈추어도 유지된다.

[0067] 도 28~도 35는, 본 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 단면도 및 평면도이다.

[0068] 우선, 반도체 기판(1)을 준비한다(도 28(a)). 이어서, 절연막(11)을 200nm 정도, 텅스텐 전극(4), 절연막(12), 텅스텐막(104), 절연막(13)을, 예를 들면 CVD법을 이용해 100nm 정도씩 퇴적한다(도 28(b)). 이어서, 리소그라피와 드라이 에칭기술에 의해, 절연막(13), 텅스텐막(104), 절연막(12), 텅스텐막(4)을 줄무늬(stripe) 모양으로 패터닝한다. 이 상태에서의 평면도가 도 29(a), 도 29(a)의 B-B선 단면도가 도 29(b)이다.

[0069] 다음으로 절연막(14)을 상기 줄무늬 모양으로 패터닝된 절연막(13), 텅스텐 막(104), 절연막(12), 텅스텐막(4)이 완전히 매립되도록 퇴적한다(도 30(a)). 다음으로, CMP법을 이용하여 절연막(14)의 일부를 제거하고, 절연막(13)의 윗 표면을 노출시킨다(도 30(b)).

[0070] 다음으로, 리소그라피와 드라이 에칭기술에 의해, 상기 줄무늬 형상의 적층막을 패터닝한다. 이 단계에서의 평면도가 도 31, 도 31의 A-A선 단면이 도 32(a), B-B선 단면이 도 32(b)이다. 다음으로, 고체 전해질막(2), 고체 전해질막(2)보다도 동을 고농도로 포함하고 저저항율인 고체 전해질막(8)을 스퍼터법 또는, CVD법으로 퇴적한다(도 33(a)). 이때 고체 전해질막(2)과 고체 전해질막(8)의 적층막의 두께가 텅스텐막(4)의 두께와 동일해지도록 하면 좋다. 다음으로, 텅스텐 막(204)을, 예를 들면 스퍼터법으로 퇴적한다(도 33(b)). 다음으로, 레지스트(20)를 도포한다(도 34(a)).

[0071] 다음으로, 에치백(etch back)에 의해 레지스트(20)의 일부를 제거하여 텅스텐막(204)의 표면을 노출시킨다(도 34(b)). 다음으로 텅스텐막(204)만을 선택적으로 에칭하여 고체 전해질막(8)에 접하고 있는 부분의 표고(標高)가 텅스텐막(104)의 아래 표면과 거의 같아지도록 한다(도 35(a)). 레지스트를 제거하면 도 35(b)가 된다.

[0072] 그 후, 도면에는 도시되어 있지 않지만, 층간 절연막을 형성 한 후, 3개의 텅스텐전극(4, 104, 204)에 이르는 컨택트 홀 및, 반도체 기판(1) 상에 형성한 집적 회로의 컨택트 홀을 형성하고, 이어서 금속막을 퇴적해 이것을 패터닝하여 배선으로 해서, 반도체 장치를 완성했다.

[0073] 본 실시의 반도체 장치는, 단순한 구조이므로, 소면적이고 게다가 불휘발 스위치이다. 종래의 CMOS를 이용한 대면적이고 휘발성인 스위치와 비교하여, 제조 원가, 기능의 양면에서 우수할 수 있었다.

[0074] <실시예 7>

[0075] 실시예 1에서 6과 같은 반도체 장치는, 기호적(記號的)으로는 도 36(a)과 같이 나타낼 수 있다. 도전 패스 생성 시(時)(스위치 온 동작 시)의 양극을○, 음극을 □로 나타내고 있다. 도 36(b)은 전극 A-C 사이의 스위치 온 동작, 도 36(c)은, 전극 A-C 사이의 도전 패스를 전극 A-B 사이에서의 전환 동작을 나타내고 있다. 이 반도체 장치를 복수 개 사용하여, 도 37과 같이 반도체 장치의 도전 패스 생성 시의 양극(陽極)과 다른 반도체 장치의 도전 패스 생성 시의 음극을 금속 배선으로 접속하여 어레이를 구성할 수 있다.

[0076] 도 38과 같이, 반도체 장치의 1개 전극에 예를 들어 -2V를 인가하면, 도전 패스가 복수의 반도체 장치 내에서 형성되어, 장거리(長距離) 도전 패스가 동시생성될 수 있다. 또, 도 38에서 도전 패스가 생성된 상태로, 도 39와 같이 다른 전극에 예를 들어 -2V를 인가하면, 새롭게 도전 통과가 생성됨과 동시에, 도전 패스가 소멸하는 개소가 생겨서, 장거리 도전 패스 전체의 변환이 생긴다. 본 실시예의 반도체 장치는, 다단의 로직 스위치 오프 전환을 순간에 행하는데 적합한 반도체 장치였다.

[0077] <실시예 8>

[0078] 고체 전해질막 내부를 Cu, Ag 등의 금속이 이동하여, 이들 Cu나 Ag의 필라멘트를 생성/소멸시키는 것에 의한 스

위칭 현상은, 대뇌 신피질에서 볼 수 있는 신경 세포끼리의 시냅스 결합의 생성/소멸과 유사하다. 시냅스 결합은, 신경 세포의 흥분 상태(전위펄스 발진상태)를 접속처의 신경 세포로 전하지만, 흥분 상태의 전달에 사용되는 빈도에 따라서 접속이 강화되거나 약해지거나 한다. 이 접속 강도의 변화가, 학습에 대응하고 있다고 생각할 수 있다. 실시예 1에서 6과 같은 스위칭 디바이스를 서로 접속하여 신경 세포끼리의 시냅스 결합을 모방하는 것이 가능하다.

[0079] 신경 세포는 복수(수천~수만)의 시냅스가 1개의 신경 세포에 접속되어 있다는 뜻으로 다입력(多入力)이다. 또 흥분 상태를 다른 신경 세포로 전하는 축색(軸索)은 1개의 신경 세포당 1개만 존재 하지만, 도중(途中)에 다수의 분기를 하여, 분기처의 선단(先端)에서 다른 신경 세포로 시냅스 접속하고 있는 의미로 다출력이다.

[0080] 펄스 전압의 다입력과 다출력을 모방하기 위한 회로는, 예를 들어 도 40과 같이 구성할 수 있다. 도 40은 신경 세포 1개에 대응하고 있어서, 입력 1, 2, 3에는 다른 신경세포를 모방한 회로로부터의 펄스 전압이 입력된다.

[0081] 이 셀 회로(신경 세포 대응 회로)는, 복수의 입력을 적분하는 블록(적분 콘덴서의 부근), 신경 세포의 종류나 기능 등에 대응하는 문턱치를 외부로부터 줄 수 있는 컴퍼레이터 회로 블록(「문턱치 입력」이 들어가 있는 부근), 펄스 발생기로부터의 펄스 파형과, 영역의 신경 세포의 흥분 정도를 외부로부터 올리고 내리는 넓은 의미의 신경전달물질의 실효적 총량에 대응하는 DC바이어스와의 합계를 입력하는 회로 블록(「신경전달물질 대응 입력」이 들어가 있는 부근), 입력의 적분치를 출력 펄스 열(列)의 지속 시간으로 변환하는 회로 블록(컴퍼레이터 회로 블록으로부터의 출력 신호에 의해, 도면의 중앙부로 스위치를 제어하고 있는 부근), 1쇼트(1shot) 회로로, 펄스 열 종료 후의 쉬는 시간을 결정하는 회로, 및 이온 스위치에 접속하는 분기 출력 블록(출력 1~3)으로 구성된다. 1쇼트 중에 콘덴서가 충전되고, 1쇼트가 끝나면 복수의 스위치가 동기하여 전환되므로, 입력의 적분치에 의해 전압 레벨이 컴퍼레이터 레벨을 순간적으로 넘기고, 적분 콘덴서가 병렬 저항으로 방전됨으로써, 축전기의 축전량에 대응하는 시간 뒤에 컴퍼레이터 레벨을 밑돌 때까지, 출력 측에 접속되는 이온 스위치에 안정적인 이온 도전 패스를 형성하는데 충분한 펄스가 출력된다.

[0082] 각 입력, 출력에 오페앰프가 1개씩 넣어져 있지만, 이들은 임피던스를 매칭 시키기 위한 것으로, 그 이외의 회로에서 미리 고려해 두면 필요하지 않다. 입력, 출력 측의 오페앰프를 제거하고 생각하면, 출력 분기의 몇 개가 이미 이온 스위치에 의해서 다른 신경 세포 회로에 접속되어 있는 경우, 접속처의 신경 세포 회로의 입력 측은 높은 전압 레벨로 유지되고 있으므로, 그쪽으로 전류가 흐르지 않고, 미접속의 신경 세포를 향하여 전류가 흘러, 이온 접속이 형성된다. 셀 회로 사이의 접속을, 다른 처리에서는 가능한 한 공유하지 않도록 하는 점이, 종래의 뉴럴 네트워크와 다르다.

[0083] 이와 같이 선착순으로 확률적으로 형성되는 시냅스 접속이지만, 유효한 것은 살아 남고, 의미가 없는 것은 서서히 끊어짐으로써 최적화가 행해진다. 실제의 신경 세포 네트워크에서는, 유효한 것은 상위 계층에 신호가 전해져 좋은 것으로 판단되면, 보수(報酬)로서 그 네트워크 영역의 신경전달물질의 실효적 총량을 증가시키고, 또 그 영역의 혈류량(血流量)을 증가시키며, 활성화하는 피드백 기구가 존재 하므로, 시냅스 접속도 강화된다. 이 피드백 입력에 의한 활성화의 역할을, 상기의 신경전달물질 대응 회로 블록이 완수한다. 이 역할은 종래의 뉴럴 네트워크의 교사(敎師) 신호의 역할과 닮았지만, 정부(正否)를 판정하여 개별 셀 회로의 입력으로 공급하는 것이 아니라, 영역을 활성화하고 있는 점이 다르다.

[0084] 신경전달물질 대응 회로 블록에 상위 계층으로부터 주는 보수는, 미리 결정된 범위의 셀 회로군에게 주면 좋고, 활성화해야 할 실제 네트워크의 범위와 다소 어긋나 있어도, 해당 네트워크의 영역 내의 셀 회로 사이에는 상호 출력 전달도 있으므로, 올바른 범위가 활성화한다고 생각할 수 있다. 이 회로 블록으로의 입력 파 형은, 전압이 상하 교대로 반복하는 근방의 셀 회로용으로 통일된 클록으로 생성 된 펄스 전압과 보수에 대응하는 DC바이어스 전압으로 이루어진다. 실제의 신경 세포에서는 개개의 셀 회로가 발화(흥분)하면 펄스를 내지만, 전기 회로에서는 위상차에 의해 맥놀이(beat)를 생성하여 강한 잡음을 발생하거나 불안정해 지거나 하는 우려가 있으므로 이와 같이 했다.

[0085] 최초의 이온 접속 형성 시에는, DC바이어스 전압은 거의 0(zero)이므로, 시냅스 대응 부분에 이온 도전 패스를 형성하려고 하는 플러스 전압과 마이너스 전압이 번갈아 동작 하지만, 전극의 형상 및 재질의 비대칭으로부터, 플러스 전압의 경우에는 임펙트 이온화로 캐리어가 증배(增倍)되는 것에 의한 전류가 상대적으로 많이 흐르고, 그것을 계기로 약하게 이온 도전 패스가 형성되어 유지된다. 바람직한 논리 처리가 가능한 네트워크가 생성된 경우는 보수 DC바이어스 전압이 더해지는 것으로, 이온 도전 패스가 강화된다. 시냅스 접속의 강화에 대응한다. DC바이어스 전압은, 이미 존재하는 이온 접속을 강화하지만, 새롭게 생성할 것은 없는 정도의 값(値)으로 한다.

[0086] 한편, 컴퍼레이터 회로 블록은, 컴퍼레이터 레벨의 오르내림에 의해서, 복수 입력의 하나로 흥분 상태가 되어 출력을 내는지, 복수로 흥분 상태가 되어 출력을 내는지, 즉 디지털 논리 회로의 OR나 AND에 가까운 처리를 할 수도 있다. 출력을 내지 않는 셀 회로가 존재하는 것은, 셀 회로의 네트워크로 처리되는 정보의 과도한 착종(錯綜)에 의한 혼란을 막기 위해서 중요하다.

[0087] 도면의 회로에서는 실제의 신경 세포보다 1자리수 이상 빠른 동작이 가능인 것을 확인했다. 이 실험에서는 신경전달물질 대응의 DC바이어스 전압으로서는 마이너스의 전압을 인가했다.

[0088] 이 회로의 출력 파형은, 신경 세포의 버스트(예를 들면, 비특허문헌 4 참조)로 불리는 일정시간 펄스 열(列)을 내는 흥분 상태에 대응하고 있다. 컴퍼레이터 입력은 일정이라도 좋지만, 반복해서 구형파(矩形波)를 입력해도 좋다. 실제 신경 세포의 출력 파형은 정방향(正方向)으로 크고, 부방향(負方向)으로 작은 것과 같이 정부(正負) 비대칭이지만, 시작(試作) 회로의 출력 파형은 기본적으로 신경전달물질 대응 블록에 넣는 펄스 파형에 의존하기 때문에, 신경 세포가 흥분 시에 발(發)하는 펄스 전압 파형에 맞추는 것이 가능하다. 예를 들면 버스트 출력만을 내는 신경 세포를 모의(模擬)하는 경우, 다소 출력 신호는 변화하지만 입력으로부터의 입력 이외의 2개의 입력 신호는 1개로 해도 좋다.

[0089] 입력 펄스의 시간차를 중시하는 종래의 셀 회로 STDP(시냅스 타이밍 지연 펄스 회로)의 예가 (예를 들면, 비특허문헌 3을 참조)에 기술되어 있다. 본 보고의 경우, 버스트를 구성하는 개개의 펄스는, 소정의 범위, 예를 들어, 대뇌 신피질의 미세주상(微細柱狀) 구조인 칼럼에 상당하는 영역의 셀 회로에는 동일한 펄스 발진 회로로부터 펄스가 공급되므로 거의 동기(同期)한다. 그러나, 버스트의 시작과 끝은 셀 회로마다 다르다. 따라서, 버스트 위상의 동기가 의미를 가짐으로써, 전두전야(前頭前野)의 신경 세포로의 복수 입력의 위상 동기에 의한 종합 판단 등도 모의(模擬)가능하다고 생각할 수 있다.

[0090] 다음으로 시냅스 대응 부분과의 접속에 대하여 기술한다. 고체 전해질 내의 금속 이온의 전계 이동의 패턴에는, 적어도 2개의 패턴이 있다. 하나는 고체 전해질 내부에서 금속의 플러스 이온이 움직이기 쉬운, 즉 모빌리티가 높은 장소이다. 이 경우, 금속 이온 농도가 높은 도전 패스가 처음은 형성 되지 않고, 쌍전극, 즉 음극에 금속 이온이 대량에 퇴적하면, 그 피크가 양극까지 달하여, 도전 패스가 된다. 또 하나는 금속의 플러스 이온이 움직이기 어려운 경우이다.

[0091] 이 경우, 금속 이온은 막 중에서 상대적으로 빈틈이 많은 장소에 밀려 들어가, 필라멘트 모양의 도전 패스를 형성한다. 후자가, 시냅스 접속의 모의에는 적합하다고 생각된다. 이온 스위치 어레이에서는, 쌍전극을 2가지며, 서로 전계가 오버랩하고 있으므로, 1개의 쌍전극으로의 접속, 이어서 또 하나의 쌍전극으로의 접속 시에 횡전계(橫電界)에 의한 원래 접속의 절단이라는 동작이 가능하다. 이들 쌍전극에는, 각각의 셀 회로의 출력이 접속되어 있다. 쌍전극에 대향하는 기본전극이, 다음 층의 셀 회로의 입력에 접속되어 있다.

[0092] 일반적으로는, 쌍전극을 베이스 전극의 비스듬히 위쪽인 다각형의 정점에 상당하는 위치에 다수 배치하고, 임의의 하나 또는 복수의 전극과 이온 도전 패스로 접속하며, 또한 전환이 가능하다고 생각할 수 있다.

[0093] 본 발명의 셀 회로는, 아래와 같은 이유로 이온 스위치를 동작시키는데 적합 하다고 생각된다.

[0094] 1. 전압이 정부 방향으로 방향을 돌릴 수 있는 버스트 상태의 펄스 열(列)을 발생하므로, 고체 전해질 내부의 이온을 움직여 도전 패스를 형성하기 쉽다.

[0095] 2. 도전 패스가 생성될지 끊어질지는 신경전달물질 대응 입력의 DC바이어스에 의해서 결정하는 것이 가능.

[0096] 3. 입력 측의 오페앰프를 생략하면, 주목하고 있는 셀 회로와, 그 앞의 이미 적분 콘덴서에 전하가 축적되어 있는 셀 회로의 입력 전극의 사이에는 전위차가 생기지 않기 때문에, 자동적으로 미사용 셀 회로로의 이온 접속이 형성된다.

[0097] 일정 시간에 있어서의 입력 펄스의 적분치에 따라서, 회로의 출력 파형과 고체 전해질 스위칭 소자로의 인가 전압이 도 41과 같이 결정된다.

[0098] 이 출력펄스가 동일하게 구성된 다음 회로의 입력이 된다. 복수의 회로를 서로 접속시킨 회로를 동작시키면, 각 회로의 고체 전해질 스위칭 소자의 저항을 변화시킬 수 있다. 저항의 변화는, 고체 전해질막 내부에 형성되는 금속 필라멘트의 굵기에 의존한다. 이 저항의 변화를 학습으로 간주할 수 있다. 이러한 회로끼리의 접속을 대규모화함으로써, 사람의 대뇌 신피질이 가지는 뛰어난 기능을 반도체로 실현 할 수 있는 가능성이 있다.

산업이용 가능성

[0099] 본 발명의 반도체 장치는, 로직 디바이스의 스위치 부분 전반에 이용하는데 가장 적합한 것이며, 또한 장래적으로는, 뇌기능을 실현하는 반도체 장치에 이용하는데 가장 적합할 것이다.

도면의 간단한 설명

[0100] 도 1은, 본 발명의 실시예 1과 실시예 2인 반도체 장치의 일례를 나타낸 일부 평면도이다.

[0101] 도 2는, 본 발명의 실시예 1인 반도체 장치의 일례를 나타낸 일부 단면도(도 1의 A-A선 단면)이다.

[0102] 도 3은, 본 발명의 실시예 1인 반도체 장치의 스위치 오프 상태를 나타낸 일부 단면도(도 1의 A-A선 단면)이다.

[0103] 도 4는, (a)와 (b)는, 본 발명의 실시예 1인 반도체 장치의 스위치 온 동작을 나타낸 일부 단면도(도 1의 A-A선 단면)이다.

[0104] 도 5는, (a)와 (b)는, 본 발명의 실시예 1인 반도체 장치의 스위치 오프 동작을 나타낸 일부 단면도(도 1의 A-A선 단면)이다.

[0105] 도 6은, (a)는, 본 발명의 실시예 1인 반도체 장치에서 전극 1 - 전극 3 사이가 온, 전극 1 - 전극 2 사이가 오프인 상태를 나타낸 일부 단면도(도 1의 A-A

[0106] 선 단면)이고, (b)는, 본 발명의 실시예 1인 반도체 장치의 접속 전환 동작을 나타낸 일부 단면도(도 1의 A-A선 단면)이다.

[0107] 도 7은, (a)~(c)는, 실시예 1의 반도체 장치의 제조 방법의 일례를 나타낸 단면도이다.

[0108] 도 8은, (a)는, 실시예 1의 반도체 장치의 제조 방법의 일례를 나타낸 평면도이고, (b)는, 실시예 1의 반도체 장치의 제조 방법의 일례를 나타낸 단면도이다.

[0109] 도 9는, (a)~(c)는, 실시예 1의 반도체 장치의 제조 방법의 일례를 나타낸 단면도이다.

[0110] 도 10은, (a)~(c)는, 실시예 1의 반도체 장치의 제조 방법의 일례를 나타낸 단면도이다.

[0111] 도 11은, 본 발명의 실시예 2인 반도체 장치의 일례를 나타낸 일부 단면도(도 1의 A-A선 단면)이다.

[0112] 도 12는, (a)는, 본 발명의 실시예 3인 반도체 장치의 일례를 나타낸 일부 평면도이고, (b)는, 도 12(a)의 A-A선 단면도이다.

[0113] 도 13은, 본 발명의 실시예 4인 반도체 장치의 일례를 나타낸 일부 평면도이다.

[0114] 도 14는, 본 발명의 실시예 4인 반도체 장치의 일례를 나타낸 일부 단면도이다. 도 13에 있어서의 A-A선 단면도이다.

[0115] 도 15는, 실시예 4의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0116] 도 16은, 본 발명의 실시예 5인 반도체 장치의 일례를 나타낸 일부 평면도이다.

[0117] 도 17은, (a)은, 본 발명의 실시예 5인 반도체 장치의 일례를 나타낸 일부 단면도(도 16의 A-O-C선 단면)이고, (b)는, 본 발명의 실시예 5인 반도체 장치의

[0118] 일례를 나타낸 일부 단면도(도 16의 A-O-B선 단면)이다.

[0119] 도 18은, 본 발명의 실시예 5인 반도체 장치의 스위치 오프 상태를 나타낸 일부 평면도이다.

[0120] 도 19는, (a)와 (b)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0121] 도 20은, (a)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 평면도이고, (b)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다. 도 20(a)의 A-C선 단면도이다.

[0122] 도 21은, (a)와 (b)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0123] 도 22는, (a)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 평면도이고, (b)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다. 도 22 (a)의 A-O-B선 단면도이다.

[0124] 도 23은, (a)와 (b)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0125] 도 24는, (a)로(b)는, 실시예 5의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0126] 도 25는, 본 발명의 실시예 6인 반도체 장치의 일례를 나타낸 일부 평면도이다.

[0127] 도 26은, 본 발명의 실시예 6인 반도체 장치의 일례를 나타낸 일부 단면도이다. 도 25에 있어서의 A-A선 단면도이다.

[0128] 도 27은, 본 발명의 실시예 6인 반도체 장치의 스위치 오프 상태를 나타낸 일부 평면도이다.

[0129] 도 28은, (a)와 (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0130] 도 29는, (a)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 평면도이고, (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다. 도 29 (a)에 있어서의 B-B선 단면도이다.

[0131] 도 30은, (a)와 (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0132] 도 31은, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 평면도이다.

[0133] 도 32는, (a)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다. 도 31의 A-A선 단면도이고, (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다. 도 31의 B-B선 단면도이다.

[0134] 도 33은, (a)와 (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0135] 도 34는, (a)와 (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0136] 도 35는, (a)와 (b)는, 실시예 6의 반도체 장치의 제조 방법의 일례를 나타낸 일부 단면도이다.

[0137] 도 36은, (a)는, 실시예 7의 반도체 장치의 어레이를 구성하는 반도체 장치를 기호화하여 표시한 일례이고, (b)는, 실시예 7의 반도체 장치의 어레이를 구성하는 반도체 장치의 전극 A-전극 C 사이의 스위치 온 동작을 나타낸 것이며, (c)는, 실시예 7의 반도체 장치의 어레이를 구성하는 반도체 장치의 전극 A-전극 C 사이의 도전 패스를 전극 A-전극B 사이에 전환 동작을 나타낸 것이다.

[0138] 도 37은, 실시예 7의 반도체 장치의 어레이 구성의 일례이다.

[0139] 도 38은, 실시예 7의 반도체 장치의 도전 패스 전환 동작의 일례이다.

[0140] 도 39는, 실시예 7의 반도체 장치의 도전 패스 전환 동작의 일례이다.

[0141] 도 40은, 신경 세포를 모방 한 셀(CELL) 회로도이다.

[0142] 도 41은, 도 40의 회로의 입출력 관계를 나타낸 도이다.

[0143] [부호의 설명]

[0144] 1 … 반도체 기판(실리콘 기판),

[0145] 2 … 고체 전해질막,

[0146] 3 … 동, 은 등의 확산하기 쉬운 원자를 포함한 전극,

[0147] 4, 4 a, 4 b, 4 c, 4 d, 104, 204 … 텅스텐, 백금 등의 불활성 금속재료로 형성된 전극,

[0148] 8 … 동, 은 등의 확산하기 쉬운 원자를 고체 전해질막(2)보다도 고농도로 포함하고, 저저항율인 고체 전해질막,

[0149] 10 … 금속으로 된 도전 패스,

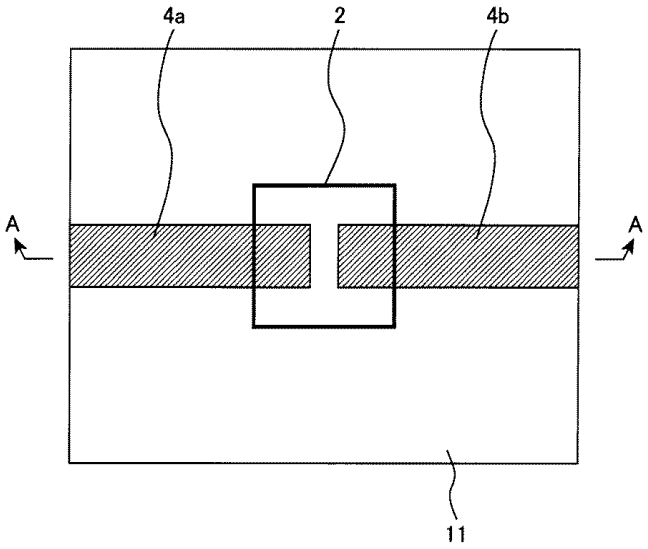
[0150] 11, 12, 13, 14 … 절연막,20 … 레지스트,

[0151] Trench … 홈,

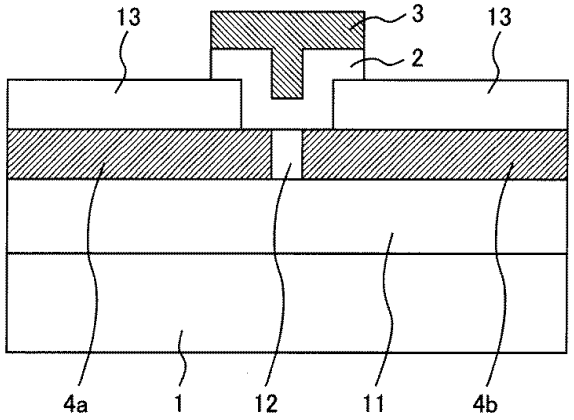
[0152] 전극 1, 전극 2, 전극 3, 전극 4, 전극 5 … 전극,

도면

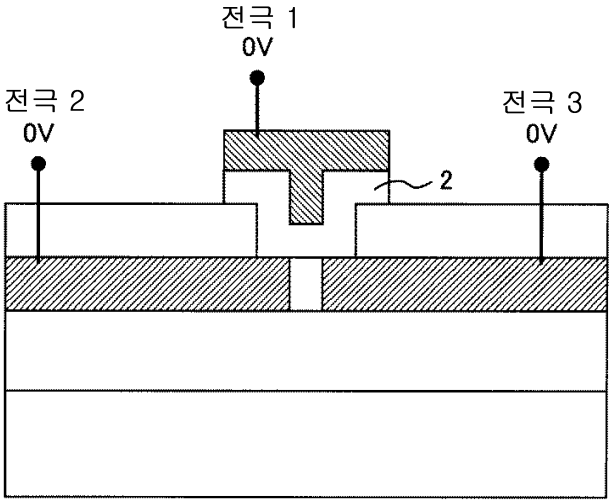
도면1



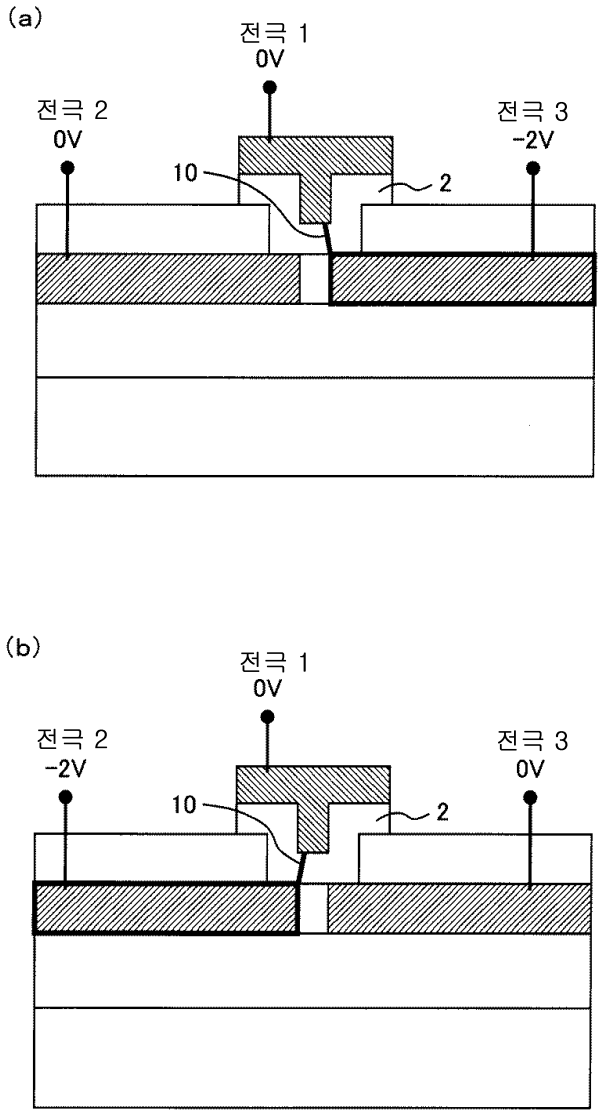
도면2



도면3

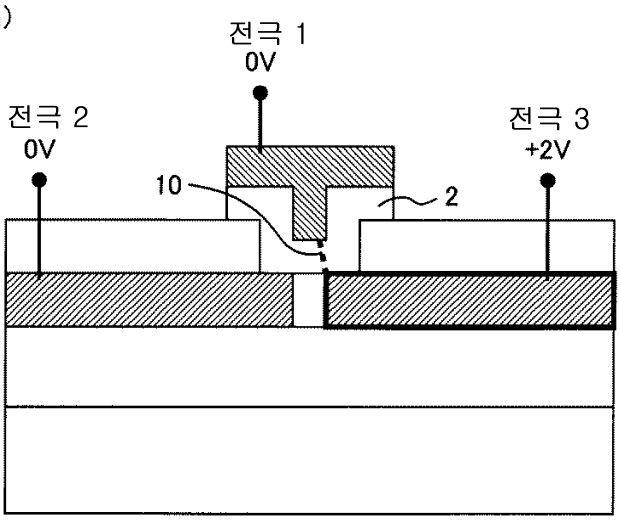

전극 1
0V
전극 2
0V
전극 3
0V
2

도면4

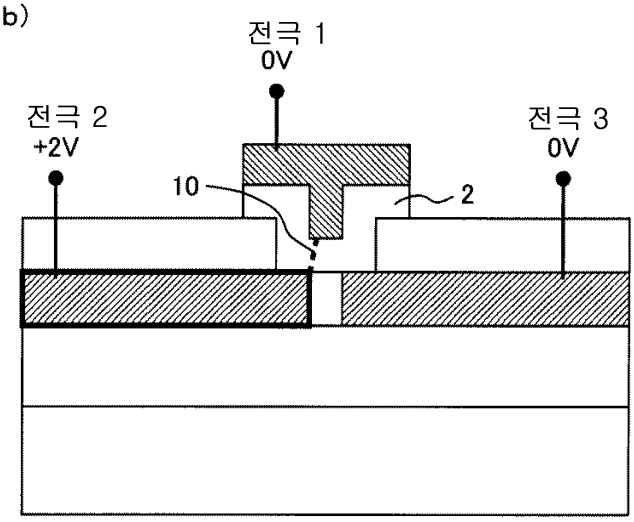

(a)
전극 1
0V
전극 2
0V
전극 3
-2V
10
2
(b)
전극 1
0V
전극 2
-2V
전극 3
0V
10
2

도면5

(a)

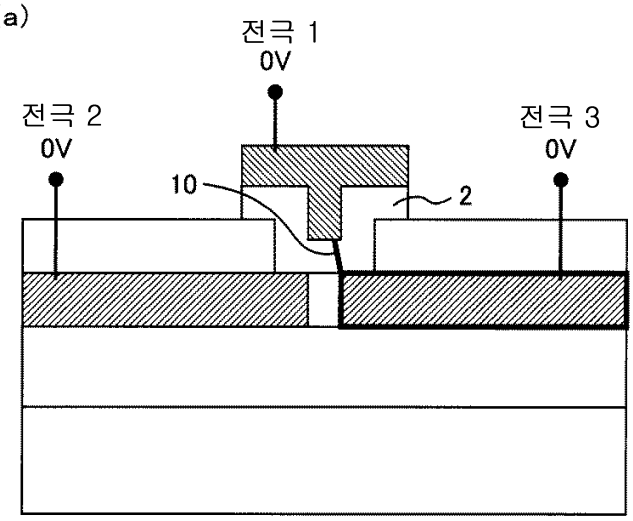


(b)

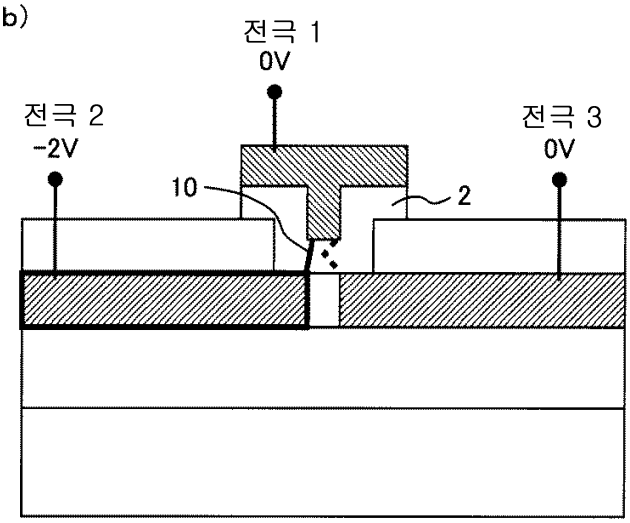


도면6

(a)



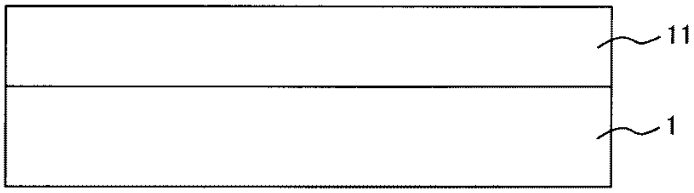
(b)



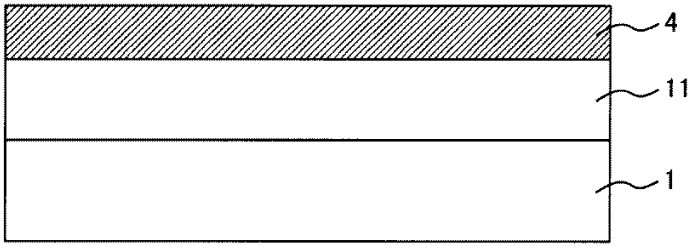
도면7

(a)

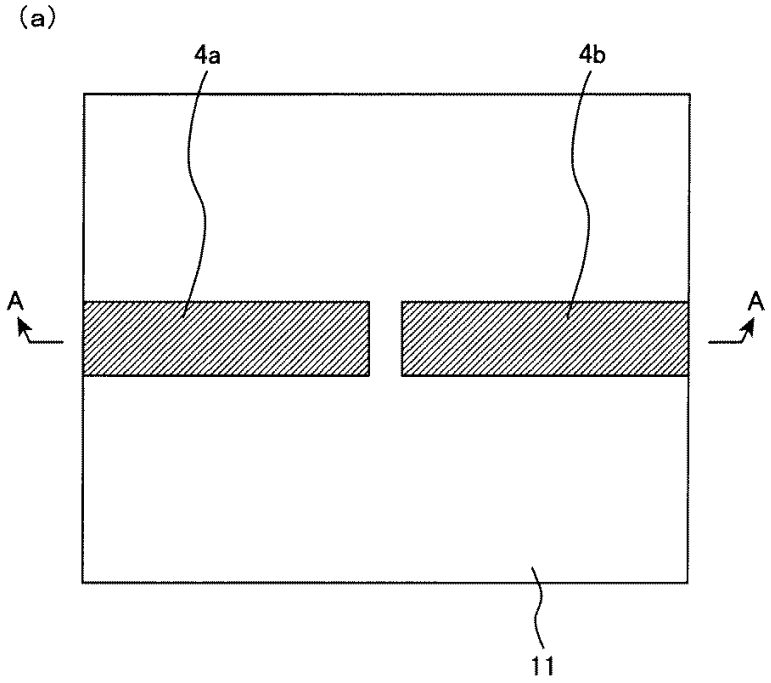
(b)

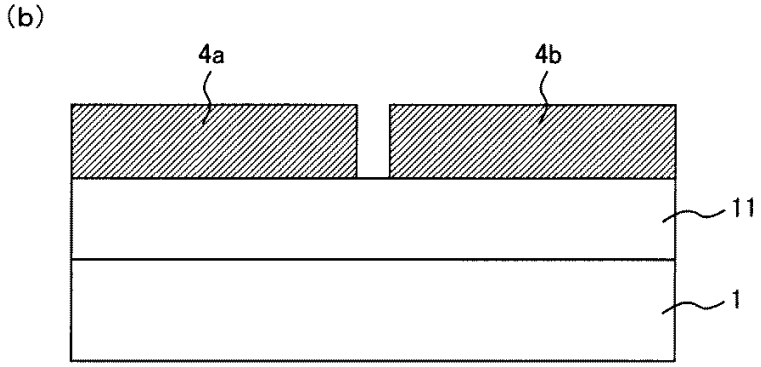


(c)



도면8

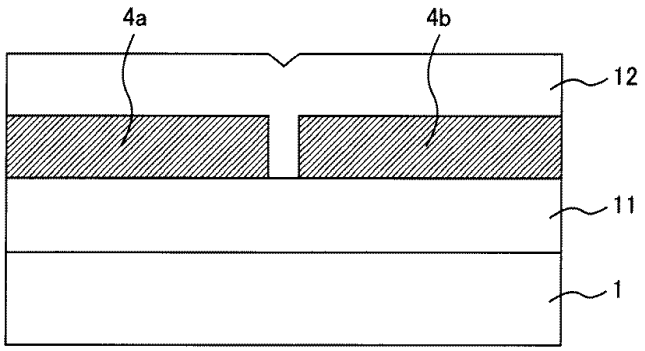




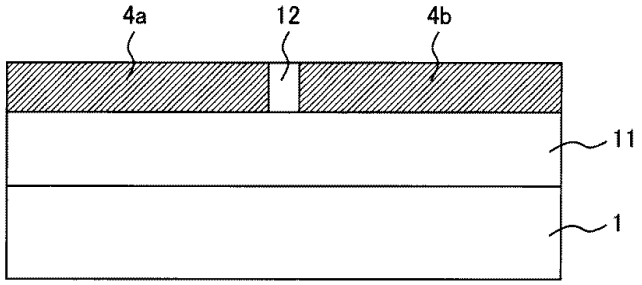
A-A 단면

도면9

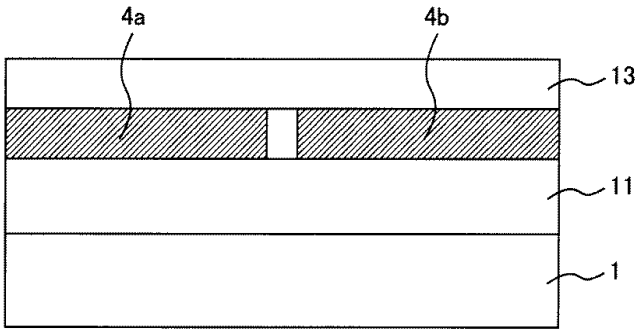
(a)



(b)

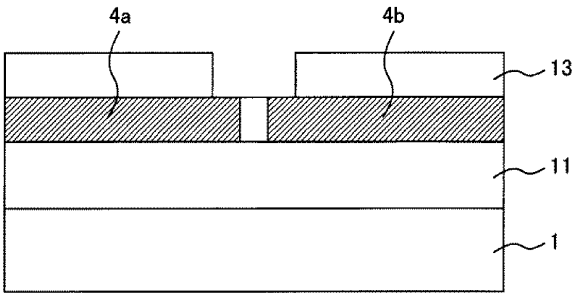


(c)

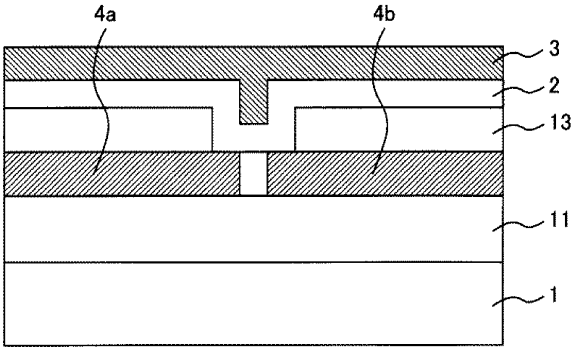


도면10

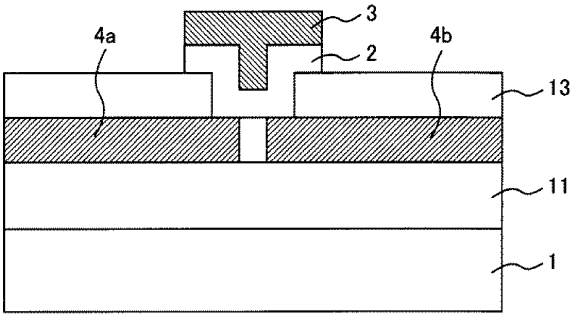
(a)



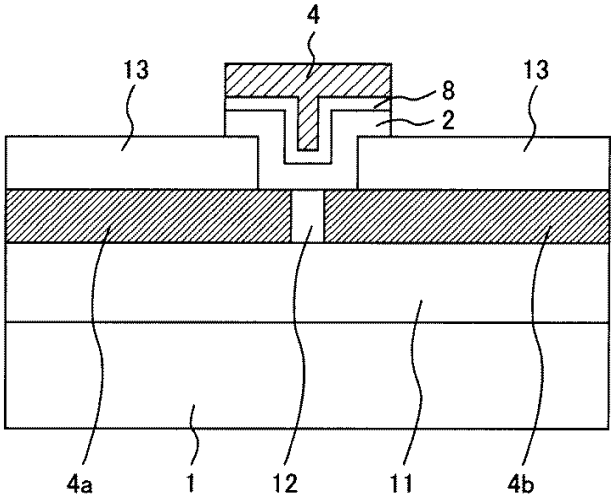
(b)



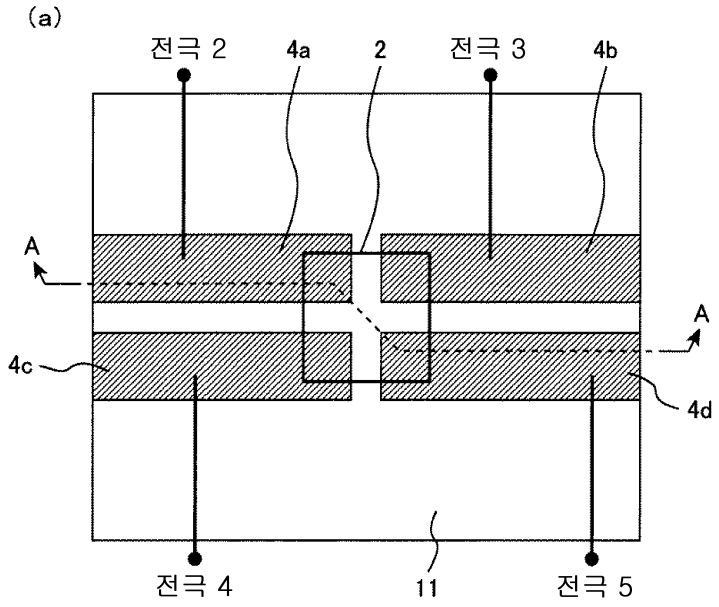
(c)

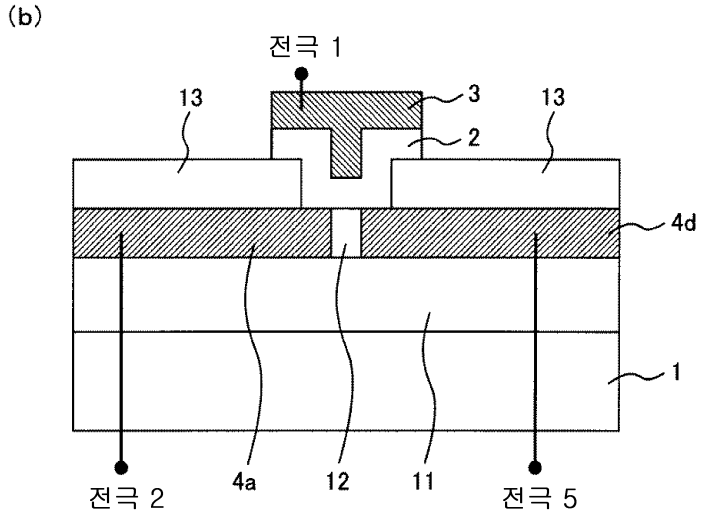


도면11



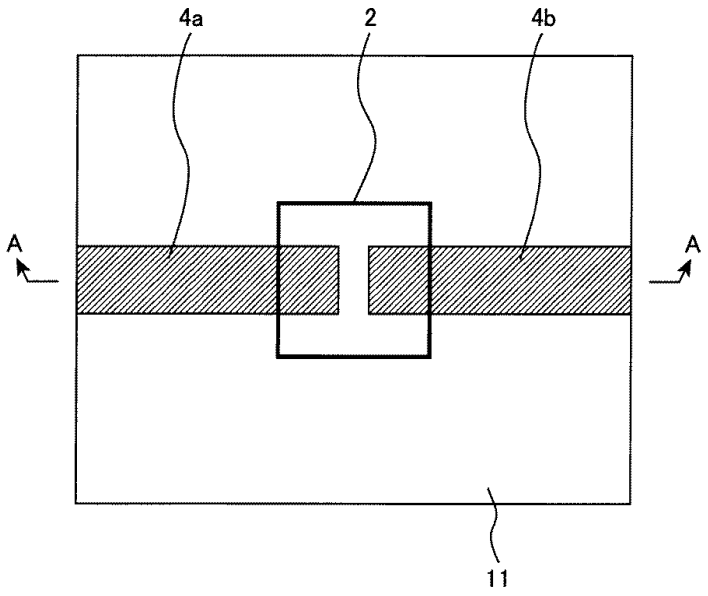
도면12


(a)
전극 2
4a
2
전극 3
4b
A
A
4c
4d
전극 4
11
전극 5

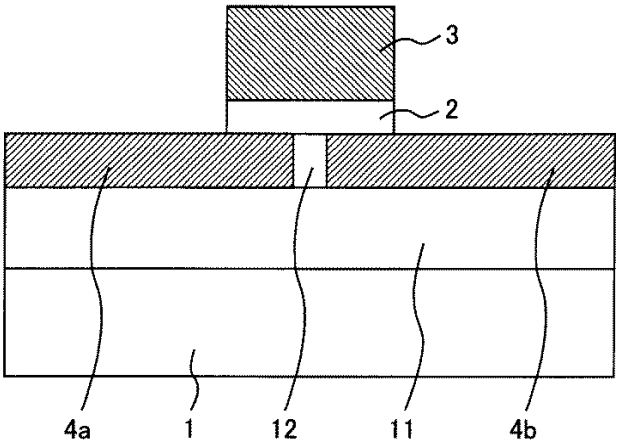

(b)
전극 1
13
3
13
2
4d
1
전극 2
4a
12
11
전극 5

A-A 단면

도면13

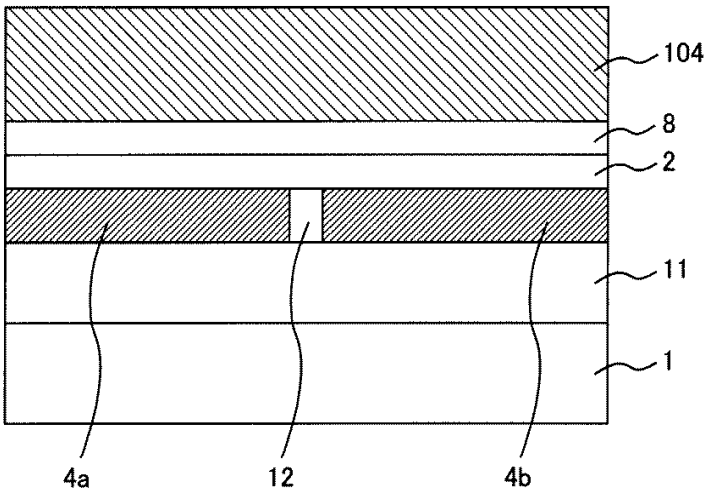


도면14

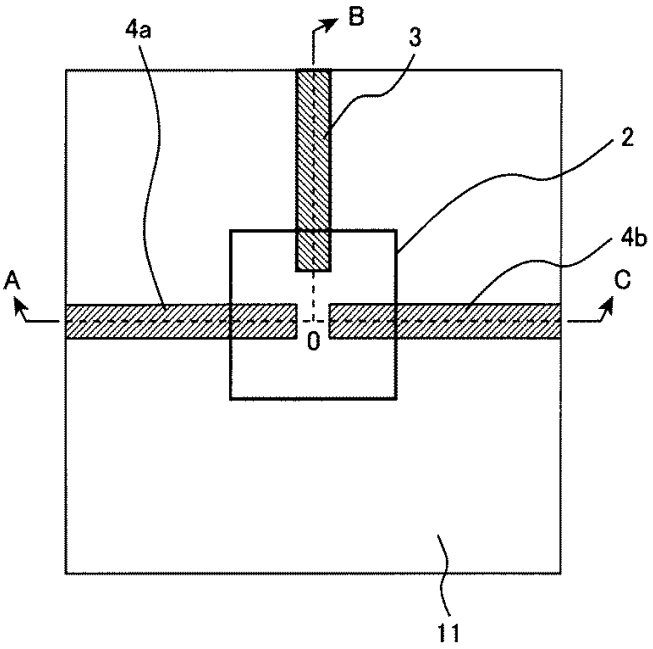


A-A 단면

도면15

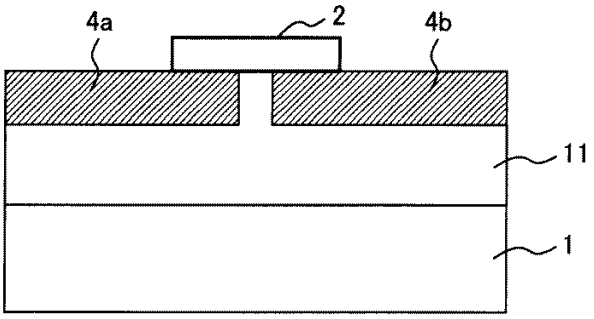


도면16



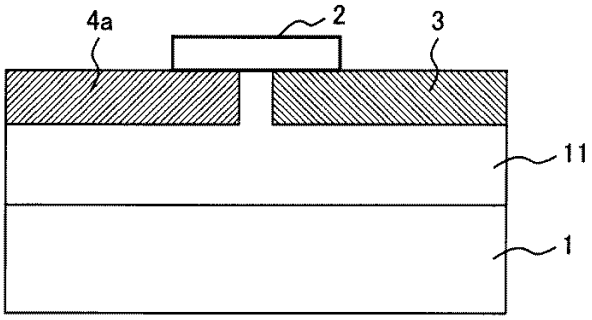
도면17

(a)



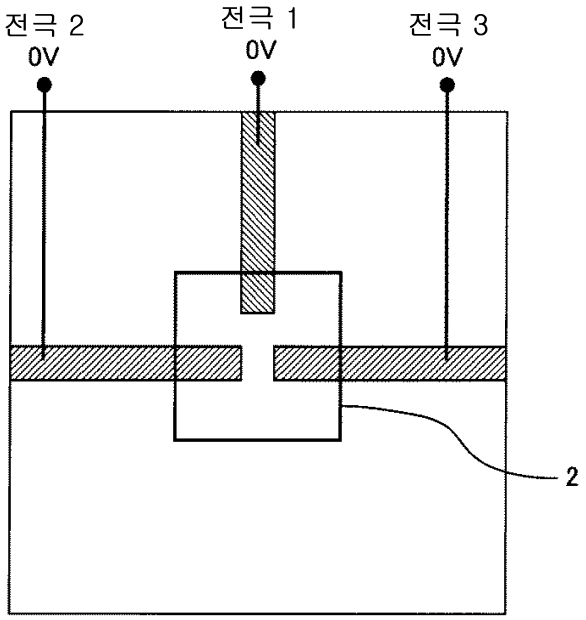
A-O-C 단면

(b)

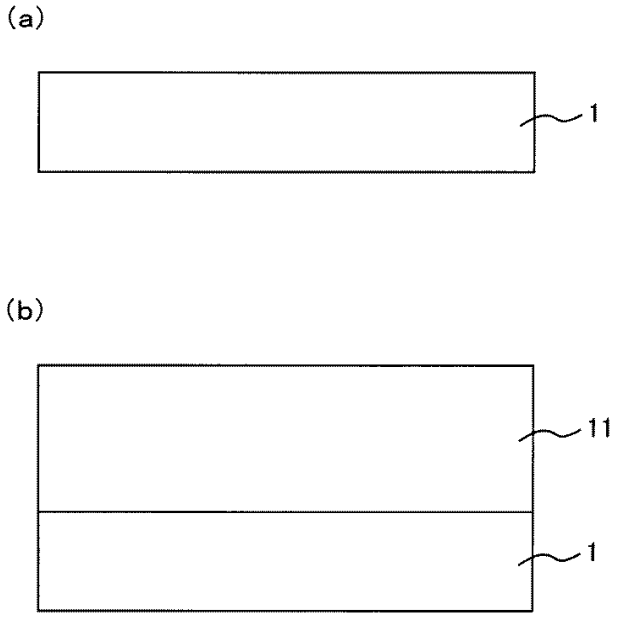


A-O-B 단면

도면18

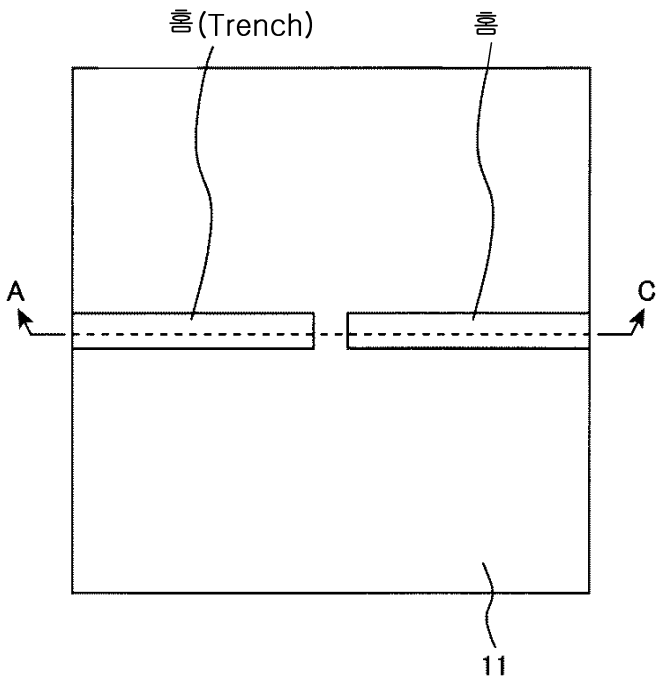


도면19

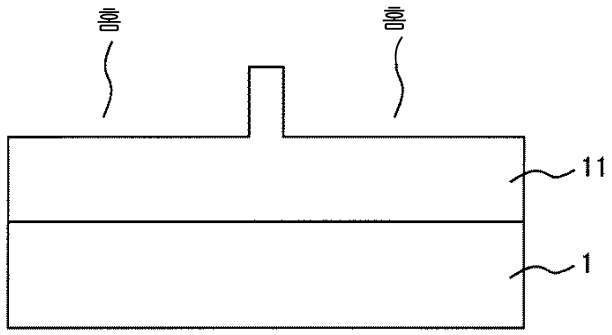


도면20

(a)



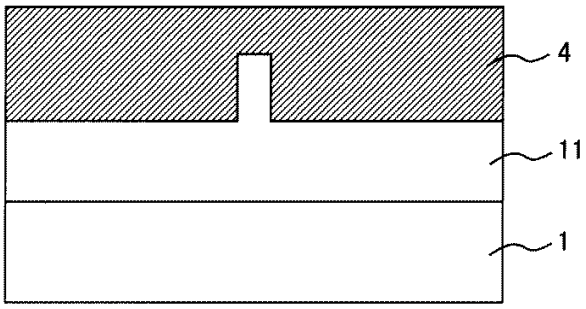
(b)



A-C 단면

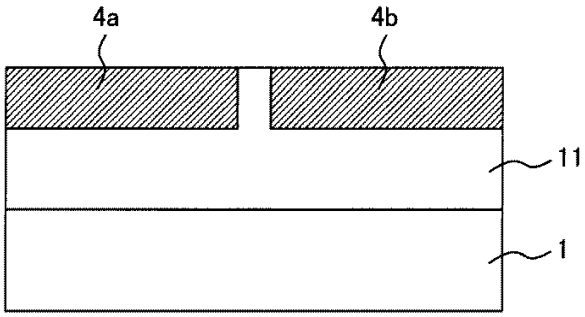
도면21

(a)



A-C 단면

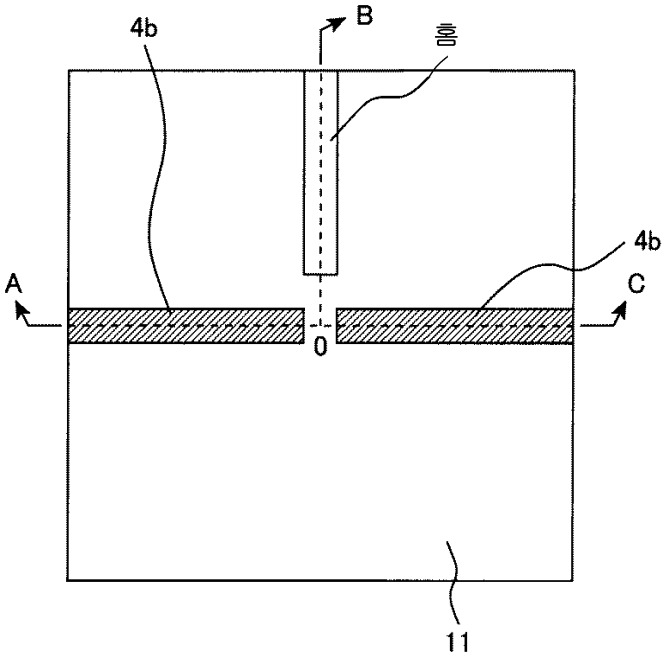
(b)



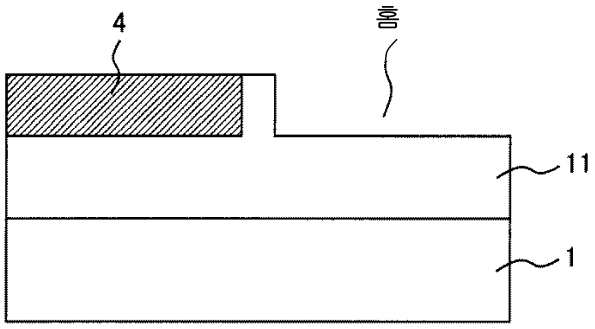
A-C 단면

도면22

(a)



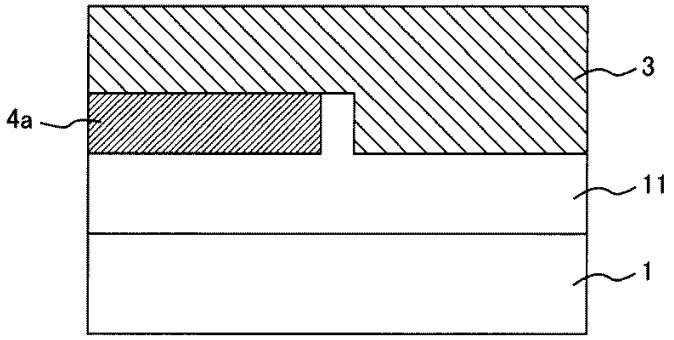
(b)



A-O-B 단면

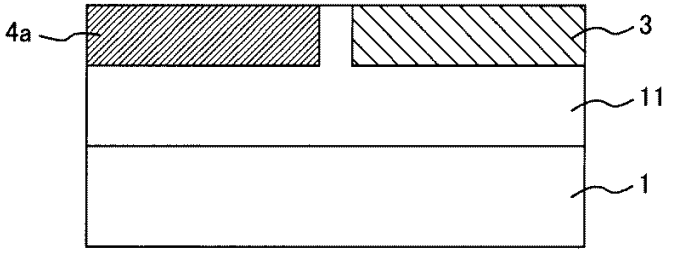
도면23

(a)



A-O-B 단면

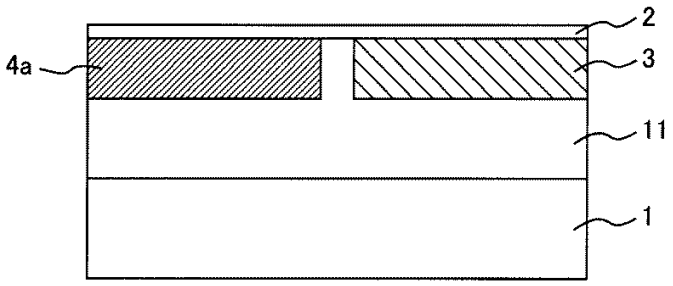
(b)



A-O-B 단면

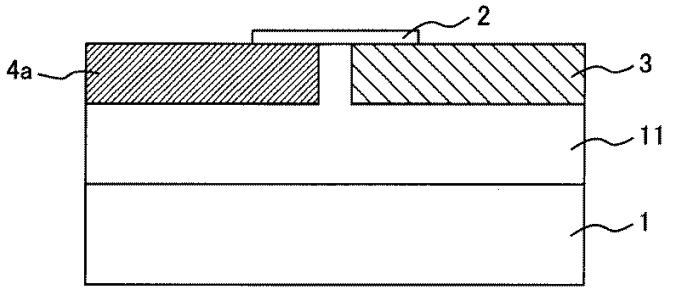
도면24

(a)



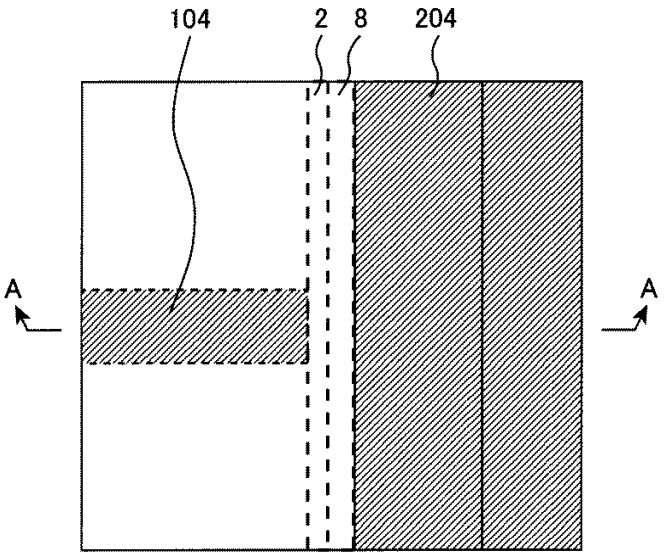
A-O-B 단면

(b)

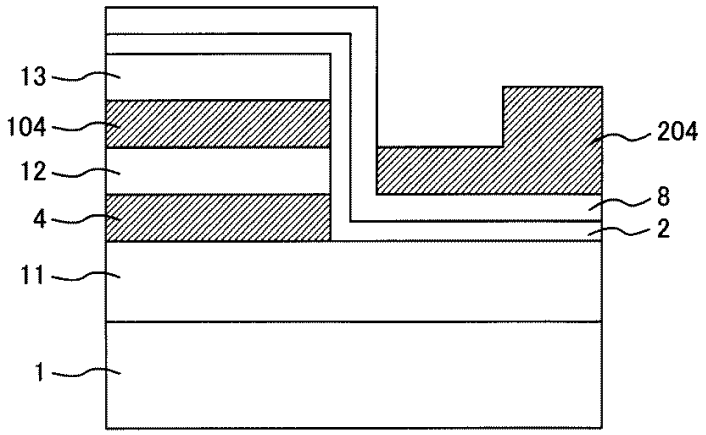


A-O-B 단면

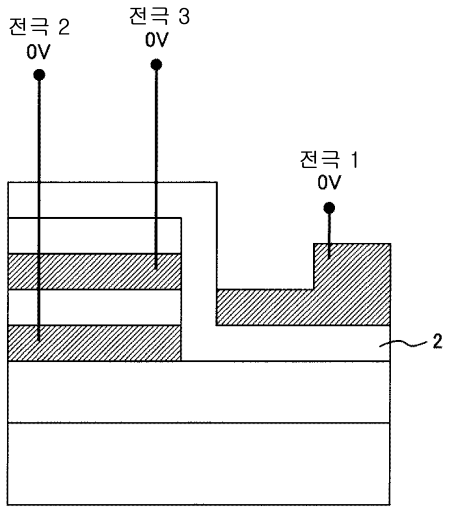
도면25



도면26



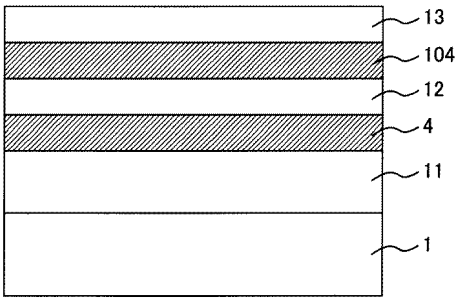
도면27



도면28

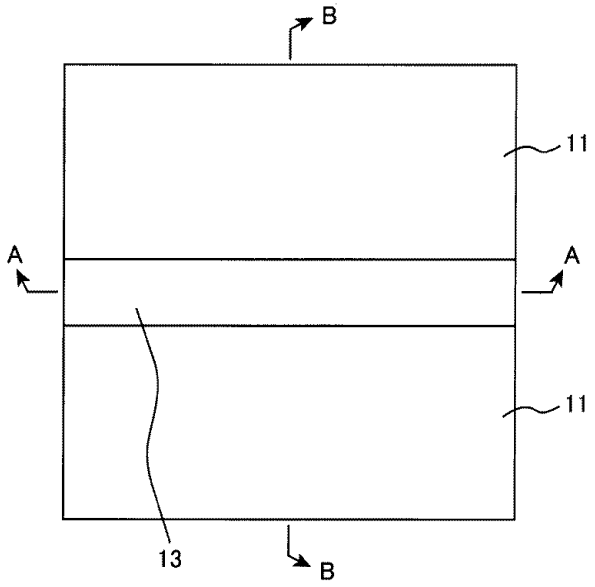
(a)

(b)

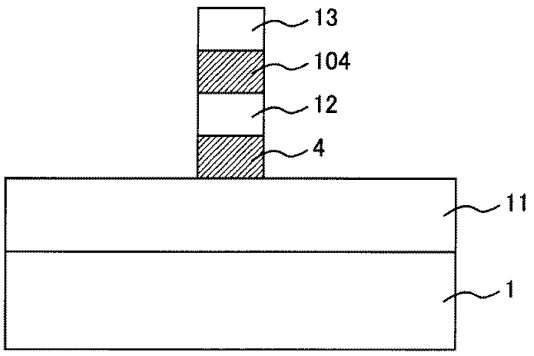


도면29

(a)



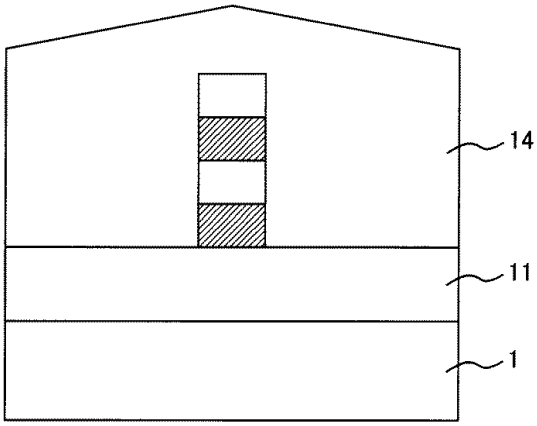
(b)



B-B 단면

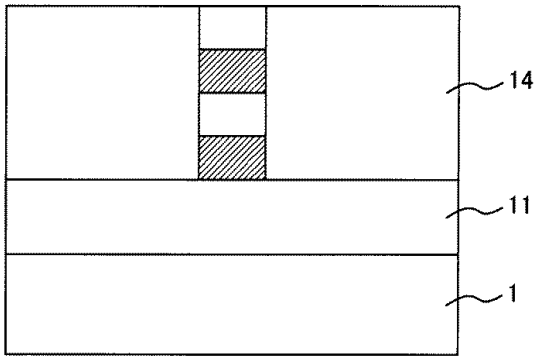
도면30

(a)



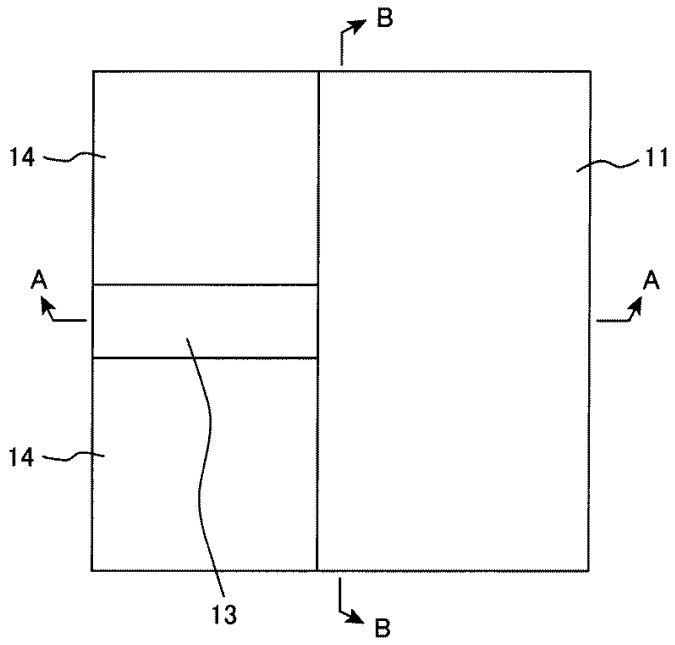
B-B 단면

(b)



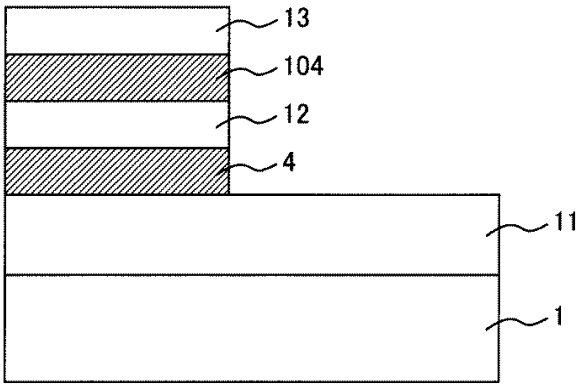
B-B 단면

도면31



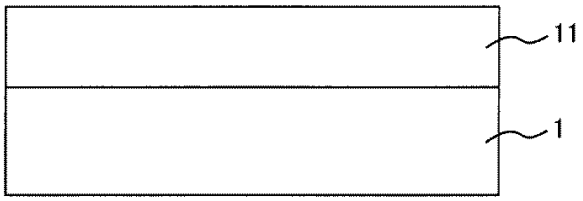
도면32

(a)



A-A 단면

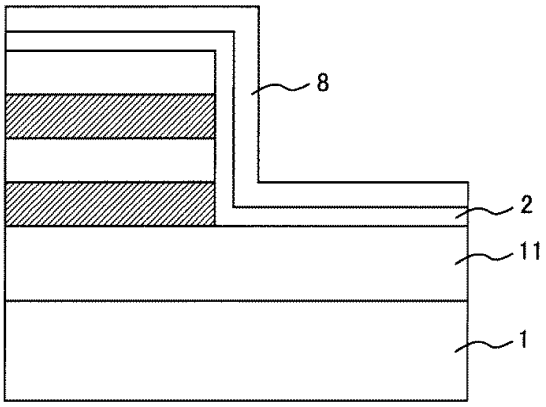
(b)



B-B 단면

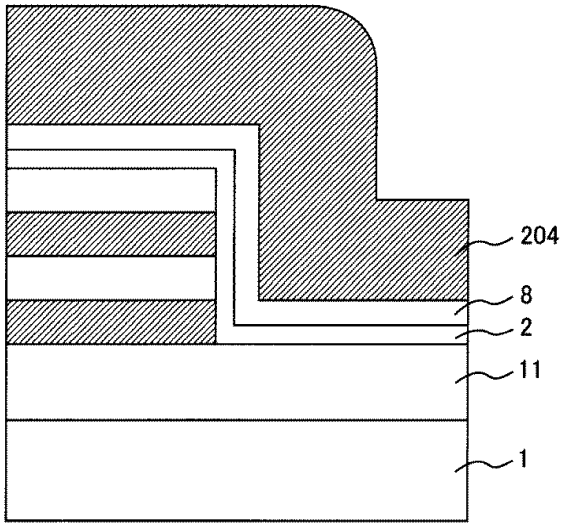
도면33

(a)



A-A 단면

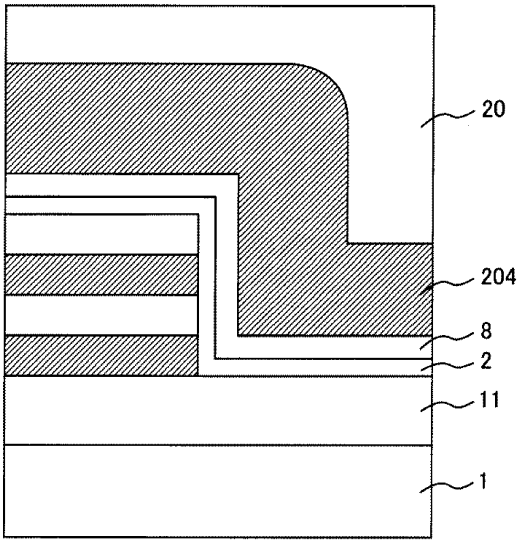
(b)



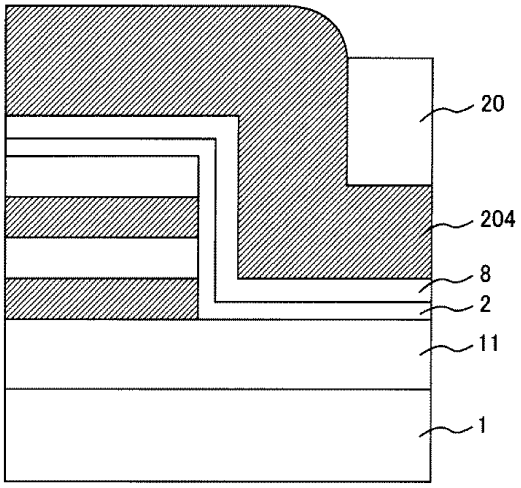
A-A 단면

도면34

(a)

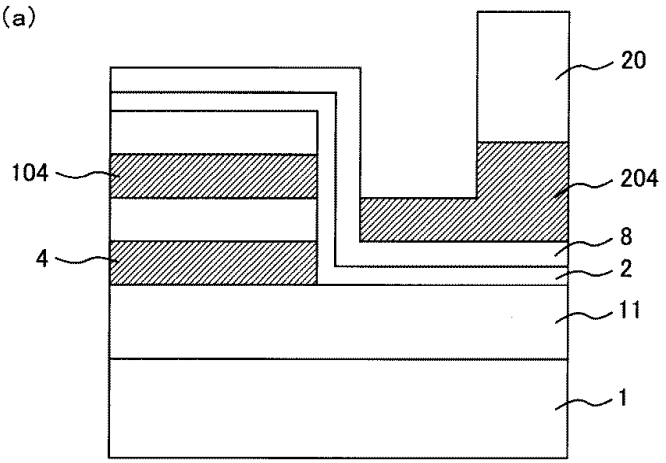


(b)

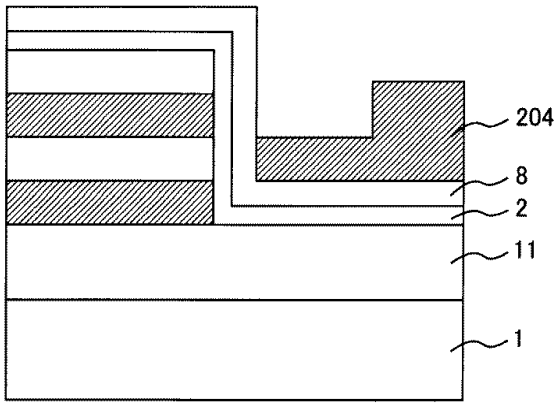


도면35

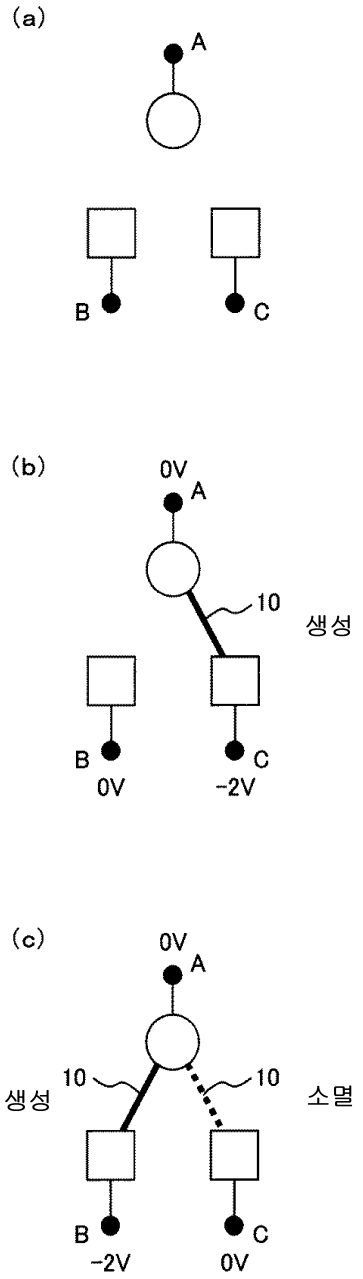
(a)



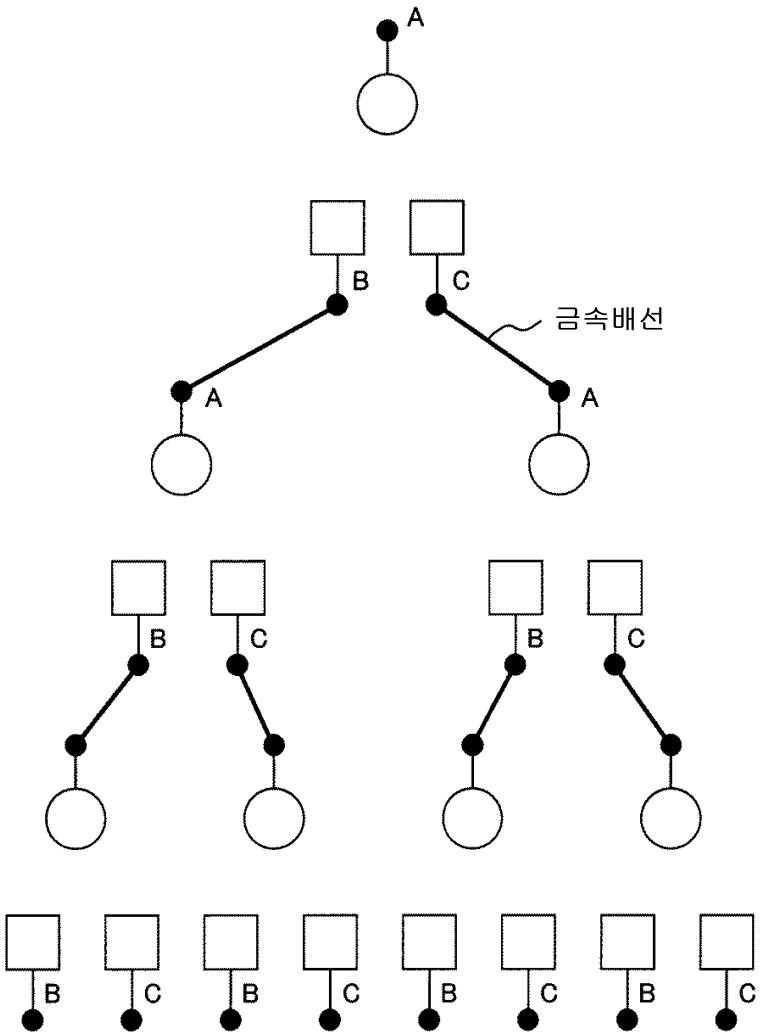
(b)



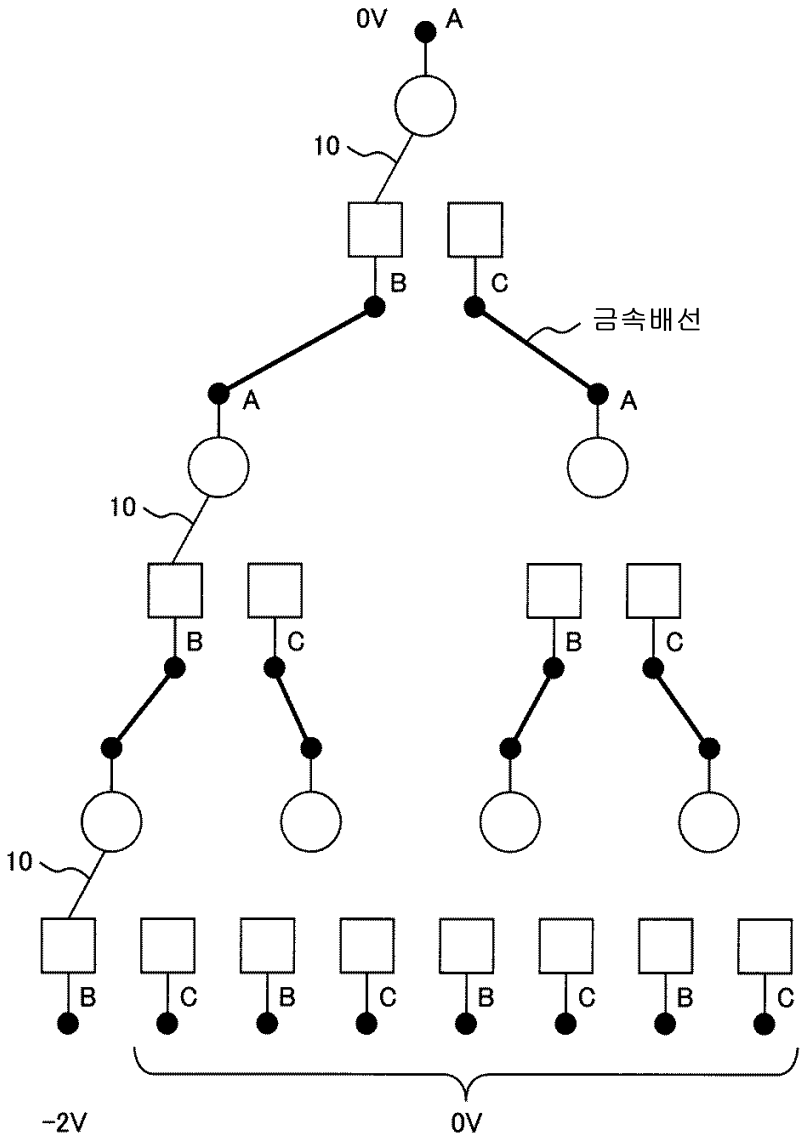
도면36



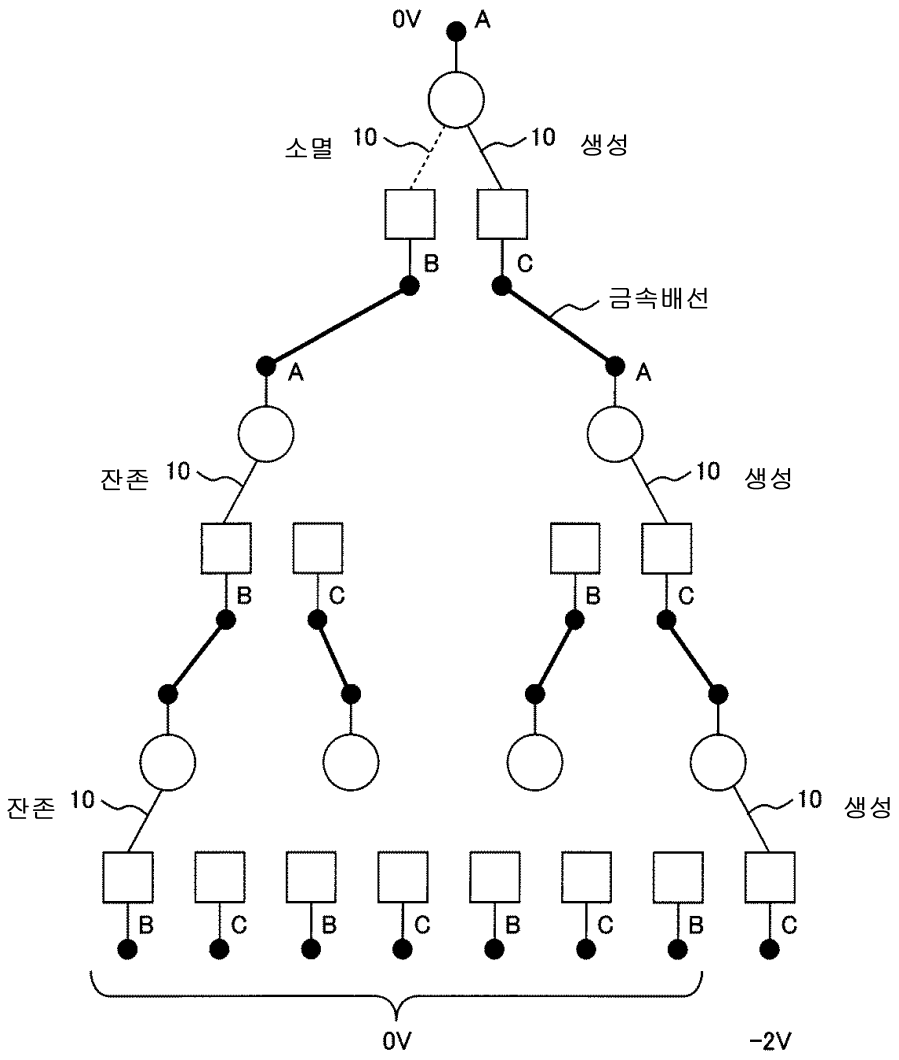
도면37



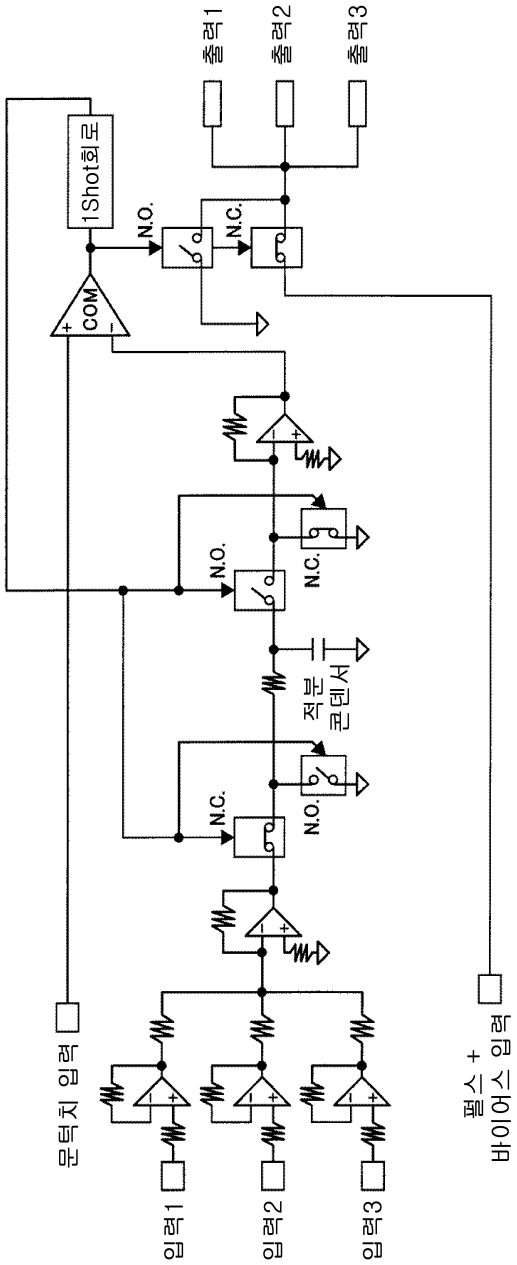
도면38



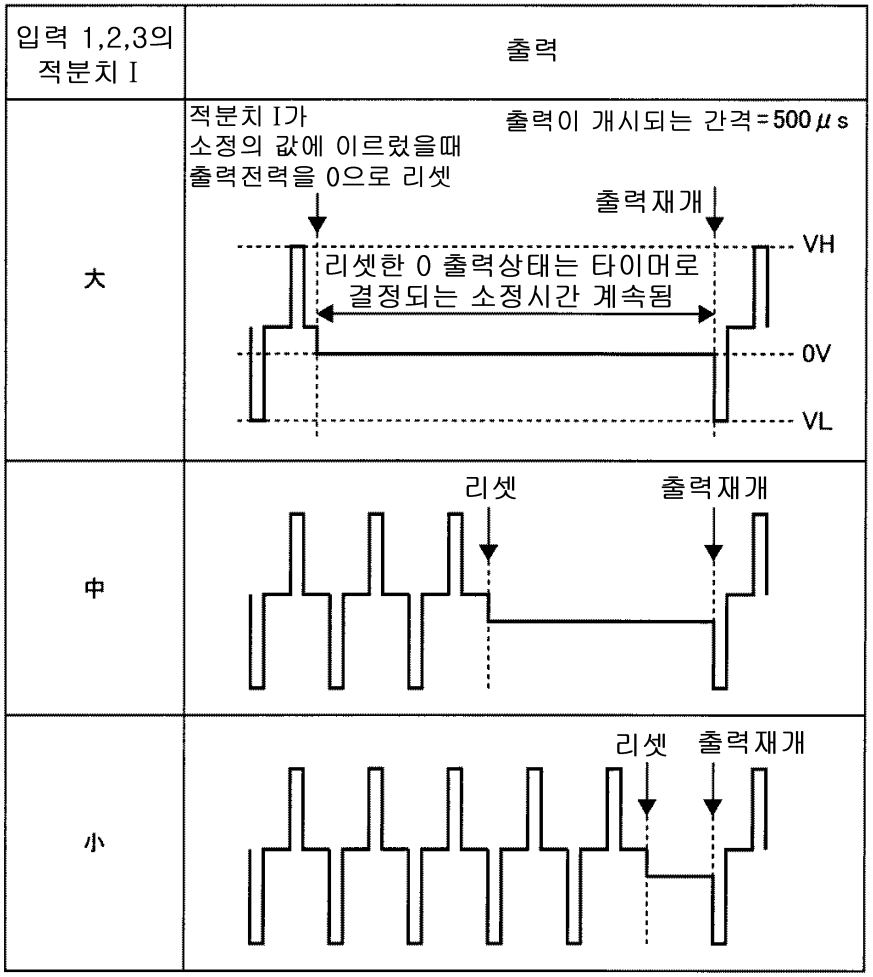
도면39


0V
A
소멸
10
10
생성
B
C
금속배선
A
A
잔존
10
10
생성
B
C
B
C
잔존
10
10
생성
B
C
B
C
B
C
B
C
0V
-2V

도면40


문턱치 입력
입력1
입력2
입력3
N.C.
N.O.
N.O.
N.C.
적분 콘덴서
N.O.
N.C.
COM
1Shot회로
N.O.
N.C.
출력1
출력2
출력3
펄스 +
바이어스 입력

도면41


입력 1,2,3의 적분치 I
출력
大
적분치 I가 소정의 값에 이르렀을때 출력전력을 0으로 리셋
출력이 개시되는 간격=500μs
출력재개
VH
리셋한 0 출력상태는 타이머로 결정되는 소정시간 계속됨
0V
VL
中
리셋
출력재개
小
리셋
출력재개