



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474462 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：100146746

(22) 申請日：中華民國 100 (2011) 年 12 月 16 日

(51) Int. Cl. : *H01L23/552 (2006.01)**H01L23/28 (2006.01)*

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：鍾匡能 CHUNG, KUANG NENG (TW)；鍾興隆 CHUNG, HSIN LUNG (TW)；方顯儒 FANG, HAO JU (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW 201133740

審查人員：張添智

申請專利範圍項數：8 項 圖式數：3 共 17 頁

(54) 名稱

半導體封裝件及其製法

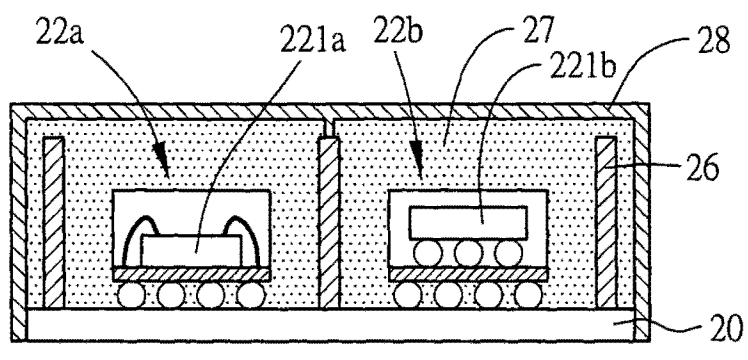
SEMICONDUCTOR PACKAGE AND METHOD OF FORMING SAME

(57) 摘要

一種半導體封裝件，係於具有複數封裝體之載板上設置擋架，令該擋架設於該些封裝體之間，且以封裝膠體包覆該些封裝體並露出該擋架，又於該封裝膠體上形成電性連接該擋架之屏蔽元件，藉以提升電磁遮蔽之功效。本發明復提供該半導體封裝件之製法。

Disclosed is a semiconductor package characterized by disposing a blocking rack on a carrier board having multiple packages wherein the blocking rack is disposed between the packages; enclosing the packages with an encapsulant while exposing the blocking rack therefrom, and forming a shielding component electrically connected to the blocking rack to enhance the electromagnetic interference (EMI) shielding effect. The invention further provides a method of forming the package structure as described above.

2



- 2 . . . 半導體封裝件
- 20 . . . 載板
- 22a . . . 第一封裝體
- 22b . . . 第二封裝體
- 221a . . . 第一晶片
- 221b . . . 第二晶片
- 26 . . . 擋架
- 27 . . . 封裝膠體
- 28 . . . 屏蔽元件

第 2D 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/46746

※申請日：100.12.16 ※IPC分類：

H01L 23/32 (2006.01)

H01L 23/28 (2006.01)

一、發明名稱：(中文/英文)

半導體封裝件及其製法

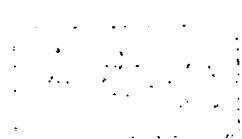
SEMICONDUCTOR PACKAGE AND METHOD OF FORMING SAME

二、中文發明摘要：

一種半導體封裝件，係於具有複數封裝體之載板上設置擋架，令該擋架設於該些封裝體之間，且以封裝膠體包覆該些封裝體並露出該擋架，又於該封裝膠體上形成電性連接該擋架之屏蔽元件，藉以提升電磁遮蔽之功效。本發明復提供該半導體封裝件之製法。

三、英文發明摘要：

Disclosed is a semiconductor package characterized by disposing a blocking rack on a carrier board having multiple packages wherein the blocking rack is disposed between the packages; enclosing the packages with an encapsulant while exposing the blocking rack therefrom, and forming a shielding component electrically connected to the blocking rack to enhance the electromagnetic interference (EMI) shielding effect. The invention further provides a method of forming the package structure as described above.



四、指定代表圖：

(一)本案指定代表圖為：第 (2D) 圖。

(二)本代表圖之元件符號簡單說明：

2 半導體封裝件

20 載板

22a 第一封裝體

22b 第二封裝體

221a 第一晶片

221b 第二晶片

26 擋架

27 封裝膠體

28 屏蔽元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體封裝件，更詳言之，本發明係為一種防電磁干擾之半導體封裝件及其製法。

【先前技術】

隨著電子產品輕薄短小及系統整合的趨勢，現今已發展出一種系統級封裝（System in package; SIP），將一個或多個晶片、被動元件等不同的電子元件整合在同一個封裝件中，當整合之元件含有射頻（Radio frequency, RF）元件或其他電磁元件，容易造成鄰近其他電子元件之電磁干擾（Electromagnetic Interference 簡稱 EMI），且封裝件中的電子元件積集度日益增加，使得各該電子元件之間的相對位置越來越靠近，故各該電子元件之間的 EMI 問題更顯重要。

第 7701040 號美國專利係揭露一種防電磁干擾之半導體封裝件，如第 1 圖所示，於一承載件 10 上形成具有屏蔽層 11 之複數基板 12，且各該基板 12 上設有複數封裝體，如射屏（RF）單元 16a 與基頻（base band）單元 16b，而各該基板 12 之側邊具有電性連接墊 120 以供結合鉚錫凸塊，又於該基板 12 之邊緣、射屏單元 16a 及基頻單元 16b 上鍍覆另一屏蔽層 13。最後，移除該承載件 10，以獲取複數個半導體封裝件 1。

惟，習知半導體封裝件 1 中，該屏蔽層 13 不能形成於該電性連接墊 120 上，否則會造成短路，故於該電性連

接墊 120 上先形成光阻，待形成屏蔽層 13 之後，移除該光阻以外露電性連接墊 120，致使製程繁雜且增加製程時間，導致製作成本提高。

然而，如何克服習知技術之種種問題，實為一重要課題。

【發明內容】

為解決上述習知技術之種種問題，本發明遂揭露一種半導體封裝件，係包括：載板；複數封裝體，係設於該載板上；擋架，係設於該載板上，並位於該些封裝體之間；封裝膠體，係形成於該載板上，以包覆該些封裝體與該擋架，並令該擋架之部分表面外露於該封裝膠體；以及屏蔽元件，係電性連接該擋架。

本發明復提供一種半導體封裝件之製法，係包括：提供一載板；形成複數封裝體於該載板上；設置擋架於該些封裝體之間；形成封裝膠體於該載板上，以包覆該些封裝體與該擋架，並令該擋架之部分表面外露於該封裝膠體；以及將一屏蔽元件電性連接該擋架。

前述之半導體封裝件及其製法，該屏蔽元件係可為以濺鍍方式形成於該封裝體上之金屬層。亦或，該屏蔽元件可為金屬蓋，蓋設於該封裝體上。

前述之半導體封裝件及其製法，形成該擋架之材質可為導電材，且該擋架可具有擋板，以藉之立設於該載板上並位於各該封裝體之間。

另外，前述之半導體封裝件及其製法，該封裝體可為

半導體晶片或具有半導體晶片之封裝結構。

由上可知，本發明半導體封裝件及其製法，係藉由屏蔽元件形成於該封裝膠體上，且藉由該擋架與該屏蔽元件作為屏蔽結構，故相較於習知技術，本發明之封裝體周圍均有屏蔽結構，因而可有效防止外界電磁波干擾該些封裝體之內部電路。

再者，藉由該擋架之設計及屏蔽元件形成於該封裝膠體上，因而無需考量該載板之線路佈設，故相較於習知技術，本發明之製程更簡易，且製程時間更短，因而可降低製作成本。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“側”、“二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可

實施之範疇。

以下即配合第 2A 至 2D 圖詳細說明本發明之半導體封裝件 2 之製法。

如第 2A 圖所示，提供一載板 20，且形成第一及第二封裝體 22a,22b 於該載板 20 上，該第一及第二封裝體 22a,22b 並以鐸球 202 電性連接該載板 20。應瞭解的是該載板 20 上可形成更多封裝體，在本實施例中僅藉第 2A 圖之封裝體作例示說明。

於本實施例中，該載板 20 係為線路板，而該些封裝體係為封裝結構，可具有電性連接該載板 20 之封裝基板 220a,220b 及設於該封裝基板 220a,220b 上之第一與第二晶片 221a,221b，且該第一與第二晶片 221a,221b 可藉由鐸線 222a 或鐸錫凸塊 222b 電性連接該封裝基板 220a,220b，並以封裝膠體 223 包覆該第一與第二晶片 221,221b、鐸線 222a 與鐸錫凸塊 222b。於其它實施例中，該封裝體可為半導體晶片。

再者，有關載板 20 與封裝基板 220a,220b 之種類繁多，且為業界所熟知，故不再贅述，特此述明。

又，有關該封裝體之內部結構因種類繁多，且為業界所熟知，故並不限於上述，亦可為其他態樣，特此述明。

另外，該第一及第二封裝體 22a,22b 之態樣可為射屏 (RF) 模組，例如：無線區域網路 (Wireless LAN, WLAN)、全球定位系統 (Global Positioning System, GPS)、藍芽 (Bluetooth) 或手持式視訊廣播 (Digital Video

Broadcasting-Handheld, DVB-H)、調頻(FM)等無線通訊模組。

如第 2B 圖所示，設置擋架 26 於該第一與第二封裝體 22a,22b 之間。

於本實施例中，形成該擋架 26 之材質為導電材，如銅、金、鎳或鋁等之金屬，且該擋架 26 具有擋板 260，以立設於該載板 20 上並位於該第一與第二封裝體 22a,22b 之間，用以遮蔽該些封裝體的側壁，可避免該第一與第二封裝體 22a,22b 之電磁相互干擾，使該第一與第二晶片 221a,221b 可保持應有的功效。

如第 2C 圖所示，形成封裝膠體 27 於該載板 20 上，以包覆該擋架 26 與該第一與第二封裝體 22a,22b，且令該擋架 26 之部分表面外露於該封裝膠體 27。

於本實施例中，係以模壓製程(Injection Molding)形成該封裝膠體 27，且藉由該封裝膠體 27 可保護該些封裝體避免遭受環境汙染、氧化或破壞。

再者，該封裝膠體 27 可藉由例如雷射鑽孔形成開口 270 以外露該擋架 26，如第 2C 圖所示；亦可如第 2C' 圖所示，使該封裝膠體 27' 與該擋架 26 之頂面齊平，以令該擋架 26 外露於該封裝膠體 27'。

如第 2D 圖所示，接續第 2C 圖之製程，將一屏蔽元件 28 電性連接該擋架 26。

於本實施例中，該屏蔽元件 28 係為利用濺鍍(sputtering deposition)之方式形成於該封裝膠體 27 上之

屏蔽層，且該部分屏蔽層係形成於該開口 270 中以連接該擋架 26 之外露部分。又形成該屏蔽元件 28 之材質為導電材，如金屬或導電膠，但不以此為限。

於另一實施例中，如第 2D'圖所示，提供一金屬蓋作為屏蔽元件 28'，以蓋設於該封裝膠體 27' 上（如圖中之箭頭方向），並電性連接該擋架 26 之頂面外露部分。

本發明之半導體封裝件 2,2' 之製法，係藉由該擋架 26 與該屏蔽元件 28,28' 相互連接以形成雙重屏蔽結構，使第一與第二封裝體 22a,22b 之周圍均有屏蔽結構，不僅有效防止該第一與第二封裝體 22a,22b 之間的電磁波相互干擾，且有效防止外界電磁波干擾該第一與第二封裝體 22a,22b 之內部電路。

再者，藉由形成屏蔽元件 28,28' 於該封裝膠體 27,27' 上，故無需考量該載板 20 之線路佈設，亦即該屏蔽元件 28,28' 不會造成短路，不僅使製程更簡易，且縮短製程時間，因而有效降低製作成本。

請參閱第 3A 至 3B 圖，係本發明半導體封裝件之製法之另一實施例。本實施例與上述實施例之差異在於封裝體之數量與該封裝膠體之頂面高度，其它相關製程均相同，故不再贅述相同製程，僅說明相異處。

如第 3A 圖所示，於該載板 20 上設置三組封裝體 32a,32b,32c，且該擋架 36 之擋板 360 係依該些封裝體 32a,32b,32c 之位置作設計。

如第 3B 圖所示，形成封裝膠體 37 於該載板 20 上，

以包覆該擋架 36 與該些封裝體 32a,32b,32c，且該封裝膠體 37 之頂面低於該擋架 36 之頂面，以外露該擋架 36 之頂面。後續製程請參考第 2D 圖之製程。

綜上所述，本發明之半導體封裝件及其製法中，係藉由形成屏蔽元件於該封裝膠體上，且藉由該擋架與該屏蔽元件作為屏蔽結構，不僅防止該些封裝體之間的電磁波相互干擾，且有效防止外界電磁波干擾該些封裝體之內部電路。

再者，藉由該擋架取代鍍覆製程及屏蔽元件形成於該封裝膠體上，因而無須考量該載板之線路佈設，故使本發明之製程更簡易，且可縮短製程時間，因而有效達到降低製作成本之目的。

上述該些實施樣態僅例示性說明本發明之功效，而非用於限制本發明，任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述該些實施態樣進行修飾與改變。此外，在上述該些實施態樣中之元件的數量僅為例示性說明，亦非用於限制本發明。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係顯示第 7701040 號美國專利之半導體封裝件之製法之剖面示意圖；

第 2A 至 2D 圖係為本發明半導體封裝件之剖面示意圖；其中，第 2C' 及 2D' 圖係為第 2C 及 2D 圖之其他實施例；以及

第 3A 至 3B 圖係為本發明半導體封裝件之另一實施例之立體示意圖。

【主要元件符號說明】

1,2,2'	半導體封裝件
10	承載件
11、13	屏蔽層
12	基板
120	電性連接墊
16a	射頻單元
16b	基頻單元
20	載板
202	焊球
22a	第一封裝體
22b	第二封裝體
220a,220b	封裝基板
221a	第一晶片
221b	第二晶片
222a	焊線
222b	焊錫凸塊
223,27,27',37	封裝膠體
26,36	擋架
260,360	擋板
270	開口
28,28'	屏蔽元件
32a,32b,32c	封裝體

七、申請專利範圍：

1. 一種半導體封裝件，係包括：

載板；

複數封裝體，係設於該載板上；

擋架，係設於該載板上，並位於該些封裝體之間，且形成該擋架之材質係為導電材；

封裝膠體，係形成於該載板上，以包覆該些封裝體與該擋架，並令該擋架之部分表面外露於該封裝膠體；以及

屏蔽元件，係為金屬蓋且電性連接該擋架，並蓋設於該封裝體上。

2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該屏蔽元件係為形成於該封裝體上之導電層。

3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該擋架係具有擋板，以立設於該載板上並位於各該封裝體之間。

4. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該封裝體係為半導體晶片或具有半導體晶片之封裝結構。

5. 一種半導體封裝件之製法，係包括：

提供一載板；

形成複數封裝體於該載板上；

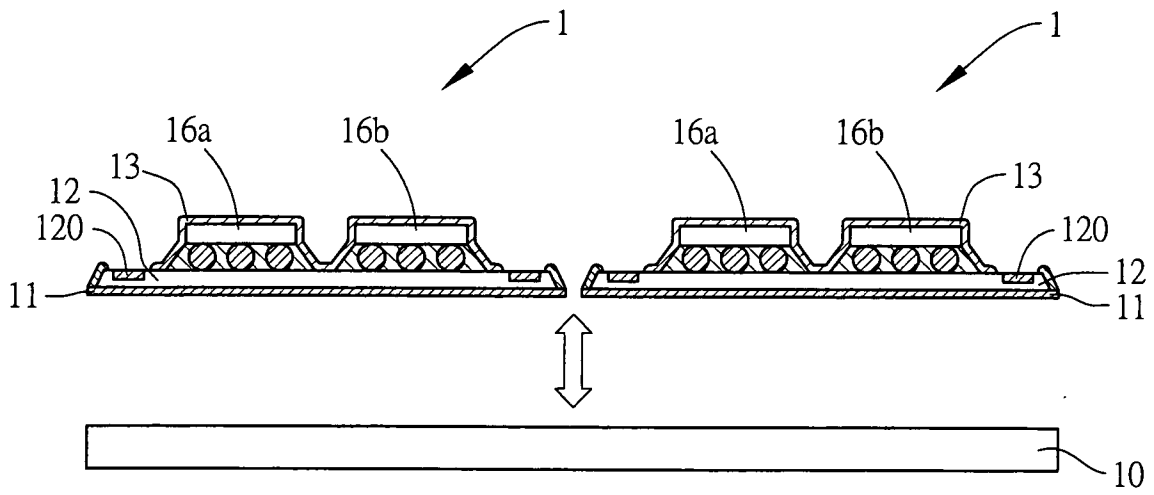
設置擋架於該些封裝體之間，且形成該擋架之材質係為導電材；

形成封裝膠體於該載板上，以包覆該些封裝體與該擋架，並令該擋架之部分表面外露於該封裝膠體；以及

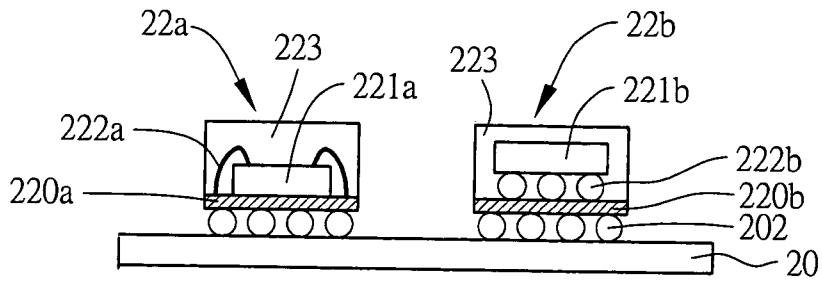
將為金屬蓋之屏蔽元件電性連接該擋架，並蓋設於該封裝體上。

6. 如申請專利範圍第 5 項所述之半導體封裝件之製法，其中，該屏蔽元件係為以濺鍍方式形成於該封裝體上之導電層。
7. 如申請專利範圍第 5 項所述之半導體封裝件之製法，其中，該擋架係具有擋板，以立設於該載板上並位於各該封裝體之間。
8. 如申請專利範圍第 5 項所述之半導體封裝件之製法，其中，該封裝體係為半導體晶片或具有半導體晶片之封裝結構。

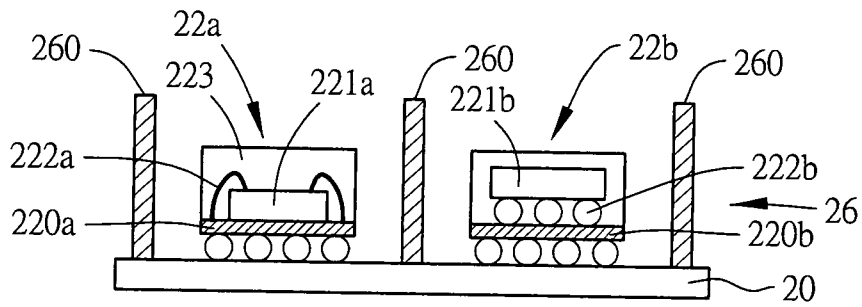
八、圖式：



第 1 圖

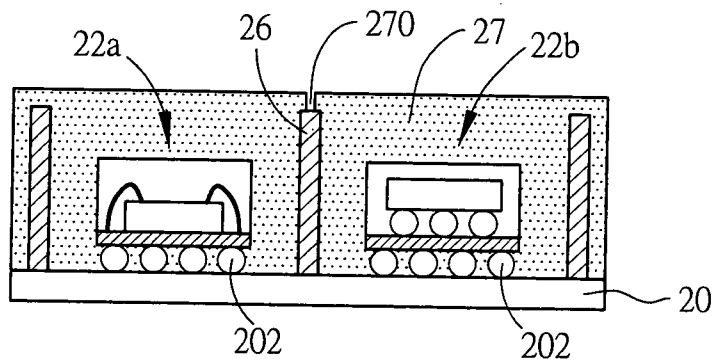


第 2A 圖

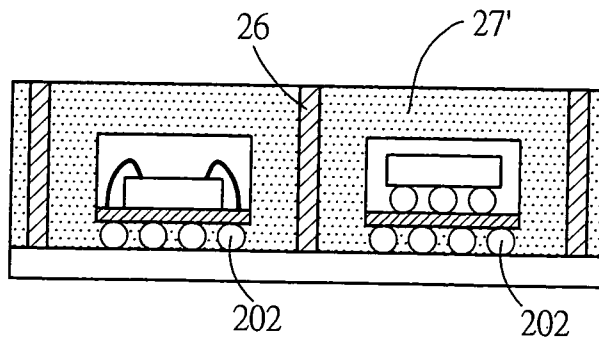


202

第 2B 圖

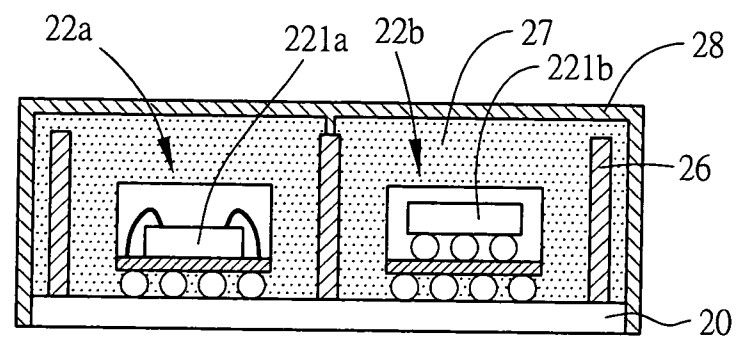


第 2C 圖



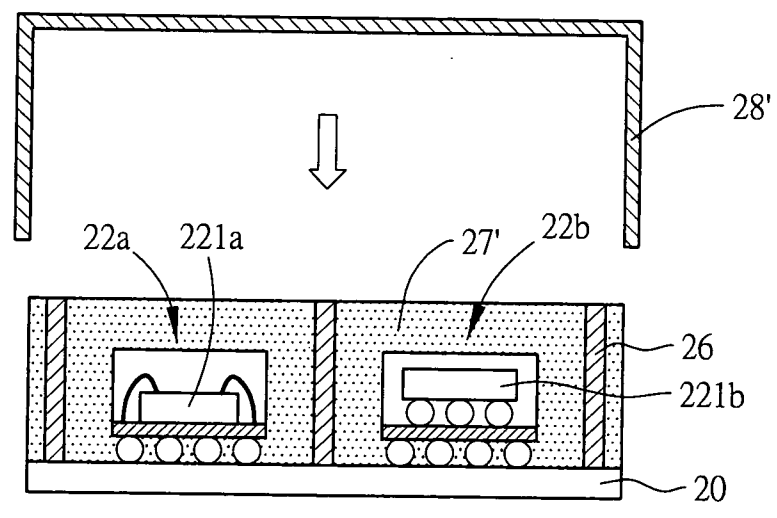
第 2C' 圖

2

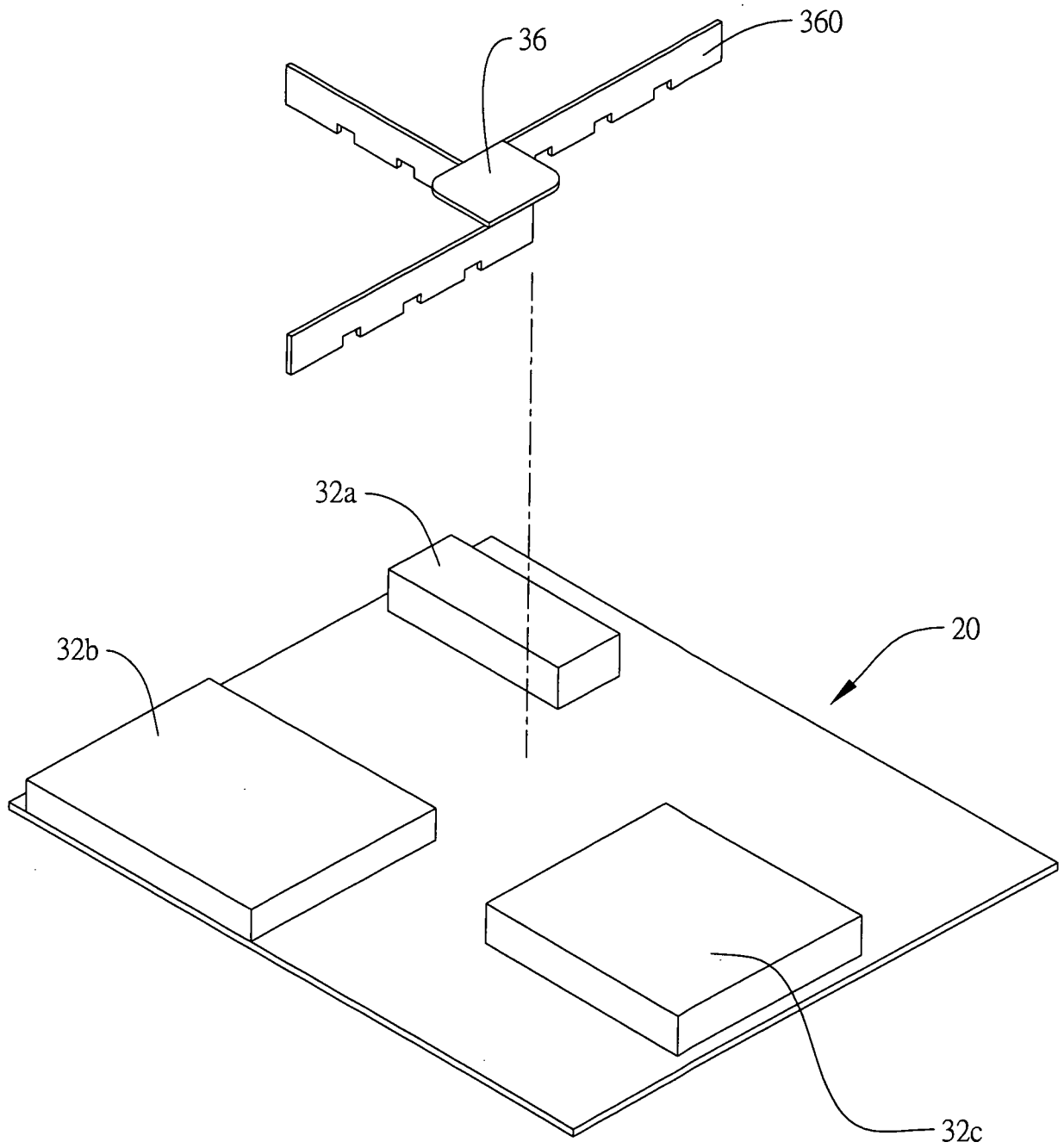


第 2D 圖

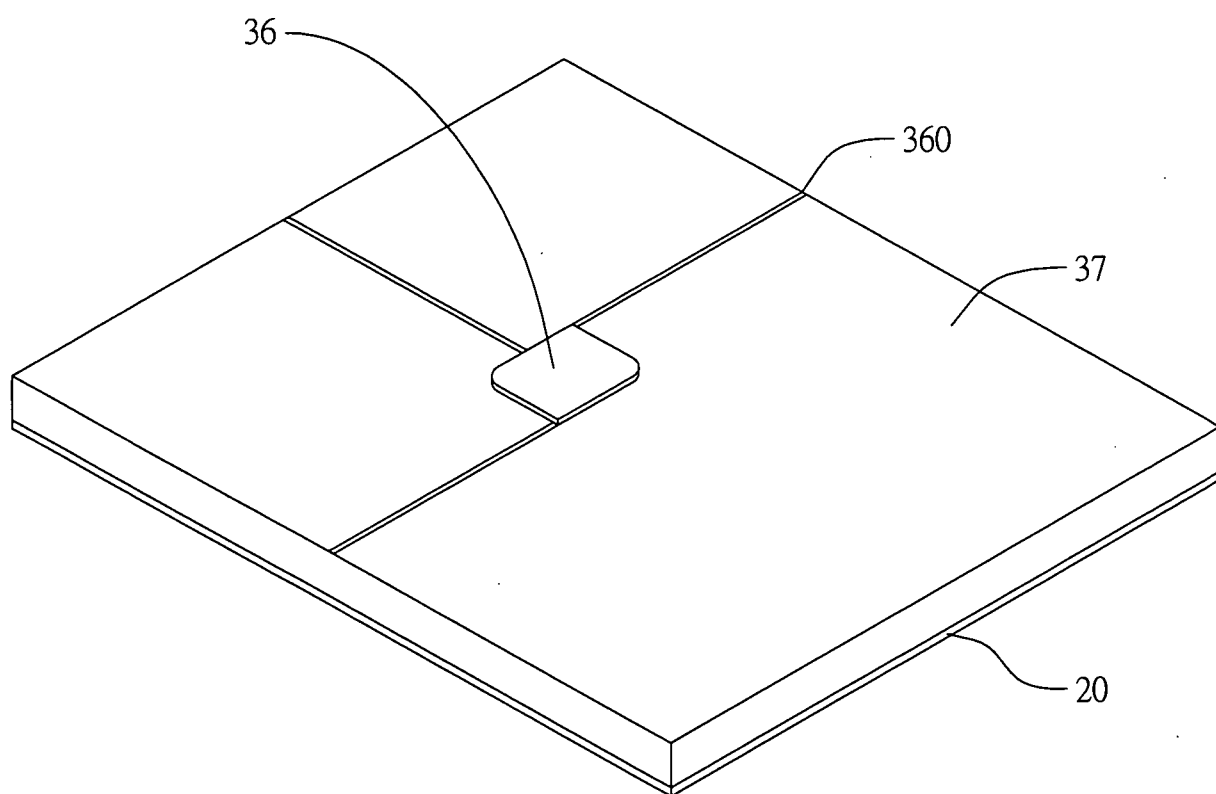
2'



第 2D' 圖



第 3A 圖



第 3B 圖