



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월04일
(11) 등록번호 10-0801059
(24) 등록일자 2008년01월29일

(51) Int. Cl.

G11C 5/14 (2006.01)

(21) 출원번호 10-2006-0073103

(22) 출원일자 2006년08월02일

심사청구일자 2006년08월02일

(56) 선행기술조사문헌

국내공개특허공보 특2002-0043736

국내공개특허공보 10-2004-0054362

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최중현

경기 수원시 영통구 망포동 동수원엘지빌리지1차 102-1604

이규찬

서울 강동구 명일1동 삼익그린아파트 502-811

(뒷면에 계속)

(74) 대리인

권영규, 윤재석, 한지희

전체 청구항 수 : 총 20 항

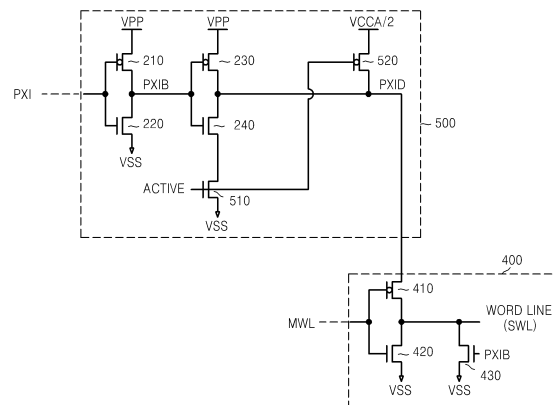
심사관 : 이승한

(54) 누설 전류를 감소시키기 위한 반도체 메모리 장치의드라이버 회로

(57) 요약

누설 전류를 감소시키기 위한 반도체 메모리 장치의 드라이버 회로가 개시된다. 반도체 메모리 장치의 드라이버 회로는 제1 및 제2 드라이버 회로를 구비한다. 상기 제1 드라이버 회로는 모드 제어 신호에 응답하여 제1 로우 어드레스 신호에 기초한 제1 드라이빙 신호를 발생한다. 상기 제2 드라이버 회로는 상기 제1 드라이빙 신호를 수신하는 제1 단자 및 제2 단자를 가지는 제1 트랜지스터를 포함하고, 상기 제1 드라이빙 신호 및 제2 로우 어드레스 신호에 기초하여 제2 드라이빙 신호를 발생한다. 상기 제1 드라이버 회로는 제1 모드에서는, 상기 제1 드라이빙 신호를 제1 전원 전압 또는 제2 전원 전압으로 구동하고, 제2 모드에서는 상기 제1 드라이빙 신호를 제3 전원 전압으로 구동하며, 상기 제3 전원 전압은 상기 제1 전원 전압 보다 낮고 상기 제2 전원 전압보다 높다. 본 발명에 의하면, 반도체 메모리 장치의 누설 전류, 특히 GIDL 전류량이 감소되어 전력 소모가 줄어들고, 반도체 메모리 장치의 특성 및 생산성이 향상될 수 있다.

대표도 - 도6



(72) 발명자

임성민

경기 수원시 영통구 망포동 동수원엘지빌리지1차
103-907

신동학

경기 화성시 병점동 태안택지지구3-1BL 우남퍼스트
빌 2차 APT204-1301

특허청구의 범위

청구항 1

반도체 메모리 장치의 드라이버 회로에 있어서,

모드 제어 신호에 응답하여 제1 로우 어드레스 신호에 기초한 제1 드라이빙 신호를 발생하는 제1 드라이버 회로; 및

상기 제1 드라이빙 신호를 수신하는 제1 단자, 및 제2 단자를 가지는 제1 트랜지스터를 포함하고, 상기 제1 드라이빙 신호 및 제2 로우 어드레스 신호에 기초하여 제2 드라이빙 신호를 발생하는 제2 드라이버 회로를 구비하며,

상기 제1 드라이버 회로는 제1 모드에서는, 상기 제1 드라이빙 신호를 제1 전원 전압 또는 제2 전원 전압으로 구동하고, 제2 모드에서는 상기 제1 드라이빙 신호를 제3 전원 전압으로 구동하며,

상기 제3 전원 전압은 상기 제1 전원 전압 보다 낮고 상기 제2 전원 전압보다 높은 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 2

제1 항에 있어서,

상기 반도체 메모리 장치는 상기 모드 제어 신호에 응답하여 상기 제1 모드 또는 상기 제2 모드가 되며,

상기 제1 모드는 액티브 모드이고, 상기 제2 모드는 대기 모드인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 3

제2 항에 있어서, 상기 제1 드라이버 회로는

상기 제1 단자와 상기 제3 전원 전압 노드 사이에 접속되며, 상기 모드 제어 신호에 응답하여 동작하는 제2 트랜지스터를 구비하고,

상기 제1 및 제2 트랜지스터는 각각 피모스(PMOS) 트랜지스터이고,

상기 제1 단자는 상기 제1 트랜지스터의 소오스 또는 드레인 단자이며,

상기 제2 단자는 상기 제1 트랜지스터의 게이트 단자인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 4

제3 항에 있어서,

상기 제1 전원 전압은 외부에서 공급되는 전압 보다 높은 내부 승압 전압이고,

상기 제2 전원 전압은 0V의 공통 기준 전압이며,

상기 제3 전원 전압은 0V 보다 높은 로컬 전압인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 5

제3 항에 있어서, 상기 제1 드라이버 회로는

그 출력이 상기 제1 단자에 접속되는 인버터; 및

상기 인버터와 상기 제1 전원 전압 노드 또는 상기 제2 전원 전압 노드 사이에 접속되며, 상기 모드 제어 신호에 응답하는 스위치를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 6

제5 항에 있어서, 상기 제1 드라이버 회로는

상기 제1 모드에서는 상기 인버터에 의해 상기 제1 드라이빙 신호를 상기 제1 전원 전압 레벨 또는 상기 제2 전원 전압 레벨로 구동하고,

상기 제2 모드에서는 상기 제2 트랜지스터에 의해 상기 제1 드라이빙 신호를 상기 제3 전원 전압 레벨로 구동하는 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 7

제1 항에 있어서, 상기 반도체 메모리 장치의 드라이버 회로는

상기 모드 제어 신호 및 상기 제2 로우 어드레스 신호에 기초하여 메인 워드라인 신호를 발생하는 메인 드라이버 회로를 더 구비하고,

상기 제2 단자로는 상기 메인 워드라인 신호가 입력되며,

상기 제2 드라이버 회로는 상기 제1 드라이빙 신호 및 상기 메인 워드라인 신호에 응답하여 서브 워드라인으로 제공될 상기 제2 드라이빙 신호를 발생하는 서브 워드라인 드라이버 회로인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 8

반도체 메모리 장치의 드라이버 회로에 있어서,

모드 제어 신호에 응답하여 제1 로우 어드레스 신호에 기초한 제1 드라이빙 신호를 발생하는 제1 드라이버 회로;

상기 모드 제어 신호 및 제2 로우 어드레스 신호에 기초하여 제2 드라이빙 신호를 발생하는 제2 드라이버 회로; 및

상기 제1 드라이빙 신호를 수신하는 제1 단자 및 상기 제2 드라이빙 신호를 수신하는 제2 단자를 가지는 제1 트랜지스터를 포함하고, 상기 제1 드라이빙 신호 및 제2 드라이빙 신호에 기초하여 제3 드라이빙 신호를 발생하는 제3 드라이버 회로를 구비하며,

상기 제2 드라이버 회로는 제1 모드에서는, 상기 제2 드라이빙 신호를 제1 전원 전압 또는 제2 전원 전압으로 구동하고, 제2 모드에서는 상기 제2 드라이빙 신호를 제3 전원 전압으로 구동하며,

상기 제3 전원 전압은 상기 제1 전원 전압 보다 낮고 상기 제2 전원 전압보다 높은 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 9

제8 항에 있어서,

상기 반도체 메모리 장치는 상기 모드 제어 신호에 응답하여 상기 제1 모드 또는 상기 제2 모드가 되며,

상기 제1 모드는 액티브 모드이고, 상기 제2 모드는 대기 모드인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 10

제 9 항에 있어서,

상기 제1 트랜지스터는 피모스(PMOS) 트랜지스터이고,

상기 제1 단자는 상기 제1 트랜지스터의 소오스 또는 드레인 단자이며,

상기 제2 단자는 상기 제1 트랜지스터의 게이트 단자인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 11

제 10 항에 있어서, 상기 제2 드라이버 회로는

상기 제2 단자와 상기 제1 전원 전압 노드 사이에 접속되며, 상기 제2 모드에서 상기 제1 전원 전압을 소정 전

압만큼 다운하여 상기 제3 전원 전압을 발생하는 적어도 하나의 엔모스(NMOS) 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 12

제 10 항에 있어서, 상기 제2 드라이버 회로는

상기 제2 단자와 상기 제3 전원 전압 노드 사이에 접속되며, 상기 제2 모드에서 상기 제2 드라이빙 신호를 상기 제3 전원 전압으로 구동하는 제2 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 13

제 11 항 또는 제 12항에 있어서,

상기 제1 전원 전압은 외부에서 공급되는 전압 보다 높은 증압 전압이고,

상기 제2 전원 전압은 공통의 기준 전압인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 14

제13 항에 있어서, 상기 제2 드라이버 회로는

그 출력이 상기 제2 단자에 접속되는 인버터; 및

상기 인버터와 상기 제1 전원 전압 노드 또는 상기 제2 전원 전압 노드 사이에 접속되며, 상기 모드 제어 신호에 응답하는 스위치를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 15

제 8 항에 있어서,

상기 제2 드라이빙 신호는 메인 워드라인으로 제공되는 신호이고,

상기 제3 드라이빙 신호는 서브 워드라인으로 제공되는 신호인 것을 특징으로 하는 반도체 메모리 장치의 드라이버 회로.

청구항 16

워드라인 드라이버 회로;

제1 및 제2 전원 전압을 각각 공급하는 제1 및 제2 전원 공급 노드; 및

상기 워드라인 드라이버 회로 및 상기 제1 및 제2 전원 공급 노드 사이에 연결되며, 제어 신호에 응답하여 스위칭되어 상기 워드라인 드라이버 회로로 상기 제1 및 제2 전원 전압을 선택적으로 제공하는 스위칭 블록을 구비하는 반도체 메모리 장치.

청구항 17

제 16 항에 있어서,

상기 워드라인 드라이버 회로는 상기 제어 신호에 응답하여 액티브 모드 또는 대기 모드가 되며,

상기 액티브 모드에서는 상기 제1 전원 전압이, 상기 대기 모드에서는 상기 제2 전원 전압이 상기 워드라인 드라이버 회로로 제공되고,

상기 제1 전원 전압은 상기 제2 전원 전압 보다 높은 것을 특징으로 하는 반도체 메모리 장치.

청구항 18

제 17 항에 있어서,

상기 반도체 메모리 장치는 상기 제2 전원 전압을 제공받는 기능 회로를 더 구비하며,

상기 기능 회로는 적어도 하나의 얇은 옥사이드 트랜지스터를 포함하고,

상기 워드라인 드라이버 회로는 적어도 하나의 두꺼운 옥사이드 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19

제 17 항에 있어서,

상기 워드라인 드라이버 회로는 하나의 서브 메모리셀 블록에 대응하며,

상기 제어 신호는 블록 어드레스 신호에 기초한 신호인 것을 특징으로 하는 반도체 메모리 장치.

청구항 20

제 17 항에 있어서, 상기 워드라인 드라이버 회로는

로우 어드레스 신호의 일부에 응답하여 복수의 워드라인들 중 어느 하나를 활성화하는 것을 특징으로 하는 반도체 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀더 상세하게는, 반도체 메모리 장치의 드라이버 회로에서의 누설 전류, 특히 GIDL(Gate Induced Drain Leakage) 전류를 감소시키기 위한 회로 및 반도체 메모리 장치에 관한 것이다.
- <20> 반도체 메모리가 고집적 및 대용량화 됨에 따라 모오스(MOS) 트랜지스터의 크기 및 게이트 산화물(Gate Oxide, SiO₂)의 두께는 점점 작아지는 추세이다. 이에 반해 승압 전압(VPP)은 여전히 높게 유지되어, 승압 전압(VPP)을 사용하는 트랜지스터의 게이트에 가해지는 전기장(Electrical Field)의 세기는 상당히 강하다.
- <21> 이로 인해 승압 전압(VPP)이 가해지는 트랜지스터에서는 HCI(Hot Carrier Injection) 및 GIDL(Gate Induced Drain Leakage) 등의 누설 전류가 점점 증가하게 되었다. 이러한 누설 전류량의 증가는 반도체 메모리 장치의 특성 및 생산성 저하를 초래할 수 있다.
- <22> 그러므로, 반도체 메모리 장치에서 발생할 수 있는 누설 전류, 특히 GIDL 전류를 제거하거나 감소시킬 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

- <23> 따라서, 본 발명의 기술적 과제는 반도체 메모리 장치, 특히 워드라인 드라이버에서 발생할 수 있는 GIDL 전류를 감소시킬 수 있는 드라이버 회로 및 반도체 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

- <24> 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 일 측면에 따른 반도체 메모리 장치의 드라이버 회로는 제1 및 제2 드라이버 회로를 구비한다.
- <25> 상기 제1 드라이버 회로는 모드 제어 신호에 응답하여 제1 로우 어드레스 신호에 기초한 제1 드라이빙 신호를 발생한다. 상기 제2 드라이버 회로는 상기 제1 드라이빙 신호를 수신하는 제1 단자 및 제2 단자를 가지는 제1 트랜지스터를 포함하고, 상기 제1 드라이빙 신호 및 제2 로우 어드레스 신호에 기초하여 제2 드라이빙 신호를 발생한다.
- <26> 상기 제1 드라이버 회로는 제1 모드에서는, 상기 제1 드라이빙 신호를 제1 전원 전압 또는 제2 전원 전압으로 구동하고, 제2 모드에서는 상기 제1 드라이빙 신호를 제3 전원 전압으로 구동하며, 상기 제3 전원 전압은 상기 제1 전원 전압 보다 낮고 상기 제2 전원 전압보다 높다.
- <27> 상기 반도체 메모리 장치는 상기 모드 제어 신호에 응답하여 상기 제1 모드 또는 상기 제2 모드가 되며, 상기

제1 모드는 액티브 모드이고, 상기 제2 모드는 대기 모드이다.

- <28> 상기 제1 드라이버 회로는 상기 제1 단자와 상기 제3 전원 전압 노드 사이에 접속되며, 상기 모드 제어 신호에 응답하여 동작하는 제2 트랜지스터를 구비할 수 있다.
- <29> 상기 제1 및 제2 트랜지스터는 각각 피모스(PMOS) 트랜지스터이고, 상기 제1 단자는 상기 제1 트랜지스터의 소오스 또는 드레인 단자이며, 상기 제2 단자는 상기 제1 트랜지스터의 게이트 단자일 수 있다.
- <30> 상기 제1 전원 전압은 외부에서 공급되는 전압 보다 높은 내부 승압 전압이고, 상기 제2 전원 전압은 0V의 공통 기준 전압이며, 상기 제3 전원 전압은 0V 보다 높은 로컬 전압일 수 있다.
- <31> 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 다른 일 측면에 따른 반도체 메모리 장치의 드라이버 회로는 제1, 제2 및 제3 드라이버 회로를 구비한다.
- <32> 상기 제1 드라이버 회로는, 모드 제어 신호에 응답하여 제1 로우 어드레스 신호에 기초한 제1 드라이빙 신호를 발생하고, 상기 제2 드라이버 회로는, 상기 모드 제어 신호 및 제2 로우 어드레스 신호에 기초하여 제2 드라이빙 신호를 발생하며, 상기 제3 드라이버 회로는 상기 제1 드라이빙 신호를 수신하는 제1 단자 및 상기 제2 드라이빙 신호를 수신하는 제2 단자를 가지는 제1 트랜지스터를 포함하고, 상기 제1 드라이빙 신호 및 제2 드라이빙 신호에 기초하여 제3 드라이빙 신호를 발생한다.
- <33> 상기 제2 드라이버 회로는 제1 모드에서는, 상기 제2 드라이빙 신호를 제1 전원 전압 또는 제2 전원 전압으로 구동하고, 제2 모드에서는 상기 제2 드라이빙 신호를 제3 전원 전압으로 구동하며, 상기 제3 전원 전압은 상기 제1 전원 전압 보다 낮고 상기 제2 전원 전압보다 높다.
- <34> 상기 반도체 메모리 장치는 상기 모드 제어 신호에 응답하여 상기 제1 모드 또는 상기 제2 모드가 되며, 상기 제1 모드는 액티브 모드이고, 상기 제2 모드는 대기 모드이다.
- <35> 상기 제1 트랜지스터는 피모스(PMOS) 트랜지스터이고, 상기 제1 단자는 상기 제1 트랜지스터의 소오스 또는 드레인 단자이며, 상기 제2 단자는 상기 제1 트랜지스터의 게이트 단자일 수 있다.
- <36> 상기 제2 드라이버 회로는 상기 제2 단자와 상기 제1 전원 전압 노드 사이에 접속되며, 상기 제2 모드에서 상기 제1 전원 전압을 소정 전압만큼 다운하여 상기 제3 전원 전압을 발생하는 적어도 하나의 엔모스(NMOS) 트랜지스터를 구비할 수 있다.
- <37> 또는, 상기 제2 드라이버 회로는 상기 제2 단자와 상기 제3 전원 전압 노드 사이에 접속되며, 상기 제2 모드에서 상기 제2 드라이빙 신호를 상기 제3 전원 전압으로 구동하는 제2 트랜지스터를 구비할 수 있다.
- <38> 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 일 측면에 따른 반도체 메모리 장치는 워드라인 드라이버 회로; 제1 및 제2 전원 전압을 각각 공급하는 제1 및 제2 전원 공급 노드; 및 상기 워드라인 드라이버 회로 및 상기 제1 및 제2 전원 공급 노드 사이에 연결되며, 제어 신호에 응답하여 스위칭되어 상기 워드라인 드라이버 회로로 상기 제1 및 제2 전원 전압을 선택적으로 제공하는 스위칭 블록을 구비한다.
- <39> 상기 워드라인 드라이버 회로는 상기 제어 신호에 응답하여 액티브 모드 또는 대기 모드가 되며, 상기 액티브 모드에서는 상기 제1 전원 전압이, 상기 대기 모드에서는 상기 제2 전원 전압이 상기 워드라인 드라이버 회로로 제공되고, 상기 제1 전원 전압은 상기 제2 전원 전압 보다 높다.
- <40> 상기 반도체 메모리 장치는 상기 제2 전원 전압을 제공받는 기능 회로를 더 구비할 수 있다. 상기 기능 회로는 적어도 하나의 얇은 옥사이드 트랜지스터를 포함하고, 상기 워드라인 드라이버 회로는 적어도 하나의 두꺼운 옥사이드 트랜지스터를 포함할 수 있다.
- <41> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <42> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <43> 도 1은 통상의 반도체 메모리 장치의 개략적인 구성 블록도이다.
- <44> 이를 참조하면, 반도체 메모리 장치(10)는 제어 회로(20), 어드레스 버퍼(30), 로우 디코더(40), 메모리 셀 어레이(50), 감지증폭부(60), 데이터 제어 회로(70), 및 칼럼 디코더(80)를 구비한다.

- <45> 반도체 메모리 장치(10)의 개략적인 동작은 다음과 같다.
- <46> 메모리 셀 어레이(50)는 수많은 메모리셀들이 로우(row)방향과 칼럼(column) 방향으로 배열되어 있는 데이터 저장 장소이다. 메모리 셀 어레이(50)는 도 2에 도시된 바와 같이 다수의 서브 메모리셀 블록들(50a, 50b)로 나누어질 수 있다.
- <47> 데이터 제어 회로(70)를 통하여 입력된 입력 데이터(DQ0~DQ7)는 어드레스 신호(A0~An)에 기초하여 메모리 셀 어레이(50)에 기입되고, 어드레스 신호(A0~An)에 기초하여 메모리 셀 어레이(50)로부터 독출된 출력 데이터는 데이터 제어 회로(70)를 통하여 외부로 출력된다. 데이터가 기입되거나 혹은 독출될 메모리셀을 지정하기 위하여 어드레스 신호(A0~An)가 어드레스 버퍼(30)로 입력되어 버퍼링된다. 로우 디코더(40)는 어드레스 버퍼(30)로부터 출력된 로우 어드레스 신호(ROW ADDRESS)를 디코딩하여 메모리 셀 어레이(50)의 워드 라인들 중 로우 어드레스 신호(ROW ADDRESS)에 대응하는 워드라인을 활성화한다.
- <48> 칼럼 디코더(80)는 칼럼 어드레스 신호(COLUMN ADDRESS)를 수신하여 디코딩한다. 감지증폭부(60)는 로우 및 칼럼 어드레스 신호에 의해 지정된 메모리셀로부터 출력되는 데이터를 감지 증폭한다.
- <49> 제어 회로(20)는 외부로부터 인가되는 제어 신호(CONTROL SIGNAL), 예컨대, /WE, /CS, /RAS, /CAS 등의 신호를 수신하고, 이 신호들을 디코딩하여 디코딩된 명령 신호를 출력한다.
- <50> 도 2a는 통상의 반도체 메모리 장치의 코아 블록의 구성도이다. 도 2b는 통상의 반도체 메모리 장치의 코아 블록의 배열을 나타내는 도면이다. 도 2b에서 동일한 참조번호는 동일한 기능을 하는 회로를 나타낸다. 참조 번호에 붙는 첨자(예컨대, 100a의 a)는 동일한 기능을 하는 다수의 회로를 구분하기 위한 것이다.
- <51> 도 2a를 참조하면, 코아 블록은 다수의 서브 메모리셀 블록들(50a, 50b) 및 드라이버 회로를 구비한다. 드라이버 회로는 액티브 모드시 서브 메모리셀 블록들(50a, 50b)의 로우(row) 방향으로 배열되는 서브 워드라인들(SWL) 중 적어도 하나를 구동(활성화)하기 위한 회로로서, PXI 신호 발생 회로(100), PXID 드라이버(200), 메인 워드라인 드라이버(300), 및 서브 워드라인 드라이버(400)를 포함한다.
- <52> 도 3은 도 2a에 도시된 PXI 신호 발생 회로(100) 및 PXID 드라이버(200)의 상세 회로도이다.
- <53> PXI 신호 발생 회로(100)는 액티브 신호(ACTIVE)와 제1 디코딩된 로우 어드레스 신호(Lower Decoded Row Address, DRA<0:1>)를 수신하고, 상기 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)에 대응하는 PXI 신호를 활성화한다. 여기서, 액티브 신호(ACTIVE)는 메모리셀 블록의 모드(액티브 모드/대기 모드)를 나타내는 모드 제어 신호로서, 액티브 신호(ACTIVE)가 소정 레벨(예컨대 하이레벨)로 활성화되면 해당 메모리 셀 블록은 액티브 모드가 되고, 액티브 신호(ACTIVE)가 비활성화된 상태이면 해당 메모리 셀 블록은 대기 모드 (또는 프리차아지 모드라고도 함)가 된다.
- <54> 도 3을 참조하면, PXI 신호 발생 회로(100)는 부정 논리곱 게이트(110), 앤모스 트랜지스터(130), 및 피모스 트랜지스터(120)로 구성될 수 있다. PXI 신호 발생 회로(100)는 액티브 신호(ACTIVE)와 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)가 모두 하이레벨로 활성화된 경우 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)에 대응하는 PXI 신호를 승압 전압(VPP) 레벨로 활성화한다. 승압 전압(VPP)은 외부에서 공급되는 제1 전원 전압(VDD)보다 높은 고전압으로서 주로 반도체 메모리 장치의 내부에서 발생하는 전압이다.
- <55> 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)는 4가지 경우(즉, 00, 10, 01, 11)가 있을 수 있으므로, 활성화되는 PXI 신호 역시 4가지이다. 즉, 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)에 따라 PXI[0], PXI[1], PXI[2] 및 PXI[3] 중의 어느 하나가 활성화된다.
- <56> PXID 드라이버(200)는 PXI 신호(PXI[0] ~ PXI[3])를 수신하여 PXID 신호(PXID[0] ~ PXID[3])를 발생하여 서브 워드라인 드라이버(400)로 전송한다. 다시 말하면, PXID 드라이버(200)는 PXI 신호(PXI[0] ~ PXI[3])에 응답하여 대응하는 PXID 신호선을 구동한다. 이를 위하여 PXI 드라이버(200)는 제1 인버터(210, 220) 및 제2 인버터(230, 240)를 구비한다. 제1 인버터(210, 220) 및 제2 인버터(230, 240)는 각각 승압 전압(VPP) 노드와 제2 전원 전압(VSS) 노드 사이에 연결된다. 설명의 편의상, 제1 인버터(210, 220)의 출력 신호를 PXIB, 제2 인버터(230, 240)의 출력 신호를 PXID라 한다.
- <57> PXID 드라이버(200)로 입력되는 PXI 신호가 하이레벨(즉, 승압 전압(VPP)레벨)이면 PXIB 신호는 제2 전원 전압(VSS, 예컨대 접지 전압)이 되고, PXID 신호는 승압 전압(VPP) 레벨로 활성화된다.
- <58> 도 2b를 참조하면, PXID 드라이버(200i, i=a, b, e, f)는 서브 메모리셀 블록들(50a, 50e)간의 연결 영역

(conjunction)에 배치된다.

- <59> 도 4는 도 2a에 도시된 메인 워드라인 드라이버(300) 및 서브 워드라인 드라이버(400)의 상세 회로도이다.
- <60> 메인 워드라인 드라이버(300)는 액티브 신호(ACTIVE)와 제2 디코딩된 로우 어드레스 신호(Upper Decoded Row Address, DRA<2:8>)에 응답하여 다수의 메인 워드라인 신호(MWL[0]~ MWL[n]) 중 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)에 대응하는 메인 워드라인 신호(MWL)를 로우레벨(VSS)로 활성화한다.
- <61> 메인 워드라인 드라이버(300)는 승압 전압(VPP) 노드와 B 노드 사이에 병렬로 연결되는 제1 및 제2 피모스(PMOS) 트랜지스터(310, 340), B노드와 제2 전원 전압(VSS) 노드 사이에 직렬로 연결되는 제1 및 제2 엔모스(NMOS) 트랜지스터(320, 330), 그 입력은 B 노드에 그 출력은 A노드에 연결되는 제1 인버터(350, 360) 및 그 입력은 A 노드에 그 출력은 메인 워드라인(MWL)에 연결되는 제2 인버터(370, 380)를 구비한다.
- <62> 제1 피모스 트랜지스터(310) 및 제2 엔모스 트랜지스터(330)는 액티브 신호(ACTIVE)에 응답하여 동작하고, 제1 엔모스 트랜지스터(320)는 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)에 응답하여 동작한다. 그리고, 제2 피모스 트랜지스터(340)는 A노드 신호에 응답하여 동작한다.
- <63> 액티브 모드시에는 제1 및 제2 엔모스 트랜지스터(320, 330)가 턴온되어 B 노드는 VSS 레벨이 되고, A 노드는 VPP 레벨이 된다. 따라서, 메인 워드라인 신호(MWL)은 VSS레벨이 된다.
- <64> 대기 모드시에는 제1 피모스 트랜지스터(310)가 턴온되어 B노드는 VPP 레벨이 되고, A 노드는 VSS 레벨이 된다. 따라서, 메인 워드라인 신호(MWL)은 VPP 레벨이 된다.
- <65> 서브 워드라인 드라이버(400)는 그 입력은 메인 워드라인(MWL)에 연결되고, 그 출력은 서브 워드라인(SWL)에 연결되는 인버터(410, 420) 및 PXIB 신호에 응답하는 엔모스 트랜지스터(430)를 포함한다. 인버터(410, 420)는 그 게이트 단자는 메인 워드라인(MWL)에 연결되고 그 소오스 단자로는 PXID 신호를 수신하며 그 드레인 단자는 서브워드라인(SWL)에 연결되는 피모스 트랜지스터(410)와 그 게이트 단자는 메인 워드라인(MWL)에 연결되고 그 소오스 단자는 제2 전원 전압(VSS) 노드에 연결되며 그 드레인 단자는 서브워드라인(SWL)에 연결되는 피모스 트랜지스터(420)로 구성된다.
- <66> 도 5는 통상의 반도체 메모리 장치에서의 액티브/프리차이지 모드에 따른 신호 타이밍도이다.
- <67> 도 3 내지 도 5를 참조하여, 통상의 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 동작을 설명하면 아래와 같다.
- <68> 액티브 모드에서는, 액티브 신호(ACTIVE)가 승압 전압(VPP)레벨로 활성화된다. 이 때, 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)가 하이레벨로 활성화된 경우, 즉 해당 메인 워드라인이 선택된 경우(selected case)를 가정한다. 그러면, 메인 워드라인 드라이버(300)의 엔모스 트랜지스터들(320, 330)이 턴온되어 B 노드는 로우레벨이 되고, 이에 따라 A 노드는 승압 전압(VPP) 레벨이 된다. 따라서, 메인 워드라인(MWL)은 제2 전원 전압(VSS, 예컨대 0V) 레벨이 된다.
- <69> PXI 신호 발생 회로(100)는 하이레벨로 활성화된 제1 디코딩된 로우 어드레스 신호(DRA<0:1>) 및 액티브 신호(ACTIVE)에 응답하여 승압 전압(VPP) 레벨의 PXI 신호를 발생한다. 이에 따라 PXID 드라이버(200) 역시 VPP 레벨의 PXID 신호를 발생한다. 이 경우에는, 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)가 0V의 메인 워드라인 신호(MWL)에 응답하여 턴온되어 서브 워드라인(SWL)으로 전하를 공급하여 서브 워드라인(SWL)을 PXID 레벨(즉 VPP 레벨)로 구동함으로써, 메모리셀로/로부터 데이터를 전달할 수 있는 상태가 되게 한다.
- <70> 반면, 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)가 로우레벨로 비활성화된 경우, 즉 해당 메인 워드라인이 선택되지 않은 경우(unselected case)를 가정한다. 이 경우 A 노드는 0V가 되고, 메인 워드라인(MWL)은 승압 전압(VPP) 레벨이 된다. 이 경우에는 서브 워드라인 드라이버(400)의 엔모스 트랜지스터(420)가 VPP 레벨의 메인 워드라인 신호(MWL)에 응답하여 턴온되어 서브 워드라인(SWL)을 0V가 되게 한다.
- <71> 프리차이지 모드에서는, 액티브 신호(ACTIVE)가 0V로 비활성화된다. 액티브 신호(ACTIVE)가 비활성화 상태인 경우, PXI 신호 발생회로(100)에 의해 PXI 신호는 0V가 되고, 이에 따라 PXID 신호 역시 0V가 된다. 그리고, 메인 워드라인 드라이버(300)의 피모스 트랜지스터(310)가 턴온되어, B 노드는 VPP 레벨이 되고 이에 따라 A 노드가 0V가 되고 메인 워드라인 신호(MWL)는 VPP 레벨이 된다.
- <72> 이 경우, 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410) 및 엔모스 트랜지스터(420)의 게이트에는 VPP 레벨의 메인 워드라인 신호(MWL)가 인가된다. 따라서, 피모스 트랜지스터(410)는 턴오프되고 엔모스 트랜지스터

(420)가 턴온되어, 서브 워드라인(SWL)을 0V가 되게 한다.

- <73> 프리차아지 모드 동안 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 게이트에 승압 전압(VPP) 레벨이 인가되면, 피모스 트랜지스터(410)는 턴오프된다. 피모스 트랜지스터(410)의 채널 주위에는 디플리션(Depletion) 영역이 형성되어 있는데, 피모스 트랜지스터(410)의 게이트로 인가되는 VPP 레벨이 충분히 높으면 드레인 영역(혹은 소오스 영역) 부분에 디플리션 영역이 점점 사라진다. VPP레벨이 더욱 높아지면 게이트-드레인(혹은 소오그)간의 오버랩 영역의 채널 위쪽으로 N+영역(Nwell)이 형성되고 드레인 영역(혹은 소오스 영역, P+)과 이 영역(N+ 영역) 사이에 전기장에 의한 역바이어스(Reverse Bias)가 강하게 작용하여 아발란체 브레이크 다운(avalanche break down) 및 터널(tunnel)이 발생하여 누설 전류 경로가 형성된다. 따라서, 누설 전류가 발생할 수 있다. 그러므로, 대기 모드에서의 누설 전류량을 감소시킬 수 있는 드라이버 회로가 필요하다.
- <74> 도 6은 본 발명의 일 실시예에 따른 PXID 드라이버(500) 및 서브 워드라인 드라이버(400)를 나타내는 회로도이다.
- <75> 도 6을 참조하면, PXID 드라이버(500)는 대응하는 PXI 신호를 수신하여, PXID 신호를 발생하여 서브 워드라인 드라이버(400)로 전송한다. 다시 말하면, PXID 드라이버(500)는 PXI 신호에 응답하여 대응하는 PXID 신호선을 구동한다. 이를 위하여 PXI 드라이버(400)는 제1 인버터(210, 220), 제2 인버터(230, 240), 스위치(510), 및 풀업 트랜지스터(520)를 구비한다. 따라서, PXID 드라이버(500)는 도 3에 도시된 PXID 드라이버(200)의 구성에서 스위치(510)와 풀업 트랜지스터(520)가 더 추가된 구성을 가진다. PXI 신호는 도 3에 도시된 PXI 신호 발생 회로(100)에 의해 발생할 수 있다.
- <76> 제1 인버터(210, 220)는 PXI 신호를 반전하여 PXIB 신호를 발생한다. 제2 인버터(230, 240)는 승압 전압(VPP) 노드와 스위치(510) 사이에 직렬로 연결되는 피모스 트랜지스터(230) 및 엔모스 트랜지스터(240)를 구비한다. 피모스 트랜지스터(230) 및 엔모스 트랜지스터(240)는 그 게이트끼리 상호 연결되고, 그 드레인끼리 상호 연결된다. 스위치(510)는 제2 인버터의 엔모스 트랜지스터(240)와 제2 전원 전압(VSS) 사이에 연결되며, 액티브 신호(ACTIVE)에 응답하여 동작하는 피모스 트랜지스터로 구현될 수 있다. 스위치(510)는 승압 전압(VPP) 노드와 제2 인버터의 피모스 트랜지스터(230) 사이에 연결될 수도 있다.
- <77> 제2 인버터(230, 240)는 스위치(510)와 연결되므로, 제2 인버터(230, 240)는 액티브 신호(ACTIVE)가 하이레벨로 활성화된 상태에서 PXIB 신호를 반전하여 PXID 신호를 발생한다.
- <78> 풀업 트랜지스터(520)는 제3 전원 전압(VCCA/2) 노드와 제2 인버터(230, 240)의 출력 노드 사이에 접속되며, 액티브 신호(ACTIVE)에 응답하는 피모스 트랜지스터로 구현될 수 있다. 이 경우, 풀업 트랜지스터(520)는 로우레벨의 액티브 신호(ACTIVE)에 응답하여 턴온되어 PXID 신호를 제3 전원 전압(VCCA/2) 레벨이 되도록 한다. 본 실시예에서는 제3 전원 전압은 "VCCA/2" 레벨이지만, 이는 달리 설정될 수 있다. 제3 전원 전압은 승압 전압(VPP)보다 낮고 제2 전원 전압(VSS, 예컨대, 0V)보다 높은 로컬 전압일 수 있다. VCCA는 외부로부터 공급되는 제1 전원 전압(VDD)과 동일한 전압 레벨일 수 있다.
- <79> 서브 워드라인 드라이버(400)는 도 4에 도시된 서브 워드라인 드라이버(400)와 동일하므로, 이에 대한 상세한 설명은 생략한다.
- <80> 도 7은 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차아지 모드시의 신호 타이밍도이다.
- <81> 도 6 및 도 7을 참조하여, 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차아지 모드시의 신호를 설명하면 아래와 같다.
- <82> 액티브 모드에서는, 액티브 신호(ACTIVE) 신호가 승압 전압(VPP) 레벨로 활성화된다.
- <83> 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)에 해당하는 PXID 신호(즉, 선택된 경우)를 가정한다. 이 경우, 하이레벨의 제1 디코딩된 로우 어드레스 신호(DRA<0:1>) 및 액티브 신호(ACTIVE)에 응답하여 승압 전압(VPP) 레벨의 PXI 신호가 발생된다. 이에 따라 PXIB 신호는 0V(제2 전원 전압, VSS)이 되고, PXID 신호는 VPP 레벨이 된다. 이 때, 선택된 메인 워드라인(MWL)은 제2 전원 전압(VSS, 예컨대 0V) 레벨이므로, 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)가 0V의 메인 워드라인 신호(MWL)에 응답하여 턴온되어, 서브 워드라인(SWL)으로 전하를 공급하여 서브 워드라인(SWL)을 PXID레벨(즉 VPP 레벨)로 구동함으로써, 메모리셀로/로부터 데이터를 전달할 수 있는 상태가 되게 한다.
- <84> 이번에는 제1 디코딩된 로우 어드레스 신호(DRA<0:1>)에 해당하지 않은 PXID 신호(즉, 선택되지 않은 경우)를

가정한다. 이 경우, PXI 신호는 0V 가 된다. 이에 따라 PXIB 신호는 VPP 레벨이 되고, PXID 신호는 0V가 된다.

<85> 한편, 프리차이지 모드에서는, 액티브 신호(ACTIVE)가 0V로 비활성화된다. 액티브 신호(ACTIVE)가 비활성화 상태인 경우, PXI 신호 발생회로(100)에 의해 PXI 신호는 0V가 된다. 이 경우, PXID 드라이버(500)의 제1 인버터(210, 220)는 PXI 신호를 반전하여 VPP레벨의 PXIB 신호를 발생한다. 액티브 신호(ACTIVE)가 0V이므로, PXID 드라이버(500)의 스위치(510)는 턴오프되어 제2 인버터(230, 240)는 작동하지 않으며, 풀업 트랜지스터(520)는 턴온되어 PXID 신호를 VCCA/2 레벨이 되도록 한다.

<86> 따라서, 본 발명의 일 실시예에 따른 PXID 드라이버(500)에 의하면, 프리차이지 구간 동안 PXID 신호는 VCCA/2 레벨이 된다. 프리차이지 구간에서는 메인 워드라인(MWL)은 VPP 레벨이 되므로, 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)에 게이트 단자의 전압은 VPP레벨이 되고, 소오스 단자의 전압은 VCCA/2 레벨이다.

<87> 따라서, 피모스 트랜지스터(410)의 벌크 기판(bulk substrate)에 VPP 전압이 인가되는 경우라면, 프리차이지 구간동안 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 소오스-기판간의 전압차는 "VPP-VCCA/2" 이다.

<88> 이 전압차는 통상의 반도체 메모리 장치에서, 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 소오스-기판간의 전압차인 VPP 보다 낮다. 통상의 반도체 메모리 장치에서는 프리차이지 구간동안 PXID 신호가 0V이므로, 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 소오스-기판간의 전압차가 "VPP-0"이 된다.

<89> GIDL 전류는 상술한 바와 같이, 피모스 트랜지스터의 게이트 전압이 충분히 높은 상태에서 드레인 영역(혹은 소오스 영역)과 기판 사이에 역바이어스 전압이 강하게 걸려 브레이크 다운 상태가 되고 드레인(혹은 소오스)과 기판 사이에 전류 경로가 형성되는 현상이다. 따라서, 소오스와 기판간 전압차이가 크면 클수록 큰 GIDL 전류가 흐르게 된다.

<90> 그런데, 본 발명의 일 실시예에 따르면, 프리차이지 구간에서의 서브 워드라인 드라이버의 피모스 트랜지스터의 소오스-기판간 전압차가 종래기술에 비하여 감소하므로, GIDL 전류가 줄어든다.

<91> 다른 실시예에서는, 피모스 트랜지스터(410)의 기판과 소오스가 접속될 수도 있다.

<92> 도 8은 본 발명의 일 실시예에 따른 메인 워드라인 드라이버(700) 및 서브 워드라인 드라이버(400)를 나타내는 회로도이다.

<93> 도 8을 참조하면, 메인 워드라인 드라이버(700)는 인버터(370, 380), 스위치(710) 및 제1 및 제2 레벨 다운 트랜지스터(730, 740)를 포함한다.

<94> 인버터(370, 380)의 입력은 A 노드에 접속되고, 출력은 메인 워드라인(MWL)에 접속된다.

<95> 스위치(710)는 승압 전압(VPP)노드와 인버터(370, 380) 사이에 연결되며, 반전 액티브 신호(ACTIVEB)에 응답하는 피모스 트랜지스터로 구현될 수 있다.

<96> 제1 및 제2 레벨 다운 트랜지스터(730, 740)는 승압 전압(VPP) 노드와 메인 워드라인(MWL) 사이에 직렬로 접속되며, 제1 레벨다운 트랜지스터(730)는 반전 액티브 신호(ACTIVEB)에 응답하여 동작하고, 제2 레벨다운 트랜지스터(740)는 A 노드 신호의 반전 신호에 응답하여 동작한다. 제1 및 제2 레벨 다운 트랜지스터(730, 740)는 엔모스 트랜지스터로 구현될 수 있으며, 프리차이지 모드에서 메인 워드라인(MWL) 신호를 VPP레벨 보다 2Vtn만큼 낮추는 역할을 한다. 여기서, Vtn 은 제1 및 제2 레벨 다운 트랜지스터(730, 740)의 각각의 문턱 전압이다.

<97> 메인 워드라인 드라이버(700)는 또한, 도 4에 도시된 승압 전압(VPP) 노드와 B 노드 사이에 병렬로 연결되는 제1 및 제2 피모스(PMOS) 트랜지스터(310, 340), B노드와 제2 전원 전압(VSS) 노드 사이에 직렬로 연결되는 제1 및 제2 엔모스(NMOS) 트랜지스터(320, 330), 그 입력은 B 노드에 그 출력은 A노드에 연결되는 제1 인버터(350, 360)를 더 구비한다.

<98> 따라서, 메인 워드라인 드라이버(700)는 도 4에 도시된 메인 워드라인 드라이버(300)의 구성에서 스위치(710)와 제1 및 제2 레벨 다운 트랜지스터(730, 740)가 더 추가된 구성을 가진다.

<99> 스위치(710)는 로우레벨의 반전 액티브 신호(ACTIVEB)에 응답하여 턴오프되므로 액티브 모드시에만 턴온된다. 따라서, 액티브 모드시에는 인버터(370, 380)가 동작하여 A 노드 신호를 반전하여 메인 워드라인 신호(MWL)를 발생한다.

<100> 스위치(710)는 프리차이지 모드에서는 턴오프되므로, 프리차이지 모드에서는 제1 및 제2 레벨 다운 트랜지스터

(730, 740)에 의하여 메인 워드라인 신호(MWL)는 "VPP-2V_{tn}" 이 된다.

- <101> 스위치(710)는 인버터(370, 380)와 제2 전원 전압(VSS) 노드 사이에 연결될 수도 있다.
- <102> 서브 워드라인 드라이버(400)는 도 4에 도시된 서브 워드라인 드라이버(400)와 동일하므로, 이에 대한 상세한 설명은 생략한다.
- <103> 도 9는 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 신호 타이밍도이다.
- <104> 도 8 및 도 9를 참조하여, 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 동작을 설명하면 아래와 같다.
- <105> 액티브 모드에서는, 액티브 신호(ACTIVE) 신호가 승압 전압(VPP)레벨로 활성화되고 반전 액티브 신호(ACTIVEB)는 0V가 된다. 이 때, 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)에 의해 선택된 메인 워드라인의 경우에는, 도 5에서 상술한 바와 같이, A 노드는 승압 전압(VPP) 레벨이 되고 메인 워드라인(MWL)은 제2 전원 전압(VSS, 예컨대 0V) 레벨이 된다. 선택되지 않은 메인 워드라인의 경우에는, A노드는 0V가 되고, 메인 워드라인(MWL)은 승압 전압(VPP) 레벨이 된다.
- <106> 한편, 프리차이지 모드에서는, 액티브 신호(ACTIVE) 신호가 0V로 비활성화되고 반전 액티브 신호(ACTIVEB)는 하 이레벨이 된다. 따라서, 제1 레벨 다운 트랜지스터(730)는 턴온된다. 프리차이지 구간에서는 A 노드는 0V가 되고, 이에 따라 제2 레벨다운 트랜지스터(740)도 턴온된다. 따라서, 메인 워드라인(MWL)은 "VPP-2V_{tn}"레벨이 된다. V_{tn}은 상술한 바와 같이 제1 및 제2 레벨다운 트랜지스터(730, 740)의 각 문턱 전압(threshold voltage)이다.
- <107> 따라서, 프리차이지 구간에서 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 게이트로 인가되는 전압의 레벨이 VPP에 비해 낮은 "VPP-2V_{tn}" 이 되어, 피모스 트랜지스터(410)의 게이트 전압이 낮아지므로, GIDL 전류가 감소한다.
- <108> 즉, 통상의 기술에 따르면, 프리차이지 구간에서 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 게이트로 인가되는 전압이 VPP 레벨로서 상당히 높기 때문에, 많은 GIDL 전류를 유발할 수 있다. 이에 비하여, 본 발명의 일 실시예에 따르면, 프리차이지 구간에서 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 게이트로 인가되는 전압이 VPP 레벨에 비하여 2V_{tn} 만큼 낮아지므로, GIDL 전류량이 줄어들 수 있다.
- <109> 도 10은 본 발명의 일 실시예에 따른 메인 워드라인 드라이버(600) 및 서브 워드라인 드라이버(400)를 나타내는 회로도이다.
- <110> 도 10을 참조하면, 메인 워드라인 드라이버(600)는 도 8에 도시된 메인 워드라인 드라이버(700)와 유사한 구성을 가진다. 다만, 도 8에 도시된 메인 워드라인 드라이버(700)의 제1 및 제2 레벨다운 트랜지스터(730, 740) 대신에 피모스 트랜지스터(630)가 제4 전원 전압(VCCA) 노드와 메인 워드라인(MWL) 사이에 연결된다. 본 실시예에서는, 제4 전원 전압은 VCCA 레벨이지만, 이는 달리 설정될 수도 있다. 제4 전원 전압은 VPP 보다 낮고 VSS 보다 높은 전압일 수 있다.
- <111> 피모스 트랜지스터(630)는 액티브 신호(ACTIVE)에 응답하여 동작한다. 구체적으로는, 액티브 신호(ACTIVE)가 로우레벨로 비활성화된 상태, 즉 프리차이지 모드에서 피모스 트랜지스터(630)가 턴온되고, 이에 따라 메인 워드라인(MWL)은 VCCA 레벨이 된다.
- <112> 도 10에 도시된 스위치(620)는 도 8에 도시된 스위치(710)와 동일한 역할을 한다.
- <113> 도 11은 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 신호 타이밍도이다.
- <114> 도 10 및 도 11을 참조하여, 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 동작을 설명하면 아래와 같다.
- <115> 도 11의 타이밍도를 도 9의 타이밍도와 비교하면, 도 10에 도시된 메인 워드라인 드라이버(600)는 도 8에 도시된 메인 워드라인 드라이버(700)의 동작과 유사하다. 다만, 프리차이지 구간에서 메인 워드라인(MWL)의 전압 레벨이 도 8에 도시된 메인 워드라인 드라이버(700)에서는 "VPP-2V_{tn}" 인데 반하여, 도 10에 도시된 메인 워드라인 드라이버(600)에서는 VCCA가 된다는 점에서 차이가 있다.
- <116> VCCA는 메모리셀 어레이에 공급되는 전압으로서, VPP 에 비하여 낮은 전압이다. 따라서, 도 10에 도시된 메인

워드라인 드라이버에 의하면, 프리차이지 구간에서 서브 워드라인 드라이버(400)의 피모스 트랜지스터(410)의 게이트로 인가되는 전압의 레벨이 VPP에 비해 낮은 VCCA 레벨이 되므로, GIDL 전류가 감소한다.

- <117> 도 12는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 코아 블록의 일부를 나타낸다.
- <118> 도 12를 참조하면, 코아 블록은 다수의 서브 메모리셀 블록들(미도시), 다수의 드라이버 회로들(1220~122N) 및 다수의 스위치 회로들(1210~121N)을 구비한다.
- <119> 다수의 드라이버 회로들(1220~122N)은 메인 워드라인 드라이버일 수 있다.
- <120> 각 드라이버 회로들(1220~122N)는 대응하는 스위치 회로(1210~121N)를 통하여 상위 전압(VDD_U) 또는 하위 전압(VDD_L)을 공급받고, 블록 어드레스 신호(DRA<9:11>) 및 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)에 응답하여, 복수의 메인 워드라인들 중 하나의 메인 워드라인(BLOCKi[0:127], i=0~N)을 선택하여 구동한다. 상위 전압(VDD_U)은 하위 전압(VDD_U) 보다 높다.
- <121> 각 스위치 회로(1210~121N)는 동작 모드에 따라 상위 전압(VDD_U) 또는 하위 전압(VDD_L)을 선택적으로 대응하는 드라이버 회로(1220~122N)로 제공한다. 구체적으로는 각 스위치 회로(1210~121N)은 블록 선택 신호들([0]~[N]) 중에서 대응하는 신호에 응답하여 스위칭되는 제1 스위치 및 제2 스위치와 상보적으로 동작하는 제2 스위치를 포함한다. 블록 선택 신호들([0]~[N])은 블록 어드레스 신호((DRA<9:11>))의 디코딩된 신호이다. 제1 및 제2 스위치는 피모스 트랜지스터로 구현될 수 있다.
- <122> 제1 스위치는 대응하는 블록 선택 신호([0]~[N])가 로우레벨로 비활성화된 경우 턴온되어, 하위 전압(VDD_L)을 해당 드라이버 회로로 제공한다. 제2 스위치는 대응하는 블록 선택 신호([0]~[N])가 하이레벨로 활성화된 경우 턴온되어, 상위 전압(VDD_H)을 해당 드라이버 회로(1220~122N)로 제공한다.
- <123> 도 13은 도 12에 도시된 코아 블록의 동작 타이밍도이다.
- <124> 도 12 및 도 13을 참조하여, 도 12에 도시된 코아 블록의 동작을 설명하면 다음과 같다.
- <125> 본 실시예에서는, 블록 어드레스 신호(DRA<9:11>)에 의해 제2 드라이버 회로(BLOCK1, 1221)가 액티브 모드로 선택되는 경우를 가정한다. 이 경우, 블록 선택 신호들([0]~[N]) 중에서 [1] 신호가 로우레벨에서 하이레벨로 활성화되고, 나머지 신호들([0], [2]~[N])은 로우레벨 상태에 있다. 그러면, 제2 스위치 회로(1211)는 상위 전압(VDD_H)을 제2 드라이버 회로(1221)로 제공하고, 나머지 스위치 회로(1210, 1212~121N)는 각각 하위 전압(VDD_L)을 대응하는 드라이버 회로(1220, 1222~122N)로 제공한다.
- <126> 따라서, 제2 드라이버 회로(1221)로 공급되는 전압([1_A])은 하위 전압(VDD_L)에서 상위 전압(VDD_H)으로 변하고, 나머지 드라이버 회로로 공급되는 전압, 예를 들어 제1 드라이버 회로(1220)으로 공급되는 전압([0_A])은 하위 전압(VDD_L) 레벨을 유지한다.
- <127> 제2 드라이버 회로(1221)는 DRAabc[1] 신호에 응답하여 복수의 메인 워드라인들(BLOCK1[0:127]) 중 하나의 메인 워드라인(여기서는, BLOCK1[1])을 선택하여 활성화한다. DRAabc[1] 신호는 제2 로우 어드레스 신호(DRA<2:8>)에 의해 활성화된 신호이다. 예컨대, 제2 로우 어드레스 신호(DRA<2:8>)가 "1000000" 일 때 DRAabc[1] 신호가 활성화된다.
- <128> 상술한 바와 같이, 본 발명의 일 실시예에 따르면, 액티브 모드시 공급되는 전압(VDD_U)에 비하여 프리차이지 모드시 공급되는 전압(VDD_L)의 레벨이 낮다. 따라서, 프리차이지 모드시 드라이버 회로를 구성하는 트랜지스터의 게이트에 인가되는 전압이 액티브 모드시 트랜지스터의 게이트에 인가되는 전압에 비하여 낮아진다. 이에 따라, 프리차이지 모드시 드라이버 회로에서 발생하는 GIDL이 감소한다.
- <129> 도 14는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 코아 블록의 일부를 나타낸다.
- <130> 도 14를 참조하면, 코아 블록은 다수의 서브 메모리셀 블록들(미도시), 다수의 기능 회로들(1420~142N), 다수의 드라이버 회로들(1430~143N) 및 다수의 스위치 회로들(1410~141N)을 구비한다.
- <131> 다수의 기능 회로들(1420~142N)은 게이트 산화물의 두께가 비교적 얇은 트랜지스터(Thin oxide transistor, 이하, 얇은 옥사이드 트랜지스터라 함)로 구성되는 블록이다. 다수의 드라이버 회로들(1420~142N)은 게이트 산화물의 두께가 비교적 두꺼운 트랜지스터(Thick oxide transistor, 이하 두꺼운 옥사이드 트랜지스터라 함)들로 구성되는 블록이다.
- <132> 도 16은 얇은 옥사이드 트랜지스터와 두꺼운 옥사이드 트랜지스터의 단면을 개략적으로 나타내는 도면이다.

- <133> 도 16에 도시된 트랜지스터(161, 162)는 엔모스 트랜지스터로서, 게이트 노드, N+의 소오스 영역 및 드레인 영역을 포함한다. 소오스 영역과 드레인 영역 간에 채널이 형성되며, 채널과 게이트 노드간에는 산화막(Oxide)이 개재된다. 이 산화막의 두께에 따라 얇은 옥사이드 트랜지스터(161)와 두꺼운 옥사이드 트랜지스터(162)로 나뉘어질 수 있다. 얇은 옥사이드 트랜지스터(161)의 산화막 두께(A)는 두꺼운 옥사이드 트랜지스터(162)의 산화막 두께(B)보다 적다. 얇은 옥사이드 트랜지스터(161)는 두꺼운 옥사이드 트랜지스터(162)에 비하여 게이트에 인가되는 높은 전압으로 인한 GIDL 전류가 더 심각할 수 있다.
- <134> 다시, 도 14를 참조하면, 두꺼운 옥사이드 트랜지스터를 포함하는 다수의 드라이버 회로들(1430~143N)에 대해서는 스위치 회로를 통하여 동작 모드에 따라 상위 전압(VDD_U)과 하위 전압(VDD_L)을 선택적으로 제공하고, 얇은 옥사이드 트랜지스터를 포함하는 기능 회로들(1420~142N)에 대해서는 동작 모드에 상관없이 하위 전압(VDD_L)을 제공한다.
- <135> 스위치 회로들(1410~141N) 및 드라이버 회로들(1430~143N)의 동작은 도 12에 도시된 스위치 회로들(1210~121N) 및 드라이버 회로들(1220~122N)의 동작과 동일하므로, 이에 대한 상세한 설명은 생략한다.
- <136> 기능 회로들(1420~142N)은 제2 로우 어드레스 신호(DRA<2:8>)을 수신하고, 상기 신호(DRA<2:8>)에 따라 대응하는 드라이버 회로들(1430~143N)을 제어하거나, 드라이버 회로들(1430~143N)에서 사용되는 신호를 출력할 수 있다.
- <137> 또는 기능 회로들(1420~142N)은 코아 블록의 다른 회로들, 예컨대 데이터 센싱 동작에 관련된 회로나 프리차아지에 관련된 회로를 제어하기 위한 신호를 발생할 수도 있다.
- <138> 도 15는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 코아 블록의 일부를 나타낸다.
- <139> 도 15를 참조하면, 코아 블록은 도 14에 도시된 코아 블록과 마찬가지로, 다수의 서브 메모리셀 블록들(미도시), 다수의 기능 회로들(1440~144N), 다수의 드라이버 회로들(1430~143N) 및 다수의 스위치 회로들(1410~141N)을 구비한다. 도 14에 도시된 코아 블록과의 차이점은 다수의 기능 회로들(1440~144N)은 제2 디코딩된 로우 어드레스 신호(DRA<2:8>)를 수신하지 않는 점이다.
- <140> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능함을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호범위는 첨부된 특허청구범위에 의해서만 정해져야 할 것이다.

발명의 효과

- <141> 상술한 바와 같이, 본 발명에 따른 반도체 메모리 장치에서는, 대기 상태(즉, 프리차아지 모드)에 있는 드라이버 회로, 특히 서브 워드라인 드라이버의 트랜지스터의 게이트에 인가되는 전압이 낮아지거나, 소오스(혹은 드레인)과 기판간의 전압 차이가 줄어들어 GIDL 전류량이 감소한다.
- <142> 또한 본 발명에 따른 반도체 메모리 장치에서는 대기 모드에서 공급되는 전압의 레벨을 액티브 모드에서 공급되는 전압의 레벨보다 낮게 함으로써, 대기 모드에서의 GIDL 전류량이 감소한다.
- <143> 따라서, 본 발명에 의하면, 누설 전류량이 감소되어 전력 소모가 줄어들고, 반도체 메모리 장치의 특성 및 생산성이 향상될 수 있다.

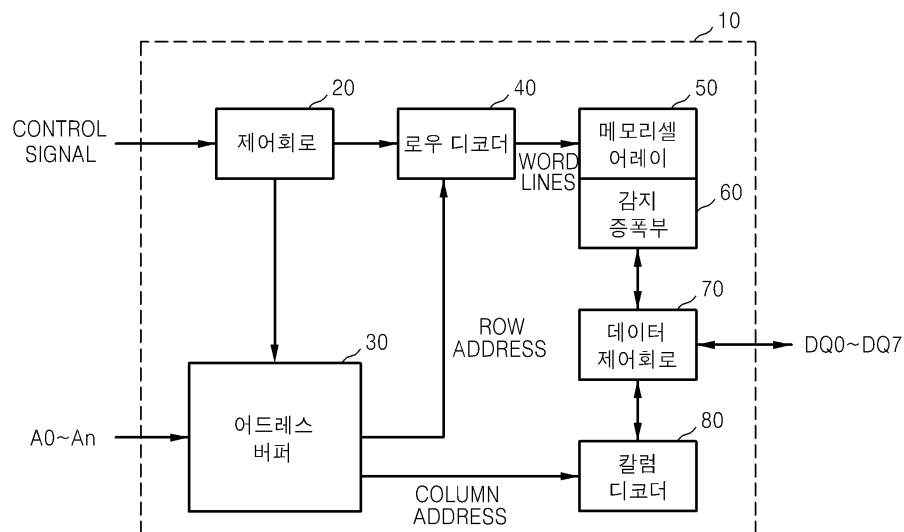
도면의 간단한 설명

- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 통상의 반도체 메모리 장치의 개략적인 구성 블록도이다.
- <3> 도 2a는 통상의 반도체 메모리 장치의 코아 블록의 구성도이다.
- <4> 도 2b는 통상의 반도체 메모리 장치의 코아 블록의 배열을 나타내는 도면이다.
- <5> 도 3은 도 2a에 도시된 PXI 신호 발생 회로 및 PXID 드라이버의 상세 회로도이다.
- <6> 도 4는 도 2a에 도시된 메인 워드라인 드라이버 및 서브 워드라인 드라이버의 상세 회로도이다.
- <7> 도 5는 통상의 반도체 메모리 장치에서의 액티브/프리차아지 모드에 따른 신호 타이밍도이다.

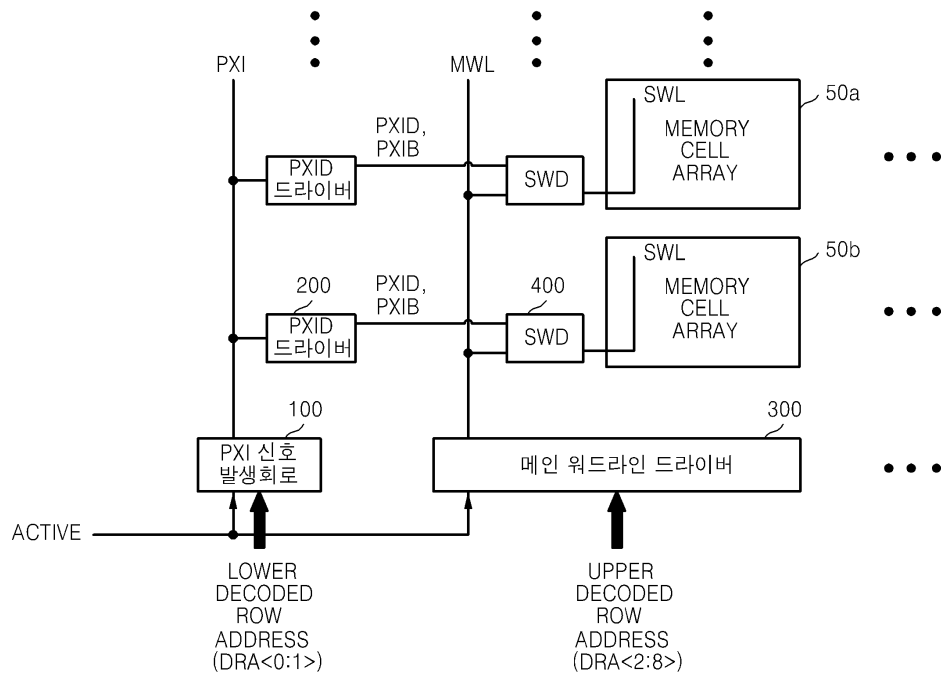
- <8> 도 6은 본 발명의 일 실시예에 따른 PXID 드라이버 및 서브 워드라인 드라이버를 나타내는 회로도이다.
- <9> 도 7은 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 신호 타이밍도이다.
- <10> 도 8은 본 발명의 일 실시예에 따른 메인 워드라인 드라이버 및 서브 워드라인 드라이버를 나타내는 회로도이다.
- <11> 도 9는 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 신호 타이밍도이다.
- <12> 도 10은 본 발명의 일 실시예에 따른 메인 워드라인 드라이버 및 서브 워드라인 드라이버를 나타내는 회로도이다.
- <13> 도 11은 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 액티브/프리차이지 모드시의 신호 타이밍도이다.
- <14> 도 12는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 코아 블록의 일부를 나타낸다.
- <15> 도 13은 도 12에 도시된 코아 블록의 동작 타이밍도이다.
- <16> 도 14는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 코아 블록의 일부를 나타낸다.
- <17> 도 15는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 코아 블록의 일부를 나타낸다.
- <18> 도 16은 얇은 옥사이드 트랜지스터와 두꺼운 옥사이드 트랜지스터의 단면을 개략적으로 나타내는 도면이다.

도면

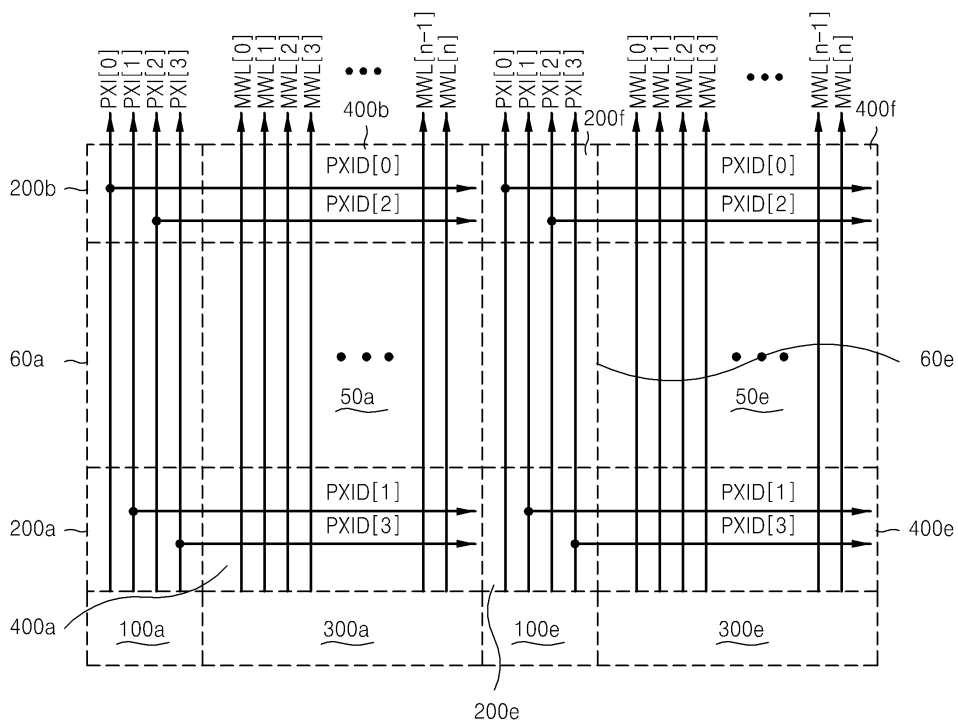
도면1



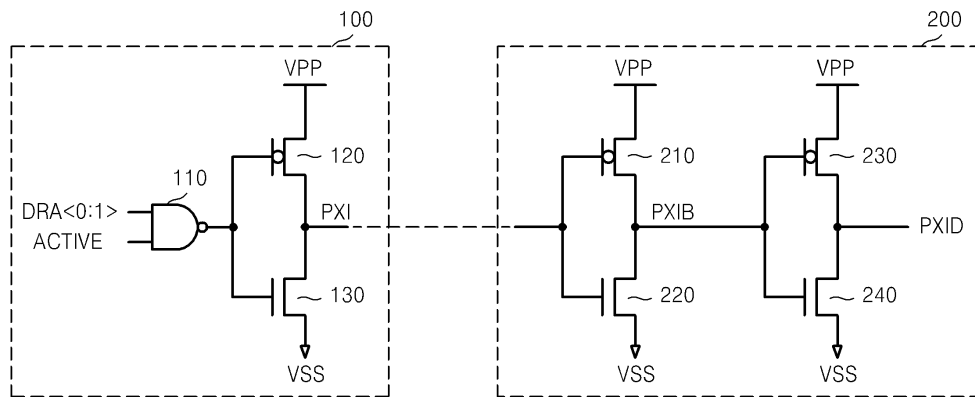
도면2a



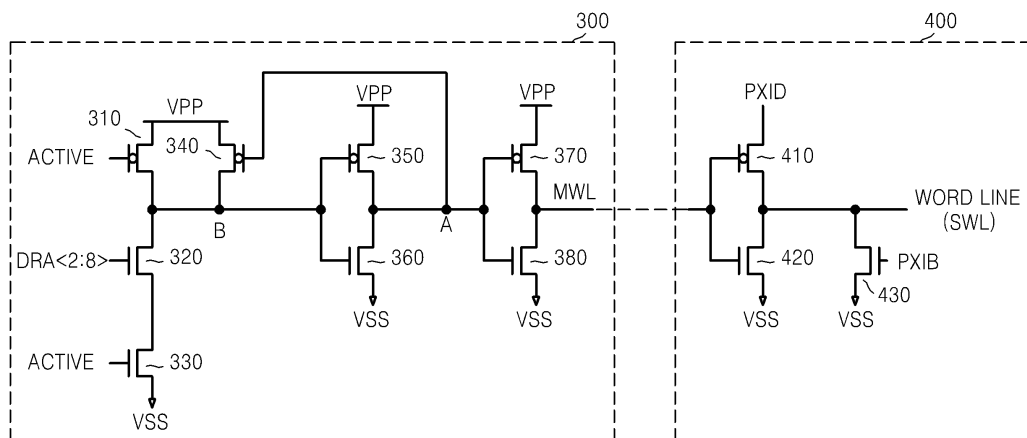
도면2b



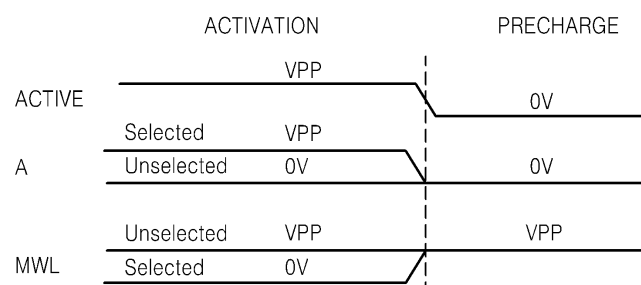
도면3



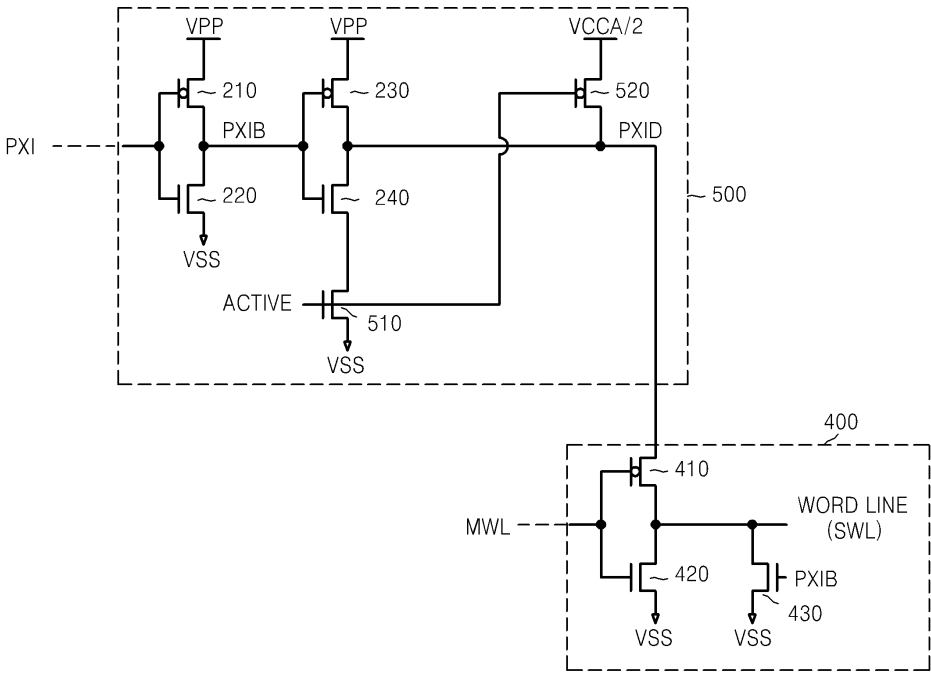
도면4



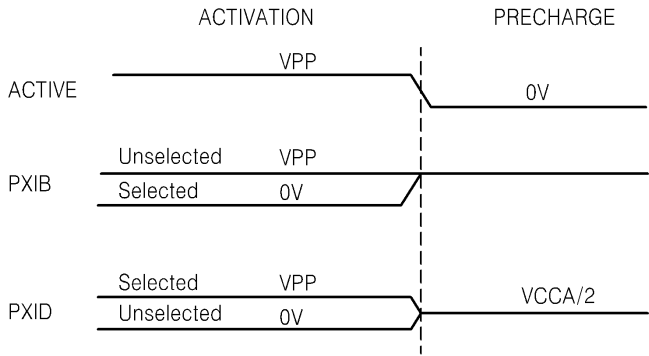
도면5



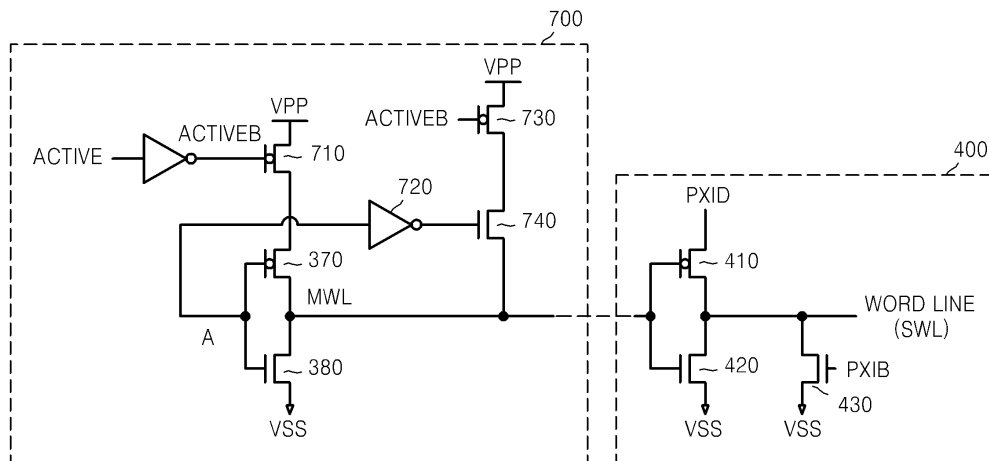
도면6



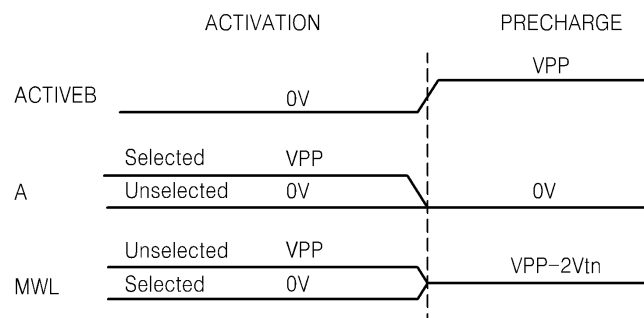
도면7



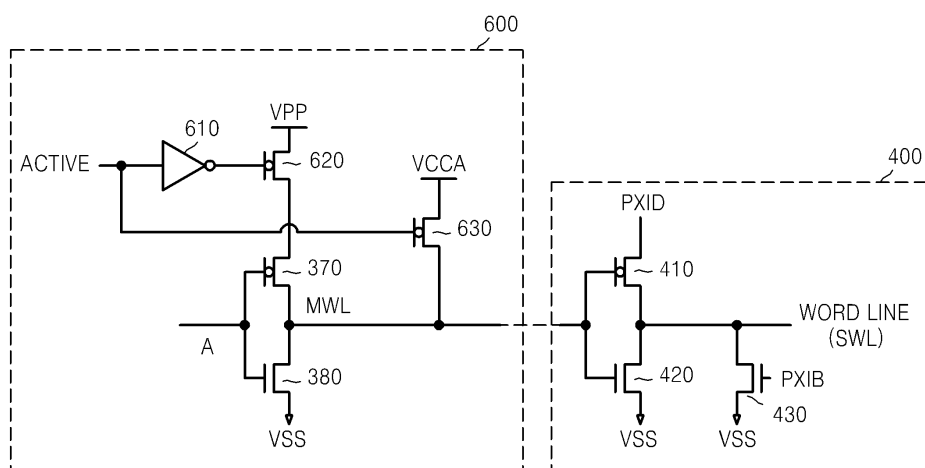
도면8



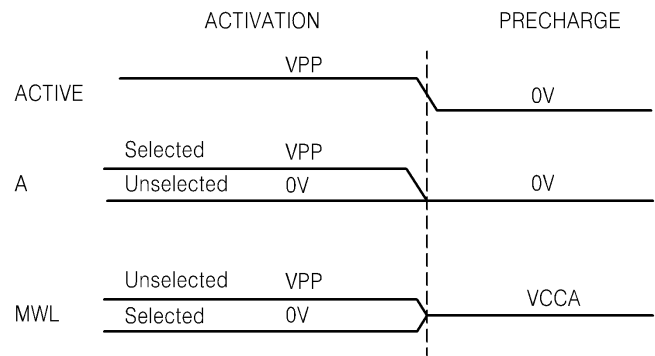
도면9



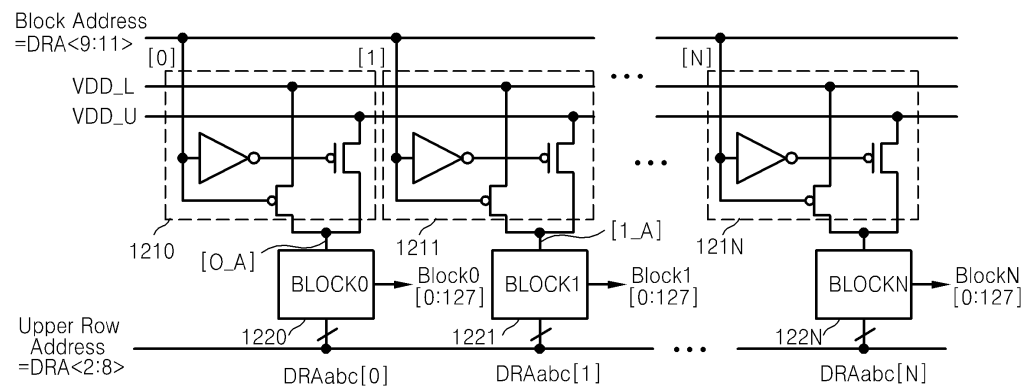
도면10



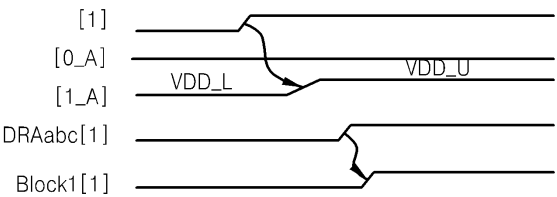
도면11



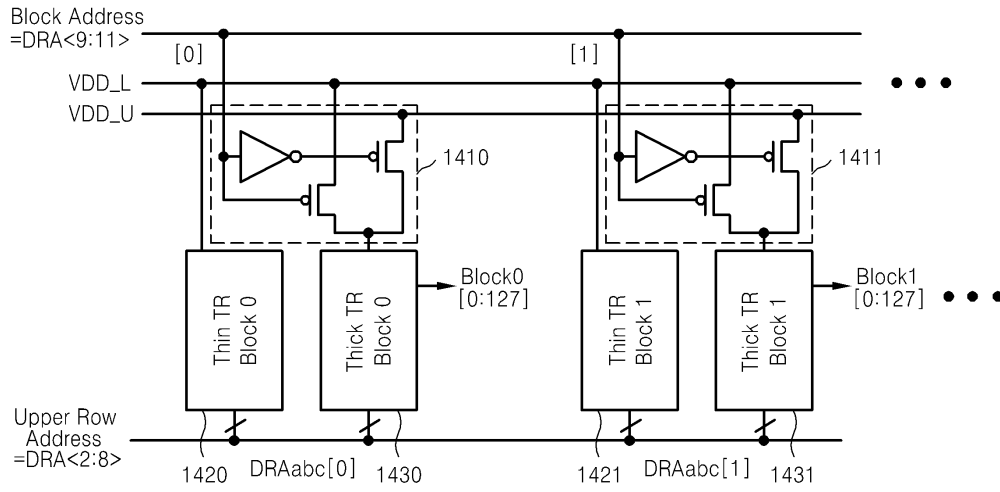
도면12



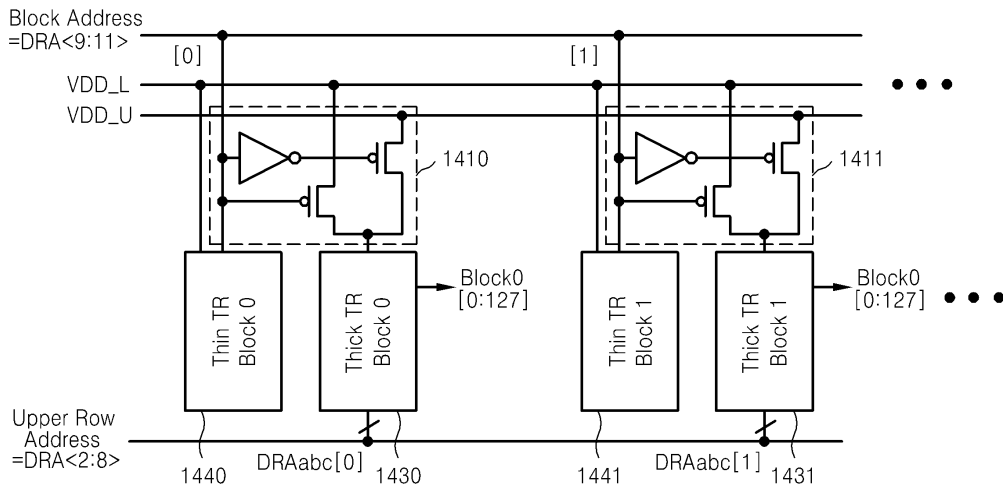
도면13



도면14



도면15



도면16

