

(12) 发明专利申请

(10) 申请公布号 CN 102479724 A

(43) 申请公布日 2012. 05. 30

(21) 申请号 201110378885. 5

H01L 21/60 (2006. 01)

(22) 申请日 2011. 11. 21

(30) 优先权数据

61/415, 862 2010. 11. 22 US

13/287, 374 2011. 11. 02 US

(71) 申请人 錢橋半導體股份有限公司

地址 中国台湾台北市北投区立德路 157 号 3
楼

(72) 发明人 林文强 王家忠

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021
代理人 宋焰琴

(51) Int. Cl.

H01L 21/48 (2006. 01)

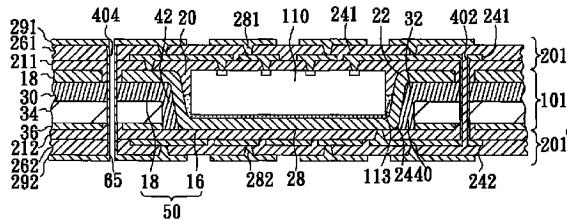
权利要求书 9 页 说明书 28 页 附图 10 页

(54) 发明名称

一种散热增益型堆叠式半导体组件的制作方
法

(57) 摘要

本发明公开了一种散热增益型堆叠式半导体组件的制造方法，其中该组件包括半导体元件、散热座、黏着层、被覆穿孔、第一集成电路及第二集成电路。该散热座包括一凸块及一凸缘层。该凸块定义出一凹穴。该半导体元件设置于凸块上并位于凹穴处，且电性连接至该第一集成电路，并与凸块热连结。该凸块延伸进入黏着层的开口，且该凸缘层于凹穴入口处自凸块侧向延伸。该第一集成电路及第二集成电路朝相反方向延伸于半导体元件外。该被覆穿孔延伸穿过该黏着层，并提供第一集成电路与第二集成电路间的信号路由。该散热座为半导体元件提供散热效果。



1. 一种散热增益型堆叠式半导体组件的制作方法，其包括以下步骤：

提供一凸块、一凸缘层、一黏着层及一具有通孔的导电层，其中该凸块定义出面朝第一垂直方向的一凹穴，且于相反于该第一垂直方向的第二垂直方向上覆盖该凹穴，同时该凸块邻接该凸缘层并与该凸缘层一体成型，且自该凸缘层朝该第二垂直方向延伸，而该凸缘层则自该凸块朝垂直于该第一及第二垂直方向的侧面方向侧向延伸；然后

通过该黏着层将该凸缘层及该凸块黏附至该导电层，其中该黏着层介于该凸缘层与该导电层之间及该凸块与该导电层之间，此步骤包括将该凸块对准该通孔；然后

将包含一接触垫的一半导体元件设置于该凸块上且位于该凹穴处；

提供一第一集成电路于该半导体元件及该凸缘层上，其中该第一集成电路自该半导体元件及该凸缘层朝该第一垂直方向延伸，且电性连接至该半导体元件；

提供一第二集成电路，其朝该第二垂直方向延伸于该凸块、该黏着层及该导电层外；以及

提供一被覆穿孔，其朝该第一及第二垂直方向延伸贯穿该黏着层，以提供该第一集成电路与该第二集成电路之间的电性连接。

2. 如权利要求 1 所述的制作方法，其中，提供该凸块的步骤包括：对一金属板进行机械冲压。

3. 如权利要求 1 所述的制作方法，其中，将该凸缘层及该凸块黏附至该导电层的步骤包括：

将未固化的该黏着层设置于该凸缘层上，此步骤包括将该凸块对准该黏着层的一开口；

将该导电层设置于该黏着层上，此步骤包括将该凸块对准该导电层的该通孔，其中该黏着层位于该凸缘层与该导电层之间；然后

使该黏着层流入该通孔内介于该凸块与该导电层间的一缺口；以及
固化该黏着层。

4. 如权利要求 3 所述的制作方法，其中：

使该黏着层流入该缺口的步骤包括：加热熔化该黏着层，并使该凸缘层及该导电层彼此靠合，藉此使该凸块于该通孔中朝该第二垂直方向移动，并对该凸缘层与该导电层间的该熔化黏着层施加压力，其中该压力迫使该熔化黏着层朝该第二垂直方向流入该通孔内介于该凸块与该导电层间的该缺口；且

固化该黏着层的步骤包括：加热固化该熔化黏着层，藉此将该凸块及该凸缘层机械性黏附至该导电层。

5. 如权利要求 3 所述的制作方法，其中：

提供该黏着层的步骤包括提供一未固化环氧树脂的胶片；

使该黏着层流入该缺口的步骤包括熔化该未固化环氧树脂，并挤压该凸缘层与该导电层间的该未固化环氧树脂；且

固化该黏着层的步骤包括固化该未固化环氧树脂。

6. 如权利要求 3 所述的制作方法，其中，使该黏着层流入该缺口的步骤包括：使该黏着层填满该缺口，并迫使该黏着层朝该第二垂直方向超出该凸块及该导电层，以使该黏着层接触该凸块与该导电层面向该第二垂直方向的表面。

7. 如权利要求 3 所述的制作方法,其中,设置该导电层的步骤包括:将该导电层单独设置于该黏着层上,以使该导电层接触该黏着层,而该通孔仅延伸贯穿该导电层。

8. 如权利要求 3 所述的制作方法,其中,设置该导电层的步骤包括:将一层压结构设置于该黏着层上,其中该层压结构包括该导电层及一基板,以使该基板接触并介于该导电层与该黏着层之间,该导电层则与该黏着层保持距离,且该通孔延伸贯穿该导电层及该基板。

9. 如权利要求 1 所述的制作方法,其中,提供该第一集成电路及该第二集成电路的步骤包括:

提供一第一介电层于该半导体元件及该凸缘层上,其中该第一介电层自该半导体元件及该凸缘层朝该第一垂直方向延伸,且该第一介电层包括一对准该接触垫的第一盲孔;

提供一提供一第二介电层,其朝该第二垂直方向延伸于该凸块、该黏着层及该导电层外;

提供一第一导线于该第一介电层上,其中该第一导线自该第一介电层朝该第一垂直方向延伸,并于该第一介电层上侧向延伸,同时朝该第二垂直方向穿过该第一盲孔而延伸至该接触垫,以使该半导体元件电性连接至该第一导线;以及

提供一第二导线于该第二介电层上,其中该第二导线自该第二介电层朝该第二垂直方向延伸,并于该第二介电层上侧向延伸。

10. 如权利要求 9 所述的制作方法,其中,提供该第一导线及该第二导线的步骤包括:

沉积一第一被覆层于该第一介电层上,且该第一被覆层穿过该第一盲孔而延伸至该接触垫;

沉积一第二被覆层于该第二介电层上;

移除该第一被覆层选定部位,以定义出该第一导线;以及

移除该第二被覆层选定部位,以定义出该第二导线。

11. 如权利要求 10 所述的制作方法,其包括:同时形成该第一介电层及该第二介电层,而后同时沉积该第一被覆层及该第二被覆层。

12. 如权利要求 1 所述的制作方法,其包括:于提供该第一集成电路及该第二集成电路期间提供该被覆穿孔,或者于设置该半导体元件前并在该凸块及该凸缘层黏附至该导电层后提供该被覆穿孔。

13. 如权利要求 1 所述的制作方法,其中,提供该被覆穿孔的步骤包括:

形成一穿孔,其朝该第一及第二垂直方向延伸贯穿该黏着层;然后

沉积一连接层于该穿孔的一内侧壁上。

14. 如权利要求 9 所述的制作方法,其中,提供该第一介电层、该第二介电层、该第一导线、该第二导线及该被覆穿孔的步骤包括:

形成一穿孔,其朝该第一及第二垂直方向延伸贯穿该黏着层;然后

沉积一连接层于该穿孔的一内侧壁上;

沉积一内被覆层于该第一垂直方向上的该凸块及该凸缘层及该第二垂直方向上的该凸块、该黏着层及该导电层上;然后

移除该第一垂直方向上的该凸缘层及该内被覆层选定部位,以定义出一第一内部接垫,以使该第一内部接垫邻接该连接层且与该凸缘层保持距离;

移除该第二垂直方向上的该导电层及该内被覆层选定部位,以定义出一基座及一第二

内部接垫,其中该基座邻接该凸块并自该凸块朝该第二垂直方向延伸,且于该第二垂直方向上覆盖该凸块并自该凸块侧向延伸,同时该基座包括邻接该通孔且与该凸块保持距离的该导电层一选定部位,且包括邻接该凸块、该黏着层及该导电层的该内被覆层一选定部位,而该第二内部接垫邻接该连接层,且与该凸块及该基座保持距离,并朝该第二垂直方向延伸于该黏着层外,同时该第二内部接垫包括与该通孔及该凸块保持距离的该导电层一选定部位,并包括邻接该导电层且与该凸块及该黏着层保持距离的该内被覆层一选定部位;然后

形成该第一介电层于该半导体元件、该凸缘层及该第一内部接垫上;

形成该第二介电层于该基座及该第二内部接垫上;然后

形成该第一盲孔及另一第一盲孔于该第一介电层中,其中该另一第一盲孔系对准显露该第一内部接垫;

形成该第二盲孔于该第二介电层中,其中该第二盲孔系对准显露该第二内部接垫;然后

沉积一第一被覆层于该第一介电层上,其中该第一被覆层穿过该第一盲孔而延伸至该接触垫,且穿过该另一第一盲孔而延伸至该第一内部接垫;

沉积一第二被覆层于该第二介电层上,其中该第二被覆层穿过该第二盲孔而延伸至该第二内部接垫;然后

移除该第一被覆层的选定部位,以定义出该第一导线;以及

移除该第二被覆层的选定部位,以定义出该第二导线。

15. 如权利要求 9 所述的制作方法,其中,提供该第一介电层、该第二介电层、该第一导线、该第二导线及该被覆穿孔的步骤包括:

形成该第一介电层于该半导体元件及该凸缘层上;

形成该第二介电层于该凸块、该黏着层及该导电层上;然后

形成该第一盲孔于该第一介电层中;

沉积一第一被覆层于该第一介电层上,其中该第一被覆层穿过该第一盲孔而延伸至该接触垫;

沉积一第二被覆层于该第二介电层上;

移除该第一被覆层的选定部位,以定义出该第一导线;

移除该第二被覆层的选定部位,以定义出该第二导线;

形成一穿孔,其朝该第一及第二垂直方向延伸贯穿该黏着层、该第一介电层及该第二介电层;以及

沉积一连接层于该穿孔的一内侧壁上,以提供该第一导线与该第二导线之间的电性连接。

16. 如权利要求 9 所述的制作方法,其包括:

形成另一第一盲孔,其延伸贯穿该第一介电层,并对准显露该凸缘层;然后

提供该第一导线,其朝该第二垂直方向延伸穿过该另一第一盲孔,以使该凸缘层电性连接至该第一导线。

17. 如权利要求 9 所述的制作方法,其包括:

形成一第二盲孔,其延伸贯穿该第二介电层,且对准显露该凸块;然后

提供该第二导线，其朝该第一垂直方向延伸穿过该第二盲孔，以使该凸块电性连接至该第二导线。

18. 一种散热增益型堆叠式半导体组件的制作方法，其包括以下步骤：

提供一凸块、一凸缘层、一黏着层及一具有通孔的基板，其中该凸块定义出面朝第一垂直方向的一凹穴，且于相反于该第一垂直方向的第二垂直方向上覆盖该凹穴，同时该凸块邻接该凸缘层并与该凸缘层一体成型，且自该凸缘层朝该第二垂直方向延伸，而该凸缘层则自该凸块朝垂直于该第一及第二垂直方向的侧面方向侧向延伸；然后

通过该黏着层将该凸缘层及该凸块黏附至该基板，其中该黏着层介于该凸缘层与该基板之间及该凸块与该基板之间，此步骤包括将该凸块对准该通孔；然后

将包含一接触垫的一半导体元件设置于该凸块上且位于该凹穴处；

提供一第一集成电路于该半导体元件及该凸缘层上，其中该第一集成电路自该半导体元件及该凸缘层朝该第一垂直方向延伸，且电性连接至该半导体元件；

提供一第二集成电路，其朝该第二垂直方向延伸于该凸块、该黏着层及该基板外；以及

提供一被覆穿孔，其朝该第一及第二垂直方向延伸贯穿该黏着层及该基板，以提供该第一集成电路与该第二集成电路之间的电性连接。

19. 如权利要求 18 所述的制作方法，其中，提供该凸块的步骤包括：对一金属板进行机械冲压。

20. 如权利要求 18 所述的制作方法，其中，将该凸缘层及该凸块黏附至该基板的步骤包括：

将未固化的该黏着层设置于该凸缘层上，此步骤包括将该凸块对准该黏着层的一缺口；

将该基板设置于该黏着层上，此步骤包括将该凸块对准该基板的该通孔，其中该黏着层位于该凸缘层与该基板之间；然后

使该黏着层流入该通孔内介于该凸块与该基板间的一缺口；以及

固化该黏着层。

21. 如权利要求 20 所述的制作方法，其中：

使该黏着层流入该缺口的步骤包括：加热熔化该黏着层，并使该凸缘层及该基板彼此靠合，藉此使该凸块于该通孔中朝该第二垂直方向移动，并对该凸缘层与该基板间的该熔化黏着层施加压力，其中该压力迫使该熔化黏着层朝该第二垂直方向流入该通孔内介于该凸块与该基板间的该缺口；且

固化该黏着层的步骤包括：加热固化该熔化黏着层，藉此将该凸块及该凸缘层机械性黏附至该基板。

22. 如权利要求 20 所述的制作方法，其中：

提供该黏着层的步骤包括提供一未固化环氧树脂的胶片；

使该黏着层流入该缺口的步骤包括熔化该未固化环氧树脂，并挤压该凸缘层与该基板间的该未固化环氧树脂；且

固化该黏着层的步骤包括固化该未固化环氧树脂。

23. 如权利要求 20 所述的制作方法，其中，设置该基板的步骤包括：将一层压结构设置于该黏着层上，其中该层压结构包括该基板及一导电层，以使该基板接触并介于该导电层

与该黏着层之间，该导电层则与该黏着层保持距离，同时该通孔延伸贯穿该导电层及该基板。

24. 如权利要求 23 所述的制作方法，其中，使该黏着层流入该缺口的步骤包括：使该黏着层填满该缺口，并迫使该黏着层朝该第二垂直方向超出该凸块及该导电层，以使该黏着层接触该凸块与该导电层面向该第二垂直方向的表面。

25. 如权利要求 23 所述的制作方法，其中，提供该第一集成电路及该第二集成电路的步骤包括：

提供一第一介电层于该半导体元件及该凸缘层上，其中该第一介电层自该半导体元件及该凸缘层朝该第一垂直方向延伸，且该第一介电层包括一对准该接触垫的第一盲孔；

提供一第二介电层，其朝该第二垂直方向延伸于该凸块、该黏着层及该导电层外；

提供一第一导线于该第一介电层上，其中该第一导线自该第一介电层朝该第一垂直方向延伸，并于该第一介电层上侧向延伸，同时朝该第二垂直方向穿过该第一盲孔而延伸至该接触垫，以使该半导体元件电性连接至该第一导线；以及

提供一第二导线于该第二介电层上，其中该第二导线自该第二介电层朝该第二垂直方向延伸，并于该第二介电层上侧向延伸。

26. 如权利要求 25 所述的制作方法，其中，提供该第一导线及该第二导线的步骤包括：

沉积一第一被覆层于该第一介电层上，且该第一被覆层穿过该第一盲孔而延伸至该接触垫；

沉积一第二被覆层于该第二介电层上；

移除该第一被覆层选定部位，以定义出该第一导线；以及

移除该第二被覆层选定部位，以定义出该第二导线。

27. 如权利要求 26 所述的制作方法，其包括：同时形成该第一介电层及该第二介电层，而后同时沉积该第一被覆层及该第二被覆层。

28. 如权利要求 18 所述的制作方法，其包括：于提供该第一集成电路及该第二集成电路期间提供该被覆穿孔，或者于设置该半导体元件前并在该凸块及该凸缘层黏附至该基板后提供该被覆穿孔。

29. 如权利要求 18 所述的制作方法，其中，提供该被覆穿孔的步骤包括：

形成一穿孔，其朝该第一及第二垂直方向延伸贯穿该黏着层及该基板；然后

沉积一连接层于该穿孔的一内侧壁上。

30. 如权利要求 25 所述的制作方法，其中，提供该第一介电层、该第二介电层、该第一导线、该第二导线及该被覆穿孔的步骤包括：

形成一穿孔，其朝该第一及第二垂直方向延伸贯穿该黏着层及该基板；然后

沉积一连接层于该穿孔的一内侧壁上；

沉积一内被覆层于该第一垂直方向上的该凸块及该凸缘层及该第二垂直方向上的该凸块、该黏着层及该导电层上；然后

移除该第一垂直方向上的该凸缘层及该内被覆层选定部位，以定义出一第一内部接垫，以使该第一内部接垫邻接该连接层且与该凸缘层保持距离；

移除该第二垂直方向上的该导电层及该内被覆层选定部位，以定义出一基座及一第二内部接垫，其中该基座邻接该凸块并自该凸块朝该第二垂直方向延伸，且于该第二垂直

方向上覆盖该凸块并自该凸块侧向延伸,同时该基座包括邻接该通孔且与该凸块保持距离的该导电层一选定部位,且包括邻接该凸块、该黏着层及该导电层的该内被覆层一选定部位,而该第二内部接垫邻接该连接层,且与该凸块及该基座保持距离,并自该基板朝该第二垂直方向延伸,同时该第二内部接垫包括与该通孔及该凸块保持距离的该导电层一选定部位,并包括邻接该导电层且与该凸块及该黏着层保持距离的该内被覆层一选定部位;然后

形成该第一介电层于该半导体元件、该凸缘层及该第一内部接垫上;

形成该第二介电层于该基座及该第二内部接垫上;然后

形成该第一盲孔及另一第一盲孔于该第一介电层中,其中该另一第一盲孔系对准显露该第一内部接垫;

形成该第二盲孔于该第二介电层中,其中该第二盲孔系对准显露该第二内部接垫;然后

沉积一第一被覆层于该第一介电层上,其中该第一被覆层穿过该第一盲孔而延伸至该接触垫,且穿过该另一第一盲孔而延伸至该第一内部接垫;

沉积一第二被覆层于该第二介电层上,其中该第二被覆层穿过该第二盲孔而延伸至该第二内部接垫;然后

移除该第一被覆层的选定部位,以定义出该第一导线;以及

移除该第二被覆层的选定部位,以定义出该第二导线。

31. 如权利要求 25 所述的制作方法,其中,提供该第一介电层、该第二介电层、该第一导线、该第二导线及该被覆穿孔的步骤包括:

形成该第一介电层于该半导体元件及该凸缘层上;

形成该第二介电层于该凸块、该黏着层及该导电层上;然后

形成该第一盲孔于该第一介电层中;

沉积一第一被覆层于该第一介电层上,其中该第一被覆层穿过该第一盲孔而延伸至该接触垫;

沉积一第二被覆层于该第二介电层上;

移除该第一被覆层的选定部位,以定义出该第一导线;

移除该第二被覆层的选定部位,以定义出该第二导线;

形成一穿孔,其朝该第一及第二垂直方向延伸贯穿该黏着层、该基板、该第一介电层及该第二介电层;以及

沉积一连接层于该穿孔的一内侧壁上,以提供该第一导线与该第二导线间的电性连接。

32. 如权利要求 25 所述的制作方法,其包括:

形成另一第一盲孔,其延伸贯穿该第一介电层,并对准显露该凸缘层;然后

提供该第一导线,其朝该第二垂直方向延伸穿过该另一第一盲孔,以使该凸缘层电性连接至该第一导线。

33. 如权利要求 25 所述的制作方法,其包括:

形成一第二盲孔,其延伸贯穿该第二介电层,且对准显露该凸块;然后

提供该第二导线,其朝该第一垂直方向延伸穿过该第二盲孔,以使该凸块电性连接至该第二导线。

34. 一种散热增益型堆叠式半导体组件的制作方法,其包括以下步骤:

提供一凸块、一凸缘层、一黏着层及一层压结构,其中

该凸块定义出面朝第一垂直方向的一凹穴,且该凸块邻接该凸缘层并与该凸缘层一体成型,同时该凸块自该凸缘层朝与该第一垂直方向相反的第二垂直方向垂直延伸,且该凹穴于该第二垂直方向上系由该凸块覆盖,

该凸缘层自该凸块朝垂直于该第一及第二垂直方向的侧面方向侧向延伸,

该黏着层包括一开口,其延伸贯穿该黏着层,且

该层压结构包括一导电层及一基板,而一通孔延伸贯穿该层压结构;

将该黏着层设置于该凸缘层上,此步骤包括将该凸块插入该开孔;

将该层压结构设置于该黏着层上,此步骤包括将该凸块插入该通孔,其中该基板接触并介于该导电层与该黏着层之间,该导电层则与该黏着层保持距离,而该黏着层接触并介于该凸缘层与该基板之间且未固化;然后

加热熔化该黏着层;

使该凸缘层及该层压结构彼此靠合,藉此使该凸块于该通孔中朝该第二垂直方向移动,并对该凸缘层与该层压结构间的该熔化黏着层施加压力,其中该压力迫使该熔化黏着层朝该第二垂直方向流入该通孔内介于该凸块与该层压结构间的一缺口;

加热固化该熔化黏着层,藉此将该凸块与该凸缘层机械性黏附至该导电层及该基板;然后

研磨该凸块、该黏着层及该导电层,使该凸块、该黏着层及该导电层于面朝该第二垂直方向的一侧向表面上彼此侧向对齐;然后

使用一固晶材料,将包含一接触垫的一半导体元件设置于该凸块上,藉此将该半导体元件机械黏附且热连结至该凸块,其中该半导体元件延伸进入该凹穴,而该凸块为该半导体元件提供一凹形晶粒座;然后

形成一第一介电层于该半导体元件及该凸缘层上,其中该第一介电层自该半导体元件及该凸缘层朝该第一垂直方向延伸,并延伸进入且填满该凹穴的剩余空间;

形成一第二介电层于该凸块、该黏着层及该导电层上,其中该第二介电层自该凸块、该黏着层及该导电层朝该第二垂直方向延伸;然后

形成一第一盲孔,其延伸贯穿该第一介电层,且对准显露该接触垫;

沉积一第一被覆层于该第一介电层上,并移除该第一被覆层的选定部位,以形成一第一蚀刻阻层所定义的图案,其中一第一导线包括该第一被覆层的一选定部位,其自该第一介电层朝该第一垂直方向延伸,并于该第一介电层上侧向延伸,同时朝该第二垂直方向穿过该第一盲孔而延伸至该接触垫,藉此将该半导体元件电性连接至该第一导线;

沉积一第二被覆层于该第二介电层上,并移除该第二被覆层的选定部位,以形成一第二蚀刻阻层所定义的图案,其中一第二导线包括该第二被覆层的一选定部位,其自该第二介电层朝该第二垂直方向延伸,并于该第二介电层上侧向延伸;

提供包括该第一介电层及该第一导线的第一集成电路及包括该第二介电层及该第二导线的第二集成电路;

形成一穿孔,其朝该第一及第二垂直方向延伸贯穿该基板、该黏着层、该第一介电层及该第二介电层;以及

沉积一连接层于该穿孔的一内侧壁上,其中该被覆穿孔包括该穿孔及该连接层,而该连接层提供该第一导线与该第二导线之间的电性连接。

35. 如权利要求 34 所述的制作方法,其中,提供该凸块的步骤包括:对一金属板进行机械冲压,以便于该金属板上形成该凸块以及于该凸块中形成该凹穴,该凸块系该金属板上一受冲压的部份,而该凸缘层则为该金属板上一未受冲压的部份。

36. 如权利要求 34 所述的制作方法,其中:

提供该黏着层的步骤包括提供一未固化环氧树脂的胶片;

使该黏着层流入该缺口的步骤包括熔化该未固化环氧树脂,并挤压该凸缘层与该基板间的该未固化环氧树脂;且

固化该黏着层的步骤包括固化该未固化环氧树脂。

37. 如权利要求 34 所述的制作方法,其中,使该黏着层流入该缺口的步骤包括:使该黏着层填满该缺口,并迫使该黏着层朝该第二垂直方向超出该凸块及该导电层,以使该黏着层接触该凸块与该导电层面向该第二垂直方向的表面。

38. 如权利要求 34 所述的制作方法,其包括:通过无电电镀法及电解电镀法,同时沉积该第一被覆层及该第二被覆层。

39. 如权利要求 34 所述的制作方法,其包括:

形成另一第一盲孔,其延伸贯穿该第一介电层,且对准显露该凸缘层;然后

提供具有该第一被覆层一选定部位的该第一导线,其朝该第二垂直方向穿过该另一第一盲孔而延伸至该凸缘层,藉此将该凸缘层电性连接至该第一导线。

40. 如权利要求 34 所述的制作方法,其包括:

形成另一第一盲孔,其延伸贯穿该第一介电层,且对准显露该凸缘层;然后

提供另一第一导线,其包括该第一被覆层的一选定部位,其中该选定部位自该第一介电层朝该第一垂直方向延伸,并于该第一介电层上侧向延伸,且朝该第二垂直方向穿过该另一第一盲孔而延伸至该凸缘层,藉此将该凸缘层电性连接至该另一第一导线。

41. 如权利要求 34 所述的制作方法,其包括:

形成一第二盲孔,其延伸贯穿该第二介电层,且对准显露该凸块;然后

提供具有该第二被覆层一选定部位的该第二导线,其朝该第一垂直方向穿过该第二盲孔而延伸至该凸块,藉此将该凸块电性连接至该第二导线。

42. 如权利要求 34 所述的制作方法,其包括:

形成一第二盲孔,其延伸贯穿该第二介电层,且对准显露该凸块;然后

提供另一第二导线,其包括该第二被覆层的一选定部位,其中该选定部位自该第二介电层朝该第二垂直方向延伸,并于该第二介电层上侧向延伸,且朝该第一垂直方向穿过该另一第二盲孔而延伸至该凸块,藉此将该凸块电性连接至该另一第二导线。

43. 如权利要求 34 所述的制作方法,其包括:

形成一第三介电层于该第一介电层及该第一导线上,其中该第三介电层自该第一介电层及该第一导线朝该第一垂直方向延伸,且与该半导体元件、该凸缘层及该凹穴保持距离;然后

形成一第三盲孔,其延伸贯穿该第三介电层,且对准显露该第一导线;然后

形成一第三导线,其自该第三介电层朝该第一垂直方向延伸,并于该第三介电层上侧

向延伸，同时朝该第二垂直方向穿过该第三盲孔而延伸至该第一导线，藉此将该第一导线电性连接至该第三导线。

44. 如权利要求 34 所述的制作方法，其包括：

形成一第四介电层于该第二介电层及该第二导线上，其中该第四介电层自该第二介电层及该第二导线朝该第二垂直方向延伸；然后

形成一第四盲孔，其延伸贯穿该第四介电层，且对准显露该第二导线；然后

形成一第四导线，其自该第四介电层朝该第二垂直方向延伸，并于该第四介电层上侧向延伸，同时朝该第一垂直方向穿过该第四盲孔而延伸至该第二导线，藉此将该第二导线电性连接至该第四导线。

一种散热增益型堆叠式半导体组件的制作方法

技术领域

[0001] 本发明涉及一种半导体组件，尤其是一种具有凸块 / 凸缘层散热座及双集成电路的散热增益型堆叠式半导体组件，其包括半导体元件、散热座、黏着层、被覆穿孔及双集成电路。

背景技术

[0002] 改善效能及降低尺寸与重量仍是电子系统领域持续追求的目标。目前已提出许多符合上述需求的技术方案，其通过使用不同结构、材料、设备、工艺节点及制作方法，以兼顾提高效能、实时上市及降低成本的考虑。在所有技术方案中，封装层级的技术创新被认为是最符合经济效益且最不耗时的选择。此外，当想要进一步将芯片尺寸降至纳米等级以下时，材料、设备及工艺开发等昂贵费用将导致该技术面临极大瓶颈，故目前已着重于封装技术，以满足更智能且更微小装置的需求。

[0003] 如球门阵列封装 (BGA) 及方形扁平无引脚封装 (QFN) 的塑料封装通常是每一封装体中包含一枚芯片。为了提供更多功能并将信号延迟现象降至最低，目前可行的方式是将多枚芯片堆叠于一封装体中，以缩短互连长度 (length of interconnection) 并维持最小足印 (footprint)。例如，叠置具有各自内存芯片的行动处理器晶粒，以改善元件速度、封装及功率消耗。此外，在模块中叠置多枚芯片的方式，可在不同工艺节点提供包括逻辑、存储、模拟、RF、整合型被动元件 (IPC) 及微机电系统 (MEMS) 等不同功能芯片，如 28 纳米高速逻辑及 130 纳米模拟。

[0004] 虽然文献已报导许多三维封装结构，但仍有许多效能相关的缺失尚待改善。例如，在有限空间中叠置多个元件往往面临到元件间噪声干扰（如电磁干扰）等不理想状况。据此，当元件进行高频率电磁波信号传输或接收时，上述问题将不利于堆叠元件的信号完整性。此外，由于半导体元件于高温操作下易产生效能衰退甚至立即故障的问题，因此包裹于热绝缘材料（如介电材）内的芯片所产生的热聚集会对组件造成严重损害。据此，目前亟需发展一种可解决电磁干扰问题、加速散热效果并维持低制作成本的堆叠式半导体组件。

[0005] Eichelberger 的案号 5,111,278 的美国专利揭露一种三维堆叠式的多芯片模块，其是将半导体芯片设置于平坦基板上，并使用封装材料进行密封，其中该封装材料具有形成于连接垫上的盲孔。设置于封装材料上的导电图案是延伸至显露的打线垫，以便从模块上表面连接这些半导体芯片。该模块布有被覆穿孔，以连接上下电路，进而达到嵌埋式芯片的三维堆叠结构。然而，大部分塑料材料的导热性偏低，故该塑料组件会有热效能差且无法对嵌埋芯片提供电磁屏蔽保护作用的缺点。

[0006] Mowatt 等人的案号 5,432,677 的美国专利、Miura 等人的案号 5,565,706 的美国专利、Chen 等人的案号 6,680,529 的美国专利及 Sakamoto 等人的案号 7,842,887 的美国专利揭露多种嵌埋式模块，以解决制作良率及可靠度问题。然而，该些专利案所提出的方案皆无法对散热问题提出适当的解决方式，或者无法对嵌埋式芯片提供有效的电磁屏蔽保护作用。

[0007] Hsu 的案号 7, 242, 092 的美国专利及 Wong 的案号 7, 656, 015 的美国专利揭露一种组件, 其是将半导体芯片容置于底部具有金属层的凹穴中, 以加速嵌埋芯片的散热效果。除了该结构底部金属层散热效果有限的问题外, 由于基板上的凹穴是通过对基板进行激光或等离子体蚀刻而形成, 故其主要缺点还包括形成凹穴时导致产量偏低及成本偏高的问题。

[0008] Enomoto 的案号 7, 777, 328 的美国专利揭露一种散热增益型组件, 其是通过微加工或磨除部分金属的方式, 形成设置晶粒用的凹穴。金属板下凹深度控制不一致的现象易造成量产时产量及良率偏低的问题。此外, 由于厚金属板会阻挡垂直连接至底表面的电性连接路径, 故必须先形成布有通孔的树脂, 接着再于金属块中形成金属化镀覆穿孔。但此繁复的工艺会导致制作良率过低及成本过高。

[0009] Ito 等人的案号 7, 957, 154 的美国专利揭露一种组件, 其是于开口内表面上形成金属层, 以便可保护嵌埋的半导体芯片免于电磁干扰。与其它形成开口的方法一样, 树脂开孔形成不一致的现象将导致此组件面临制备产量差及良率低的问题。此外, 由于金属是通过电镀工艺形成于开口中, 故其厚度有限, 对封装的热效能没什么改善效果。

[0010] 有鉴于现有高功率及高效能半导体元件封装种种发展情形及限制, 目前仍需发展一种符合成本效益、产品可靠、适于生产、多功能、提供良好信号完整性、具有优异散热性的堆叠式半导体组件。

发明内容

[0011] 本发明提供一种堆叠式半导体组件的制作方法, 其中该组件包括一半导体元件、一散热座、一黏着层、一被覆穿孔、第一集成电路及第二集成电路。该堆叠式半导体组件的制作方法可包括以下步骤: 提供一凸块、一凸缘层、一黏着层及一具有通孔的导电层, 其中该凸块定义出面朝第一垂直方向的一凹穴, 且于相反于第一垂直方向的第二垂直方向上覆盖凹穴, 同时该凸块邻接凸缘层并与凸缘层一体成型, 且自凸缘层朝第二垂直方向延伸, 而凸缘层则自凸块朝垂直于该等垂直方向的侧面方向侧向延伸; 然后通过该黏着层将凸缘层及凸块黏附至导电层, 其中该黏着层介于凸缘层与导电层之间及凸块与导电层之间, 此步骤包括将凸块对准该通孔; 然后将包含一或多个接触垫的半导体元件设置于凸块上且位于凹穴处; 提供一第一集成电路于半导体元件及凸缘层上, 其中第一集成电路自半导体元件及凸缘层朝第一垂直方向延伸, 且电性连接至半导体元件; 提供一第二集成电路, 其朝第二垂直方向延伸于凸块、黏着层及导电层外; 以及提供一被覆穿孔, 其朝该等垂直方向延伸贯穿黏着层, 以提供第一集成电路与第二集成电路间的电性连接。

[0012] 将凸缘层及凸块黏附至导电层的步骤可包括: 将未固化的黏着层设置于凸缘层与导电层之间, 此步骤包括将该凸块对准黏着层的开口及导电层的通孔; 然后使黏着层流入通孔内介于凸块与导电层间的一缺口; 以及固化黏着层。

[0013] 将黏着层设置于凸缘层与导电层间的步骤可包括: 将黏着层设置于凸缘层上, 此步骤包括将凸块对准黏着层的开口; 以及将导电层设置于黏着层上, 此步骤包括将凸块对准导电层的通孔。

[0014] 将导电层设置于黏着层上的步骤可包括: 将导电层单独设置于黏着层上, 以使导电层接触黏着层, 而该通孔仅延伸贯穿导电层。或者, 将导电层设置于黏着层上的步骤可包括: 将一层压结构设置于黏着层上, 其中该层压结构包括该导电层及一基板, 以使基板接触

并介于导电层与黏着层的间，导电层则与黏着层保持距离，且该通孔延伸贯穿导电层及基板。抑或，将导电层设置于黏着层上的步骤可包括：将导电层及一载体设置于黏着层上，以使导电层接触并介于黏着层与载体之间，然后待黏着层固化后再移除该载体。

[0015] 本发明也提供还包括一基板的堆叠式半导体组件的制作方法。该堆叠式半导体组件的制作方法可包括以下步骤：提供一凸块、一凸缘层、一黏着层及一具有通孔的基板，其中凸块定义出面朝第一垂直方向的一凹穴，且在相反于第一垂直方向的第二垂直方向上覆盖凹穴，同时凸块邻接凸缘层并与凸缘层一体成型，且自凸缘层朝第二垂直方向延伸，而凸缘层则自凸块朝垂直于该等垂直方向的侧面方向侧向延伸；然后通过该黏着层将凸缘层及凸块黏附至基板，其中黏着层介于凸缘层与基板之间及凸块与基板之间，此步骤包括将凸块对准通孔；然后将包含一或多个接触垫的半导体元件设置于凸块上且位于凹穴处；提供一第一集成电路于半导体元件及凸缘层上，其中该第一集成电路自半导体元件及凸缘层朝第一垂直方向延伸，且电性连接至半导体元件；提供一第二集成电路，其朝第二垂直方向延伸于凸块、黏着层及基板外；以及提供一被覆穿孔，其朝该等垂直方向延伸贯穿黏着层及基板，以提供第一集成电路与第二集成电路间的电性连接。

[0016] 将凸缘层及凸块黏附至基板的步骤可包括：将未固化的黏着层设置于凸缘层与基板之间，此步骤包括将凸块对准黏着层的开口及基板的通孔；然后使黏着层流入通孔内介于凸块与基板间的一缺口；以及固化黏着层。

[0017] 将黏着层设置于凸缘层与基板间的步骤可包括：将黏着层设置于凸缘层上，此步骤包括将凸块对准黏着层的开口；以及将基板设置于黏着层上，此步骤包括将凸块对准基板的通孔。

[0018] 将基板设置于黏着层上的步骤包括：将一层压结构设置于黏着层上，其中该层压结构包括基板及一导电层，以使基板接触并介于导电层与黏着层之间，而导电层则与黏着层保持距离，同时该通孔延伸贯穿导电层及基板。

[0019] 使黏着层流入缺口的步骤可包括：加热熔化黏着层；并使凸缘层及基板（或导电层）彼此靠合，藉此使凸块在通孔中朝第二垂直方向移动，并对凸缘层与基板（或导电层）间的熔化黏着层施加压力，其中该压力迫使熔化黏着层朝第二垂直方向流入通孔内介于凸块与基板（或导电层）间的缺口。

[0020] 固化黏着层的步骤可包括：加热固化该熔化黏着层，藉此将凸块及凸缘层机械性黏附至基板（或导电层）。

[0021] 该第一集成电路可包括第一介电层及一或多条第一导线，而第二集成电路可包括第二介电层及一或多条第二导线。据此，提供第一集成电路及第二集成电路的步骤可包括：提供第一介电层于半导体元件及凸缘层上，其中该第一介电层自半导体元件及凸缘层朝第一垂直方向延伸，且该第一介电层包括一或多个第一盲孔，而第一盲孔系对准接触垫，且可选择性对准凸缘层；提供第二介电层，其朝第二垂直方向延伸于凸块、黏着层及导电层外，且可选择性包括一或多个第二盲孔，而第二盲孔可对准凸块；提供一或多条第一导线于第一介电层上，其中第一导线自第一介电层朝第一垂直方向延伸，并于第一介电层上侧向延伸，同时朝第二垂直方向穿过第一盲孔而延伸至接触垫，且可选择性延伸至凸缘层，以使半导体元件电性连接至第一导线，且使凸缘层选择性电性连接至第一导线；以及提供一或多条第二导线于第二介电层上，其中第二导线自第二介电层朝第二垂直方向延伸，并于第二

介电层上侧向延伸,且可同时朝第一垂直方向延伸穿过第二盲孔,以使凸块电性连接至第二导线。

[0022] 若需其它信号路由,第一集成电路及第二集成电路亦可包括额外的介电层、盲孔及导线层。例如,第一集成电路可还包括一第三介电层、一或多个第三盲孔及一或多条第三导线。据此,提供第一集成电路的步骤还可包括:形成一第三介电层于第一介电层及第一导线上,其中第三介电层自第一介电层及第一导线朝第一垂直方向延伸,且与半导体元件、凸缘层及凹穴保持距离;然后形成一或多个第三盲孔,其延伸贯穿第三介电层,且对准显露第一导线;然后形成一或多条第三导线,其自第三介电层朝第一垂直方向延伸,并于第三介电层上侧向延伸,同时朝第二垂直方向穿过第三盲孔而延伸至该第一导线,藉此将第一导线电性连接至第三导线。同样地,第二集成电路还可包括一第四介电层、一或多个第四盲孔及一或多条第四导线。据此,提供第二集成电路的步骤还可包括:形成一第四介电层于第二介电层及第二导线上,其中第四介电层自第二介电层及第二导线朝该第二垂直方向延伸;然后形成一或多个第四盲孔,其延伸贯穿第四介电层,且对准显露第二导线;然后形成一或多条第四导线,其自第四介电层朝第二垂直方向延伸,并于第四介电层上侧向延伸,同时朝第一垂直方向穿过第四盲孔而延伸至第二导线,藉此将第二导线电性连接至第四导线。

[0023] 第一集成电路可延伸于凹穴的内外。例如,第一集成电路的第一介电层可延伸进入并填满凹穴的剩余空间。或者,第一集成电路可与凹穴保持距离,并延伸于凹穴外。例如,固晶材料可填满凹穴,以使第一介电层不延伸进入凹穴且与凹穴保持距离。

[0024] 根据本发明的一实施方式,该堆叠式半导体组件的制作方法可包括:提供一凸块、一凸缘层、一黏着层及一导电层,其中(i)该凸块定义出面朝第一垂直方向的一凹穴,且在相反于第一垂直方向的第二垂直方向上覆盖该凹穴,同时该凸块邻接凸缘层并与凸缘层一体成型,且自凸缘层朝第二垂直方向垂直延伸,并延伸进入黏着层的开口,且对准导电层的通孔,(ii)该凸缘层自凸块朝垂直于该等垂直方向的侧面方向侧向延伸,(iii)该黏着层位于凸缘层与导电层之间且未固化,且(iv)该导电层系设置于黏着层上;然后使黏着层流入通孔内介于凸块与导电层间的缺口;固化该黏着层;然后将包含一或多个接触垫的半导体元件设置于凸块上,藉此将半导体元件机械黏附且热连结至该凸块;提供一第一介电层于半导体元件及凸缘层上,其中该第一介电层自半导体元件及凸缘层朝第一垂直方向延伸,且该第一介电层包括一或多个第一盲孔,而第一盲孔系对准显露接触垫,且可选择性对准显露凸缘层;提供一第二介电层,其朝第二垂直方向延伸于凸块、黏着层及导电层外,且可选择性包括一或多个第二盲孔,而第二盲孔可对准凸块;提供一或多条第一导线于第一介电层上,其中第一导线自第一介电层朝第一垂直方向延伸,并于第一介电层上侧向延伸,同时朝第二垂直方向穿过第一盲孔而延伸至接触垫,且可选择性延伸至凸缘层,以使半导体元件电性连接至第一导线,且使凸缘层选择性电性连接至第一导线;提供一或多条第二导线于第二介电层上,其中第二导线自第二介电层朝第二垂直方向延伸,并于第二介电层上侧向延伸,且可同时朝第一垂直方向延伸穿过第二盲孔,以使凸块电性连接至第二导线;以及提供一被覆穿孔,其朝该等垂直方向延伸贯穿黏着层,以提供第一导线与第二导线间的电性连接。

[0025] 根据本发明的另一实施方式,该堆叠式半导体组件的制作方法可包括:提供一凸块及一凸缘层,其中该凸块定义出面朝第一垂直方向的一凹穴,且邻接凸缘层并与凸缘层

一体成型，并自凸缘层朝与第一垂直方向相反的第二垂直方向垂直延伸，而该凸缘层则自凸块朝垂直于该等垂直方向的侧面方向侧向延伸，且该凹穴于第二垂直方向上系由凸块覆盖；提供一黏着层，其中一开口延伸贯穿该黏着层；提供一导电层，其中一通孔延伸贯穿该导电层；将黏着层设置于凸缘层上，此步骤包括将凸块插入该开口；将导电层设置于黏着层上，此步骤包括将凸块对准该通孔，其中黏着层系位于凸缘层与导电层之间且未固化；然后加热熔化黏着层；使凸缘层及导电层彼此靠合，藉此使凸块于通孔中朝第二垂直方向移动，并对凸缘层与导电层间的熔化黏着层施加压力，其中该压力迫使熔化黏着层朝第二垂直方向流入通孔内介于凸块与导电层间的缺口；加热固化该熔化黏着层，藉此将凸块及凸缘层机械性黏附至导电层；然后将包含一或多个接触垫的半导体元件设置于凸块上，藉此将半导体元件机械黏附且热连结至该凸块，其中半导体元件延伸进入该凹穴；提供一第一介电层于半导体元件及凸缘层上，其中该第一介电层自半导体元件及凸缘层朝第一垂直方向延伸，且该第一介电层包括一或多个第一盲孔，而第一盲孔系对准显露接触垫，且可选择性对准显露凸缘层；提供一第二介电层，其朝第二垂直方向延伸于凸块、黏着层及导电层外，且可选择性包括一或多个第二盲孔，而第二盲孔可对准凸块；提供一或多条第一导线于第一介电层上，其中第一导线自第一介电层朝第一垂直方向延伸，并于第一介电层上侧向延伸，同时朝第二垂直方向穿过第一盲孔而延伸至接触垫，且可选择性延伸至凸缘层，以使半导体元件电性连接至第一导线，且使凸缘层选择性电性连接至第一导线；提供一或多条第二导线于第二介电层上，其中第二导线自第二介电层朝第二垂直方向延伸，并于第二介电层上侧向延伸，且可同时朝第一垂直方向延伸穿过第二盲孔，以使凸块电性连接至第二导线；以及提供一被覆穿孔，其朝该等垂直方向延伸贯穿黏着层，以提供第一导线与第二导线间的电性连接。

[0026] 根据本发明的再一实施方式，该堆叠式半导体组件的制作方法可包括：提供一凸块、一凸缘层、一黏着层及一层压结构，该层压结构包括一导电层及一基板，其中 (i) 该凸块定义出面朝第一垂直方向的一凹穴，且于相反于第一垂直方向的第二垂直方向上覆盖该凹穴，同时该凸块邻接凸缘层并与凸缘层一体成型，且自凸缘层朝第二垂直方向垂直延伸，并延伸进入黏着层的开口，且对准层压结构的通孔，(ii) 该凸缘层自凸块朝垂直于该等垂直方向的侧面方向侧向延伸，(iii) 该黏着层位于凸缘层与层压结构之间且未固化，且(iv) 该层压结构系设置于黏着层上，以使基板位于黏着层与导电层之间；然后使黏着层流入通孔内介于凸块与层压结构间的缺口；固化该黏着层；然后将包含一或多个接触垫的半导体元件设置于凸块上，藉此将半导体元件机械黏附且热连结至该凸块；提供一第一介电层于半导体元件及凸缘层上，其中该第一介电层自半导体元件及凸缘层朝第一垂直方向延伸，且该第一介电层包括一或多个第一盲孔，而第一盲孔系对准显露接触垫，且可选择性对准显露凸缘层；提供一第二介电层，其朝第二垂直方向延伸于凸块、黏着层及导电层外，且可选择性包括一或多个第二盲孔，而第二盲孔可对准凸块；提供一或多条第一导线于第一介电层上，其中第一导线自第一介电层朝第一垂直方向延伸，并于第一介电层上侧向延伸，同时朝第二垂直方向穿过第一盲孔而延伸至接触垫，且可选择性延伸至凸缘层，以使半导体元件电性连接至第一导线，且使凸缘层选择性电性连接至第一导线；提供一或多条第二导线于第二介电层上，其中第二导线自第二介电层朝第二垂直方向延伸，并于第二介电层上侧向延伸，且可同时朝第一垂直方向延伸穿过第二盲孔，以使凸块电性连接至第二导线；

以及提供一被覆穿孔，其朝该等垂直方向延伸贯穿黏着层及基板，以提供第一导线与第二导线间的电性连接。

[0027] 根据本发明的又一实施方式，该堆叠式半导体组件的制作方法可包括：提供一凸块及一凸缘层，其中该凸块定义出面朝第一垂直方向的一凹穴，且邻接凸缘层并与凸缘层一体成型，并自凸缘层朝与第一垂直方向相反的第二垂直方向垂直延伸，而该凸缘层则自凸块朝垂直于该等垂直方向的侧面方向侧向延伸，且该凹穴于第二垂直方向上系由凸块覆盖；提供一黏着层，其中一开口延伸贯穿该黏着层；提供包括一导电层及一基板的一层压结构，其中一通孔延伸贯穿该导电层及该基板；将黏着层设置于凸缘层上，此步骤包括将凸块插入该开口；将层压结构设置于黏着层上，此步骤包括将凸块对准该通孔，其中黏着层系位于凸缘层与层压结构之间且未固化，而基板系位于黏着层与导电层之间；然后加热熔化黏着层；使凸缘层及层压结构彼此靠合，藉此使凸块于通孔中朝第二垂直方向移动，并对凸缘层与层压结构间的熔化黏着层施加压力，其中该压力迫使熔化黏着层朝第二垂直方向流入通孔内介于凸块与层压结构间的缺口；加热固化该熔化黏着层，藉此将凸块及凸缘层机械性黏附至导电层及基板；然后将包含一或多个接触垫的半导体元件设置于凸块上，藉此将半导体元件机械黏附且热连结至该凸块，其中半导体元件延伸进入该凹穴；提供一第一介电层于半导体元件及凸缘层上，其中该第一介电层自半导体元件及凸缘层朝第一垂直方向延伸，且该第一介电层包括一或多个第一盲孔，而第一盲孔系对准显露接触垫，且可选择性对准显露凸缘层；提供一第二介电层，其朝第二垂直方向延伸于凸块、黏着层及导电层外，且可选择性包括一或多个第二盲孔，而第二盲孔可对准凸块；提供一或多条第一导线于第一介电层上，其中第一导线自第一介电层朝第一垂直方向延伸，并于第一介电层上侧向延伸，同时朝第二垂直方向穿过第一盲孔而延伸至接触垫，且可选择性延伸至凸缘层，以使半导体元件电性连接至第一导线，且使凸缘层选择性电性连接至第一导线；提供一或多条第二导线于第二介电层上，其中第二导线自第二介电层朝第二垂直方向延伸，并于第二介电层上侧向延伸，且可同时朝第一垂直方向延伸穿过第二盲孔，以使凸块电性连接至第二导线；以及提供一被覆穿孔，其朝该等垂直方向延伸贯穿黏着层及基板，以提供第一导线与第二导线间的电性连接。

[0028] 设置半导体元件的步骤可包括：使用位于凹穴内的固晶材料，将半导体元件机械黏附且热连结至凸块。

[0029] 提供第一导线及第二导线的步骤可包括：沉积一第一被覆层于第一介电层上，且该第一被覆层穿过第一盲孔而延伸至接触垫，并选择性延伸至凸缘层；沉积一第二被覆层于第二介电层上，且该第二被覆层可延伸穿过第二盲孔；移除第一被覆层选定部位，以定义出第一导线；以及移除第二被覆层选定部位，以定义出第二导线。

[0030] 提供该被覆穿孔的步骤可包括：形成一穿孔，其朝该等垂直方向延伸贯穿该黏着层（若具有基板则贯穿黏着层及基板）；然后沉积一连接层于该穿孔的一内侧壁上。

[0031] 可于提供第一集成电路及第二集成电路期间提供该被覆穿孔，或者于设置半导体元件前并于凸块及凸缘层黏附至导电层或基板后提供该被覆穿孔。举例说明，提供被覆穿孔的步骤可包括：于提供介电层（如第一介电层/第二介电层或第三介电层/第四介电层）后，形成于垂直方向延伸贯穿介电层（如延伸贯穿第一及第二介电层，或延伸贯穿第一、第二、第三及第四介电层）、黏着层及基板的穿孔；而后，于沉积导线（如第一/第二导线或第

三 / 第四导线) 期间, 于穿孔内侧壁上沉积一连接层。或者, 提供被覆穿孔的步骤可包括 : 于设置半导体元件前并于固化黏着层后, 形成于垂直方向贯穿凸缘层、黏着层、基板及导电层的穿孔, 而后再沉积一连接层于该穿孔的内侧壁上。

[0032] 提供第一介电层、第二介电层、第一导线、第二导线及被覆穿孔的步骤可包括 : 形成一穿孔, 其朝该等垂直方向延伸贯穿黏着层 (若有基板则贯穿黏着层及基板) ; 然后沉积一连接层于该穿孔的一内侧壁上 ; 沉积一内被覆层于第一垂直方向上的凸块及凸缘层及第二垂直方向上的凸块、黏着层及导电层上 ; 然后移除第一垂直方向上的凸缘层及内被覆层选定部位, 以定义出一第一内部接垫, 以使该第一内部接垫邻接连接层且与凸缘层保持距离 ; 移除第二垂直方向上的导电层及内被覆层选定部位, 以定义出一基座及一第二内部接垫, 其中 (i) 该基座邻接凸块并自凸块朝第二垂直方向延伸, 且于第二垂直方向上覆盖凸块并自凸块侧向延伸, 同时该基座包括邻接该通孔且与凸块保持距离的导电层一选定部位, 并包括邻接凸块、黏着层及导电层的该内被覆层一选定部位, 且 (ii) 该第二内部接垫邻接连接层, 且与凸块及基座保持距离, 并朝第二垂直方向延伸于黏着层外, 或自基板朝第二垂直方向延伸, 同时该第二内部接垫包括与该通孔及凸块保持距离的该导电层一选定部位, 并包括邻接导电层且与凸块及黏着层保持距离的该内被覆层一选定部位 ; 然后形成第一介电层于半导体元件、凸缘层及第一内部接垫上 ; 形成第二介电层于基座及第二内部接垫上 ; 然后形成第一盲孔及另一第一盲孔于第一介电层中, 其中该另一第一盲孔系对准显露第一内部接垫 ; 形成一或多个第二盲孔于第二介电层中, 其中第二盲孔系对准显露第二内部接垫, 并可选择性对准基座 ; 然后沉积第一被覆层于第一介电层上, 其中该第一被覆层穿过第一盲孔而延伸至接触垫, 并选择性延伸至凸缘层, 同时穿过该另一第一盲孔而延伸至第一内部接垫 ; 沉积第二被覆层于第二介电层上, 其中该第二被覆层穿过第二盲孔而延伸至第二内部接垫, 并可选择性延伸至基座 ; 然后移除第一被覆层的选定部位, 以定义出第一导线 ; 以及移除第二被覆层的选定部位, 以定义出第二导线。或者, 提供第一介电层、第二介电层、第一导线、第二导线及被覆穿孔的步骤可包括 : 形成第一介电层于半导体元件及凸缘层上 ; 形成第二介电层于凸块、黏着层及导电层上 ; 然后形成第一盲孔于第一介电层中 ; 选择性形成一或多个第二盲孔于第二介电层中, 其中第二盲孔可对准凸块 ; 沉积一第一被覆层于第一介电层上, 其中该第一被覆层穿过第一盲孔而延伸至接触垫, 并可选择性延伸至凸缘层 ; 沉积一第二被覆层于第二介电层上, 其中该第二被覆层可穿过第二盲孔而延伸至凸块 ; 移除第一被覆层的选定部位, 以定义出第一导线 ; 移除第二被覆层的选定部位, 以定义出第二导线 ; 形成一穿孔, 其朝该等垂直方向延伸贯穿黏着层、基板 (若有基板的话) 、第一介电层及第二介电层 ; 以及沉积一连接层于该穿孔的一内侧壁上, 以提供第一导线与第二导线间的电性连接。

[0033] 移除第一被覆层选定部位的步骤可包括 : 形成一定义第一导线的蚀刻阻层于第一被覆层上 ; 然后蚀刻第一被覆层, 以形成蚀刻阻层所定义的图案 ; 然后移除蚀刻阻层。同样地, 移除第二被覆层选定部位的步骤可包括 : 形成一定义第二导线的蚀刻阻层于第二被覆层上 ; 然后蚀刻第二被覆层, 以形成蚀刻阻层所定义的图案 ; 然后移除蚀刻阻层。

[0034] 本发明的制作方法于固化黏着层后且沉积被覆层前, 可包括一步骤 : 研磨凸块、黏着层及导电层, 使凸块、黏着层及导电层于面朝第二垂直方向的一侧向表面上彼此侧向对齐。此研磨步骤可包括 : 研磨黏着层而不研磨凸块 ; 而后研磨凸块、黏着层及导电层。

[0035] 在一优先具体实施例中,该堆叠式半导体组件的制作方法可包括:提供一凸块、一凸缘层、一黏着层及一层压结构,其中(i)该凸块定义出面朝第一垂直方向的一凹穴,且该凸块邻接凸缘层并与凸缘层一体成型,同时该凸块自凸缘层朝与第一垂直方向相反的第二垂直方向垂直延伸,且凹穴于第二垂直方向上系由凸块覆盖,(ii)该凸缘层自凸块朝垂直于该等垂直方向的侧面方向侧向延伸,(iii)黏着层包括一开口,其延伸贯穿黏着层,且(iv)层压结构包括一导电层及一基板,而一通孔延伸贯穿层压结构;将黏着层设置于凸缘层上,此步骤包括将凸块插入该开孔;将层压结构设置于黏着层上,此步骤包括将凸块插入该通孔,其中该基板接触并介于导电层与黏着层之间,导电层则与黏着层保持距离,而黏着层接触并介于凸缘层与基板之间且未固化;然后加热熔化该黏着层;使凸缘层及层压结构彼此靠合,藉此使凸块于通孔中朝第二垂直方向移动,并对凸缘层与层压结构间的该熔化黏着层施加压力,其中该压力迫使该熔化黏着层朝第二垂直方向流入通孔内介于凸块与层压结构间的一缺口;加热固化该熔化黏着层,藉此将凸块与凸缘层机械性黏附至导电层及基板;然后研磨凸块、黏着层及导电层,使凸块、黏着层及导电层于面朝第二垂直方向的一侧向表面上彼此侧向对齐;然后使用一固晶材料,将包含一或多个接触垫的半导体元件设置于凸块上,藉此将半导体元件机械黏附且热连结至凸块,其中该半导体元件延伸进入凹穴,而凸块为半导体元件提供一凹形晶粒座;然后形成一第一介电层于半导体元件及凸缘层上,其中该第一介电层自半导体元件及凸缘层朝第一垂直方向延伸,并延伸进入且填满凹穴的剩余空间;形成一第二介电层于凸块、黏着层及导电层上,其中该第二介电层自凸块、黏着层及导电层朝第二垂直方向延伸;然后形成一或多个第一盲孔,其延伸贯穿该第一介电层,且对准显露接触垫,并可选择性对准显露凸缘层;选择性形成一或多个第二盲孔,其延伸贯穿第二介电层,并可对准显露该凸块;沉积一第一被覆层于第一介电层上,并移除第一被覆层的选定部位,以形成第一蚀刻阻层所定义的图案,其中一或多条第一导线包括该第一被覆层的一选定部位,其自第一介电层朝第一垂直方向延伸,并于第一介电层上侧向延伸,同时朝第二垂直方向穿过第一盲孔而延伸至接触垫,并可选择性延伸至凸缘层,藉此将半导体元件电性连接至第一导线,且可选择性将凸缘层电性连接至第一导线;沉积一第二被覆层于第二介电层上,并移除第二被覆层的选定部位,以形成第二蚀刻阻层所定义的图案,其中一或多条第二导线包括该第二被覆层的一选定部位,其自第二介电层朝第二垂直方向延伸,并于第二介电层上侧向延伸,且可朝第一垂直方向穿过第二盲孔而延伸至凸块,藉此将凸块电性连接至第二导线;提供包括该第一介电层及该第一导线的第一集成电路及包括该第二介电层及该第二导线的第二集成电路,其中半导体元件可通过凸缘层或/及凸块而热连结至第一或/及第二集成电路的外部导线;形成一穿孔,其朝该等垂直方向延伸贯穿黏着层、基板、第一介电层及第二介电层;以及沉积一连接层于穿孔的一内侧壁上,其中该被覆穿孔包括该穿孔及该连接层,而连接层提供第一导线与第二导线间的电性连接。

[0036] 根据上述实施方式及优选具体实施例,该制作方法还可包括:形成一第三介电层于第一介电层及第一导线上,其中第三介电层自第一介电层及第一导线朝第一垂直方向延伸,且与半导体元件、凸缘层及凹穴保持距离;然后形成一或多个第三盲孔,其延伸贯穿第三介电层,且对准显露第一导线;然后形成一或多条第三导线,其自第三介电层朝第一垂直方向延伸,并于第三介电层上侧向延伸,同时朝第二垂直方向穿过第三盲孔而延伸至该第

一导线，藉此将第一导线电性连接至第三导线。此外，该制作方法还可包括：形成一第四介电层于第二介电层及第二导线上，其中第四介电层自第二介电层及第二导线朝该第二垂直方向延伸；然后形成一或多个第四盲孔，其延伸贯穿第四介电层，且对准显露第二导线；然后形成一或多条第四导线，其自第四介电层朝第二垂直方向延伸，并于第四介电层上侧向延伸，同时朝第一垂直方向穿过第四盲孔而延伸至第二导线，藉此将第二导线电性连接至第四导线。

[0037] 提供该凸块的步骤可包括：对一金属板进行机械冲压，以在金属板上形成凸块以及于凸块中形成凹穴，该凸块系金属板上一受冲压的部份，而凸缘层则为金属板上一未受冲压的部份。此金属板可由铜、铝、镍、铁或其合金制成。

[0038] 提供该黏着层的步骤可包括：提供一未固化环氧树脂的胶片。使该黏着层流入缺口的步骤可包括：熔化该未固化环氧树脂，并挤压凸缘层与导电层间或凸缘层与基板间的该未固化环氧树脂。固化该黏着层的步骤可包括：固化该未固化环氧树脂。

[0039] 使黏着层流入缺口的步骤可包括：使该黏着层填满缺口，并迫使黏着层朝第二垂直方向超出凸块及导电层，以使黏着层接触凸块与导电层面向第二垂直方向的表面。

[0040] 提供第一介电层的步骤可包括：于第一垂直方向形成第一介电层于半导体元件、凸块、凸缘层及黏着层上并与之接触，且该黏着层分隔第一介电层与基板（或导电层）。

[0041] 提供第二介电层的步骤可包括：于第二垂直方向形成第二介电层于黏着层、凸块及导电层外，且该黏着层分隔第一介电层与第二介电层。

[0042] 提供该些介电层及该些导线的步骤可包括：同时形成该些介电层，然后再同时沉积该些被覆层。

[0043] 提供该些导线及被覆穿孔的步骤可包括：同时沉积该些被覆层及连接层。

[0044] 沉积第一被覆层与第二被覆层的步骤可包括：通过无电电镀法及电解电镀法，同时沉积第一被覆层及第二被覆层。

[0045] 该些介电层可通过各种技术形成并可延伸至组件的外围边缘，其包括膜压合、辊轮涂布、旋转涂布及喷涂沉积法。该些盲孔可通过各种技术贯穿介电层，其包括激光钻孔、等离子体蚀刻及光刻技术。该穿孔可通过各种技术形成，其包括机械钻孔、激光钻孔及等离子体蚀刻及光刻技术并进行或未进行湿蚀刻。该些被覆层及连接层可通过各种技术沉积形成单层或多层结构，其包括电镀、无电电镀、蒸镀、溅镀及其组合。该些被覆层可通过各种技术图案化，以定义出该些导线，其包括湿蚀刻、电化学蚀刻、激光辅助蚀刻及其组合。

[0046] 第一盲孔与第二盲孔可具有相同尺寸，第一介电层与第一导线可具有面朝第一垂直方向的平坦延长表面，而第二介电层与第二导线则可具有面朝第二垂直方向的平坦延长表面。

[0047] 通过上述制作方法，该堆叠式半导体组件的散热座可包括一凸块及一凸缘层，其中 (i) 该凸块邻接凸缘层并与凸缘层一体成型，且自凸缘层朝第二垂直方向延伸；(ii) 该凸缘层自凸块朝垂直于第二垂直方向的侧面方向侧向延伸；且 (iii) 该凸块具有一凹穴，其面朝相反于第二垂直方向的第一垂直方向，且该凹穴于第二垂直方向上系由该凸块覆盖，并于凸缘层处设有一入口。

[0048] 该散热座还可包括一基座，其中 (i) 该凸块邻接该基座，并自基座朝第一垂直方向延伸；(ii) 该基座自凸块朝该第二垂直方向延伸，并于该第二垂直方向上覆盖凸块，同

时该基座自凸块侧向延伸；(iii) 该凸缘层与该基座保持距离；且(iv) 该凸块分隔该凹穴与该基座。

[0049] 该散热座可由任何导热性材料制成。优选地，该散热座可由金属制成。举例说明，该散热座基本上可由铜、铝、镍、铁或其合金制成。无论何种方式，该散热座皆可提供散热作用，将半导体元件的热能扩散至下一层组件。

[0050] 该凸块可与凸缘层一体成型。例如，凸块与凸缘层可为单一金属体，或于界面处包含单一金属体，其中该单一金属体可为铜。此外，该凸块与该黏着层可于第二介电层处呈共平面，或者若具有基座则于基座处呈共平面。该凸块可包含一邻接第二介电层（或基座）的第一弯折角与一邻接凸缘层的第二弯折角。该凸块亦可具有冲压而成的特有不规则厚度。此外，该凸块于凸缘层处的直径或尺寸可大于相对于凸缘层的表面处的直径或尺寸。例如，该凸块可呈平顶锥柱形或金字塔形，其直径或尺寸朝着第一垂直方向延伸递增。据此，由于黏着层朝第二垂直方向延伸进入凸块与基板间或凸块与导电层间的缺口，故邻接凸块处的黏着层厚度呈递增趋势。该凸块亦可为直径固定的圆柱形。据此，黏着层于凸块与基板间或凸块与导电层（压合于基板）间的缺口处具有固定厚度。该凸块亦可为该半导体元件提供一凹形晶粒座。

[0051] 凸块凹穴入口处的直径或尺寸可大于该凹穴底板处的直径或尺寸。例如，该凹穴可呈平顶锥柱形或金字塔形，其直径或尺寸自其底板沿着第一垂直方向朝其入口处递增。或者，该凹穴亦可为一直径固定的圆柱形。该凹穴的入口及底板亦可具有圆形、正方形或矩形的周缘。该凹穴亦可具有与凸块相符的形状，并延伸进入该开口及该通孔，同时沿该等垂直及侧面方向延伸跨越该凸块的大部分。

[0052] 该凸缘层可位于第一集成电路与黏着层间。该凸缘层亦可具有圆形、正方形或矩形的周缘。此外，该凸缘层可与组件的外围边缘保持距离或延伸至组件的外围边缘。

[0053] 第一集成电路可于第一垂直方向上覆盖并延伸于半导体元件、凸缘层及黏着层外，而第二集成电路可于第二垂直方向上覆盖并延伸于凸块及黏着层外。第一集成电路可自半导体元件及凸缘层朝第一垂直方向延伸，而第二集成电路则可自凸块（或基座）朝第二方向延伸。

[0054] 第一及第二集成电路可分别包括第一及第二连接垫，其由外层导线选定部位所定义出，以提供下一层组件或另一电子元件（如半导体芯片、塑料封装体或另一半导体组件）的电性接点。第一连接垫可于第一垂直方向上延伸至第一导线或延伸于第一导线外，且该第一连接垫包括面朝第一垂直方向的外露接触表面。第二连接垫可于第二垂直方向上延伸至第二导线或延伸于第二导线外，且该第二连接垫包括面朝第二垂直方向的外露接触表面。例如，第一连接垫可邻接第三导线并与第三导线一体成型，而第二连接垫可邻接第四导线并与第四导线一体成型。此外，第一导线可提供第一连接垫与被覆穿孔间的电性互连，而第二导线则可提供第二连接垫与被覆穿孔间的电性互连。据此，堆叠式半导体组件可包括相互电性连接的电性接点，其系位于面朝相反垂直方向的相反表面上，以使该半导体组件为可堆叠式的组件。

[0055] 该被覆穿孔可提供第一集成电路与第二集成电路之间的垂直方向信号路由。例如，被覆穿孔的第一端可延伸至第一集成电路的外导电层或内导电层并与的电性连接，而第二端则可延伸至第二集成电路的外导电层或内导电层并与的电性连接。或者，被覆穿孔

的第一端可延伸并电性连接至与凸缘层保持距离、共平面且具有相同厚度的内部接垫，并通过第一盲孔的第一导线电性连接至第一集成电路。同样地，被覆穿孔的第二端可延伸并电性连接至与基座保持距离、共平面且于最靠近彼此处具有相同厚度的内部接垫，并通过第二盲孔中的第二导线电性连接至第二集成电路。无论采用何种方式，该被覆穿孔系垂直延伸穿过黏着层（若有基板则穿过黏着层及基板），并与散热座保持距离，且位于第一集成电路与第二集成电路间的电性传导路径上。

[0056] 承上所述，凸缘层与基板（或导电层）间的黏着层可流入通孔内介于凸块与基板（或导电层）间的缺口。据此，黏着层可接触凸块、凸缘层、基板（若有基板的话）、被覆穿孔及第一介电层，且介于第一介电层与第二介电层之间，同时与第一导线及第二导线保持距离，并可自凸块侧向延伸至组件外围边缘。此外，该黏着层于邻接凸缘层处可具有第一厚度（朝第一 / 第二垂直方向），而邻接凸块处则具有第二厚度（朝垂直于第一 / 第二垂直方向的侧面方向），且第二厚度不同于第一厚度。

[0057] 半导体元件可为封装或未封装的半导体芯片。举例说明，半导体元件可为包含半导体芯片的栅格数组 (land grid array, LGA) 封装或晶圆级封装 (WLP)。或者，半导体元件可为半导体芯片。

[0058] 该基板可延伸至组件的外围边缘，且可由有机材料（如环氧、玻璃 - 环氧、聚酰亚胺）制成。该基板亦可由导热性材料（如氧化铝 (Al_2O_3)、氮化铝 (AlN)、氮化硅 (SiN)、硅 (Si) 等）制成。或者，该基板可为单层结构或多层结构，如层压电路板或多层陶瓷板。此外，该基板可与一导电层压合，且该通孔可延伸穿过该基板及导电层。

[0059] 该组件可为第一级或第二级单晶或多晶装置。例如，该组件可为包含单一芯片或多枚芯片的第一级封装体。或者，该组件可为包含单一封装体或多个封装体的第二级模块，其中每一封装体可包含单一芯片或多枚芯片。

[0060] 本发明具有多项优点。凸块与凸缘层可一体成型，以对半导体元件提供优异的散热效果、电磁屏蔽作用并阻隔水气，进而达到较佳热效能、电效能及环境可靠度。机械形成的凸块凹穴可提供定义明确的空间，以放置半导体元件。因此，可避免层压过程中的嵌埋芯片偏移及破裂问题，进而提高制备良率并降低成本。该黏着层可位于凸块与导电层之间、凸块与基板之间以及凸缘层与基板之间，以在散热座与基板之间提供坚固的机械性连结。该第一集成电路可通过被覆金属提供电性连接至半导体元件，其无需使用打线或焊接，故可提高可靠度。第一及第二集成电路可提供具有简单电路图案的信号路由或具有复杂电路图案的灵活多层信号路由。该被覆穿孔可提供两集成电路间的垂直信号路由，其中两个集成电路个别具有位于组件两侧的连接垫，以使该组件具有堆叠功能。

[0061] 本发明的上述及其它特征与优点将于下文中通过各种优选实施例进一步加以说明。

附图说明

[0062] 图 1A 及图 1B 为本发明一实施例的凸块与凸缘层剖视图。

[0063] 图 1C 及图 1D 分别为图 1B 的俯视图及仰视图。

[0064] 图 2A 及图 2B 为本发明一实施例的黏着层剖视图。

[0065] 图 2C 及图 2D 分别为图 2B 的俯视图及仰视图。

- [0066] 图 3A 及图 3B 为本发明一实施例的基板与导电层压合结构剖视图。
- [0067] 图 3C 及图 3D 分别为图 3B 的俯视图及仰视图。
- [0068] 图 4A 至图 4F 为本发明一实施例的导热板制作方法剖视图。
- [0069] 图 5A 至图 5K 为本发明一实施例的堆叠式半导体组件制作方法剖视图, 其中该组件包括导热板、半导体元件、被覆穿孔、第一集成电路及第二集成电路。
- [0070] 图 6 为本发明一实施例的三维堆叠结构剖视图, 其包括堆叠式半导体组件及接置于第一集成电路的半导体元件。
- [0071] 图 7 为本发明一实施例的三维堆叠结构剖视图, 其包括堆叠式半导体组件及接置于第二集成电路的半导体元件。
- [0072] 图 8A 至图 8H 为本发明另一实施例的堆叠式半导体组件制作剖视图, 其中该组件具有连接至导热板两侧内部接垫的被覆穿孔。
- [0073] 图 9 至图 10 为本发明其它实施例的堆叠式半导体组件剖视图, 其导热板不含基板。

[0074] 主要元件符号说明

[0075]	10	金属板	12, 14	表面
[0076]	16	凸块	16'	增厚凸块
[0077]	18	凸缘层	18'	增厚凸缘层
[0078]	20	凹穴	22, 24	弯折角
[0079]	26	渐缩侧壁	28	底板
[0080]	30	黏着层	32	开口
[0081]	34	基板	36	导电层
[0082]	40	通孔	42	缺口
[0083]	50	散热座	60	第一被覆层
[0084]	61	第二被覆层	62, 65	连接层
[0085]	63	绝缘填充材料	64	基座
[0086]	91, 92	半导体元件	100	半导体组件
[0087]	101, 102	导热板	110	半导体芯片
[0088]	111	顶面	112	底面
[0089]	113	固晶材料	114	接触垫
[0090]	181	第一开孔	182	第一内部接垫
[0091]	183	第二内部接垫	201, 202	第一集成电路
[0092]	201', 202'	第二集成电路	211	第一介电层
[0093]	212	第二介电层	221	第一盲孔
[0094]	222	第二盲孔	241	第一导线
[0095]	242	第二导线	261	第三介电层
[0096]	262	第四介电层	281	第三盲孔
[0097]	282	第四盲孔	291	第三导线
[0098]	292	第四导线	301	防焊层
[0099]	311	防焊层开孔	341	第一连接垫

[0100]	342	第二连接垫	361	第二开孔
[0101]	401, 403	穿孔	402, 404	被覆穿孔
[0102]	801, 802	焊料凸块	D1, D2	距离
[0103]	T1	第一厚度	T2	第二厚度

具体实施方式

[0104] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0105] 实施例 1

[0106] 图 1A 及图 1B 为本发明一实施例的凸块与凸缘层制作方法剖视图,而图 1C 及图 1D 分别为图 1B 的俯视图及仰视图。

[0107] 图 1A 为金属板 10 的剖视图,金属板 10 包含相对的主要表面 12 及 14。图示的金属板 10 是一厚度为 100 微米的铜板。铜具有导热性高、可挠性佳及低成本等优点。金属板 10 可由多种金属制成,如铜、铝、铁镍合金 42、铁、镍、银、金、其混合物及其合金。

[0108] 图 1B、图 1C 及图 1D 分别为金属板 10 形成凸块 16、凸缘层 18 及凹穴 20 后的剖视图、俯视图及仰视图。凸块 16 及凹穴 20 是由金属板 10 以机械方式冲压而成。因此,凸块 16 为金属板 10 受冲压的部分,而凸缘层 18 则为金属板 10 未受冲压的部分。

[0109] 凸块 16 邻接凸缘层 18,并与凸缘层 18 一体成形,且自凸缘层 18 朝向下方向延伸。凸块 16 包含弯折角 22 及 24、渐缩侧壁 26 与底板 28。弯折角 22 及 24 是因冲压作业而弯折。弯折角 22 邻接凸缘层 18 与渐缩侧壁 26,而弯折角 24 则邻接渐缩侧壁 26 与底板 28。渐缩侧壁 26 是朝向上方向向外延伸,而底板 28 则沿着垂直于向上及向下方向的侧面方向(如左、右)延伸。因此,凸块 16 呈平顶金字塔形(类似一平截头体),其直径自凸缘层 18 处朝底板 28 向下递减,也就是说,自底板 28 处朝凸缘层 18 向上递增。凸块 16 的高度(相对于凸缘层 18)为 300 微米,于凸缘层 18 处的尺寸为 10.5 毫米 × 8.5 毫米,于底板 28 处的尺寸则为 10.25 毫米 × 8.25 毫米。此外,凸块 16 因冲压作业而具有不规则的厚度。例如,因冲压而拉长的渐缩侧壁 26 比底板 28 薄。为便于图示,凸块 16 在图中具有均一厚度。

[0110] 呈平坦状的凸缘层 18 是沿侧面方向自凸块 16 侧伸而出,其厚度为 100 微米。

[0111] 凹穴 20 是面朝向上方向,且延伸进入凸块 16,并由凸块 16 从下方覆盖。凹穴 20 于凸缘层 18 处设有一入口。此外,凹穴 20 的形状与凸块 16 相符。因此,凹穴 20 也呈平顶金字塔形(类似一平截头体),其直径自其位于凸缘层 18 的入口处朝底板 28 向下递减,也就是说,自底板 28 处朝其位于凸缘层 18 的入口向上递增。再者,凹穴 20 沿垂直及侧面方向延伸跨越凸块 16 的大部分,且凹穴 20 的深度为 300 微米。

[0112] 图 2A 及图 2B 图为本发明一实施例的黏着层制作方法剖视图,而图 2C 及图 2D 分别为图 2B 的俯视图及仰视图。

[0113] 图 2A 为黏着层 30 的剖视图,其中黏着层 30 为乙阶(B-stage)未固化环氧树脂的胶片,其为未经固化及图案化的片体,厚 150 微米。

[0114] 黏着层 30 可为多种有机或无机电性绝缘体制成的各种介电膜或胶片。例如,黏着层 30 起初可为一胶片,其中树脂型态的热固性环氧树脂掺入一加强材料后部分固化至中期。所述环氧树脂可为 FR-4,但其它环氧树脂(如多官能与双马来酰亚胺 - 三氮杂苯

(BT) 树脂等) 也适用。在特定应用中, 也适用氰酸酯、聚酰亚胺及聚四氟乙烯 (PTFE)。该加强材料可为电子级玻璃 (E-glass), 也可为其它加强材料, 如高强度玻璃 (S-glass)、低诱电率玻璃 (D-glass)、石英、克维拉纤维 (kevlar aramid) 及纸等。该加强材料也可为织物、不织布或无方向性微纤维。可将诸如硅 (研粉熔融石英) 等填充物加入胶片中, 以提升导热性、热冲击阻抗力与热膨胀匹配性。可利用市售预浸材, 如美国威斯康星州奥克莱 W. L. Gore&Associates 的 SPEEDBOARD C 胶片就是一例。

[0115] 图 2B、图 2C 及图 2D 分别为具有开口 32 的黏着层 30 剖视图、俯视图及仰视图。开口 32 为贯穿黏着层 30 且尺寸为 10.55 毫米 × 8.55 毫米的窗口。开口 32 是以机械方式击穿该胶片而形成, 但也可使用其它技术制作, 如激光切割。

[0116] 图 3A 及图 3B 为本发明一实施例的层压结构制作方法剖视图, 而图 3C 及图 3D 则分别为图 3B 的俯视图及仰视图。

[0117] 图 3A 是一层压结构的剖视图, 其包含基板 34 及导电层 36。举例说明, 基板 34 可为厚度 150 微米的玻璃 - 环氧材料, 而与基板 34 接触且延伸于基板 34 上方的导电层 36 可为未经图案化且厚度 30 微米的铜板。

[0118] 图 3B、图 3C 及图 3D 分别为具有通孔 40 的层压结构 (包括基板 34 及导电层 36) 剖视图、俯视图及仰视图。通孔 40 为一窗口, 其贯穿导电层 36 及基板 34 且尺寸为 10.55 毫米 × 8.55 毫米。通孔 40 是以机械方式击穿导电层 36 与基板 34 而形成, 但也可使用其它技术制作, 如激光切割并进行或未进行湿式蚀刻。开口 32 与通孔 40 具有相同尺寸。此外, 开口 32 与通孔 40 可用相同的冲头在同一冲床上通过相同方式形成。

[0119] 基板 34 在此绘示为一单层介电结构, 但基板 34 也可为其它电性互连体, 如多层印刷电路板或多层陶瓷板。同样地, 基板 34 可另包含额外的内嵌电路层。

[0120] 图 4A 至图 4F 为本发明一实施例的导热板制作方法剖视图, 如图 4F 所示, 该导热板包含凸块 16、凸缘层 18、黏着层 30、基板 34 及导电层 36。

[0121] 图 4A 及图 4B 中的结构是呈凹穴向下的倒置状态, 以便利用重力将黏着层 30、基板 34 及导电层 36 设置于凸缘层 18 上, 而图 4C 至图 4F 中的结构依旧维持凹穴向下。之后, 图 5A 至图 5K 中的结构则再次翻转至如图 1A 至图 1D 所示的凹穴向上状态。简言之, 凹穴 20 在图 4A 至图 4F 中朝下, 而在图 5A 至图 5K 中则朝上。尽管如此, 该结构体的相对方位并未改变。无论该结构体是否倒置、旋转或倾斜, 凹穴 20 始终面朝第一垂直方向, 并在第二垂直方向上由凸块 16 覆盖。同样地, 无论该结构体是否倒置、旋转或倾斜, 凸块 16 皆是朝第一垂直方向延伸至基板 34 外, 并自凸缘层 18 朝第二垂直方向延伸。因此, 第一与第二垂直方向是相对于该结构体而定向, 彼此始终相反, 且恒垂直于前述的侧面方向。

[0122] 图 4A 为黏着层 30 设置于凸缘层 18 上的结构剖视图。黏着层 30 下降至凸缘层 18 上, 使凸块 16 向上插入并贯穿开口 32, 最终则使黏着层 30 接触并定位于凸缘层 18。优选地, 凸块 16 插入且贯穿开口 32 后是对准开口 32 且位于开口 32 内的中央位置而不接触黏着层 30。

[0123] 图 4B 为基板 34 及导电层 36 设置于黏着层上的结构剖视图。将压合有导电层 36 的基板 34 下降至黏着层 30 上, 使凸块 16 向上插入通孔 40, 最终则使基板 34 接触并定位于黏着层 30。

[0124] 凸块 16 在插入 (但并未贯穿) 通孔 40 后是对准通孔 40 且位于通孔 40 内的中央

位置而不接触基板 34 或导电层 36。因此，凸块 16 与基板 34 之间具有一位于通孔 40 内的缺口 42。缺口 42 侧向环绕凸块 16，同时被基板 34 侧向包围。此外，开口 32 与通孔 40 相互对齐且具有相同尺寸。

[0125] 此时，压合有导电层 36 的基板 34 安置于黏着层 30 上并与之接触，且延伸于黏着层 30 上方。凸块 16 延伸通过开口 32 后进入通孔 40。凸块 16 比导电层 36 的顶面低 30 微米，且穿过通孔 40 朝向上方向外露。黏着层 30 接触凸缘层 18 与基板 34 且介于该两者之间。黏着层 30 接触基板 34 但与导电层 36 保持距离。在此阶段，黏着层 30 仍为乙阶 (B-stage) 未固化环氧树脂的胶片，而缺口 42 中则为空气。

[0126] 图 4C 为黏着层 30 流入缺口 42 中的结构剖视图。黏着层 30 经由施加热及压力而流入缺口 42 中。在此图中，迫使黏着层 30 流入缺口 42 的方法是对导电层 36 施以向下压力及 / 或对凸缘层 18 施以向上压力，也就是说，将凸缘层 18 与基板 34 相对压合，以便对黏着层 30 施压；在此同时也对黏着层 30 加热。受热的黏着层 30 可在压力下任意成形。因此，位于凸缘层 18 与基板 34 间的黏着层 30 受到挤压后，改变其原始形状并向上流入缺口 42。凸缘层 18 与基板 34 持续朝彼此压合，直到黏着层 30 填满缺口 42 为止。此外，黏着层 30 仍位于凸缘层 18 与基板 34 之间，且持续填满凸缘层 18 与基板 34 间缩小的间隙。

[0127] 举例说明，可将凸缘层 18 及导电层 36 设置于一压合机的上、下压台（图中未显示）之间。此外，可将一上挡板及上缓冲纸（图中未显示）夹置于导电层 36 与上压台之间，并将一下挡板及下缓冲纸（图中未显示）夹置于凸缘层 18 与下压台之间。以此构成的叠合体由上到下依次为上压台、上挡板、上缓冲纸、基板 34、导电层 36、黏着层 30、凸缘层 18、下缓冲纸、下挡板及下压台。此外，可利用从下压台向上延伸并穿过凸缘层 18 对位孔（图中未显示）的工具接脚（图中未显示），将此叠合体定位于下压台上。

[0128] 而后，将上、下压台加热并相向推进，以便对黏着层 30 加热并施压。挡板可将压台的热分散，使热均匀施加于凸缘层 18 与基板 34 乃至于黏着层 30。缓冲纸则将压台的压力分散，使压力均匀施加于凸缘层 18 与基板 34 乃至于黏着层 30。起初，基板 34 接触并向下压合至黏着层 30 上。随着压台持续动作与持续加热，凸缘层 18 与基板 34 间的黏着层 30 受到挤压并开始熔化，因而向上流入缺口 42，并在通过基板 34 后抵达导电层 36。例如，未固化环氧树脂遇热熔化后，被压力挤入缺口 42 中，但加强材料及填充物仍留在凸缘层 18 与基板 34 之间。黏着层 30 在通孔 40 内上升的速度大于凸块 16，终至填满缺口 42。黏着层 30 也上升至稍高于通孔 40 的位置，并在压台停止动作前，溢流至凸块 16 顶面及导电层 36 顶面。若胶片厚度略大于实际所需厚度便可能发生上述状况。如此一来，黏着层 30 便在凸块 16 顶面及导电层 36 顶面形成一覆盖薄层。压台在触及凸块 16 后停止动作，但仍持续对黏着层 30 加热。

[0129] 黏着层 30 于缺口 42 内向上流动的方向如图中向上粗箭号所示，凸块 16 与凸缘层 18 相对于基板 34 的向上移动如向上细箭号所示，而基板 34 相对于凸块 16 与凸缘层 18 的向下移动则如向下细箭号所示。

[0130] 图 4D 为黏着层 30 已固化的结构剖视图。

[0131] 举例说明，压台停止移动后仍持续夹合凸块 16 与凸缘层 18 并供热，以便将已熔化而未固化的乙阶 (B-stage) 环氧树脂转换为丙阶 (C-stage) 固化或硬化的环氧树脂。因此，环氧树脂是以类似已知多层压合的方式固化。环氧树脂固化后，压台分离，以便将结构体从

压合机中取出。

[0132] 固化的黏着层 30 可在凸块 16 与基板 34 之间以及凸缘层 18 与基板 34 之间提供牢固的机械性连结。黏着层 30 可承受一般操作压力而不致变形损毁,遇过大压力时则仅暂时扭曲。再者,黏着层 30 可吸收凸块 16 与基板 34 之间以及凸缘层 18 与基板 34 之间的热膨胀不匹配。

[0133] 在此阶段,凸块 16 与导电层 36 大致共平面,而黏着层 30 与导电层 36 则延伸至面朝向上方向的顶面。例如,凸缘层 18 与基板 34 间的黏着层 30 厚 120 微米,较其初始厚度 150 微米减少 30 微米;也就是说,凸块 16 在通孔 40 中升高 30 微米,而基板 34 则相对于凸块 16 下降 30 微米。凸块 16 的高度 300 微米基本上等同于导电层 36(30 微米)、基板 34(150 微米)与下方黏着层 30(120 微米)的结合高度。此外,凸块 16 仍位于开口 32 与通孔 40 内的中央位置并与基板 34 保持距离,而黏着层 30 则填满凸缘层 18 与基板 34 间的空间并填满缺口 42。黏着层 30 在缺口 42 内延伸跨越基板 34。换言之,缺口 42 中的黏着层 30 是朝向上方向及向下方向延伸并跨越缺口 42 外侧壁的基板 34 的厚度。黏着层 30 也包含缺口 42 上方的薄顶部分,其接触凸块 16 的顶面与导电层 36 的顶面,并在凸块 16 上方延伸 10 微米。

[0134] 图 4E 为研磨移除凸块 16、黏着层 30 及导电层 36 顶部后的结构剖视图。例如,利用旋转钻石砂轮及蒸馏水处理结构体的顶部。起初,钻石砂轮仅对黏着层 30 进行研磨。持续研磨时,黏着层 30 则因受磨表面下移而变薄。最后,钻石砂轮将接触凸块 16 与导电层 36(不一定同时接触),因而开始研磨凸块 16 与导电层 36。持续研磨后,凸块 16、黏着层 30 及导电层 36 均因受磨表面下移而变薄。研磨持续至去除所需厚度为止。之后,以蒸馏水冲洗结构体去除污物。

[0135] 上述研磨步骤将黏着层 30 的顶部磨去 20 微米,将凸块 16 的顶部磨去 10 微米,并将导电层 36 的顶部磨去 10 微米。厚度减少对凸块 16 或黏着层 30 均无明显影响,但导电层 36 的厚度却从 30 微米大幅缩减至 20 微米。在研磨后,凸块 16、黏着层 30 及导电层 36 会于基板 34 上方面朝向上方向的平滑拼接侧面上呈共平面。

[0136] 在此阶段中,如图 4E 所示,导热板 101 包括黏着层 30、基板 34、导电层 36 及散热座 50。此时该散热座 50 包括凸块 16 及凸缘层 18。凸块 16 于弯折角 22 处与凸缘层 18 邻接,并自凸缘层 18 朝向上方向延伸,且与凸缘层 18 一体成形。凸块 16 进入开口 32 及通孔 40,并位于开口 32 与通孔 40 内的中央位置。此外,凸块 16 的顶部与黏着层 30 的邻接部分呈共平面。凸块 16 与基板 34 保持距离,并呈尺寸沿向下延伸方向递增的平顶金字塔形。

[0137] 凹穴 20 面朝向下方向,并延伸进入凸块 16、开口 32 及通孔 40,且始终位于凸块 16、开口 32 及通孔 40 内的中央位置。此外,凸块 16 于向上方向覆盖凹穴 20。凹穴 20 具有与凸块 16 相符的形状,且沿垂直及侧面方向延伸跨越凸块 16 的大部分,并维持平顶金字塔形,其尺寸自位于凸缘层 18 处的入口向上递减。

[0138] 凸缘层 18 自凸块 16 侧向延伸,同时延伸于黏着层 30、基板 34、开口 32 与通孔 40 下方,并与黏着层 30 接触,但与基板 34 保持距离。

[0139] 黏着层 30 在缺口 42 内与凸块 16 及基板 34 接触,并位于凸块 16 与基板 34 之间,同时填满凸块 16 与基板 34 间的空间。此外,黏着层 30 在缺口 42 外则与基板 34 及凸缘层 18 接触。黏着层 30 沿侧面方向覆盖且包围凸块 16 的渐缩侧壁 26,并自凸块 16 侧向延伸

至组件外围边缘并固化。据此,黏着层 30 于邻接凸缘层 18 处具有第一厚度 T1,而于邻接凸块 16 处具有第二厚度 T2,其中第一厚度 T1 与第二厚度 T2 不同。也就是说,凸缘层 18 与基板 34 间垂直方向上的距离 D1,不同于凸块 16 与基板 34 间侧面方向上的距离 D2。此外,当黏着层 30 延伸离开凸缘层 18 并进入凸块 16 与基板 34 间的缺口 42 时,由于凸块 16 朝凸缘层 18 延伸时的尺寸呈递增状态,故黏着层 30 于邻接凸块 16 处的厚度也呈现递增趋势。导热板 101 可通过单一凸块或多个凸块来容纳多个半导体元件,而非仅可容纳单一半导体元件。因此,可将多个半导体元件设置于单一凸块上,或将半导体元件分别设置于不同凸块上。

[0140] 若欲在导热板 101 上形成复数个凸块以容纳复数个半导体元件,则可在金属板 10 上冲压出额外的凸块 16,并调整黏着层 30 以包含更多开口 32,同时调整基板 34 及导电层 36 以包含更多通孔 40。

[0141] 接着,如图 4F 所示,于预定位置上形成分别穿透凸缘层 18 及导电层 36 的第一开孔 181 及第二开孔 361,以利后续制作被覆穿孔。

[0142] 图 5A 至图 5K 为本发明一实施例的堆叠式半导体组件制作方法剖视图,其中该半导体组件包括导热板、半导体元件、被覆穿孔、第一集成电路及第二集成电路。

[0143] 如图 5K 所示,堆叠式半导体组件 100 包括导热板 101、半导体芯片 110、固晶材料 113、第一集成电路 201、第二集成电路 201'、被覆穿孔 402,404 及防焊层 301。半导体芯片 110 包括顶面 111、底面 112 及接触垫 114。顶面 111 为包含接触垫 114 的作用表面,而底面 112 为热接触表面。导热板 101 包括黏着层 30、基板 34、导电层 36 及散热座 50。散热座 50 包括凸块 16 及凸缘层 18。第一集成电路 201 包括第一介电层 211、第一导线 241、第三介电层 261 及包含第一连接垫 341 的第三导线 291,而第二集成电路 201' 包括第二介电层 212、第二导线 242、第四介电层 262 及包含第二连接垫 342 的第四导线 292。

[0144] 图 5A 为图 4F 反转后的导热板 101 剖视图。

[0145] 图 5B 为导热板 101 通过固晶材料 113 将半导体芯片 110 设置于凸块 16 上的剖视图。将顶面 111(即作用表面)含有接触垫 114 的半导体芯片 110 下降至凹穴 20 中,并留置于固晶材料 113 上与之接触。尤其,凸块 16 会从下方覆盖半导体芯片 110,并提供用于安置半导体芯片 110 的凹形晶粒座。固晶材料 113 会与凸块 16 及半导体芯片 110 接触,并夹置于凸块 16 与半导体芯片 110 之间。

[0146] 固晶材料 113 原为具有高导热性的含银环氧树脂膏,并以网版印刷的方式选择性印刷于凸块 16 的凹穴 20 内,然后利用一抓取头及一自动化图案辨识系统,以步进重复的方式将半导体芯片 110 放置于该环氧树脂银膏上。随后,加热该环氧树脂银膏,使其于相对低温(如 190°C)下硬化形成固化的固晶材料 113。半导体芯片 110 的厚度为 275 微米,固晶材料 113 的厚度为 20 微米,因此,半导体芯片 110 与下方固晶材料 113 的结合高度为 295 微米,此高度较凹穴 20 的深度(300 微米)少 5 微米。半导体芯片 110 的长度为 10 毫米、宽度为 8 毫米。

[0147] 接着,于导热板 101 两侧分别形成第一及第二集成电路,其步骤如下所述。

[0148] 图 5C 为具有第一介电层 211 及第二介电层 212 的结构剖视图。第一介电层 211 及第二介电层 212(如环氧树脂、玻璃-环氧、聚酰亚胺及其类似材料)分别设置于导热板 101 的两表面上。第一介电层 211 于上方覆盖半导体芯片顶面 111(即作用表面)、接触垫

114、固晶材料 113、凸块 16、凸缘层 18 及黏着层 30 上，而第二介电层 212 于下方覆盖凸块 16、黏着层 30、基板 34 及导电层 36。第一介电层 211 延伸进入凹穴 20 并填满凹穴 20 中的剩余空间，以与凸块 16、半导体芯片 110 及固晶材料 113 接触，并夹置于凸块 16 与半导体芯片 110 之间。第一介电层 211 也于凹穴 20 外与凸缘层 18 及黏着层 30 接触，并填满第一开孔 181，而第二介电层 212 则填满第二开孔 361 并接触凸块 16、黏着层 30、基板 34 及导电层 36。可通过各种方法来制作第一介电层 211 及第二介电层 212，其包括膜压合、辊轮涂布、旋转涂布及喷涂沉积法。也可对第一介电层 211 及第二介电层 212 进行等离子体蚀刻，或使用附着力促进剂涂布第一介电层 211 及第二介电层 212，以提高黏着力。在此，第一介电层 211 及第二介电层 212 可具有约 50 微米的厚度。

[0149] 图 5D 为具有穿孔 401 的结构剖视图。穿孔 401 是对应凸缘层 18 及导电层 36 其中一组的第一开孔 181 及第二开孔 361，且轴向对准并位于第一开孔 181 及第二开孔 361 的中心处。穿孔 401 沿垂直方向延伸贯穿第一介电层 211、凸缘层 18、黏着层 30、基板 34、导电层 36 及第二介电层 212。穿孔 401 是经由机械钻孔形成的，其也可通过其它技术形成，如激光钻孔及等离子体蚀刻并进行或未进行湿蚀刻。

[0150] 图 5E 为第一介电层 211 形成有第一盲孔 221 的结构剖视图。第一盲孔 221 穿过第一介电层 211，以显露接触垫 114 及凸缘层 18 的选定部位。又如图 5E 所示，第二盲孔 222 穿过第二介电层 212，以显露凸块 16 的选定部位。这些第一盲孔 221 及第二盲孔 222 可通过各种方法形成，其包括激光钻孔、等离子体蚀刻或光刻工艺。可使用脉冲激光，以提高激光钻孔效能。或者，也可使用激光扫描光束搭配金属屏蔽。在此，第一及第二盲孔 221, 222 具有约 50 微米的直径，其具有相同尺寸及形状。

[0151] 参见图 5F，将第一导线 241 形成于第一介电层 211 上，其中第一导线 241 自第一介电层 211 向上延伸，并于第一介电层 211 上侧向延伸，且向下延伸进入第一盲孔 221，以与接触垫 114 及凸缘层 18 形成电性接触。又如图 5F 所示，第二导线 242 形成于第二介电层 212 上，其中第二导线 242 自第二介电层 212 向下延伸，并于第二介电层 212 上侧向延伸，且向上延伸进入第二盲孔 222，以与凸块 16 形成电性接触。可通过各种方法形成单层或多层第一及第二导线 241, 242，其包括电镀、无电电镀、蒸镀、溅镀及其组合。

[0152] 举例说明，可先将结构体浸入一活化剂溶液中，因而使第一介电层 211 及第二介电层 212 可与无电镀铜产生触媒反应，接着以无电电镀方式形成薄铜层，以作为晶种层，然后再以电镀方式将具有预定厚度的第二铜层镀于晶种层上，以沉积形成分别为第一导电层及第二导电层的第一导线 241 及第二导线 242。或者，于晶种层上沉积电镀铜层前，可利用溅镀方式，于第一及第二介电层 211, 212 上及第一及第二盲孔 221, 222 内形成作为晶种层的薄膜（如钛 / 铜）。一旦达到预定厚度，再对第一导电层及第二导电层（即电镀铜层与晶种层的结合体）进行图案化，以分别形成第一导线 241 及第二导线 242。可通过各种技术进行第一导线 241 及第二导线 242 的图案化步骤，其包括湿蚀刻、电化学蚀刻、激光辅助蚀刻及其组合，并使用定义第一及第二导线 241, 242 的蚀刻阻层（图中未显示）。

[0153] 又如图 5F 所示，穿孔 401 内也形成连接层 62，以形成被覆穿孔 402。连接层 62 为中空管状，其于侧面方向覆盖穿孔 401 内侧壁，并垂直延伸以电性连接第一导线 242 及第二导线 242。或者，该连接层 62 也可填满穿孔 401，据此，被覆穿孔 402 为金属柱，且穿孔 401 中不具有填充绝缘填充材料的空间。

[0154] 为便于图标,第一导线 241 及第二导线 242 于剖视图中被绘示为一连续电路迹线。也就是说,第一及第二导线 241,242 可提供 X 与 Y 方向的水平信号路由,并可穿过第一及第二盲孔 221,222 以提供垂直信号路由(由上至下)。此外,第一导线 241 可电性连接半导体芯片 110、凸缘层 18 及被覆穿孔 402,而第二导线 242 可电性连接凸块 16 及被覆穿孔 402。

[0155] 图 5G 为形成第三介电层 261 的结构剖视图,其中第三介电层 261 设置于第一导线 241 及第一介电层 211 上。又如图 5G 所示,第四介电层 262 则设置于第二导线 242 及第二介电层 212 上。第三介电层 261 及第四介电层 262 朝垂直方向延伸进入被覆穿孔 402,并填满穿孔 401 剩余空间。如第一及第二介电层 211,212 所述,第三及第四介电层 261,262 可为环氧树脂、玻璃-环氧、聚酰亚胺及其类似材料,并通过各种方法形成,其包括膜压合、旋转涂布、辊轮涂布及喷涂沉积法。第三及第四介电层 261,262 厚度为 50 微米。优选地,第一介电层 211、第二介电层 212、第三介电层 261 及第四介电层 262 为相同材料,且以相同方式形成相同厚度。

[0156] 图 5H 为形成穿孔 403 的结构剖视图。穿孔 403 对应凸缘层 18 及导电层 36 另一组的第一开孔 181 及第二开孔 361,且轴向对准并位于第一开孔 181 及第二开孔 361 的中心处。穿孔 403 沿垂直方向延伸贯穿第三介电层 261、第一介电层 211、凸缘层 18、黏着层 30、基板 34、导电层 36、第二介电层 212 及第四介电层 262。穿孔 403 是经由机械钻孔形成的,其也可通过其它技术形成,如激光钻孔及等离子体蚀刻并进行或未进行湿蚀刻。

[0157] 图 5I 为第三介电层 261 及第四介电层 262 分别形成有第三盲孔 281 及第四盲孔 282 的结构剖视图。第三盲孔 281 及第四盲孔 282 分别穿透第三介电层 261 及第四介电层 262,以显露第一导线 241 及第二导线 242 的选定部位。如第一及第二盲孔 221,222 所述,第三及第四盲孔 281,282 可通过各种方法形成,其包括激光钻孔、等离子体蚀刻或光刻工艺。第三及第四盲孔 281,282 具有 50 微米的直径。优选地,第一盲孔 221、第二盲孔 222、第三盲孔 281 及第四盲孔 282 是以相同方法形成的且具有相同尺寸。

[0158] 请参见图 5J,于第三介电层 261 上形成第三导线 291。第三导线 291 自第三介电层 261 向上延伸,并于第三介电层 261 上侧向延伸,且向下延伸进入第三盲孔 281,以与第一导线 241 电性接触。又如图 5J 所示,第四导线 292 形成于第四介电层 262 上,其中第四导线 292 自第四介电层 262 向下延伸,并于第四介电层 262 上侧向延伸,且向上延伸进入第四盲孔 282,以与第二导线 242 电性接触。

[0159] 可通过各种方法沉积形成分别为第三导电层及第四导电层的第三导线 291 及第四导线 292,其包括电解电镀、无电电镀、溅镀及其组合。接着,可使用定义第三及第四导线 291,292 的蚀刻阻层(图中未显示),再通过各种方法进行图案化,其包括湿蚀刻、电化学蚀刻、激光辅助蚀刻及其组合。优选地,第一导线 241、第二导线 242、第三导线 291 及第四导线 292 为相同材料,并以相同方式形成相同厚度。

[0160] 又如图 5J 所示,穿孔 403 中沉积形成连接层 65,以形成被覆穿孔 404。可使用制作第三及第四导线 291,292 所使用的相同活化剂溶液、无电镀铜晶种层及电镀铜层,以沉积连接层 65。优选地,连接层 65、第三导线 291 及第四导线 292 为相同材料,并以相同方式同时沉积形成相同厚度。

[0161] 连接层 65 为中空管状,其于侧面方向覆盖穿孔 403 内侧壁,并垂直延伸以电性连接第三导线 291 及第四导线 292。或者,该连接层 65 亦可填满穿孔 403,据此,被覆穿孔 404

为金属柱，且穿孔 403 中不具有填充绝缘填充材料的空间。

[0162] 在此阶段中，如图 5J 所示，堆叠式半导体组件 100 包括导热板 101、半导体芯片 110、固晶材料 113、第一集成电路 201、第二集成电路 201' 及被覆穿孔 402, 404。导热板 101 包括黏着层 30、基板 34 及散热座 50。其中，散热座 50 包括凸块 16 及凸缘层 18。第一集成电路 201 包括第一介电层 211、第一导线 241、第三介电层 261 及第三导线 291，而第二集成电路 201' 包括第二介电层 212、第二导线 242、第四介电层 262 及第四导线 292。此外，被覆穿孔 402, 404 基本上由导热板 101 与第一及第二集成电路 201, 201' 所共享。

[0163] 凸块 16 于弯折角 22 处邻接凸缘层 18，并于弯折角 24 及底板 28 处邻接第二介电层 212。凸块 16 自第二介电层 212 朝向上方向延伸，自凸缘层 18 朝向下方向延伸，并与凸缘层 18 一体成形。凸块 16 延伸进入开口 32 及通孔 40 后，仍位于开口 32 及通孔 40 内的中央位置。凸块 16 的底部与黏着层 30 接触第二介电层 212 的相邻部分共平面。凸块 16 也接触黏着层 30，并与基板 34 保持距离，同时维持平顶金字塔形，其尺寸自第二介电层 212 处朝凸缘层 18 向上递增。黏着层 30 在缺口 42 内接触且介于凸块 16 与基板 34 之间，并填满凸块 16 与基板 34 间的空间。黏着层 30 在缺口 42 外则接触基板 34 与凸缘层 18，同时亦接触第二介电层 212 及连接层 62, 65。黏着层 30 延伸于凸块 16 与凸缘层 18 之间以及凸块 16 与第二介电层 212 之间，同时位于凸缘层 18 与第二介电层 212 之间以及凸缘层 18 与基板 34 之间。黏着层 30 也从凸块 16 侧向延伸至组件的外围边缘。此时黏着层 30 已固化。黏着层 30 沿侧面方向覆盖且包围凸块 16 的渐缩侧壁 26，且于向上方向覆盖第二介电层 212 位于凸块 16 周缘外的部分，同时也于向上方向覆盖基板 34 且于向下方向覆盖凸缘层 18。黏着层 30 邻接凸缘层 18 处具有第一厚度，而邻接凸块 16 处则具有第二厚度，其中第一厚度与第二厚度不同。

[0164] 被覆穿孔 402 与散热座 50、第三导线 291 及第四导线 292 保持距离，并于第一导线 241 与第二导线 242 间的电性传导路径上，自第一导线 241 穿过第一介电层 211、凸缘层 18、黏着层 30、基板 34、导电层 36 及第二介电层 212 而垂直延伸至第二导线 242。此外，被覆穿孔 404 与散热座 50、第一导线 241 及第二导线 242 保持距离，并于第三导线 291 与第四导线 292 间的电性传导路径上，自第三导线 291 穿过第三介电层 261、第一介电层 211、凸缘层 18、黏着层 30、基板 34、导电层 36、第二介电层 212 及第四介电层 262 而垂直延伸至第四导线 292。因此，被覆穿孔 402 自第一集成电路 201 的内导电层延伸至第二集成电路 201' 的内导电层，并与第一及第二集成电路 201, 201' 的外导电层保持距离，而被覆穿孔 404 则自第一集成电路 201 的外导电层延伸至第二集成电路 201' 的外导电层，并与第一及第二集成电路 201, 201' 的内导电层保持距离。

[0165] 若需要的话，第一及第二集成电路 201, 201' 可再包括额外的互连层 (interconnect layers) (即具有第五盲孔的第五介电层及第五导线等)。

[0166] 散热座 50 可为半导体元件 110 提供散热、电磁屏蔽及阻隔水气的作用。

[0167] 图 5K 为防焊层 301 设置于第三介电层 261、第三导线 291、第四介电层 262 及第四导线 292 上的结构剖视图。防焊层 301 沿垂直方向延伸进入被覆穿孔 404，并填满穿孔 403 剩余空间。防焊层 301 包括显露第三导线 291 及第四导线 292 选定部位的防焊层开孔 311，以定义出第一及第二连接垫 341, 342。第一及第二连接垫 341, 342 可用于形成导电接点 (如焊料凸块、锡球、接脚及其类似物)，以与外部元件或印刷电路板电性导通并机械连

接。防焊层开孔 311 可通过各种方法形成，其包括光刻工艺、激光钻孔及等离子体蚀刻。

[0168] 图 6 为三维堆叠结构剖视图，其是通过第一连接垫 341 上的焊料凸块 801，将另一半导体元件 91 接置于堆叠式半导体组件 100 的第一集成电路 201 处。此外，该堆叠式半导体组件 100 可通过第二连接垫 342 上的焊料凸块 802，将其第二集成电路 201' 接置于印刷电路板或另一半导体元件（图中未显示）。焊料凸块 801, 802 可通过各种方法制作，其包括：通过网印方式涂上锡膏后再进行回火工艺或通过电镀。

[0169] 图 7 为另一三维堆叠结构剖视图，其是通过第二连接垫 342 上的焊料凸块 802，将另一半导体元件 92 接置于堆叠式半导体组件 100 的第二集成电路 201' 处。此外，该堆叠式组件 100 可通过第一连接垫 341 上的焊料凸块 801，将其第一集成电路 201 接置于印刷电路板或另一半导体元件（图中未显示）。

[0170] 集成电路 201, 201' 可包括额外的互连层 (interconnect layer)，以使第一及第二连接垫 341, 342 位于适当位置。

[0171] 实施例 2

[0172] 图 8A 至图 8H 为本发明另一个方面的堆叠式半导体组件制作剖视图，其中该半导体组件具有连接至导热板内部接垫的被覆穿孔。

[0173] 图 8A 为图 1A 至图 4E 所示步骤制得的导热板 101 剖视图。

[0174] 图 8B 为具有穿孔 401 的结构剖视图。穿孔 401 沿垂直方向延伸穿过凸缘层 18、黏着层 30、基板 34 及导电层 36。穿孔 401 是以机械钻孔方式形成的，其也可通过其它技术形成，如激光钻孔及等离子体蚀刻。

[0175] 图 8C 为穿孔 401 外形成第一被覆层 60 且穿孔 401 内形成连接层 62 及绝缘填充材料 63 的结构剖视图。第一被覆层 60 于向上方向上覆盖凸块 16 及凸缘层 18，并自凸块 16 及凸缘层 18 向上延伸。第一被覆层 60 也于向下方向上覆盖凸块 16、黏着层 30 及导电层 36，并自凸块 16、黏着层 30 及导电层 36 向下延伸。

[0176] 又如图 8C 所示，在穿孔 401 中沉积连接层 62，以形成被覆穿孔 402。连接层 62 为中空管状，其于侧面方向覆盖穿孔 401 侧壁并垂直延伸，以将凸缘层 18 及其上第一被覆层 60 电性连接至导电层 36 及其上第一被覆层 60，而绝缘填充材料 63 填满穿孔 401 剩余空间。或者，该连接层 62 也可填满穿孔 401，据此，被覆穿孔 402 为金属柱，且穿孔 401 中不具有填充绝缘填充材料的空间。

[0177] 为便于图示，凸块 16、凸缘层 18、第一被覆层 60、导电层 36 及连接层 62 均以单层显示。由于铜为同质被覆，金属层间的界线（均以虚线绘示）可能不易察觉甚至无法察觉。然而，黏着层 30 与第一被覆层 60 间、黏着层 30 与连接层 62 间、基板 34 与连接层 62 间的界线则清楚可见。

[0178] 图 8D 为第二被覆层 61 沉积于第一被覆层 60 及绝缘填充材料 63 上的结构剖视图。第二被覆层 61 为未经图案化的铜层，其自第一被覆层 60 及绝缘填充材料 63 向上及向下延伸并覆盖此两者。

[0179] 为便于图示，凸块 16、凸缘层 18、第一被覆层 60、第二被覆层 61、导电层 36 及连接层 62 均以单层显示。由于铜为同质被覆，金属层间的界线（均以虚线绘示）可能不易察觉甚至无法察觉。为便于图示，增厚凸块 16' 及增厚凸缘层 18' 仍视为凸块 16 及凸缘层 18。然而，第二被覆层 61 与绝缘填充材料 63 间、连接层 62 与黏着层 30 间、连接层 62 与基板 34

间、连接层 62 与绝缘填充材料 63 间的界线则清楚可见。

[0180] 图 8E 为第一内部接垫 182 形成于被覆穿孔 402 上的结构剖视图,其中第一内部接垫 182 是通过光刻工艺及湿蚀刻,对上表面的凸缘层 18、第一被覆层 60 及第二被覆层 61 进行选择性图案化而形成的。第一内部接垫 182 与被覆穿孔 402 邻接并与之电性连接,同时自被覆穿孔 402 于向上方向上侧向延伸且覆盖被覆穿孔 402,并与凸块 16 及凸缘层 18 保持距离。又如图 8E 所示,通过光刻工艺及湿蚀刻,对下表面的第二被覆层 61、第一被覆层 60 及导电层 36 进行选择性图案化,以形成基座 64 及第二内部接垫 183。基座 64 邻接凸块 16,并接触黏着层 30 及基板 34。第二内部接垫 183 则与基座 64 及凸块 16 保持距离,同时与被覆穿孔 402 邻接并电性连接。

[0181] 在此阶段,如图 8E 所示,导热板 101 包括黏着层 30、基板 34、散热座 50、第一内部接垫 182、第二内部接垫 183 及被覆穿孔 402。散热座 50 包括凸块 16、凸缘层 18 及基座 64。

[0182] 凸块 16 于弯折角 22 处邻接凸缘层 18,并于弯折角 24 及底板 28 处邻接基座 64。凸块 16 自基座 64 朝向上方向延伸,自凸缘层 18 朝向下方向延伸,并与凸缘层 18 一体成形。凸块 16 延伸进入开口 32 及通孔 40 后,仍位于开口 32 及通孔 40 内的中央位置。凸块 16 的底部与黏着层 30 接触基座 64 的相邻部分共平面。凸块 16 也接触黏着层 30,并与基板 34 保持距离,同时维持平顶金字塔形,其尺寸自基座 64 处朝凸缘层 18 向上递增。

[0183] 基座 64 与凸块 16 邻接,并侧向延伸超过开口 32 与通孔 40,且从下方覆盖凸块 16、开口 32 与通孔 40。基座 64 接触黏着层 30 与基板 34,并向下延伸超过黏着层 30 及基板 34。基座 64 邻接凸块 16 处具有第一厚度(即第一被覆层 60 与第二被覆层 61 的结合厚度),邻接基板 34 处则具有大于第一厚度的第二厚度(即导电层 36、第一被覆层 60 与第二被覆层 61 的结合厚度),基座 64 尚具有面朝向下方向的平坦表面。

[0184] 第一内部接垫 182 自黏着层 30 向上延伸,并与凸缘层 18 保持距离,同时与被覆穿孔 402 邻接且一体成形。第一内部接垫 182 与凸缘层 18 具有相同厚度,且于面朝上的表面上互呈共平面。

[0185] 第二内部接垫 183 自基板 34 向下延伸,并与基座 64 保持距离,同时与被覆穿孔 402 邻接并一体成形。第二内部接垫 183 具有结合导电层 36、第一被覆层 60 及第二被覆层 61 的厚度。据此,基座 64 与第二内部接垫 183 于最靠近彼此处具有相同厚度,而于基座 64 邻接凸块 16 处则具有不同厚度。此外,基座 64 与第二内部接垫 183 于面朝下的表面上呈共平面。

[0186] 黏着层 30 在缺口 42 内接触且介于凸块 16 与基板 34 之间,并填满凸块 16 与基板 34 之间的空间。黏着层 30 在缺口 42 外则接触基板 34 与凸缘层 18,同时也接触基座 64 及连接层 62。黏着层 30 延伸于凸块 16 与凸缘层 18 之间以及凸块 16 与基座 64 之间,同时位于凸缘层 18 与基座 64 之间以及凸缘层 18 与基板 34 之间。黏着层 30 也从凸块 16 侧向延伸至组件的外围边缘。此时黏着层 30 已固化。黏着层 30 沿侧面方向覆盖且包围凸块 16 的渐缩侧壁 26,且覆盖基座 64 位于凸块 16 周缘外的部分,同时也覆盖基板 34 且于向下方向覆盖凸缘层 18。黏着层 30 邻接凸缘层 18 处具有第一厚度,而邻接凸块 16 处则具有第二厚度,其中第一厚度与第二厚度不同。

[0187] 图 8F 为导热板 101 通过固晶材料 113 将半导体芯片 110 设置于凸块 16 上的剖视图。

[0188] 图 8G 为具有第一介电层 211 及第二介电层 212 的结构剖视图, 其中第一介电层 211 及第二介电层 212 分别设置于导热板 101 两侧。第一介电层 211 向上延伸超过半导体芯片顶面 111(即作用表面)、接触垫 114、固晶材料 113、凸块 16、凸缘层 18、第一内部接垫 182 及被覆穿孔 402。第一介电层 211 延伸进入凹穴 20, 遂而与凸块 16、半导体芯片 110 及固晶材料 113 接触, 并夹置于凸块 16 与半导体芯片 110 之间。第一介电层 211 也于凹穴 20 外与凸缘层 18、黏着层 30 及第一内部接垫 182 接触。第二介电层 212 则接触基座 64 及第二内部接垫 183, 并向下延伸超过基座 64 及第二内部接垫 183。第二介电层 212 延伸进入基座 64 与第二内部接垫 183 间的间隙, 遂而与基板 34 接触。又如图 8G 所示, 形成分别穿过第一介电层 211 及第二介电层 212 的第一盲孔 221 及第二盲孔 222, 其中第一盲孔 221 显露接触垫 114 及第一内部接垫 182, 而第二盲孔 222 则显露基座 64 及第二内部接垫 183。

[0189] 参见图 8H, 将第一导线 241 形成于第一介电层 211 上, 其中第一导线 241 自第一介电层 211 向上延伸, 并于第一介电层 211 上侧向延伸, 且向下延伸穿过第一盲孔 221, 以与接触垫 114 及第一内部接垫 182 形成电性接触。又如图 8H 所示, 第二介电层 212 上形成有第二导线 242, 其中第二导线 242 自第二介电层 212 向下延伸, 并于第二介电层 212 上侧向延伸, 且向上延伸穿过第二盲孔 222, 以与基座 64 及第二内部接垫 183 形成电性接触。

[0190] 据此, 如图 8H 所示, 第一集成电路 202 包括第一介电层 211 及第一导线 241, 而第二集成电路 202' 包括第二介电层 212 及第二导线 242。导热板 101 包括黏着层 30、基板 34、散热座 50、第一内部接垫 182、第二内部接垫 183 及被覆穿孔 402。散热座 50 包括凸块 16、凸缘层 18 及基座 64。被覆穿孔 402 与散热座 50 及组件两表面保持距离, 并于第一导线 241 与第二导线 242 间的电性传导路径上, 自第一内部接垫 182 穿过黏着层 30 及基板 34 而延伸至第二内部接垫 183。

[0191] 实施例 3-4

[0192] 图 9 至图 10 为导热板中不包含基板的堆叠式半导体组件的剖视图。

[0193] 这些实施例使用厚导电层 36, 且未使用基板。例如, 导电层 36 的厚度为 130 微米(而非 30 微米), 如此一来便可防止导电层 36 在使用时弯曲或晃动。若制成基座 64, 如图 10 所示, 基座 64 及第二内部接垫 183 也因此增厚。导热板 102 则未使用基板。据此, 基座 64 在邻接凸块 16 处具有第一厚度, 而邻接黏着层 30 处则具有大于第一厚度的第二厚度。此外, 基座 64 与第二内部接垫 183 在最靠近彼此处具有相同厚度, 而在基座 64 邻接凸块 16 处则具有不同厚度, 同时基座 64 与第二内部接垫 183 在面朝下的表面上为共平面。

[0194] 另外, 如上所述, 黏着层 30 在邻接凸缘层 18 处具有第一厚度, 而在邻接凸块 16 处具有不同于第一厚度的第二厚度。也就是说, 凸缘层 18 与导电层 36(视为基座 64 的一部份)间垂直方向上的距离, 不同于凸块 16 与导电层 36 间侧面方向上的距离。再者, 如上所述, 当黏着层 30 向下延伸至凸块 16 与导电层 36 间的缺口时, 由于凸块 16 向上延伸时的尺寸呈递增状态, 故黏着层 30 在邻接凸块 16 处的厚度也呈现递增趋势。

[0195] 导热板 102 的制作方式与导热板 101 类似, 但必须对导电层 36 进行适当调整。例如, 先将黏着层 30 设置于凸缘层 18 上, 再将导电层 36 单独设置于黏着层 30 上, 接着对黏着层 30 加热及加压, 使黏着层 30 流动并固化, 最后再以研磨方式使凸块 16、黏着层 30 及导电层 36 的侧向表面成为平面。据此, 黏着层 30 接触凸块 16、凸缘层 18 及导电层 36, 并侧向覆盖、包围且同形被覆凸块 16 的渐缩侧壁 26。被覆穿孔 402 自第一导线 241 穿过第一介

电层 211、凸缘层 18、黏着层 30、导电层 36 及第二介电层 212 而延伸至第二导线 242 (如图 9 所示) ;或者,被覆穿孔 404 自第三导线 291 穿过第三介电层 261、第一介电层 211、凸缘层 18、黏着层 30、导电层 36、第二介电层 212 及第四介电层 262 而延伸至第四导线 292 (亦如图 9 所示) ;又或者,被覆穿孔 402 自第一内部接垫 182 仅穿过黏着层 30 而延伸至第二内部接垫 183 (如图 10 所示)。

[0196] 上述的半导体组件与导热板仅为说明范例,本发明尚可通过其它多种实施例实现。此外,上述实施例可基于设计及可靠度的考虑,彼此混合搭配使用或与其它实施例混合搭配使用。例如,基板可包括陶瓷材料或环氧类层压体,且可嵌埋有单层导线或多层导线。导热板可包含多个凸块,且这些凸块是排成一数组以供多个半导体元件使用。此外,集成电路为配合额外的半导体元件,可包含更多导线。

[0197] 本发明中半导体元件可独自使用一散热座,或与其它半导体元件共享一散热座。例如,可将单一半导体元件设置于一散热座上,或将多个半导体元件设置于一散热座上。举例而言,可将四枚排列成 2x2 数组的小型芯片黏附于凸块,而集成电路可包括额外的导线,以连接更多的接触垫。相较每一芯片设置一微小凸块,此作法更具经济效益。

[0198] 本发明的半导体元件可为已封装或未封装芯片。此外,该半导体元件可为裸芯片、栅格数组封装 (LGA) 或方形扁平无引脚封装 (QFN) 等。可利用多种连结媒介将半导体元件机械性连结、电性连结及热连结至导热板,包括利用焊接及使用导电及 / 或导热黏着剂等方式实现。

[0199] 本发明的散热座可将半导体元件所产生的热能迅速、有效且均匀散发至下一层组件。散热座也可对半导体元件提供有效的电磁屏蔽作用并阻隔水气。散热座可包含一体成形的凸块与凸缘层。此外,凸块可依半导体元件量身订做。例如,凸块的底板可为正方形或矩形,以便与半导体元件热接点的形状相同或相似。在上述任一设计中,散热座均可采用多种不同的导热金属结构。

[0200] 该凸块与凸缘层可为一导热金属板,如厚度为 100–300 微米的铜板,其较一般电路 (约 18 微米) 厚许多。此外,凸缘层可通过金属化导热盲孔 (做为热导管) 而热连结至集成电路的外导电层。例如,凸缘层可通过第一及第三盲孔中的第一及第三导线,或通过延伸穿过第一及第三介电层的被覆穿孔而热连结至第一集成电路的外导电层。凸缘层也可通过延伸穿过黏着层、基板、导电层及第二与第四介电层的被覆穿孔而热连结至第二集成电路的外导电层。据此,该凸缘层可提高散热座的热效能。

[0201] 林文强 (Charles) 等人于 2011 年 5 月 20 日提出的第 13/111,966 号美国专利申请 :“具有凸柱 / 基座散热座及导热孔的半导体芯片组件”另揭露一种包含凸柱、基座、底层及导热孔的散热座,其中导热孔自基座穿过支撑板而延伸至底层。此美国专利申请的内容也并入本文以作参酌。

[0202] 散热座可与半导体元件电性连接或电性隔离。例如,第一导线延伸进入接触垫及凸缘层上方的第一盲孔,以便可电性连接半导体元件至凸缘层。之后,散热座可进一步电性接地,以便将半导体元件电性接地,并对半导体元件提供电磁屏蔽作用。

[0203] 本发明的黏着层可在散热座与基板之间提供坚固的机械性连结。例如,黏着层可自凸块侧向延伸并越过导线,最后到达组件的外围边缘。黏着层可填满散热座与基板间的空间,且为一具有结合线均匀分布的无孔洞结构。黏着层也可吸收散热座与基板之间因热

膨胀所产生的不匹配现象。黏着层的材料可与基板及介电层相同或不同。此外，黏着层可为低成本的介电材料，其无需具备高导热性。再者，本发明的黏着层不易脱层。

[0204] 另外，可调整黏着层的厚度，使黏着层实质填满所述缺口，并使几乎所有黏着剂在固化及 / 或研磨后均位于结构体内。例如，可通过试误法来决定理想的胶片厚度。

[0205] 基板可为导热板提供机械性支撑。例如，基板可防止导热板于金属研磨、芯片设置及集成电路制作的过程中弯曲变形。基板可选用低成本材料，其无需具备高导热性。据此，基板可由已知有机材料（如环氧、玻璃 - 环氧、聚酰亚胺等）制成。此外，也可使用导热材料（如氧化铝 (Al_2O_3)、氮化铝 (AlN)、氮化硅 (SiN)、硅 (Si) 等）做为基板材料。在此，基板可为单层结构或多层结构，如层压电路板或多层陶瓷板。据此，基板可包括额外的嵌埋式电路层。

[0206] 可先将导电层设置于基板上，再于导电层及基板中形成通孔，接着将导电层及基板设置于黏着层上，以便使导电层于向上方向显露，而基板则与导电层及黏着层接触，并介于两者之间，以分隔导电层及黏着层。此外，凸块延伸进入通孔，并通过通孔而朝向上方向显露。在此例中，该导电层的厚度可为 10 至 50 微米，例如 30 微米，此厚度一方面够厚，足以提供可靠的信号传导，一方面则够薄，有利于降低重量及成本。此外，该基板恒为导热板的一部分。

[0207] 导电层可单独设置于黏着层上。例如，可先在导电层上形成通孔，然后将该导电层设置于黏着层上，使该导电层接触该黏着层并朝向上方向外露，在此同时，凸块则延伸进入该通孔，并透过该通孔朝向上方向外露。在此例中，该导电层的厚度可为 100 至 200 微米，例如 125 微米，此厚度一方面够厚，故搬运时不致弯曲晃动，一方面则够薄，故不需过度蚀刻即可形成图案。

[0208] 也可将导电层与一载体同时设置于黏着层上。例如，可先利用一薄膜将导电层黏附于一诸如双定向聚对苯二甲酸乙二酯胶膜 (Mylar) 的载体，然后仅在导电层上形成通孔（即，不在载体上形成通孔），接着将导电层及载体设置于黏着层上，使载体覆盖导电层且朝向上方向外露，并使薄膜接触且介于载体与导电层之间，至于导电层则接触且介于薄膜与黏着层之间，在此同时，凸块则对准该通孔，并由载体从上方覆盖。待黏着层固化后，可利用紫外光分解该薄膜，以便将载体从导电层上剥除，从而使导电层朝向上方向外露，之后便可对导电层进行研磨及图案化，以形成基座及端子。在此例中，导电层的厚度可为 10 至 50 微米，例如 30 微米，此厚度一方面够厚，足以提供可靠的信号传导，一方面则够薄，可降低重量及成本；至于载体的厚度可为 300 至 500 微米，此厚度一方面够厚，故搬运时不致弯曲晃动，一方面又够薄，有助于减少重量及成本。该载体仅为一暂时固定物，并非永久属于导热板的一部分。

[0209] 第一及 / 或第二集成电路可作为信号层、功率层或接地层，其视其相应半导体元件焊垫的目的而定。导线也可包含各种导电金属，例如铜、金、镍、银、钯、锡、其混合物及其合金。理想的组成既取决于外部连结媒介的性质，也取决于设计及可靠度方面的考虑。此外，所属技术领域的技术人员应可了解，在本发明半导体组件中所用的铜可为纯铜，但通常是以铜为主的合金，如铜 - 钨 (99.9% 铜)、铜 - 银 - 磷 - 镁 (99.7% 铜) 及铜 - 锡 - 铁 - 磷 (99.7% 铜)，以便提高如抗张强度与延展性等机械性能。

[0210] 在一般情况下，最好设有所述的基板、被覆层、防焊层及额外的集成结构，但于某

些实施例中则可省略之。例如,若需使用厚导电层,则可省去基板,以降低成本。同样地,若第一导线已足以提供半导体元件与被覆穿孔间所需的信号路由,则无须再形成第三导线。

[0211] 本发明导热板的作业格式可为单一或多个导热板,视制造设计而定。例如,可个别制作单一导热板。或者,可利用单一金属板、单一黏着层、单一基板、单一导电层及单一被覆层同时批次制造多个导热板,而后再行分离。同样地,针对同一批次中的各导热板,也可利用单一金属板、单一黏着层、单一基板、单一导电层及单一被覆层同时批次制造多组分别供单一半导体元件使用的散热座与导线。

[0212] 例如,可在一金属板上冲压出多个凸块;而后将具有对应这些凸块的开口的未固化黏着层设置于凸缘层上,使每一凸块均延伸贯穿其对应开口;然后将基板及导电层(其具有对应这些凸块的通孔)设置于黏着层上,使每一凸块均延伸贯穿其对应开口并进入对应通孔;而后利用压台将凸缘层与该基板彼此靠合,迫使黏着层进入这些通孔内介于这些凸块与基板间的缺口;然后固化黏着层,继而研磨这些凸块、黏着层及导电层以形成一侧向表面。

[0213] 本发明半导体组件的作业格式可为单一组件或多个组件,其取决于制造设计。例如,可单独制造单一组件,或者,可同时批次制造多个组件,之后再将各导热板一一分离。同样地,也可将多个半导体元件电性连结、热连结及机械性连结至批次量产中的每一导热板。

[0214] 可通过单一步骤或多道步骤使各导热板彼此分离。例如,可将多个导热板批次制成一平板,接着将多个半导体元件设置于该平板上,然后再将该平板所构成的多个半导体组件一一分离。或者,可将多个导热板批次制成一平板,而后将该平板所构成的多个导热板分切为多个导热板条,接着将多个半导体元件分别设置于这些导热板条上,最后再将各导热板条所构成的多个半导体组件分离为个体。此外,在分割导热板时可利用机械切割、激光切割、分劈或其它适用技术。

[0215] 在本文中,“邻接”一词的意思是元件是一体成形(形成单一个体)或相互接触(彼此无间隔或未隔开)的。例如,凸块邻接基座与凸缘层,但并未邻接基板。

[0216] “重叠”一词的意思是位于上方并延伸于一下方元件的周缘内。“重叠”包含延伸于该周缘的内、外或坐落于该周缘内。例如,在凹穴朝上的状态下,本发明中的半导体元件是重叠于凸块的,这是因为一假想垂直线可同时贯穿该半导体元件与该凸块,不论半导体元件与凸块之间是否存有另一同样被该假想垂直线贯穿的元件(如固晶材料),且也不论是否有另一假想垂直线仅贯穿凸块而未贯穿半导体元件(也就是位于半导体元件的周缘外)。同样地,凸块是重叠于基座的,凸缘层是重叠于黏着层的,且基座被凸块重叠。此外,“重叠”与“位于上方”同义,“被重叠”则与“位于下方”同义。

[0217] “接触”一词的意思是直接接触。例如,基板接触黏着层但并未接触凸块。

[0218] “覆盖”一词的意思是于垂直及/或侧面方向上完全覆盖。例如,在凹穴朝上的状态下,若基座侧向延伸超出通孔外且接触基板,则该基座从下方覆盖凸块,但该凸块并未从上方覆盖该基座。

[0219] “层”字包含图案化及未图案化的层体。例如,当层压结构体包括导电层且基板设置于黏着层上时,导电层可为基板上一空白未图案化的平板;而当半导体元件设置于散热座上之后,第一导电层可为第一介电层上具有间隔导线的电路图案。此外,“层”可包含复数叠合层。

[0220] “开口”、“通孔”与“穿孔”等词均指贯穿孔洞。例如,凹穴朝下的状态下,凸块插入黏着层的开口后,其朝向上方向从黏着层中露出。同样地,凸块插入层压结构的通孔后,其朝向上方向从层压结构中露出。

[0221] “插入”一词的意思是元件间的相对移动。例如,“将凸块插入通孔中”包含:凸缘层固定不动而由基板朝凸缘层移动;基板固定不动而由凸缘层朝基板移动;以及凸缘层与基板两者彼此靠合。又例如,“将凸块插入(或延伸至)通孔内”包含:凸块贯穿(穿入并穿出)通孔;以及凸块插入但未贯穿(穿入但未穿出)通孔。

[0222] “彼此靠合”一语的意思是元件间的相对移动。例如,“凸缘层与基板彼此靠合”包含:凸缘层固定不动而由基板朝凸缘层移动;基板固定不动而由凸缘层朝基板移动;以及凸缘层与基板相互靠近。

[0223] “对准”一词的意思是元件间的相对位置。例如,当黏着层已设置于凸缘层上、基板及导电层已设置于黏着层上、凸块已插入并对准开口且通孔已对准开口时,无论凸块是插入通孔的还是位于通孔下方且与其保持距离的,凸块均已对准通孔。

[0224] “设置于”一语包含与单一或多个支撑元件间的接触与非接触。例如,一半导体元件设置于凸块上,不论此半导体元件是实际接触该凸块的还是与该凸块以一固晶材料相隔的。

[0225] “黏着层于缺口内...”一语的意思是位于缺口中的黏着层。例如,“黏着层于缺口内延伸跨越基板”的意思是缺口内的黏着层延伸跨越基板。同样地,“黏着层于缺口内接触且介于凸块与基板之间”的意思是缺口中的黏着层接触且介于缺口内侧壁的凸块与缺口外侧壁的基板之间。

[0226] “基座自凸块侧向延伸”一语的意思是基座于邻接凸块处侧向延伸而出。例如,在凹穴朝上的状态下,基座自凸块侧向延伸并因而接触黏着层,此与基座是否侧向延伸至凸块外、侧向延伸至凸缘层或从下方覆盖凸块无关。同样地,若基座与凸块于凸块底板处占据相同的空间范围,则基座并未侧向延伸超过凸块。

[0227] “电性连接(或连结)”一词的意思是直接或间接电性连接(或连结)。例如,“被覆穿孔电性连接(或连结)第一导线”包含:被覆穿孔邻接第一导线;被覆穿孔通过第三导线而电性连接(或连结)至第一导线。

[0228] “上方”一词的意思是向上延伸,且包含邻接与非邻接元件以及重叠与非重叠元件。例如,在凹穴朝上的状态下,凸块延伸于基座上方,同时邻接、重叠于基座并自基座突伸而出。

[0229] “下方”一词的意思是向下延伸,且包含邻接与非邻接元件以及重叠与非重叠元件。例如,在凹穴朝上的状态下,基座延伸于凸块下方,邻接凸块,被凸块重叠,并自凸块向下突伸而出。同样地,凸块即使并未邻接基板或被基板重叠,其仍可延伸于基板下方。

[0230] “第一垂直方向”及“第二垂直方向”并非取决于半导体组件(或导热板)的定向,凡所属技术领域的技术人员即可轻易了解其实际所指的方向。例如,凸块朝第一垂直方向垂直延伸至基座外,并朝第二垂直方向垂直延伸至凸缘层外,这与组件是否倒置及/或组件是否设置于一散热装置上无关。同样地,凸缘层沿一侧向平面自凸块“侧向”伸出,这与组件是否倒置、旋转或倾斜无关。因此,该第一及第二垂直方向彼此相对且垂直于侧面方向,此外,侧向对齐的元件在垂直于第一与第二垂直方向的侧向平面上彼此共平面。再者,当凹

穴向上时,第一垂直方向为向上方向,第二垂直方向为向下方向;当凹穴向下时,第一垂直方向为向下方向,第二垂直方向为向上方向。

[0231] 本发明的堆叠式半导体组件具有多项优点。该组件的可靠度高、价格平实且极适合量产。该组件尤其适用于易产生高热且需优异散热效果方可有效及可靠运作的高功率半导体元件、大型半导体芯片以及多个半导体元件(例如以数组方式排列的多枚小型半导体芯片)。

[0232] 本发明的制作方法具有高度适用性,且以独特、进步的方式结合运用各种成熟的电性连结、热连结及机械性连结技术。此外,本发明的制作方法不需昂贵工具即可实施。因此,相较于传统封装技术,此制作方法可大幅提升产量、良率、效能与成本效益。再者,本发明的组件极适合于铜芯片及无铅的环保要求。

[0233] 在此所述的实施例为例示之用,其中这些实施例可能会简化或省略本技术领域已熟知的元件或步骤,以免模糊本发明的特点。同样地,为使附图清晰,附图也可能省略重复或非必要的元件及元件符号。

[0234] 所属技术领域的技术人员针对本文所述的实施例应该可以轻而易举地想到各种变化及修改的方式。例如,前述的材料、尺寸、形状、大小、步骤的内容与步骤的顺序皆仅为范例。

[0235] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

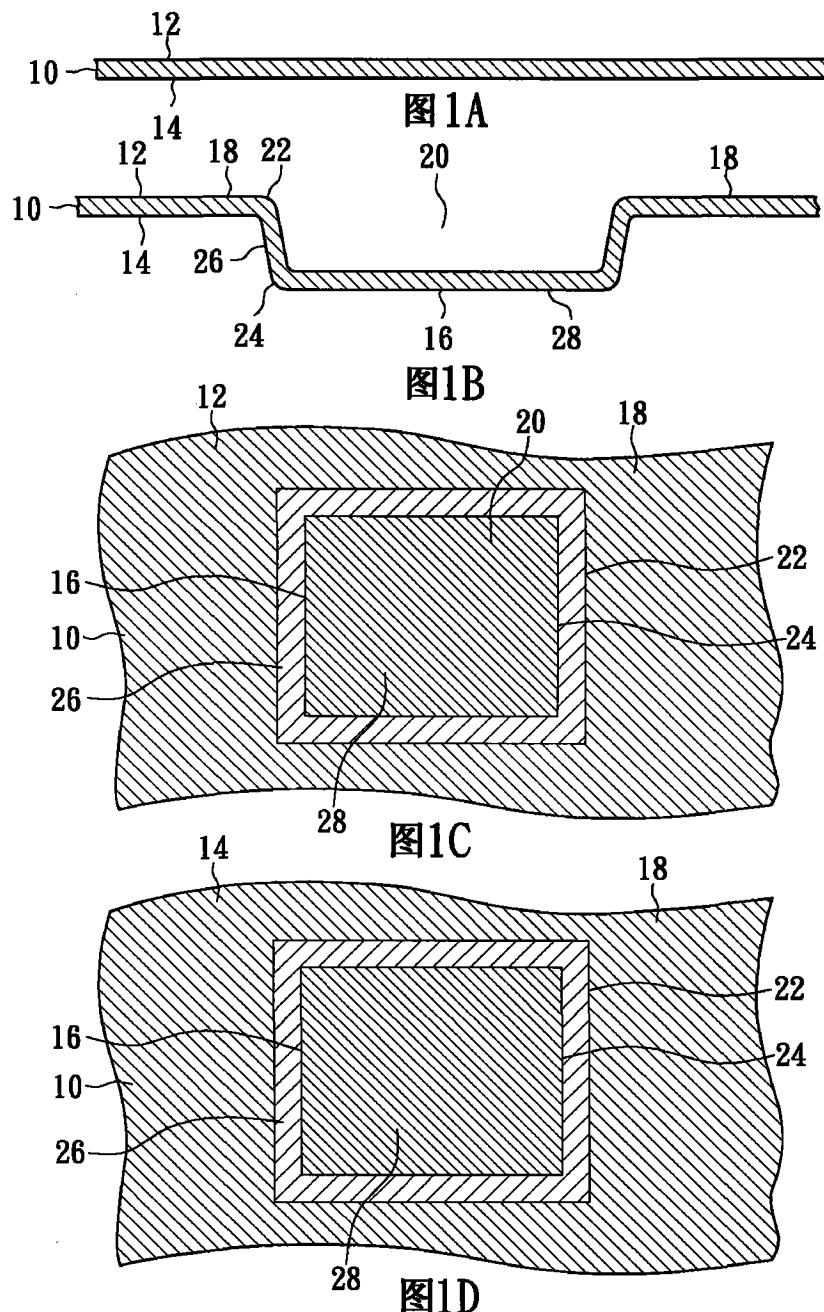


图 2A



图 2B

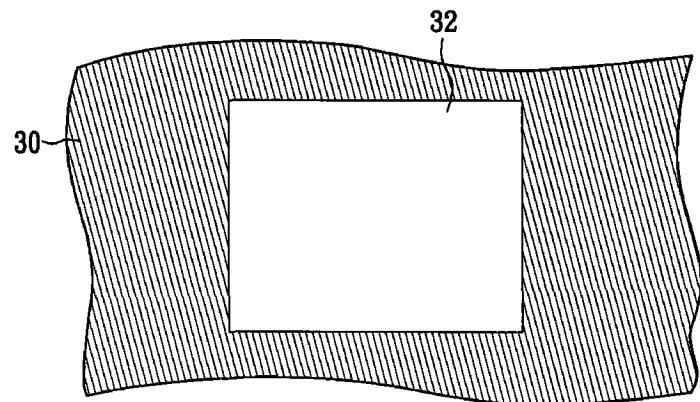


图 2C

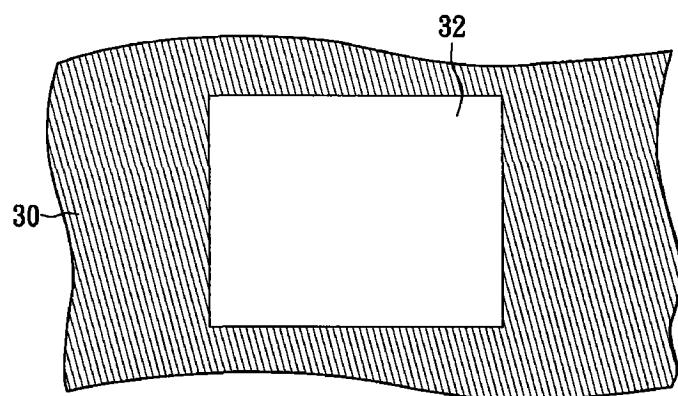


图 2D

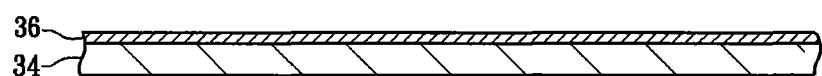


图 3A



图 3B

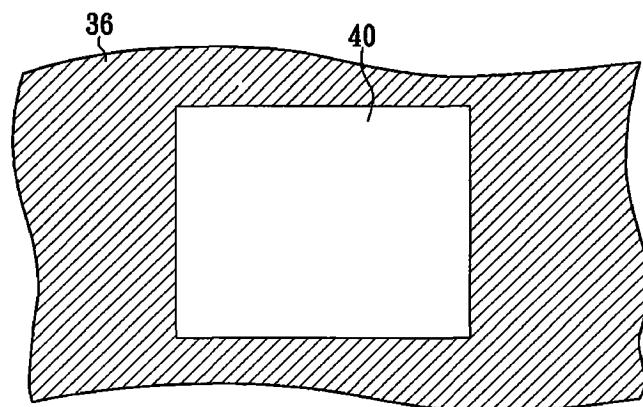


图 3C

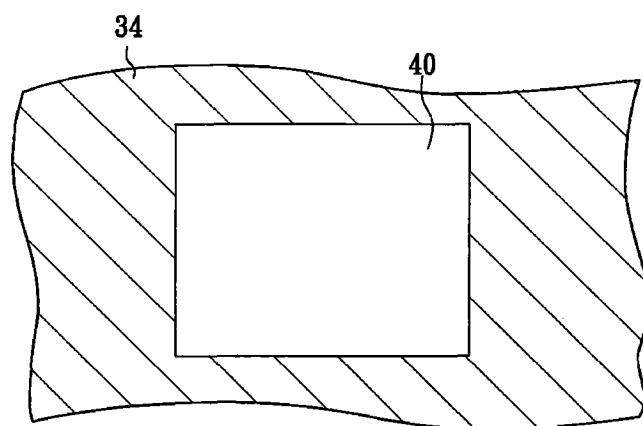


图 3D

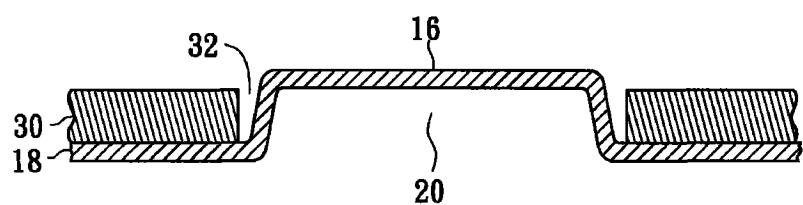


图 4A

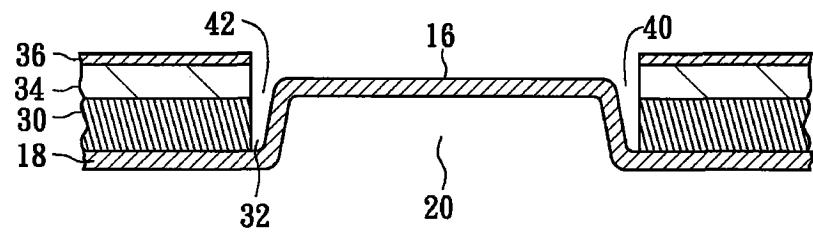


图 4B

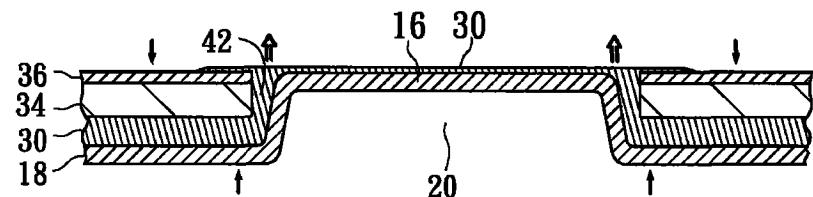


图 4C

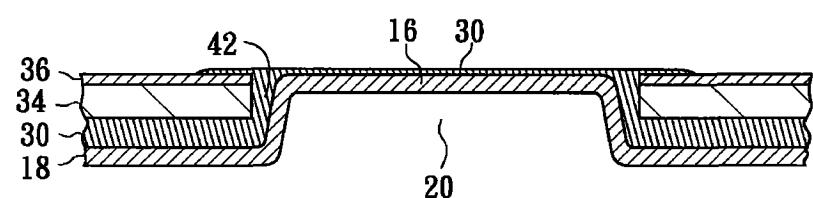


图 4D

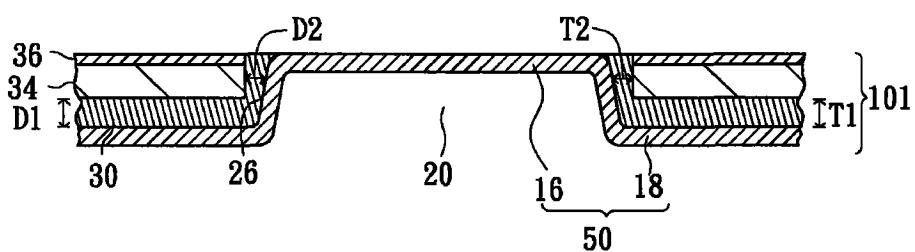


图 4E

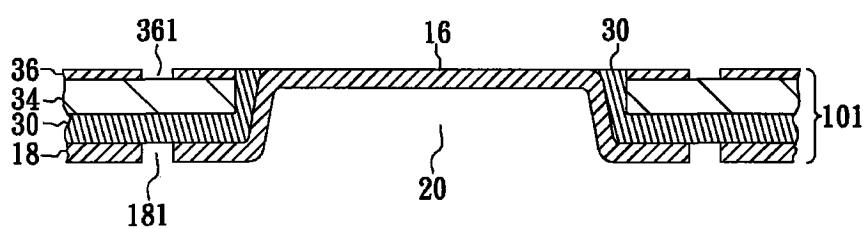


图 4F

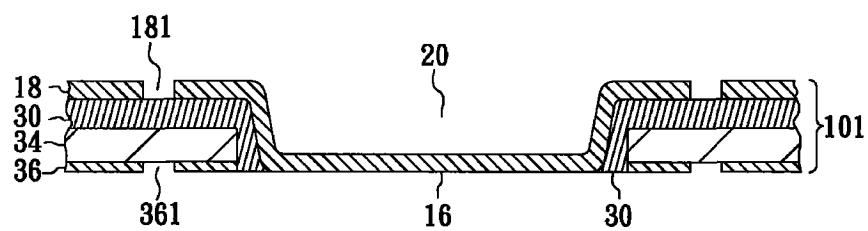


图 5A

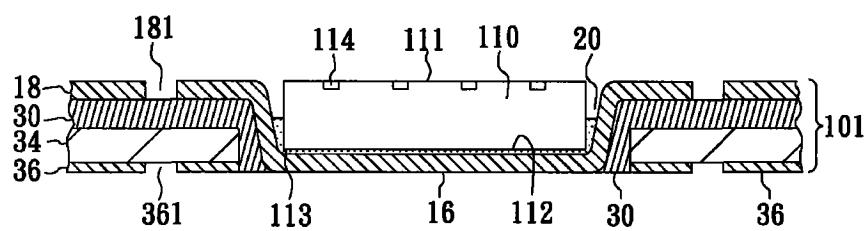


图 5B

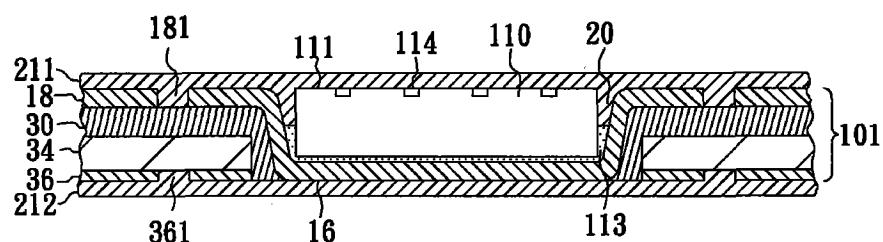


图 5C

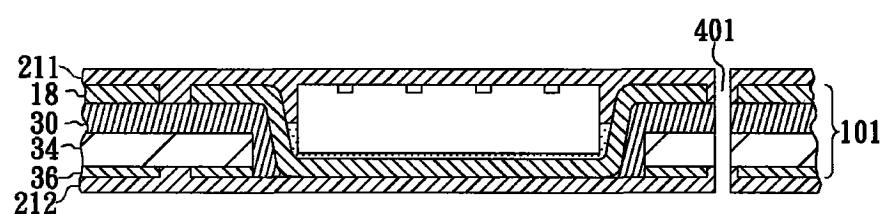


图 5D

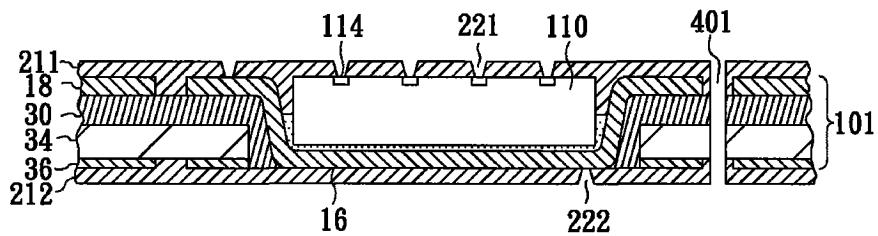


图 5E

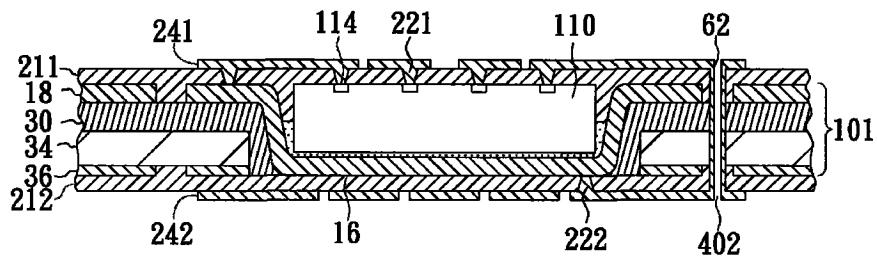


图 5F

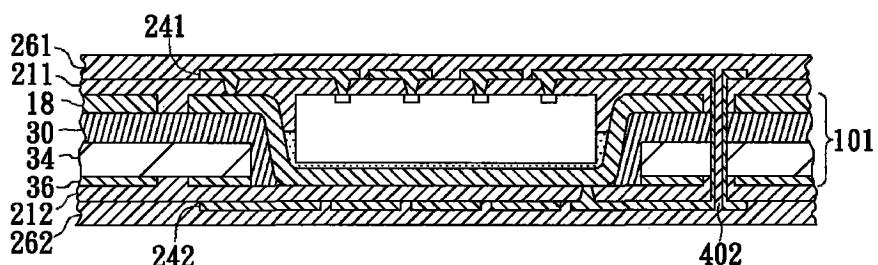


图 5G

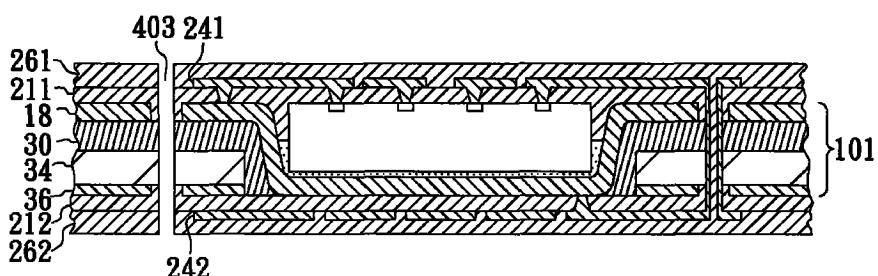


图 5H

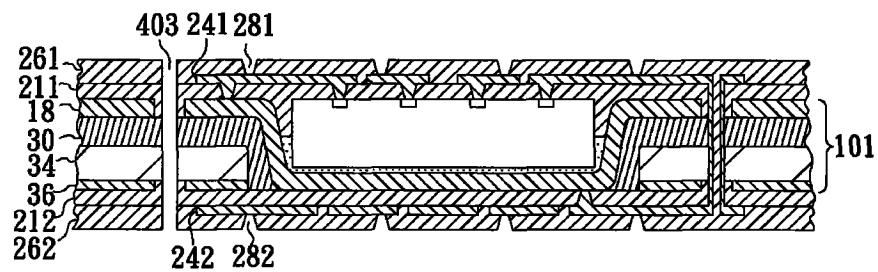


图 5I

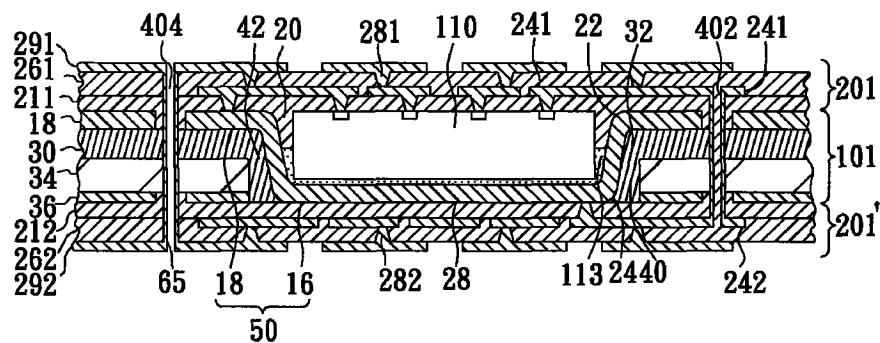


图 5J

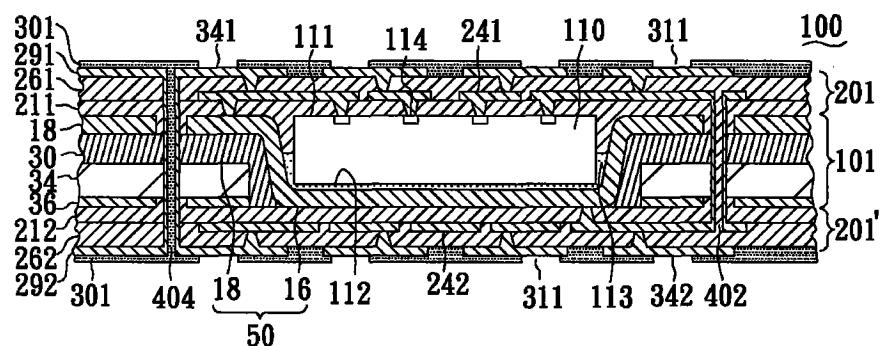


图 5K

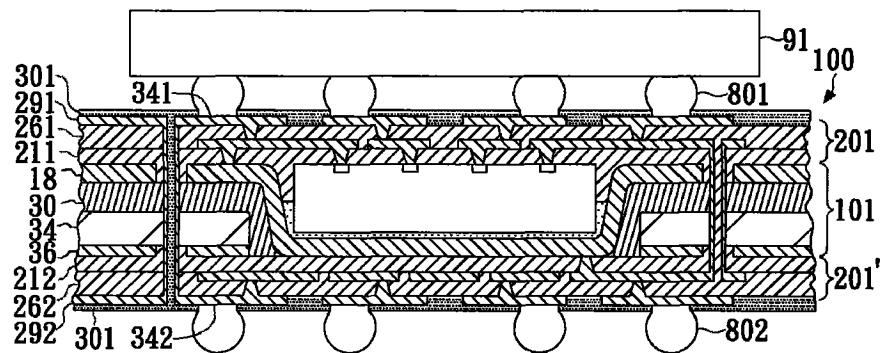


图 6

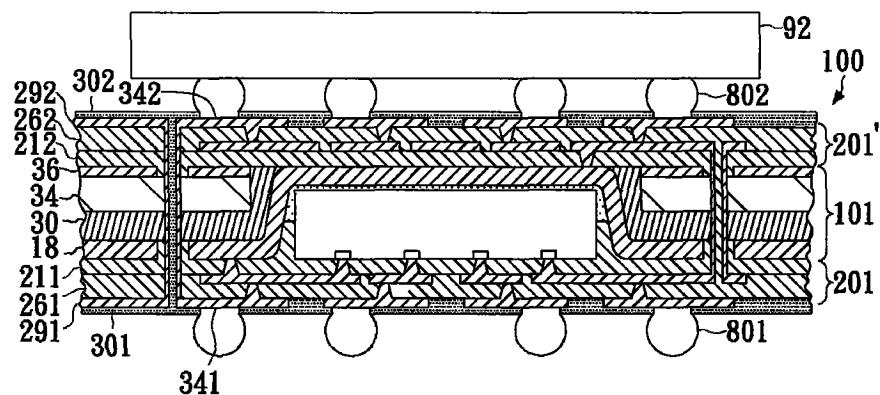


图 7

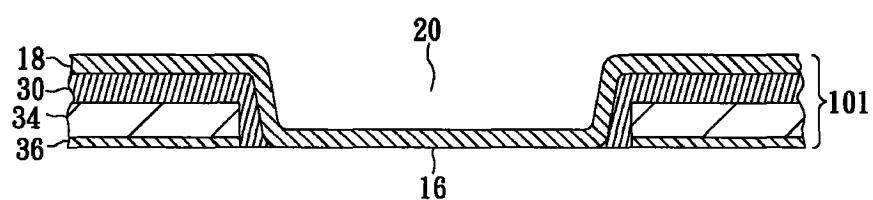


图 8A

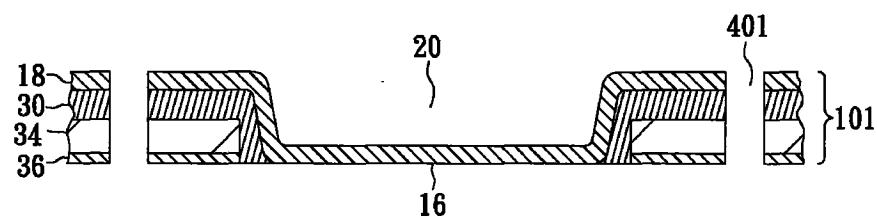


图 8B

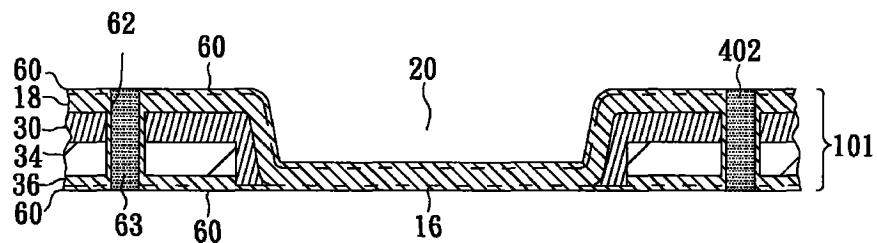


图 8C

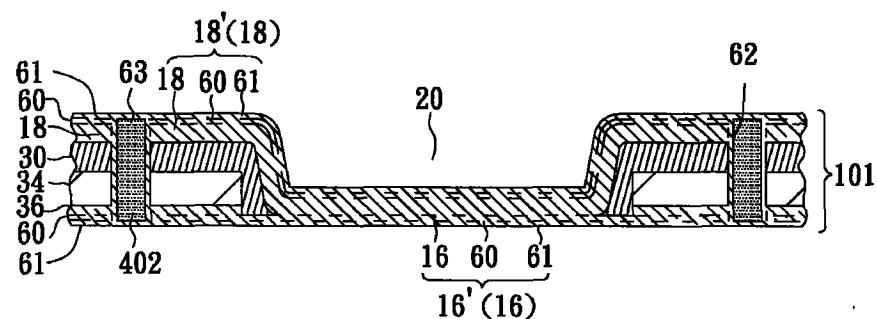


图 8D

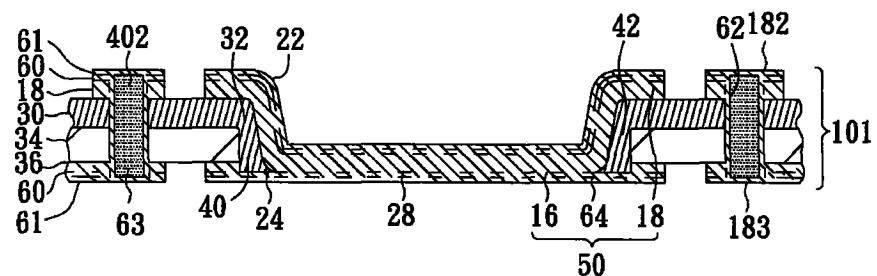


图 8E

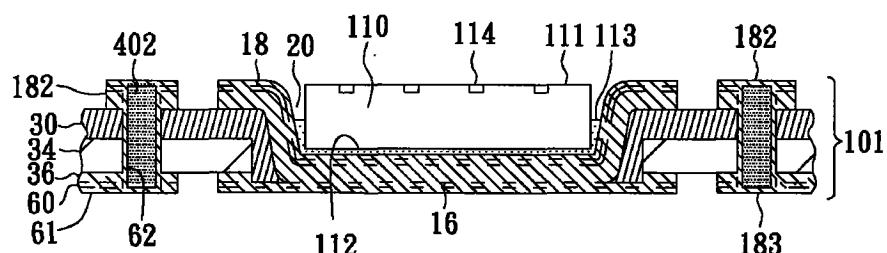


图 8F

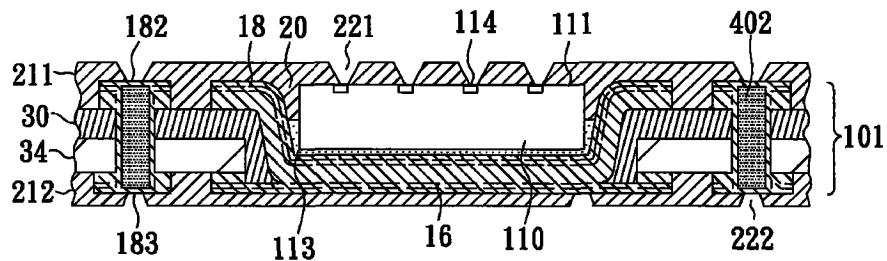


图 8G

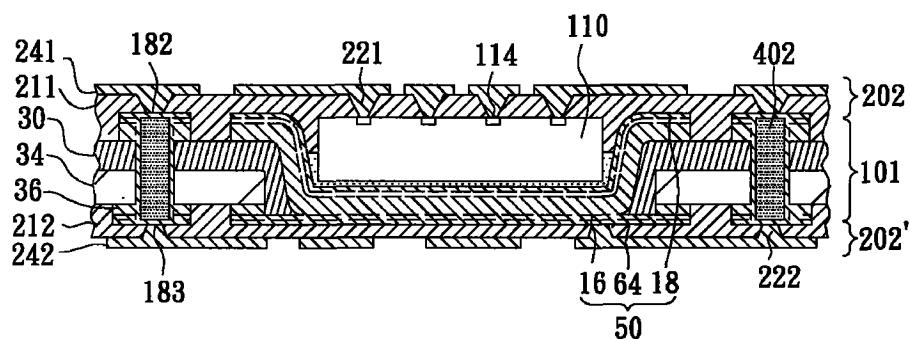


图 8H

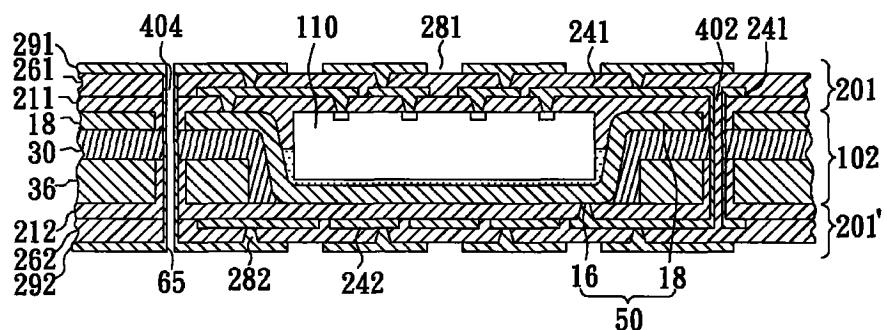


图 9

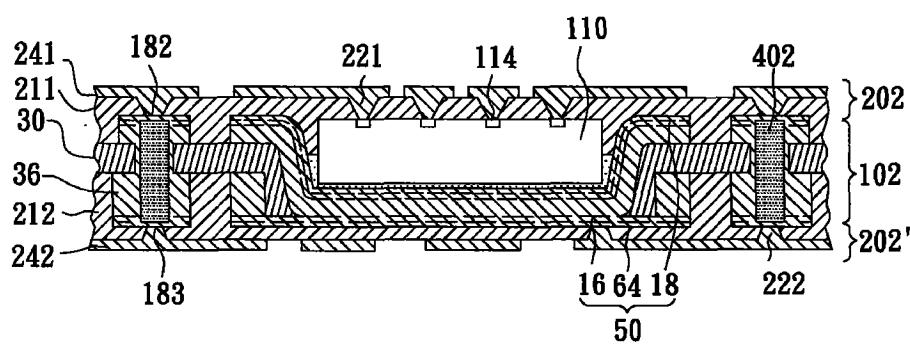


图 10