

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6657183号
(P6657183)

(45) 発行日 令和2年3月4日 (2020. 3. 4)

(24) 登録日 令和2年2月7日 (2020. 2. 7)

(51) Int. Cl.

F I

H O 1 L 21/76 (2006.01)

H O 1 L 21/76 L

請求項の数 23 (全 14 頁)

(21) 出願番号	特願2017-507937 (P2017-507937)	(73) 特許権者	390020248
(86) (22) 出願日	平成27年4月27日 (2015. 4. 27)		日本テキサス・インスツルメンツ合同会社
(65) 公表番号	特表2017-514319 (P2017-514319A)		東京都新宿区西新宿六丁目2 4 番 1 号
(43) 公表日	平成29年6月1日 (2017. 6. 1)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2015/027699		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02015/164853		レイテッド
(87) 国際公開日	平成27年10月29日 (2015. 10. 29)		アメリカ合衆国 テキサス州 7 5 2 6 5
審査請求日	平成30年4月18日 (2018. 4. 18)		ー 5 4 7 4 ダラス メール ステイショ
(31) 優先権主張番号	61/984, 205		ン 3 9 9 9 ピーオーボックス 6 5 5
(32) 優先日	平成26年4月25日 (2014. 4. 25)		4 7 4
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 上記1名の代理人	100098497
(31) 優先権主張番号	14/555, 330		弁理士 片寄 恭三
(32) 優先日	平成26年11月26日 (2014. 11. 26)		
(33) 優先権主張国・地域又は機関	米国 (US)		

最終頁に続く

(54) 【発明の名称】 高ブレイクダウン n 型埋め込み層

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
p 型半導体材料を含む基板と、
前記基板に配置される n 型埋め込み層であって、
アンチモンとヒ素とそれらの組み合わせとから成るグループから選択されるドーパント
での第 1 のドーピング濃度を有し、前記基板の頂部表面より下に埋め込み頂部表面を有す
る、メイン層と、
前記メイン層の下に位置し、前記第 1 のドーピング濃度よりも低い第 2 のドーピング濃
度を有する、軽くドーピングされた層と、
を含む、前記 n 型埋め込み層と、
前記基板を介して貫通することなく前記基板の下部層に達するように前記 n 型埋め込み
層を介して延在するディーブトレンチ構造であって、前記ディーブトレンチ構造の底部部
分を覆って前記基板に接する誘電体ライナーを含む、前記ディーブトレンチ構造と、
前記基板の前記頂部表面から延在して前記ディーブトレンチ構造と前記 n 型埋め込み層
の前記埋め込み頂部表面とに隣接する、n 型の自己整合されたシンカーと、
を含む、半導体デバイス。

【請求項 2】

請求項 1 に記載の半導体デバイスであって、
前記 p 型半導体材料が、5 cm ~ 10 cm の抵抗率を有する、半導体デバイス。

【請求項 3】

請求項 1 に記載の半導体デバイスであって、
前記メイン層における n 型ドーパントの少なくとも 50 パーセントがアンチモンである、半導体デバイス。

【請求項 4】

請求項 1 に記載の半導体デバイスであって、
前記ディーブトレンチ構造が、前記基板の前記頂部表面に定義される閉ループ構成を含む、半導体デバイス。

【請求項 5】

請求項 1 に記載の半導体デバイスであって、
前記 n 型の自己整合されたシンカーが、前記 n 型埋め込み層の前記埋め込み頂部表面まで延在し、閉ループ構成を有する、半導体デバイス。

10

【請求項 6】

請求項 1 に記載の半導体デバイスであって、
前記第 1 のドーピング濃度が $5 \times 10^{18} \text{ cm}^{-3}$ よりも大きく、前記第 2 のドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3}$ から $10 \times 10^{17} \text{ cm}^{-3}$ までの範囲である、半導体デバイス。

【請求項 7】

請求項 1 に記載の半導体デバイスであって、
前記第 1 のドーピング濃度が前記第 2 のドーピング濃度よりも少なくとも 50 倍大きい、半導体デバイス。

20

【請求項 8】

請求項 1 に記載の半導体デバイスであって、
前記 n 型埋め込み層に結合される電極であって、前記 n 型埋め込み層を 80 ボルトと 110 ボルトの間にバイアスするように構成される、前記電極を更に含む、半導体デバイス。

【請求項 9】

半導体デバイスであって、
第 1 の導電型の第 1 のドーパントを含む第 1 の半導体層と、
前記第 1 の半導体層の上に位置する第 2 の半導体層であって、前記第 1 の導電型の第 2 のドーパントを含み、前記第 1 の半導体層から離れて面する頂部表面を有する、前記第 2 の半導体層と、

30

前記第 1 の半導体層と前記第 2 の半導体層との間に位置する埋め込み層であって、
前記第 1 の半導体層内の第 1 の埋め込み層であって、前記第 1 の半導体層に隣接し、前記第 1 の導電型と反対の第 2 の導電型の第 3 のドーパントを含み、第 1 のドーピング濃度を有する、前記第 1 の埋め込み層と、

前記第 1 の埋め込み層上に位置する第 2 の埋め込み層であって、前記第 2 の半導体層に隣接し、前記第 1 のドーピング濃度よりも高い第 2 のドーピング濃度で前記第 2 の導電型の第 4 のドーパントを含む、前記第 2 の埋め込み層と、

を有する、前記埋め込み層と、

40

を含む、半導体デバイス。

【請求項 10】

請求項 9 に記載の半導体デバイスであって、
前記第 2 の埋め込み層が、前記第 1 の半導体層内と前記第 2 の半導体層内に延在する、半導体デバイス。

【請求項 11】

請求項 9 に記載の半導体デバイスであって、
前記第 2 の埋め込み層が、前記第 2 の半導体層内に位置する頂部層と、前記第 1 の半導体層内に位置して前記頂部層に隣接する底部層とを含む、半導体デバイス。

【請求項 12】

50

請求項 9 に記載の半導体デバイスであって、

前記第 1 の半導体層を介して貫通することなしに前記第 1 の半導体層に達するように前記第 2 の半導体層の前記頂部表面から前記埋め込み層を介して延在するディープトレンチ構造であって、前記ディープトレンチ構造の底部部分を覆って前記第 1 の半導体層に接する誘電体ライナーを含む、前記ディープトレンチ構造を更に含む、半導体デバイス。

【請求項 13】

請求項 9 に記載の半導体デバイスであって、

前記第 2 の半導体層から前記埋め込み層に延在し、閉ループ構造を有するシンカーを更に含む、半導体デバイス。

【請求項 14】

半導体デバイスを形成する方法であって、

p 型半導体材料を含む基板の第 1 のエピタキシャル層を提供することと、

第 1 の注入層を形成するために、第 1 の n 型ドーパントを第 1 のドーズ量で前記基板に注入することと、

第 2 の注入層を形成するために、第 2 の n 型ドーパントを前記第 1 のドーズ量よりも少ない第 2 のドーズ量で 100 keV を上回るエネルギーで前記基板に注入することと、

前記基板に p 型エピタキシャル層を定義し、前記 p 型エピタキシャル層の上に位置する n 型埋め込み層を形成するために、少なくとも 30 分間の 1150 ~ 1225 の温度での第 1 の熱駆動プロセスにおいて、前記基板を加熱することと、

を含み、

前記 n 型埋め込み層が、

第 1 のドーピング濃度と前記基板の頂部表面より下の埋め込み頂部表面とを有するメイン層と、

前記 p 型エピタキシャル層より上で前記メイン層より下に位置し、前記第 1 のドーピング濃度よりも低い第 2 のドーピング濃度を有する、軽くドーピングされた層と、

を含む、方法。

【請求項 15】

請求項 14 に記載の方法であって、

前記 p 型エピタキシャル層における前記 p 型半導体材料が、5 cm ~ 10 cm の抵抗率を有する、方法。

【請求項 16】

請求項 14 に記載の方法であって、

前記第 1 の n 型ドーパントが、アンチモンを含み、 $5 \times 10^{14} \text{ cm}^{-2}$ より大きい前記第 1 のドーズ量で注入される、方法。

【請求項 17】

請求項 14 に記載の方法であって、

前記第 2 の n 型ドーパントが、リンを含み、前記基板にわたって注入される、方法。

【請求項 18】

請求項 14 に記載の方法であって、

前記 n 型埋め込み層が局地化された n 型埋め込み層を含むように、前記第 2 の n 型ドーパントが、リンを含み、注入マスクにより露出されたエリアを介して前記基板に注入される、方法。

【請求項 19】

請求項 14 に記載の方法であって、

前記 p 型エピタキシャル層が形成された後に、少なくとも 120 分間の 1125 ~ 1200 の温度での第 2 の熱駆動プロセスにおいて、前記基板を加熱することを更に含む、方法。

【請求項 20】

請求項 14 に記載の方法であって、

前記基板を介して貫通することなしに前記 p 型エピタキシャル層に達するように、前記

10

20

30

40

50

n型埋め込み層を介して前記基板の前記頂部表面から延在する、前記基板におけるディープトレンチを形成することと、

前記ディープトレンチの底部部分を覆い、前記基板に接する誘電体ライナーを形成することと、

を更に含む、方法。

【請求項 2 1】

請求項 2 0 に記載の方法であって、

前記ディープトレンチが、前記基板の前記頂部表面に定義される閉ループ構成を含む、方法。

【請求項 2 2】

請求項 2 0 に記載の方法であって、

前記 n 型埋め込み層の前記埋め込み頂部表面に隣接する、前記基板における n 型の自己整合されたシンカーを形成するように、前記ディープトレンチが形成された後に、前記ディープトレンチに近接する前記基板に第 3 の n 型ドーパントを注入することを更に含む、方法。

【請求項 2 3】

請求項 1 4 に記載の方法であって、

前記 n 型埋め込み層の前記埋め込み頂部表面まで延在し、閉ループ構成を有する、前記基板における n 型シンカーを形成することを更に含む、方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は、概して半導体デバイスに関し、更に特定して言えば、半導体デバイスにおける埋め込み層に関連する。

【背景技術】

【0 0 0 2】

例示の半導体デバイスは、p 型基板における n 型埋め込み層を含む。埋め込み層は、埋め込み層の上の基板における構成要素のための高電圧での隔離されたオペレーションを提供するために、80 ボルトを超える高電圧にバイアスされる。埋め込み層の底部表面において、pn 接合が、好ましくない漏れ電流及び低ブレイクダウンを示す。

【発明の概要】

【0 0 0 3】

記載される例において、半導体デバイスが、p 型の第 1 のエピタキシャル層の上であり、p 型の第 2 のエピタキシャル層の下、n 型埋め込み層を有する。n 型埋め込み層は、重い n 型ドーパントであるアンチモン及び / 又はヒ素を、p 型の第 1 のエピタキシャル層に高ドーズ量及び低エネルギーで注入すること、及びより軽い n 型ドーパントであるリンを、低ドーズ量及び高エネルギーで注入することにより形成される。熱駆動プロセスが、重いドーパント及びリン両方を拡散及び活性化する。重いドーパントは著しく拡散せず、埋め込み層のメイン層のための狭いプロファイルを有利に維持する。リンは、軽くドーパされた層を、メイン層より下に数ミクロンの厚みに効果的に提供するように拡散する。

【図面の簡単な説明】

【0 0 0 4】

【図 1】高電圧 n 型埋め込み層を含む例示の半導体デバイスの断面である。

【0 0 0 5】

【図 2 A】製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。

【図 2 B】製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。

【図 2 C】製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。

10

20

30

40

50

【図 2 D】製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。

【図 2 E】製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。

【図 2 F】製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。

【 0 0 0 6 】

【図 3 A】製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図 3 B】製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図 3 C】製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図 3 D】製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図 3 E】製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図 3 F】製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【 0 0 0 7 】

【図 4】高電圧 n 型埋め込み層を含む代替の例示の半導体デバイスの断面である。

【発明を実施するための形態】

【 0 0 0 8 】

下記の同時継続中の特許出願は、参照により本願に組み込まれる。

【特許文献 1】米国特許出願番号 US 14 / 555 , 209

【特許文献 2】米国特許出願番号 US 14 / 555 , 300

【特許文献 3】米国特許出願番号 US 14 / 555 , 359

【 0 0 0 9 】

図 1 は、高電圧 n 型埋め込み層を含む例示の半導体デバイスの断面である。半導体デバイス 100 が基板 102 を有し、基板 102 は、単結晶シリコンなどの半導体材料の第 1 のエピタキシャル層 104 を含む。基板 102 はまた、第 1 のエピタキシャル層 104 上に配置される第 2 のエピタキシャル層 106 を含む。第 2 のエピタキシャル層 106 は、第 1 のエピタキシャル層 104 と同じ組成を有し得る半導体材料を含む。n 型埋め込み層 108 が、第 1 のエピタキシャル層 104 及び第 2 のエピタキシャル層 106 内へ延在して、第 1 のエピタキシャル層 104 と第 2 のエピタキシャル層 106 との間の境界において基板 102 内に配置される。n 型埋め込み層 108 のすぐ下の第 1 のエピタキシャル層 104 は、下部層 110 と称される。下部層 110 は、p 型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。n 型埋め込み層 108 の上の第 2 のエピタキシャル層 106 は、上部層 112 と称される。上部層 112 は、p 型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。

【 0 0 1 0 】

n 型埋め込み層 108 はメイン層 114 を含み、メイン層 114 は、第 1 のエピタキシャル層 104 内へ少なくとも 1 ミクロン及び第 2 のエピタキシャル層 106 内へ少なくとも 1 ミクロン延在して、第 1 のエピタキシャル層 104 と第 2 のエピタキシャル層 106 との間の境界に跨る。メイン層 114 は、 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい平均ドーピング密度を有する。メイン層 114 における n 型ドーパントの少なくとも 50 パーセントがヒ素及び / 又はアンチモンである。メイン層 114 の頂部表面 116 が、基板 102 の頂部表面 118 より少なくとも 5 ミクロン下である。メイン層 114 の頂部表面 116 は、基板 102 の頂部表面 118 より 8 ミクロン ~ 12 ミクロン下であってもよい。

【 0 0 1 1 】

n型埋め込み層108は、メイン層114より下に少なくとも2ミクロン延在する軽くドーピングされた層120を含む。軽くドーピングされた層120は、下部層110の上の第1のエピタキシャル層104に配置される。軽くドーピングされた層120は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の平均ドーピング密度を有する。軽くドーピングされた層120におけるn型ドーパントの少なくとも90パーセントがリンである。n型埋め込み層108は、図1に示すように実質的に半導体デバイス100全体に延在し得る。

【0012】

半導体デバイス100のオペレーションの間、n型埋め込み層108は、下部層110より80ボルト～110ボルト高くバイアスされ得る。軽くドーピングされた層120を備えたn型埋め込み層108の構造は、n型埋め込み層108と下部層110との間のpn接合のブレークダウンを有利に避け得、所望の低レベルの漏れ電流を有利に提供し得る。また、メイン層114を備えたn型埋め込み層108の構造は、n型埋め込み層108の上の上部層112における構成要素のための均一なバイアスを維持するために低シート抵抗を有利に提供する。

【0013】

半導体デバイス100はディープトレンチ構造122を含み得、ディープトレンチ構造122は、上部層112を介し、n型埋め込み層108を介し、下部層110内へ延在する。ディープトレンチ構造122は、基板102の半導体材料に接する二酸化シリコンを含む誘電体ライナー124を含む。ディープトレンチ構造122はまた、誘電体ライナー124上の多結晶シリコン（ポリシリコンと称される）などの導電性充填材料126を含み得る。軽くドーピングされた層120を備えたn型埋め込み層108の構造は、誘電体ライナー124におけるn型埋め込み層108と下部層110との間のpn接合のブレークダウンを避けるために特に有利である。ディープトレンチ構造122は、上部層112の部分128が、残りの上部層112からディープトレンチ構造122により電氣的に隔離され、下部層110からn型埋め込み層108により電氣的に隔離されるように、図1に示したような閉ループ構成を有し得る。上部層112の部分128における構成要素は、ディープトレンチ構造122の外側の残りの上部層112における構成要素に関連して有利に85ボルト～110ボルトで動作され得る。

【0014】

図2A～図2Fは、製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。図2Aを参照すると、半導体デバイス100の製造が、第1のエピタキシャル層104で開始する。例えば、第1のエピタキシャル層104は、重くドーピングされた単結晶シリコンウエハ上のエピタキシャル層のスタックの頂部であり得る。第1のエピタキシャル層104は、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有するp型である。パッド酸化物130の層が、熱酸化などにより第1のエピタキシャル層104の上に形成される。

【0015】

n型ドーパント132が、第1の注入された層134を形成するために第1のエピタキシャル層104に注入される。n型ドーパントは、ヒ素及び/又はアンチモンを少なくとも50パーセント含む。この例の一つのバージョンにおいて、n型ドーパント132は、図2Aに示すように実質的に全てアンチモンであり得る。n型ドーパント132は、 $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ など、 $5 \times 10^{14} \text{ cm}^{-2}$ より大きいドーズ量で注入される。n型ドーパント132におけるアンチモンは、50keV未満のエネルギーで注入され得る。n型ドーパント132におけるヒ素は、40keV未満のエネルギーで注入され得る。

【0016】

図2Bを参照すると、第1の注入された層134の下に第2の注入された層138を形成するために、リン136が第1のエピタキシャル層104に注入される。リン136は、 $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で及び100keVを超えるエネルギーで注入される。

10

20

30

40

50

【 0 0 1 7 】

図 2 C を参照すると、第 1 の熱駆動プロセス 1 4 0 が、第 1 のエピタキシャル層 1 0 4 を少なくとも 3 0 分間 1 1 5 0 ~ 1 2 2 5 の温度まで加熱する。第 1 の熱駆動プロセス 1 4 0 は、酸化雰囲気気を備えたファーンネスにおいて実施され得、これによりパッド酸化物 1 3 0 の層の厚みが増大される。第 1 の熱駆動プロセス 1 4 0 は、第 1 の注入された層 1 3 4 における注入された n 型ドーパント及び第 2 の注入された層 1 3 8 における注入されたリンを、第 1 のエピタキシャル層 1 0 4 内へ一層深く拡散させる。第 2 の注入された層 1 3 8 におけるリンは、第 1 の注入された層 1 3 4 におけるヒ素及びアンチモンより遠くまで第 1 のエピタキシャル層 1 0 4 内に拡散する。パッド酸化物 1 3 0 の層はその後、緩衝フッ化水素酸の希釈水溶液を用いるウェットエッチングになどにより取り除かれる。

10

【 0 0 1 8 】

図 2 D を参照すると、エピタキシャルプロセスが、第 1 のエピタキシャル層 1 0 4 上に第 2 のエピタキシャル層 1 0 6 を成長させる。エピタキシャルプロセスは、シラン、ジクロロシラン、又はその他のシリコン含有反応物を用い得る。エピタキシャルプロセスの間、図 2 C の第 1 の注入された層 1 3 4 における n 型ドーパントは、第 2 のエピタキシャル層 1 0 6 に拡散して、n 型埋め込み層 1 0 8 のメイン層 1 1 4 を形成する。メイン層 1 1 4 は、第 1 のエピタキシャル層 1 0 4 と第 2 のエピタキシャル層 1 0 6 との間の境界に跨る。図 2 C の第 2 の注入された層 1 3 8 におけるリンは、n 型埋め込み層 1 0 8 の軽くドーブされた層 1 2 0 を形成する。エピタキシャルプロセスは、第 2 のエピタキシャル層 1 0 6 における p 型ドーピングを提供するために、ボロン含有反応物（ジボランなど）を用い得る。代替として、エピタキシャルプロセスが完了した後、p 型ドーパント（ボロンなど）が、第 2 のエピタキシャル層 1 0 6 内に注入されてもよい。第 1 のエピタキシャル層 1 0 4 及び第 2 のエピタキシャル層 1 0 6 は、基板 1 0 2 の頂部を提供する。

20

【 0 0 1 9 】

図 2 E を参照すると、第 2 の熱駆動プロセス 1 4 2 が、基板 1 0 2 を少なくとも 1 2 0 分間 1 1 2 5 ~ 1 2 0 0 の温度まで加熱する。第 2 の熱駆動プロセス 1 4 2 は、僅かな酸化雰囲気気を備えたファーンネスにおいて実施され得る。第 2 の熱駆動が完了すると、n 型埋め込み層 1 0 8 のメイン層 1 1 4 は、第 1 のエピタキシャル層 1 0 4 内へ少なくとも 1 ミクロン及び第 2 のエピタキシャル層 1 0 6 内へ少なくとも 1 ミクロン延在し、軽くドーブされた層 1 2 0 は、メイン層 1 1 4 より下に少なくとも 2 ミクロン延在する。メイン層 1 1 4 における平均ドーピングは $5 \times 10^{18} \text{ cm}^{-3}$ より大きい。軽くドーブされた層 1 2 0 における平均ドーピングは、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。

30

【 0 0 2 0 】

図 2 F を参照すると、図 2 E の第 2 の熱駆動プロセス 1 4 2 の後、基板 1 0 2 においてディープトレンチをエッチングすることによりディープトレンチ構造 1 2 2 が形成され得る。誘電体ライナー 1 2 4 が、熱酸化、及びその後続く準大気圧（sub-atmospheric）化学気相成長（SA-CVD）プロセスによる二酸化シリコンの堆積により形成され得る。導電性充填材料 1 2 6 が、ポリシリコンのコンフォーマル層を堆積すること、及びその後、化学機械研磨（CMP）プロセスなどによって基板の頂部表面の上からポリシリコンを取り除くことによって形成され得る。任意選択の n 型の自己整合されたシンカー 1 4 4 が、ディープトレンチが部分的にエッチングされた後、第 2 のエピタキシャル層 1 0 6 に n 型ドーパントを注入することにより、ディープトレンチ構造に隣接する第 2 のエピタキシャル層 1 0 6 において形成され得る。n 型の自己整合されたシンカー 1 4 4 は、n 型埋め込み層 1 0 8 への電氣的接続を提供する。

40

【 0 0 2 1 】

図 3 A ~ 図 3 F は、製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。局地化 n 型埋め込み層が、半導体デバイスの一部のみにわたって延在する。図 3 A を参照すると、半導体デバイス 3 0 0 が、単結晶シリコンなどの半導体材料を含む第 1 のエピタキシャル層 3 0 4 上に形成される。第 1 のエ

50

ピタキシャル層 304 は、 $5\text{ cm} \sim 10\text{ cm}$ の抵抗率を有する p 型である。パッド酸化物 330 の層が、第 1 のエピタキシャル層 304 の上に形成される。この例では、局地化 n 型埋め込み層 308 のためのエリアを露出させるために、パッド酸化物 330 の層の上に注入マスク 346 が形成される。注入マスク 346 は、フォトリソグラフィプロセスによって形成されるフォトレジストを含み得、又は、熱酸化又はプラズマエンハンスト化学気相成長 (PECVD) プロセスによって形成される二酸化シリコンなどのハードマスク材料を含み得る。注入マスク 346 におけるハードマスク材料は、高エネルギーでリンを注入した後の後続の注入マスク 346 の除去を有利に促進し得る。

【0022】

第 1 の注入された層 334 を形成するために、注入マスク 346 により露出されたエリアを介して第 1 のエピタキシャル層 304 に n 型ドーパント 332 が注入される。n 型ドーパントは、ヒ素及び / 又はアンチモンを少なくとも 50 パーセント含む。n 型ドーパント 332 は、 $1 \times 10^{15}\text{ cm}^{-2} \sim 5 \times 10^{15}\text{ cm}^{-2}$ など、 $5 \times 10^{14}\text{ cm}^{-2}$ より大きいドーズ量で注入される。

【0023】

図 3 B を参照すると、第 1 の注入された層 334 の下に第 2 の注入された層 338 を形成するために、注入マスク 346 により露出されたエリアを介してリン 336 が第 1 のエピタキシャル層 304 に注入される。リン 336 は、 $1 \times 10^{13}\text{ cm}^{-2} \sim 1 \times 10^{14}\text{ cm}^{-2}$ のドーズ量で及び 100 keV を超えるエネルギーで注入される。フォトレジストなどの、注入マスク 346 における有機材料は、後続の第 1 の熱駆動プロセスの前に取り除かれる。

【0024】

図 3 C を参照すると、第 1 の熱駆動プロセス 340 が、図 2 C を参照して説明したように、第 1 のエピタキシャル層 304 を少なくとも 30 分間 $1150 \sim 1225$ の温度まで加熱する。第 1 の熱駆動プロセス 340 は、第 1 の注入された層 334 における注入された n 型ドーパント及び第 2 の注入された層 338 における注入されたリンを、第 1 のエピタキシャル層 304 内へ一層深く拡散させる。第 2 の注入された層 338 におけるリンは、第 1 の注入された層 334 におけるヒ素及びアンチモンよりも第 1 のエピタキシャル層 304 内へ一層拡散する。注入マスク 346 (ある場合) 及びパッド酸化物 330 の層は、その後取り除かれる。

【0025】

図 3 D を参照すると、半導体デバイス 300 の基板 302 を提供するために、エピタキシャルプロセスが、第 1 のエピタキシャル層 304 上に第 2 のエピタキシャル層 306 を成長させる。エピタキシャルプロセスの間、図 3 C の第 1 の注入された層 334 における n 型ドーパントは、第 2 のエピタキシャル層 306 に拡散して、局地化 n 型埋め込み層 308 のメイン層 314 を形成する。メイン層 314 は、第 1 のエピタキシャル層 304 と第 2 のエピタキシャル層 306 との間の境界に跨る。図 3 C の第 2 の注入された層 338 におけるリンは、メイン層 314 の下に局地化 n 型埋め込み層 308 の軽くドーブされた層 320 を形成する。第 2 のエピタキシャル層 306 は、 $5\text{ cm} \sim 10\text{ cm}$ の抵抗率を有する p 型である。n 型埋め込み層 308 のすぐ下の第 1 のエピタキシャル層 304 は、下部層 310 と称される。同様に、n 型埋め込み層 308 の上の第 2 のエピタキシャル層 306 は上部層 312 と称される。

【0026】

図 3 E を参照すると、第 2 の熱駆動プロセス 342 が、基板 302 を少なくとも 120 分間 $1125 \sim 1200$ の温度まで加熱する。第 2 の熱駆動が完了すると、局地化 n 型埋め込み層 308 のメイン層 314 は、第 1 のエピタキシャル層 304 内に少なくとも 1 ミクロン及び第 2 のエピタキシャル層 306 内に少なくとも 1 ミクロン延在し、軽くドーブされた層 320 は、メイン層 314 より下に少なくとも 2 ミクロン延在する。メイン層 314 の頂部表面 316 が、基板 302 の頂部表面 318 より少なくとも 5 ミクロン下にある。メイン層 314 の頂部表面 316 は、基板 302 の頂部表面 318 より 8 ミクロン

10

20

30

40

50

ン～12ミクロン下とし得る。メイン層314における平均ドーピングは、 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい。メイン層314におけるn型ドーパントの少なくとも50パーセントが、ヒ素及び/又はアンチモンである。

【0027】

軽くドーブされた層320は、メイン層314より下に少なくとも2ミクロン延在する。軽くドーブされた層320における平均ドーピングは、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。軽くドーブされた層320におけるn型ドーパントの少なくとも90パーセントがリンである。

【0028】

図3Fを参照すると、n型シンカー348が、局地化n型埋め込み層308まで下に延在して、第2のエピタキシャル層306に形成される。n型シンカー348は、残りの上部層312から上部層312の部分328を隔離するように、閉ループ構成を有し得る。局地化n型埋め込み層308は、上部層312の部分328を下部層310から隔離する。メイン層314及び軽くドーブされた層320を備えた局地化n型埋め込み層308の構造は、局地化n型埋め込み層308における低シート抵抗を有利に提供し得、一方、漏れ電流を低減し、局地化n型埋め込み層308と下部層310との間のpn接合のブレークダウンを防止する。

【0029】

図4は、高電圧n型埋め込み層を含む代替の例示の半導体デバイスの断面である。半導体デバイス400が基板402を有し、基板402は、単結晶シリコンなどのp型半導体材料の第1のエピタキシャル層404を含む。基板402はまた、第1のエピタキシャル層404上に配置される第2のエピタキシャル層406を含む。第2のエピタキシャル層406は、第1のエピタキシャル層404と同じ組成を有し得るp型半導体材料を含む。n型埋め込み層408が、第1のエピタキシャル層404及び第2のエピタキシャル層406内へ延在して、第1のエピタキシャル層404と第2のエピタキシャル層406との間の境界において基板402内に配置される。n型埋め込み層408のすぐ下の第1のエピタキシャル層404は、下部層410と称される。下部層410は、p型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。n型埋め込み層408の上の第2のエピタキシャル層406は、上部層412と称される。上部層412は、p型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。

【0030】

n型埋め込み層408は、第1のエピタキシャル層404内へ少なくとも1ミクロン及び第2のエピタキシャル層406内へ少なくとも1ミクロン延在して、第1のエピタキシャル層404と第2のエピタキシャル層406との間の境界に跨るメイン層414を含む。メイン層414は、 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい平均ドーピング密度を有する。メイン層414の頂部表面416が、基板402の頂部表面418より少なくとも5ミクロン下にある。メイン層414の頂部表面416は、基板402の頂部表面418より8ミクロン～12ミクロン下とし得る。n型埋め込み層408は、メイン層414より少なくとも2ミクロン下に延在する軽くドーブされた層420を含む。軽くドーブされた層420は、下部層410の上の第1のエピタキシャル層404に配置される。軽くドーブされた層420は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の平均ドーピング密度を有する。n型埋め込み層408は、本明細書における例の任意のものに記載されるように形成され得る。

【0031】

一つ又は複数のディープトレンチ構造422が、埋め込み層408より下に下部層410内に延在して、基板402内に配置される。ディープトレンチ構造422は、基板402に接する誘電体ライナー424を含む。ディープトレンチ構造422は、誘電体ライナー424上の導電性トレンチ充填材料426を含む。この例では、誘電体ライナー424は、ディープトレンチ構造422の底部450において取り除かれ、トレンチ充填材料426は基板402まで延在して、p型コンタクト領域452を介する基板402への電気

10

20

30

40

50

的接続を成す。コンタクト領域 4 5 2、及び、各ディープトレンチ構造 4 2 2 の底部 4 5 0 における誘電体ライナー 4 2 4 を取り除く方法は、出願番号 U S 1 4 / 5 5 5 , 3 5 9 に記載されるように成され得、この出願は参照により本願に組み込まれる。

【 0 0 3 2 】

この例では、トレンチ充填材料 4 2 6 は、ディープトレンチ構造 4 2 2 の底部 4 5 0 まで延在する、誘電体ライナー 4 2 4 上に配置されるポリシリコン 4 5 4 の第 1 の層を含む。ポリシリコン 4 5 6 の第 2 の層が、ポリシリコン 4 5 4 の第 1 の層上に配置される。ドーパントが、少なくとも $1 \times 10^{-18} \text{ cm}^{-3}$ の平均ドーピング密度で、ポリシリコン 4 5 4 の第 1 の層及びポリシリコン 4 5 6 の第 2 の層に分布される。トレンチ充填材料 4 2 6 は出願番号 U S 1 4 / 5 5 5 , 3 0 0 に記載されるように形成され得、この出願は参照

10

【 0 0 3 3 】

n 型の自己整合されたシンカー 4 4 4 が、ディープトレンチ構造 4 2 2 に隣接し、埋め込み層 4 0 8 まで延在して、上部層 4 1 2 内に配置される。自己整合されたシンカー 4 4 4 は、埋め込み層 4 0 8 への電氣的接続を提供する。自己整合されたシンカー 4 4 4 は、参照により本願に組み込まれる出願番号 U S 1 4 / 5 5 5 , 2 0 9 に記載されるように形成され得る。

【 0 0 3 4 】

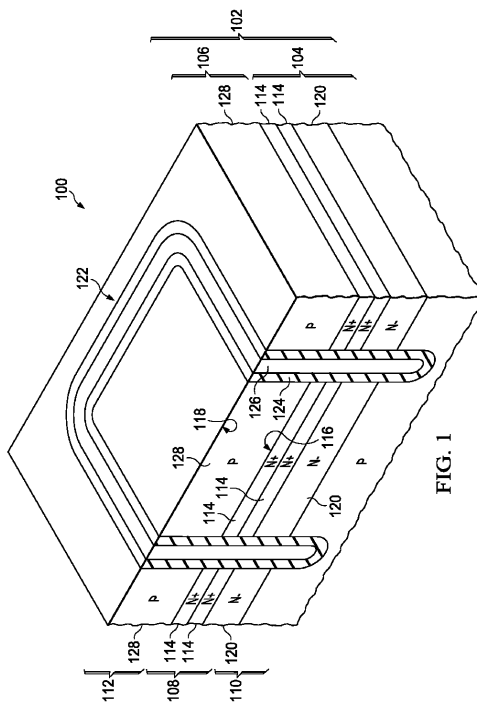
図面は一定の縮尺で描いてはいない。

【 0 0 3 5 】

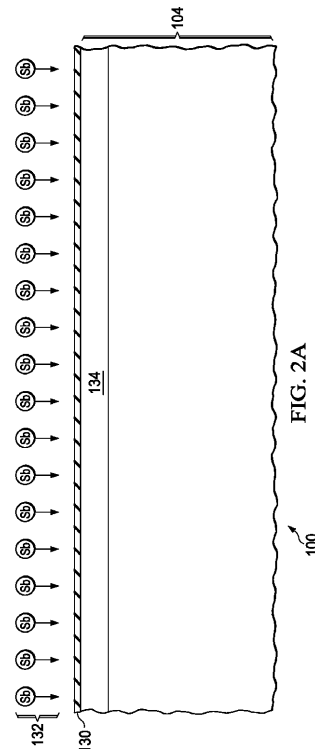
本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、他の実施例が可能である。

20

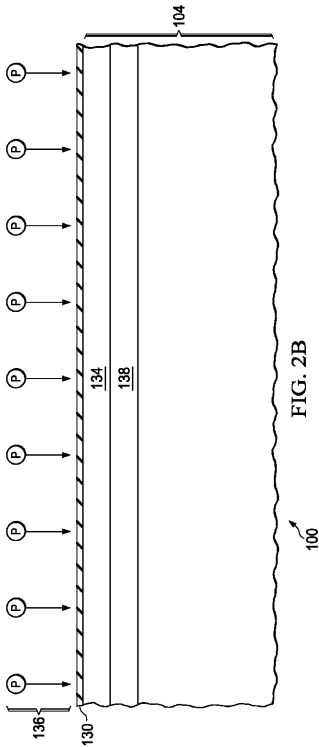
【 図 1 】



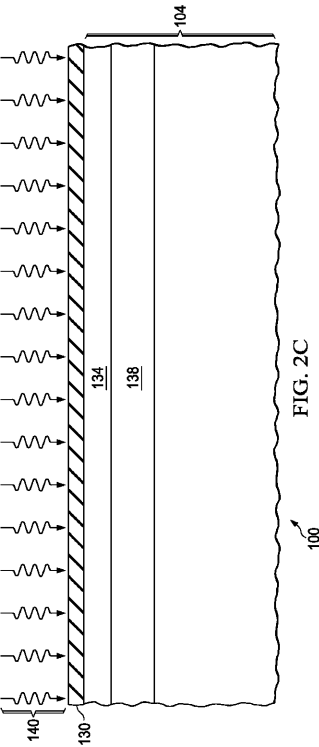
【 図 2 A 】



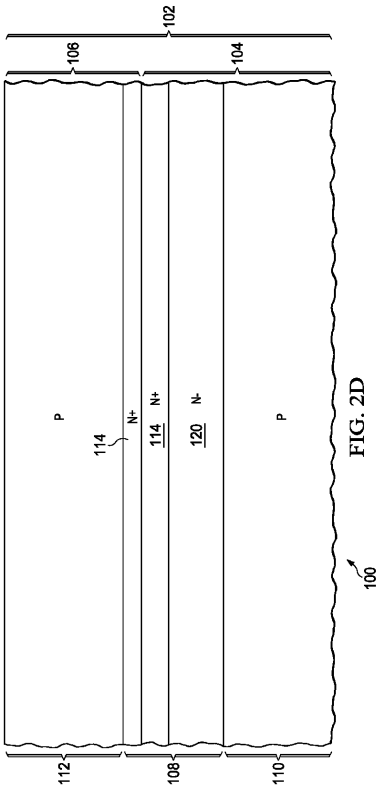
【図 2 B】



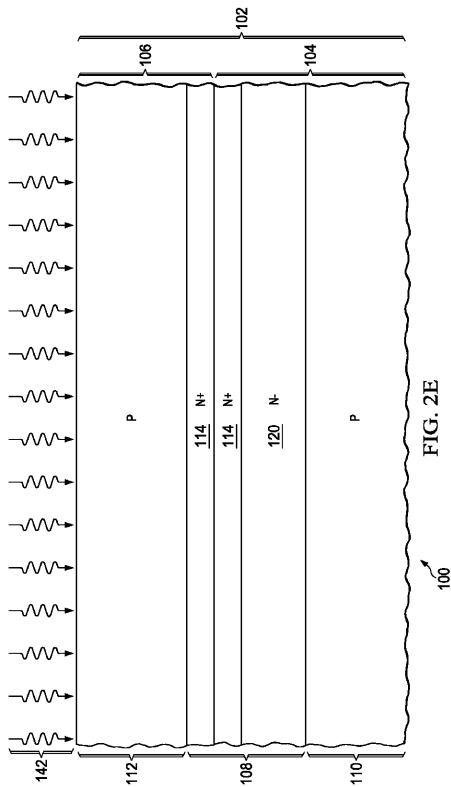
【図 2 C】



【図 2 D】



【図 2 E】



【図 2 F】

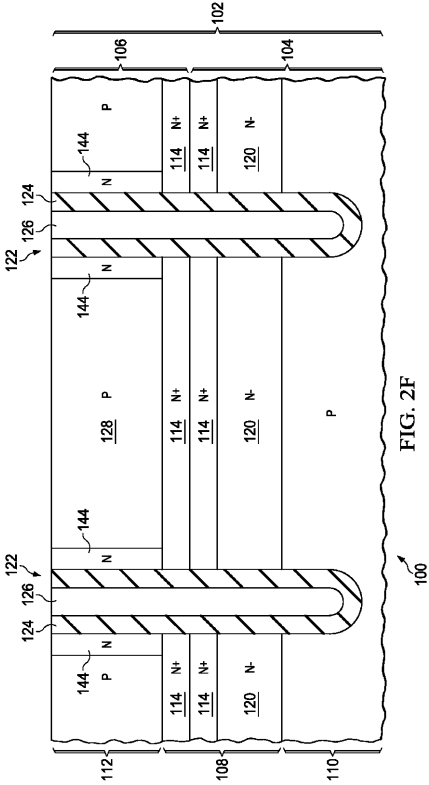


FIG. 2F

【図 3 A】

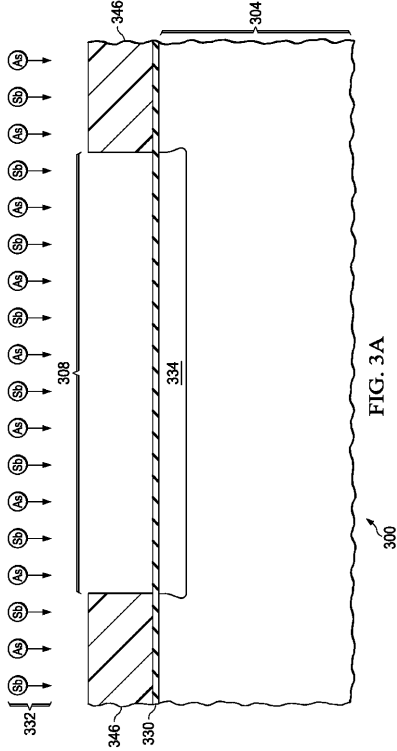


FIG. 3A

【図 3 B】

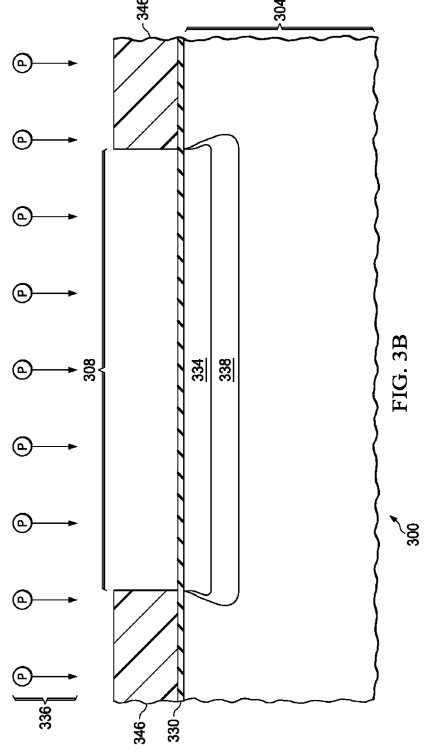


FIG. 3B

【図 3 C】

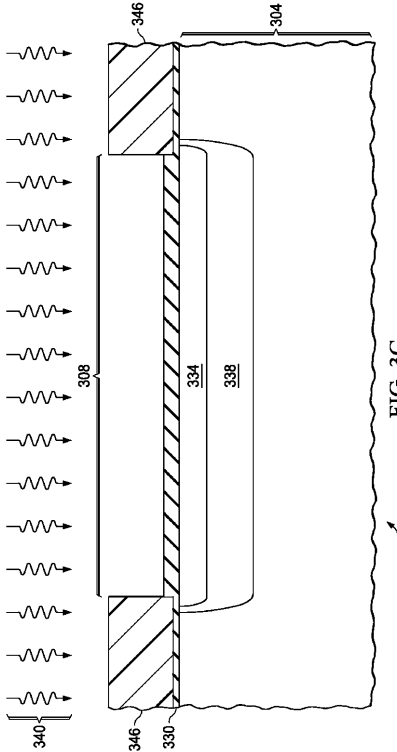


FIG. 3C

【図 3 D】

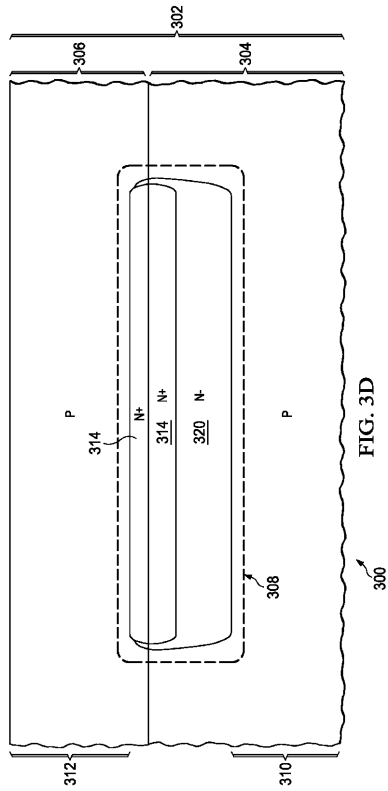


FIG. 3D

【図 3 E】

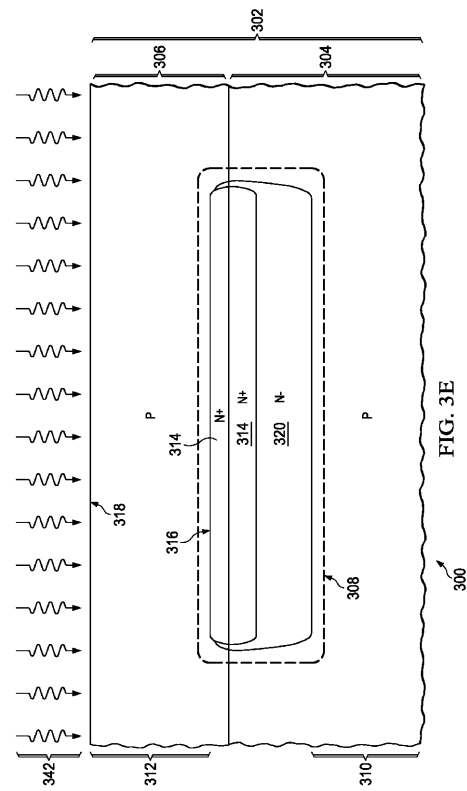


FIG. 3E

【図 3 F】

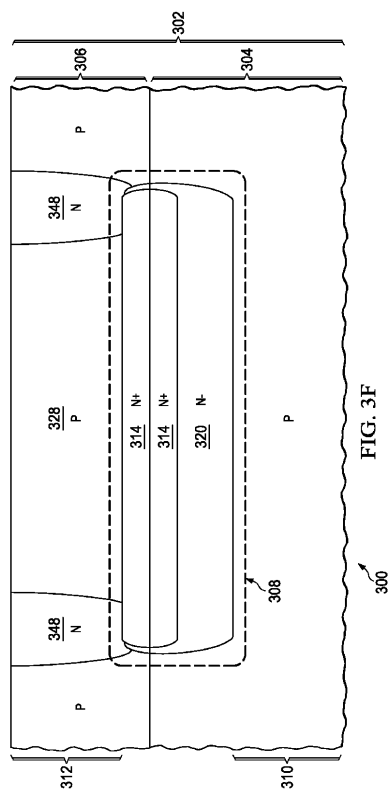


FIG. 3F

【図 4】

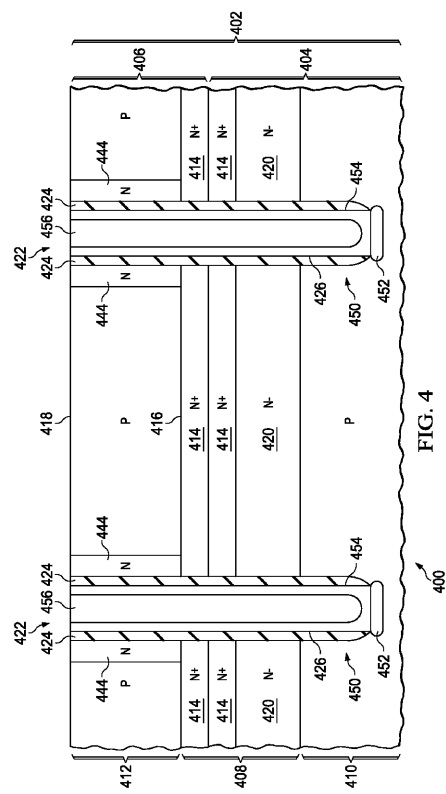


FIG. 4

フロントページの続き

(72)発明者 サミール ビー ベンハルカル

アメリカ合衆国 75013 テキサス州 アレン, パーンサイド ドライブ 2032

(72)発明者 ビンホワ フー

アメリカ合衆国 75024 テキサス州 プラノ, スターテン アイランド ドライブ 4313

(72)発明者 ヘンリー リッツマン エドワーズ

アメリカ合衆国 75044 テキサス州 ガーランド, バリーバニオン サークル 705

審査官 鈴木 聡一郎

(56)参考文献 特開平04-258134(JP,A)

特開平05-036823(JP,A)

特開平11-251447(JP,A)

特開2006-140496(JP,A)

特開2007-013185(JP,A)

特開2013-074288(JP,A)

特開平02-071526(JP,A)

特開平04-042959(JP,A)

特開平09-213895(JP,A)

特開平07-074264(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/76

H01L 27/08