(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101110597 B
(45)授权公告日 2012.12.05

(21)申请号 200610107737.9

(22)申请日 2006.07.21

(30)优先权数据
11/192,539 2005.07.28 US

(73)专利权人 阿尔特拉公司
地址 美国加利福尼亚

(72)发明人 S·Y·舒马拉耶夫 W·黄
R·帕特尔

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245
代理人 赵蓉民 薛峰

(51)Int.Cl.
H04B 1/10(2006.01)

(56)对比文件
EP 1096746 A2,2001.05.02,
US 6226322 B1,2001.05.01,
EP 1096746 A2,2001.05.02,
US 2003223489 A1,2003.12.04,
US 2003223489 A1,2003.12.04,
US 2004258145 A1,2004.12.23,
US 2004258145 A1,2004.12.23,

审查员 曲祯

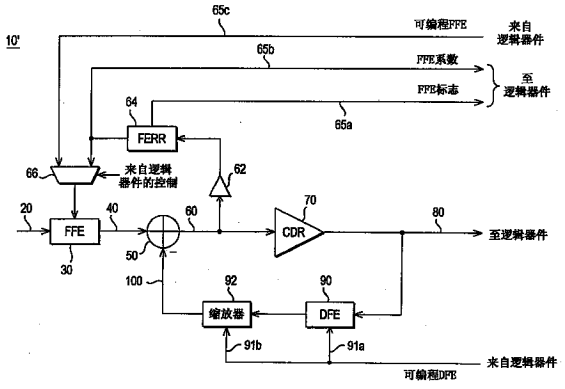
权利要求书 3 页 说明书 6 页 附图 6 页

(54)发明名称

高速数据接收电路和方法

(57)摘要

一种用于接收数字数据信号的均衡电路，其包括前馈均衡器(FFE)电路和决策反馈均衡器(DFE)电路两者。FFE电路可被用来给DFE电路提供一个最小至少足以使DFE电路正确启动的信号。其后，更多的均衡任务负担可从FFE电路转移到DFE电路。



CN 101110597 B

1. 一种均衡电路，包括：

前馈均衡器电路，其对一个输入信号操作；

组合器电路，其用于组合所述前馈均衡器电路的输出信号和一个反馈信号；

数据恢复电路，其用于从所述组合器电路中的输出信号中恢复数字数据信号；

决策反馈均衡器电路，其对所述数字数据信号操作以产生所述反馈信号；以及

多路复用器电路，其被操作以当能够提供控制前馈均衡器电路运行的系数的 FERR 电路被适应于输入信号时选择从所述 FERR 电路接收的第一系数值或当逻辑电路接收到稳定的标志信号时选择从所述逻辑电路接收的第二系数值，其中：

所述第一系数值由所述 FERR 电路选择，其适应于所述组合器电路的输出信号；

所述 FERR 电路将改变的第一系数值提供给所述逻辑电路；以及

所述第二系数值等于当所述逻辑电路接收到所述稳定的标志信号时所述逻辑电路最后接收的所述改变的第一系数值。

2. 根据权利要求 1 所述的电路，其中所述输入信号包括一个差分信号。

3. 根据权利要求 1 所述的电路，其中所述数据恢复电路和所述决策反馈均衡器电路在所述前馈均衡器电路的输出信号和所述反馈信号之间共同具有一个数字数据信号单位间隔的延迟。

4. 根据权利要求 1 所述的电路，其中所述前馈均衡器电路包括均衡器自适应电路。

5. 根据权利要求 4 所述的电路，其中所述均衡器自适应电路包括前馈均衡器系数确定电路。

6. 根据权利要求 1 所述的电路，其中所述决策反馈均衡器电路是基于至少一个可选择的决策反馈均衡器系数易变地可操作的。

7. 根据权利要求 6 所述的电路，进一步包括用于至少部分根据所述前馈均衡器电路的操作特性，设定所述至少一个决策反馈均衡器系数的电路。

8. 根据权利要求 7 所述的电路，其中所述前馈均衡器电路的操作特性是自适应地可选择的。

9. 根据权利要求 1 所述的电路，进一步包括：

选择性地使能所述决策反馈均衡器电路操作的电路。

10. 根据权利要求 4 所述的电路，进一步包括：

选择性地使能所述均衡器自适应电路操作的电路。

11. 一种对输入信号进行均衡的方法，包括：

对所述输入信号进行前馈均衡；

组合所述前馈均衡的输出信号和一个选择性地使能的反馈信号；

对所述组合的输出信号进行数据恢复；

对所述数据恢复的输出信号进行决策反馈均衡，以产生所述选择性地使能的反馈信号；

从能够提供控制前馈均衡器电路运行的系数的 FERR 电路将第一系数值提供给多路复用器电路的第一输入和逻辑电路，其中所述第一系数值由所述 FERR 电路选择，其第一时间适应于所述组合的输出信号；

从所述逻辑电路将第二系数值提供给所述多路复用器电路的第二 输入，其中所述第

二系数值等于所述逻辑电路最后接收的改变的第一系数值；

当所述 FERR 电路被适应于所述输入信号时选择所述第一输入以用于均衡所述输入信号；以及

当所述逻辑电路接收到稳定的第一标志信号时选择所述第二输入以用于均衡所述输入信号。

12. 根据权利要求 11 所述的方法，其中在运行初始阶段期间，所述反馈信号未被使能。

13. 根据权利要求 11 所述的方法，其中所述反馈信号是通过选择性地使能所述决策反馈均衡而被选择性地使能的。

14. 根据权利要求 11 所述的方法，其中所述前馈均衡被自适应地执行。

15. 根据权利要求 14 所述的方法，其中所述前馈均衡的自适应执行能够改变在所述前馈均衡中使用的至少一个系数。

16. 根据权利要求 15 所述的方法，进一步包括：

根据所述前馈均衡使用的所述至少一个系数，得到所述决策反馈均衡中使用的至少一个系数。

17. 根据权利要求 15 所述的方法，其中所述前馈均衡的自适应执行是至少部分基于所述组合的输出信号。

18. 根据权利要求 17 所述的方法，进一步包括：

根据所述前馈均衡中使用的所述至少一个系数，得到所述决策反馈均衡中使用的至少一个系数。

19. 根据权利要求 18 所述的方法，进一步包括：

在所述得到之后，自适应地执行所述前馈均衡，以改变用于所述前馈均衡中的所述至少一个系数。

20. 根据权利要求 19 所述的方法，进一步包括：

在所述自适应执行之后，根据用于所述前馈均衡中的改变的系数，为用于所述决策反馈均衡中的所述至少一个系数得到一个新的值。

21. 一种可编程逻辑器件，包括：

可编程逻辑电路；

前馈均衡器电路，其用于对施加于该器件的串行数据信号执行均衡操作；

组合器电路，其将所述前馈均衡器电路的输出信号与一个反馈信号进行组合；

数据恢复电路，其对所述组合器电路的输出信号操作，以产生由所述可编程逻辑电路使用的恢复数据信号；

决策反馈均衡器电路，其对所述恢复数据信号执行均衡操作，以产生所述反馈信号；以及

多路复用器电路，其被操作以当能够提供控制前馈均衡器电路运行的系数的 FERR 电路被适应于串行数据信号时选择从所述 FERR 电路接收的第一系数值或当可编程逻辑电路接收到稳定的标志信号时选择从所述可编程逻辑电路接收的第二系数值，其中：

所述第一系数值由所述 FERR 电路选择，其适应于所述组合器电路的所述输出信号；

所述 FERR 电路将改变的第一系数值提供给所述逻辑电路；

以及

所述第二系数值等于当所述逻辑电路接收到所述稳定的标志信号时所述逻辑电路最后接收的所述改变的第一系数值。

22. 根据权利要求 21 所述的器件，其中所述前馈均衡器电路包括用于该电路的所述均衡操作的自适应控制电路。

23. 根据权利要求 22 所述的器件，其中所述自适应控制电路至少部分响应于所述组合器电路的输出信号。

24. 根据权利要求 21 所述的器件，其中关于由所述决策反馈均衡器电路执行的均衡操作，所述决策反馈均衡器电路至少部分响应于所述可编程逻辑电路。

25. 根据权利要求 21 所述的器件，进一步包括：

用于将表示所述前馈均衡器电路正在执行均衡操作的信号施加到所述可编程逻辑电路的电路。

高速数据接收电路和方法

技术领域

[0001] 【0001】本发明涉及接收高速数据信号的电路和方法。例如，本发明的电路可以提供在可编程逻辑器件（“PLD”）上，并且本发明的方法可以是操作所述电路的方法。

背景技术

[0002] 【0002】一种所谓高速串行接口（“HSSI”）可被用于在系统内部设备之间进行通信。典型地，在这样的系统中，发射器的目的就是发射数字（二进制）信号，数字信号具有两个可区分的电平，并且从其中一个电平到另一个电平具有界限分明的（即非常陡的）跃变。这种陡跃变对于高速传输数据是必需的。将信号从发射器传送给接收器的媒介，经常给所传输的信号带来一些损失。这些损失通常包括降低信号幅度和减小跃变的陡度。为了保持准确、高速的数据传输，所述电路有必要补偿这些损失。

[0003] 【0003】实现这一功能的一种方法是发射器对信号进行预增强。这意味着要在每次跃变之后立即给信号增加额外的能量。这个额外的能量可以是额外的幅度（电压）和/或电流。在非常高的数据速率时（例如，在大约每秒 3 吉比特 (3Gbps) 和更快时），预增强会具有一个缺点，即，其使所传输的信号包含高频分量，而这些高频分量会不期望地耦合到其它电路。

[0004] 【0004】为了避免预增强的上述缺点，在接收器中使用称为均衡化的技术是可取的。均衡电路通常位于输入信号到达接收器时碰到的第一个电路中。均衡电路被设计为强烈快速地响应在接收信号中检测到的任何跃变。这种强烈而快速的响应为这些跃变恢复了原始陡度，因此使得接收器的进一步的电路对这些信号进行准确的解析成为可能，即使这个信号是以非常高的数据速率传输。

[0005] 【0005】尤其是当均衡电路被特意包括在一个 PLD 中时，需要这种电路可以运行于各种数据速率并可以补偿各种类型和程度的信号损失。这是因为 PLD 是典型为各种可能用途设计的。任何特定用途的准确参数并不能事先知道。PLD 必须是用户可定制的和/或是自适应的，以满足范围相对较宽的可能用途中每种特定用途的需求。因此需为这种类型的应用寻求改进的均衡电路。

发明内容

[0006] 【0006】根据本发明的改进的均衡电路包括前馈均衡器（“FFE”）电路，其接收施加的数据信号，并在这个电路上进行模拟均衡。该 FFE 电路的输出信号与反馈信号组合，并将所得到的信号施加到数据恢复电路（例如，时钟和数据恢复或 CDR 电路）。由 CDR 电路输出的重定时数据信号被施加到决策反馈均衡器（“DFE”）电路，该 DFE 电路对重定时数据信号执行数字滤波器型的均衡操作。DFE 电路的输出信号就是上述与 FFE 电路输出信号组合的反馈信号。

[0007] 【0007】所述电路可被操作，以致所执行的任何均衡的大部分或所有最初都是通过 FFE 电路执行的。随着电路的操作继续，更多的均衡任务被转移到 DFE 电路。

[0008] 【0008】FFE 和 DFE 之一或两者对于所执行的均衡的类和 / 或程度可以是控制的。FFE 可以是适应型或者自适应回路的一部分。在本发明的一个 PLD 实施例中，PLD 的其它电路可以被用来监控和 / 或控制 FFE 和 / 或 DFE 的执行。这种监控和 / 或者控制可包括对上面提到的均衡任务从 FFE 到 DFE 的转移进行控制。

[0009] 【0009】根据附图和随后的详细描述，本发明进一步的特征以及它的特性和各种优点将会变得更加明显。

附图说明

[0010] 【0010】图 1 是一个简化的示意性方框图，其描述了根据本发明构造的电路的一个说明性实施例。

[0011] 【00011】图 2a- 图 2g 是说明性的信号轨迹图，其有助于说明本发明的某些方面。

[0012] 【0012】图 3 是根据本发明的描述了图 1 所示类型的电路的另一个简化的示意性方框图。

[0013] 【0013】图 4 是一个简化示意性方框图，其描述了根据本发明构造的电路的一种更详细的说明性实施例。

[0014] 【0014】图 5a 和图 5b 共同组成一个简化的流程图，其描了本发明的某些方法方案的一个说明性实施例。

[0015] 【0015】图 6 是一个简化的方框图，其描述了根据本发明的可编程逻辑器件的一个说明性实施例。

具体实施方式

[0016] 【0016】图 1 描述了根据本发明的说明性电路 10。电路 10 包含前馈均衡器电路 30，其接收一种将被均衡并将被接收器进一步处理的输入数字数据信号 20。在本讨论中假定接收器包括一个可编程逻辑器件（“PLD”）。进一步假定 (1) 该 PLD 被制造成可以支持范围泛的各种可能用途，(2) 在这里描述的例子中电路 10 利用的途基本都在所述 PLD 支持的用途范围之内，但是 (3)PLD 生产商可能并不知道这个特定用途的所有精确特性。事实上，甚至 PLD 用户也可能不能提前知道，在采用电路 10 的每个系统中将需要什么样的精确均衡。在各种变形中，电路 10 被设计成通用装置，以适应信号 20 在到达电路 10 之前所经历的各种不同数据速率以及不同类型和大小的损失。

[0017] 【0017】前馈均衡器（“FFE”）电路 30 优选是模拟均衡器电路，其被设计成对信号 20 中的每次跃变提供额外的增强。FFE 电路 30 优选并不会限于任何特定数据速率的信号 20。相反，FFE 电路 30 优选能够泛地在宽范围的可能数据速率上对信号 20 中的跃变提供增强。FFE 路 30 在一个或更多方面可以是自适应的，以致它能够在一定程度上为自己确定诸如对信号 20 的跃变提供多少增强、对这种增强需要用哪种频率分量等等之类的事情。在上面提到的部分或者所有方面，FFE 电路 30 还可以是替换性地或附加性地可控制的（例如，通过相联的 PLD 电路）。参考文件中给出了能够用于 FFE 电路的电路实例，例如 Bereze 等人 2003 年 11 月 4 日提交的美国专利申请 10/702,196，Maangat 的美国专利 6,870,404，Wong 等人 2004 年 1 月 21 日提交的美国专利申请 10/762,864，Wong 等人 2004 年 5 月 25 日提交的美国专利申请 10/853,987，以及 Wong 等人 2004 年 10 月 18 日提交的美国专利申请

10/967,459。

[0018] 【0018】FFE 电路 30 的输出信号 40 被施加到模拟组合器（例如减法器）电路 50 的一个输入端。这种路从信号 40 中减去施加到其另一输入端的信号 100。例如，这可以通过从信号 40 的电流中减去信号 100 的电流来实现。信号 100 会在下文中更详细地描述。

[0019] 【0019】组合器 50 的输出信号 60 被施加到时钟和数据恢复（“CDR”）电路 70。该电路被设计成从施加在其上的信号 60 中恢复数字数据信号 80。CDR 电路 70 还可从信号 60 中恢复时钟信号。输出信号 80 也可被称为重定时数据信号。信号 80 优选相对于输入信号 20 延迟一个单位间隔（“UI”）。（一个单位间隔是指在数据信号处理过程中一个数据位的持续时间。）通常将信号 80 输出给其它将实际解析和利用该信号所代表的信息（数据）的电路。参考文件中示出了 CDR 电路的实例，例如 Aung 等人 2001 年 3 月 13 日提交的美国专利申请 09/805,843，Lee 等人 2002 年 1 月 29 日提交的美国专利申请 10/059,014，Lee 等人的美国专利 6,650,140，Venkata 等人 2002 年 10 月 16 日提交的美国专利申请 10/273,899，Venkata 等人 2002 年 12 月 10 提交的美国专利申请 10/317,264，Venkata 等人于 2003 年 1 月 21 日提交的美国专利申请 10/349,541，Venkata 等人的美国专利 6,867,616，Churchill 等人 2003 年 11 月 14 日提交的美国专利申请 10/713,877，Asaduzzaman 等人 2003 年 9 月 22 提交的美国专利申请 10/668,900，Asaduzzaman 等人 2003 年 9 月 26 日提交的美国专利申请 10/672,901，Venkata 等人 2003 年 9 月 24 日提交的美围专利申请 10/670,845，Wang 等人 2003 年 12 月 17 日提交的美国专利申请 10/740,120，Kwasniewski 等人 2003 年 12 月 17 日提交的美国专利申请 10/739,445，Shumarayev 等人 2005 年 1 月 21 日提交的美国专利申请 11/040,342。

[0020] 【0020】信号 80 被施加到决策反馈均衡器（“DFE”）电路 90。这优选是有些类似于数字滤波器电路运行以产生输出信号 100 的电路，在输出信号 100 中，重定数据信号 80 的跃变被增强。电路 90 优选是这样的电路，其是由其它相联电路（例如相联的 PLD 电路）可控制的，以使其能够以信号 80 的数据速率运行。对于对信号 80 的每个跃变提供多少加强或增强、该增强在每个跃变后持续多长时间、该增强的形状等等，电路 90 优选也是可控制的。

[0021] 【0021】前面已经描述过，DFE 电路 90 的输出信号施加于组合器电路 50 的减法输入端。

[0022] 【0022】图 2a- 图 2g 是相对于电路 10 的各点处典型信号的轨迹图，它们有助于进一步说明图 1 电路中的各种部件的操作和效果。所有的图 2a- 图 2g 是对照相同的水平时间基线来绘制的。图 2a- 图 2g 中所示的所有信号都是差分信号，这意味着信息是由一对信号的相对极性来传输的。这些信号中的一个是用实线来表示的；另一个信号是用虚线表示的。一单位间隔的持续时间在图 2a 中以 UI 示出。因此，图 2a 所示的差分信号可以表示数据 110110100。

[0023] 【0023】图 2a 示出了由发射器电路（图 1 中未示出，但发送变成信号 20 的信号给接收器电路 10）发送的典型差分数据信号。应该注意的是，图 2a 信号的状态是非常好的。该信号在其电平之间具有陡的且界限分明的跃变，并且在组成信号之间还具有强的极性反转。

[0024] 【0024】在图 2a 中的差分信号通过一个传输媒介从发射器传到电路 10 后，信号

(即现在的信号 20) 状态可能如图 2b 所示。如该图所示,信号中跃变的锐度和陡度已发生一定程度的损失。另外,组成信号的极性也不再是相反的了。这种信号损失和 / 或衰减现象可能会使 CDR 电路 70 很难或者不可能准确地解析如 20 的信号并产生可接受的重定时数据信号 80。

[0025] 【0025】图 2c 示出了 FFE 电路 30 对信号 20 的影响,至少在电路 10 操作的早期。因此图 2c 示出了信号 40,至少在上述电路操作的早期。FFE 电路 30 能够充分提高信号跃变的强度,以恢复组成信号的极性反转。然而在图 2b 中,在 110a 和 110b 处的“孔眼 (eyes)”是未打开的,图 2c 中这些孔眼至少打开定程度。因此,这是 CDR 电路 70 能够在其上开始运行的信号。

[0026] 【0026】图 2d 示出了 CDR 电路 70 响应图 2c 所示信号的输出信号 80。注意,图 2d 中的信号相对于图 2c 中的信号正好延迟一个单位间隔。(如果 CDR 电路 70 不能提供一个完整的单位间隔延迟,可以通过 DFE 电路 90 在 DFE 反馈回路中对电路 70 的延迟进行补充。)

[0027] 【0027】图 2e 示出了 DFE 电路 90 响应图 2d 所示信号的输出信号 100。需要强调的是,图 2e 示出了 DFE 电路 90 最简单的可能配置的结果。这里只是这样一个配置,其中电路 90 仅给信号 80(图 2d) 的跃变施加一个一阶增强,然后按比例缩小整个结果信号。如果 DFE 电路 90 被构造为对信号 80 的跃变具有一个更高阶响应,那么信号 100 的形状可能比图 2e 所示的更为复杂。例如,信号 100 可以在每次跃变之后大幅度升高 / 下降,然后稍微拉回直到下一次跃变。但是,图 2e 中所示的相对简单的例子应该已经足以说明本发明的一般操作原理。

[0028] 【0028】图 2f 示出了图 2e 中信号的反转,其是通过将该信号施加到图 1 组合器电路 50 的负极输入端获得的。

[0029] 【0029】图 2g 示出了将图 2f 中的信号加到图 2c 信号中的结果。这是 CDR 电路 70 和 DFE 电路 90 开始工作后,组合器电路 50 的作用。因比,图 2g 示出了该电路的这些稍后工作状态下的信号 60。

[0030] 【0030】为了便于下面对图 2g 的讨论,将该图中的单位间隔从左至右依次标为 a-i。在单位间隔 a 和 b,图 2g 中的信号幅度相对于图 2c 中的信号幅度要稍微小一些。这是因为在这些单位间隔中,图 2f 中的信号稍微抵消了图 2c 中的信号。但是,在单位间隔 c,图 2f 中的信号增加了图 2c 中的信号的幅度。这正是人非常期望的,因为这助于打开所示信号中第一次跃变之后的孔眼 (比较图 2c 中单位间隔 c 中的孔眼尺寸和图 2g 中相同单位间隔内显著增大的孔眼)。在单位间隔 d 中,图 2f 的信号再次增加了图 2c 中的信号。该信号有助于打开图 2g 中第二次跃变之后的孔眼。在单位间隔 e,图 2g 中信号的幅度下降回来,因为图 2f 中的信号没有增加图 2c 中的信号。在单位间隔 f,图 2f 中的信号再一次增加图 2c 中的信号,因此,再次更大地打开图 2g 中第三次跃变之后的孔眼。同样的事情再次发生在第四次和第五次跃变之后的单位间隔 g 和 h 中。在单位间隔 i 中,幅度也稍微下降回来,与单位间隔 e 中所示的类似。

[0031] 【0031】前述内容描述了 DFE 反馈回路怎样在电路 10 中加强均衡。

[0032] 【0032】图 3 是图 1 的另一版本,其中明确地示出了差分信号的使用。图 3 还清楚地示出了发射器电路的输出驱动器 5 以及从发射器到电路 10 的典型传输链路 7。输出驱动器 5 是图 2a 所示信号的源,而传输链路 7 造成了图 2b 所示的信号衰变。图 3 的其余部分

与图 1 所示的一致。

[0033] 【0033】图 4 示出了电路 10 的一个经过高级开发的实施例 10′。电路 10′包括一个自适应 FFE 回路（元件 62、64 以及通过多路复用器 66 的右侧通道）。FERR 电路 64 能够提供控制 FFE 电路 30 运行的系数。FERR 电路基于缓冲器 / 校正器电路 62 的输出信号确定将要使用的系数值。电路 62 将信号 60 的一个或多个选定特征与参考特征进行比较，从而产生表示信号 60 与参考信号偏离程度的一个或多个误差信号。然后，电路 64 选择那些可减少这种检测到的误差的系数值。赋予 FFE 电路 30 这种自适应能力，允许电路 30 适于均衡具有任何宽范围均衡需求的信号 20。

[0034] 【0034】引线或总线 65a 允许电路 64 向其它相联电路（例如相联 PLD 核心电路）发送表示电路 64 各种工作状态的标志信号。可能的标志信号的例子是一个用于表示什么时候自适应回路没有表现出正常运行、什么时候自适应回路表现出正常运行、什么时候系数是稳定的、什么时候系数即将变化等等的信号。

[0035] 【0035】引线或总线 65a 允许电路 64 向其它相联电路（例如相联 PLD 核心电路）发送电路 64 当前提供给 FFE 电路 30 的系数值。

[0036] 【0036】作为对自适应回路元件 62 和 64 的替换或附加，通过多路复用器 66 的左侧通道允许其他相联电路（例如相联 PLD 核心路）提供 FFE 电路 30 所用的一个或多个系数。仅仅作为一个例子，这个电路最初可利用自适应回路元件 62 和 64 运行，以找出 FFE 系数的最佳值。当达到满意的稳定运行时，相联电路（例如相联 PLD 核心电路）可切换多路复用器 66，使其从传递电路 64 提供的系数切换到从相联电路经由引线 65c 提供系数（例如最优值系数）。

[0037] 【0037】图 4 中所示的另一特征是经由引线 91a 从相联电路（例如相联 PLD 核心电路）提供 DFE 电路 90 使用的系数。图 4 还示出了 DFE 回路的信号缩放功能可以从均衡器功能（元件 90）中独立出来（在元件 92 中）。由缩放器电路 92 进行的缩放通过图 2d 到图 2e 的信号幅度的变化来说明。图 4 进一步示出了缩放器电路 92 进行缩放的大小可以由从其它相联电路（例如相联 PLD 核心电路）经由引线 91b 提供的信号来控制。

[0038] 【0038】图 5a 和图 5b 一起说明了根据本发明的另一可能方案的图 4 所示类型的电路的操作方法。在均衡操作开始时（步骤 210），FFE 适应器（元件 30、50、62、64、66）被用来为将要使能的 DFE 电路 90 充分打开信号 20 的孔眼。这可对应于类似图 2c 中所示的操作。此时 DFE 电路 9 可被禁能。总线 91a 可包括一条用于这个目的的使能 / 禁能引线。

[0039] 【0039】在步骤 212 中，经由引线 65b 读出 FFE 自适应回路得出的 FFE 系数。

[0040] 【0040】在步骤 214 中，经由引线 91a 和 / 或 91b 将适当的系数（至少基于一部分步骤 212 中读出的 FFE 系数）应用于 DFE 电路 90 和 / 或 92。【0041】在步骤 220 中，DFE 电路 90/92 被使能以利用步骤 214 中提供给它的系数操作。如步骤 220 所示，可以期望在 DFE 电路 90/92 即将上线时临时挂起或暂停 FFE 自适应，以致在任何给定时刻都只有电路的一方面在变化。

[0041] 【0042】在步骤 222 中，FFE 自适应被重新使能。现在自适应也是 DFE 的一个功能或函数，因为 DFE 电路 90/92 的输出是 FFE 自适应回路的一个输入（经由电路 50）。

[0042] 【0043】在步骤 222 中重新开始 FFE 自适应可产生新的 FFE 系数，如步骤 224 中正确定的。

[0043] 【0044】在步骤 230 中，读出这些新的 FFE 系数，并在步骤 234 中测试其稳定性。稳定性的确定可以基于新的 FFE 系数是否明显不同于这些系数的先前值。如果是，则已经达到稳定，于是相应地控制从步骤 234 转到步骤 250。如果 FFE 系数仍在变化，那么还没有达到稳定，相应地控制从步骤 234 执行到步骤 240。

[0044] 【0045】在步骤 240 中，新的 FFE 系数信息被合适地映射为新的 DFE 系数信息，经由引线 91a/b 将这个新的 DFE 系数信息提供给 DFE 电路 90/92。

[0045] 【0046】在步骤 242 中，FFE 自适应被再次使能，控制返回步骤 224 以进行另一次重复。

[0046] 【0047】在步骤 250 中（前面提到过的在步骤 234 中已检测到稳定后进行的步骤），FFE 自适应被禁能。此刻，多路复用器 66 能够被切换为从引线 65c 而不是 FFE 自适应回路提供 FFE 系数。

[0047] 【0048】图 5a 和图 5b 所示以及上面描述的方法具有很多的优点。其中一个优点是可以避免馈通 DFE 误差传播，因为在允许 DFE 启动之前，输入信号已经由 FFE 打开得足够宽。如果 DFE 过早启动，它将运行错误并肯定造成引起错误类型的均衡。这将使它自己永远存在于 DFE 反馈回路中，可能的结果就是一直不能建立起正确的操作。另一个优点是，均衡系数是由 FFE 逐渐传送到 DFE。这一方法可以进一步降低比特误差率 (BER)，因为 DFE 系统（与 FFE 不同）并不放大一个完整的输入频谱，而是基于被编程的数据速率操作。还有另一个优点是，它有效地从 FFE 自适应实现了 DFE 自适应。换句话说，一个自适应引擎（用于 FFE 的）和相联 PLD 电路的可编程能力还构成了可能的 DFE 自适应。除了 FFE 系数，也可读出 FFE 标志并输入 PLD 中，其不仅允许被编程的 DFE 系数增加，也允许这些系数减小，如果 FFE 标志已经指示输入信号是过均衡的。

[0048] 【0049】图 6 示出了可编程逻辑器件（“PLD”）300 中的电路 10 或 10′（如上所述）的一个说明性实施例。电路 10/10′ 接收输入信号 20 并将恢复数据信号 80′ 施加到装置 300 的 PLD 核心或逻辑电路 310。参考编号 80′（而不是 80）用于图 6 中，因为在前面的任何图中的恢复数据信号 80 在应用到 PLD 核心 310 之前可被进一步处理。仅仅作为这种进一步处理的一个例子，串行恢复数据信号 80 可被转换成几个并行信号 80′，以便施加到 PLD 核心 310。PLD 核心 310 还可从例如图 4 所示的输入电路 10 中接收类似 65a 和 65b 的信号。输入电路 10 可从 PLD 核心 310 接收类似 65c、91a 和 91b 的信号，如同样在图 4 中所示的。

[0049] 【0050】应该理解的是，前面只是说明性地阐述了本发明的原理，本领域技术人员在不偏离本发明范围和精神的情况下可进行各种修改。例如，范围广泛的 CDR 或 CDR 型电路中的任一种都能够被用作图 1、图 3、图 4 中的元件 70。

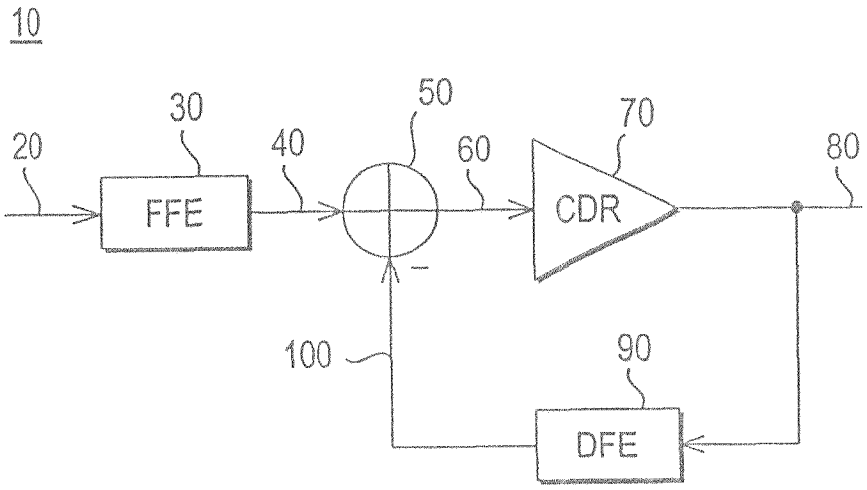


图 1

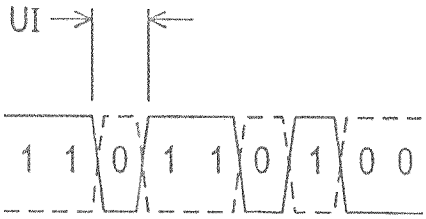


图 2a

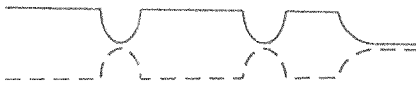


图 2b

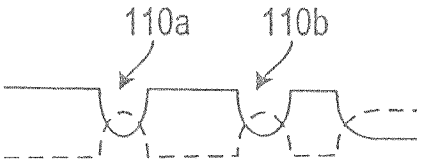


图 2c

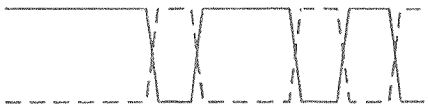


图 2d

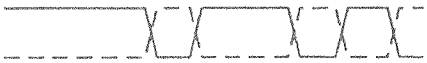


图 2e



图 2f

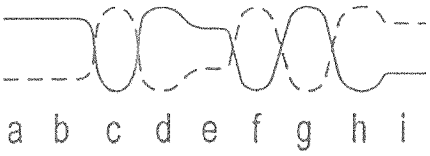


图 2g

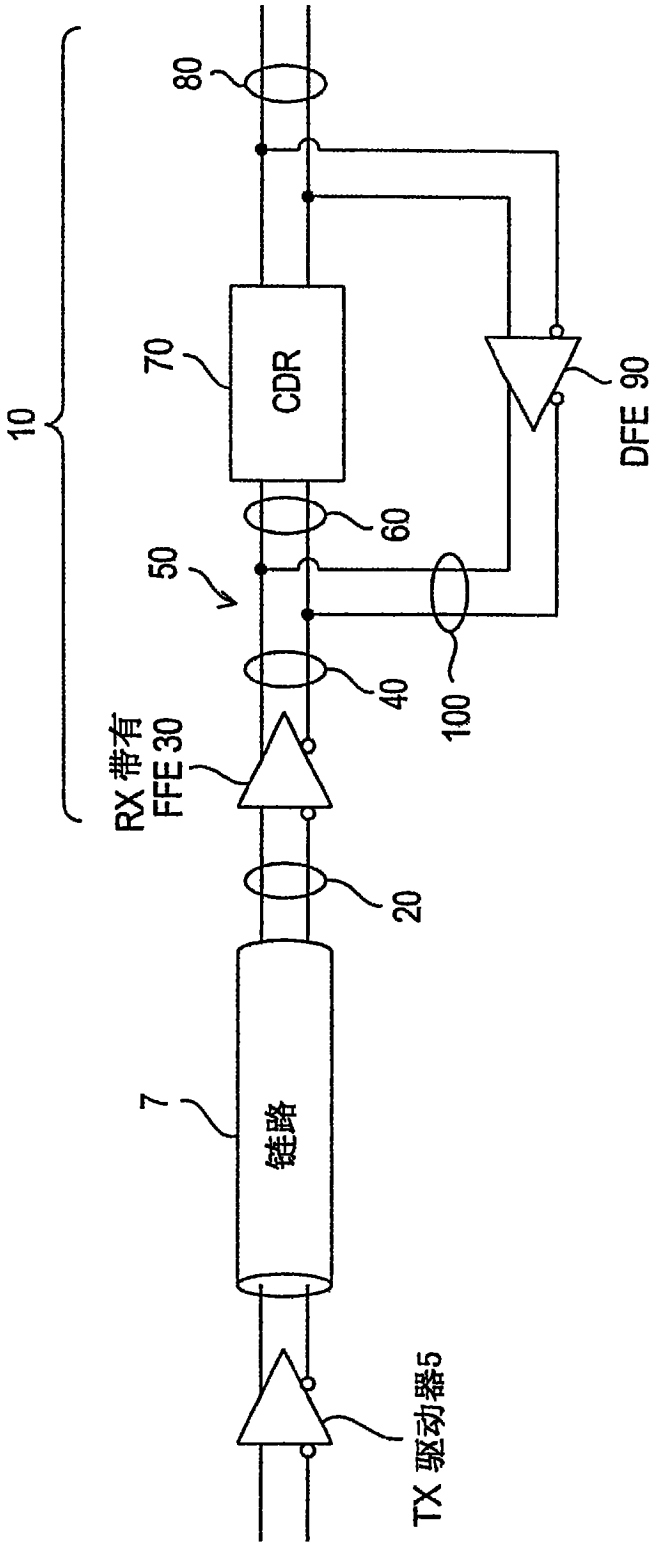


图3

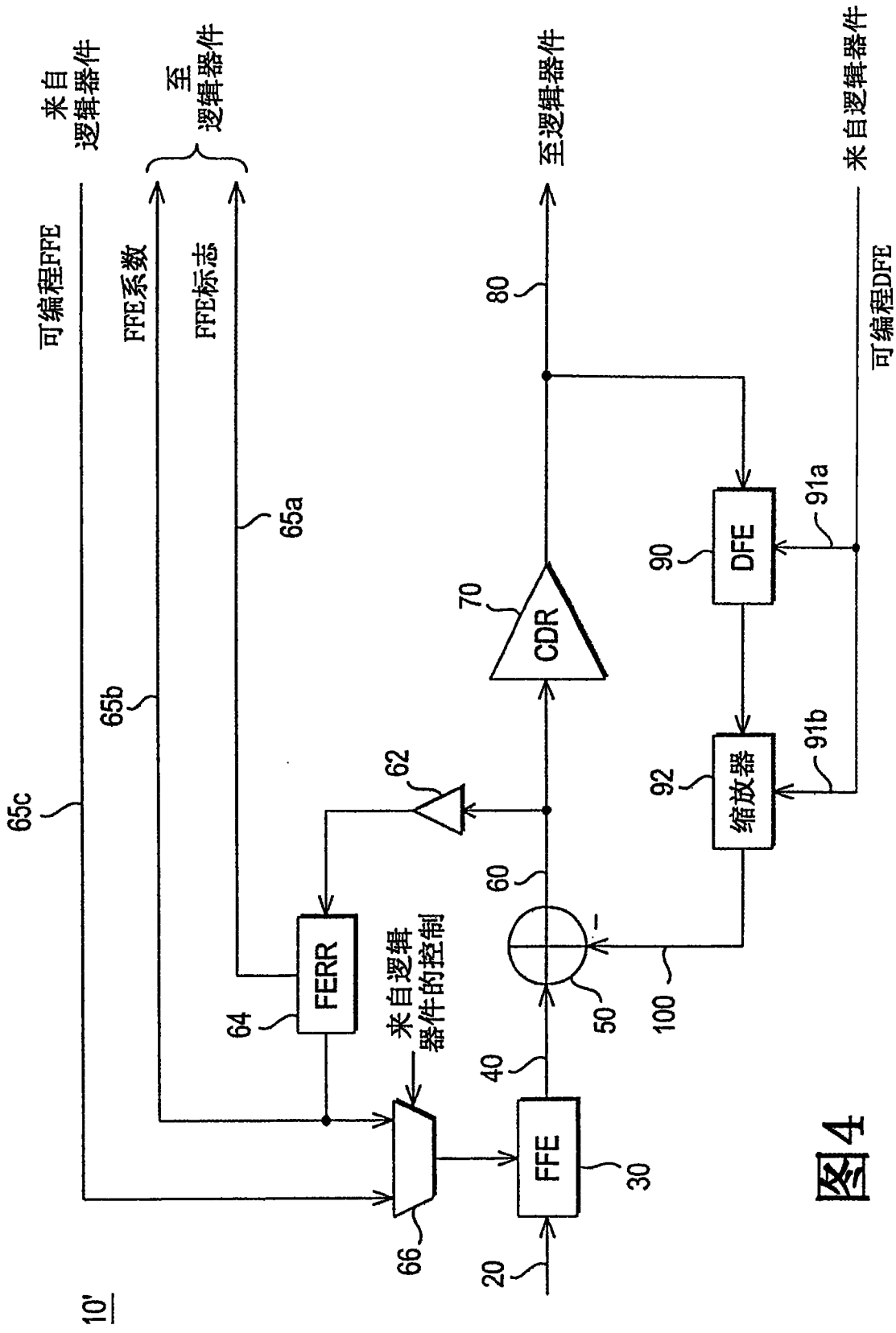

来自逻辑器件
至逻辑器件
至逻辑器件
来自逻辑器件
可编程PFE
PFE系数
PFE标志
可编程DFE
65a
65b
65c
80
70
CDR
90
DFE
91a
62
92
缩放器
91b
60
64
FERR
来自逻辑器件的控制
50
100
40
FFE
30
66
20
10'

图4

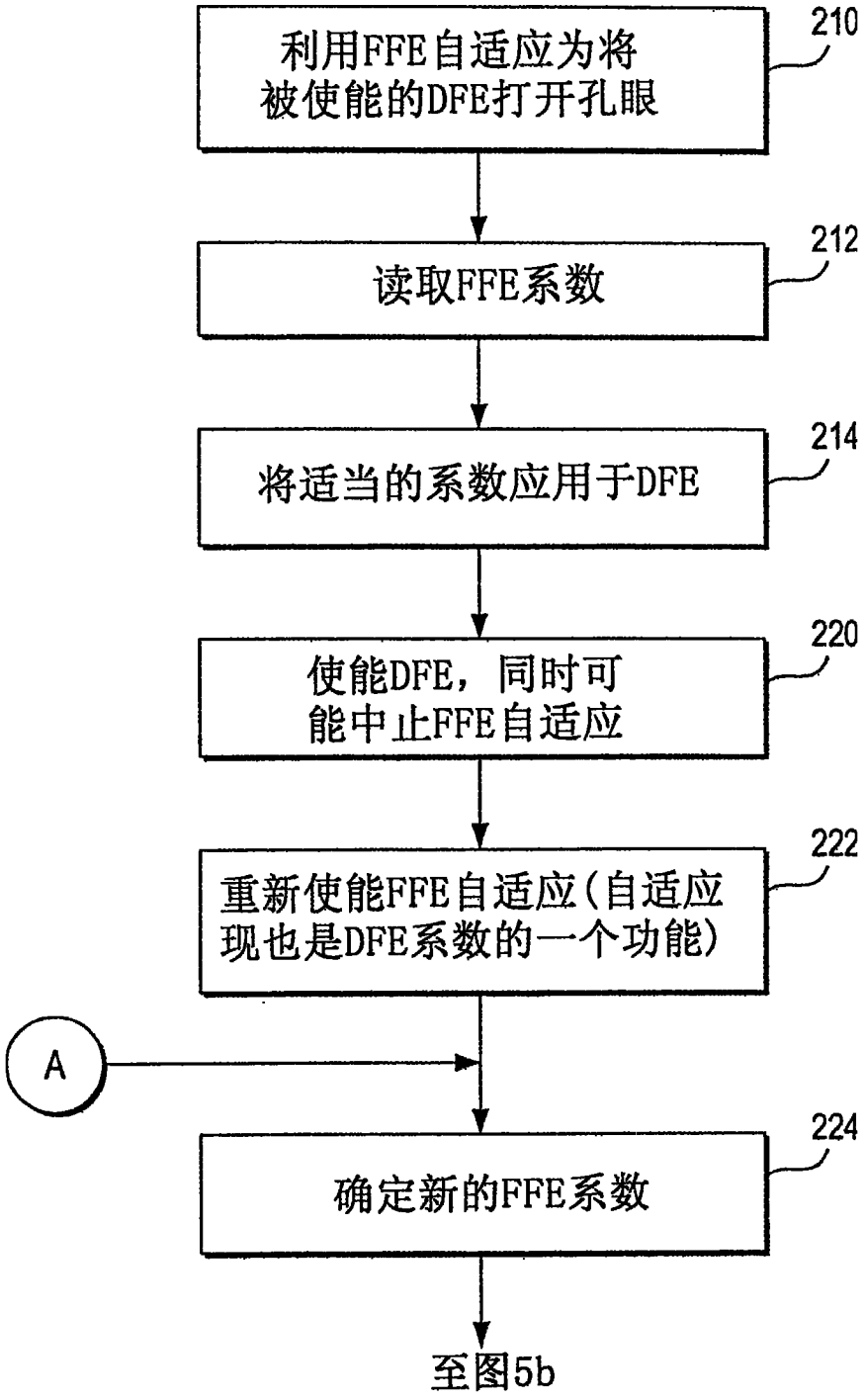

利用FFE自适应为将被使能的DFE打开孔眼
210
读取FFE系数
212
将适当的系数应用于DFE
214
使能DFE，同时可能中止FFE自适应
220
重新使能FFE自适应(自适应现也是DFE系数的一个功能)
222
A
确定新的FFE系数
224
至图5b

图5a

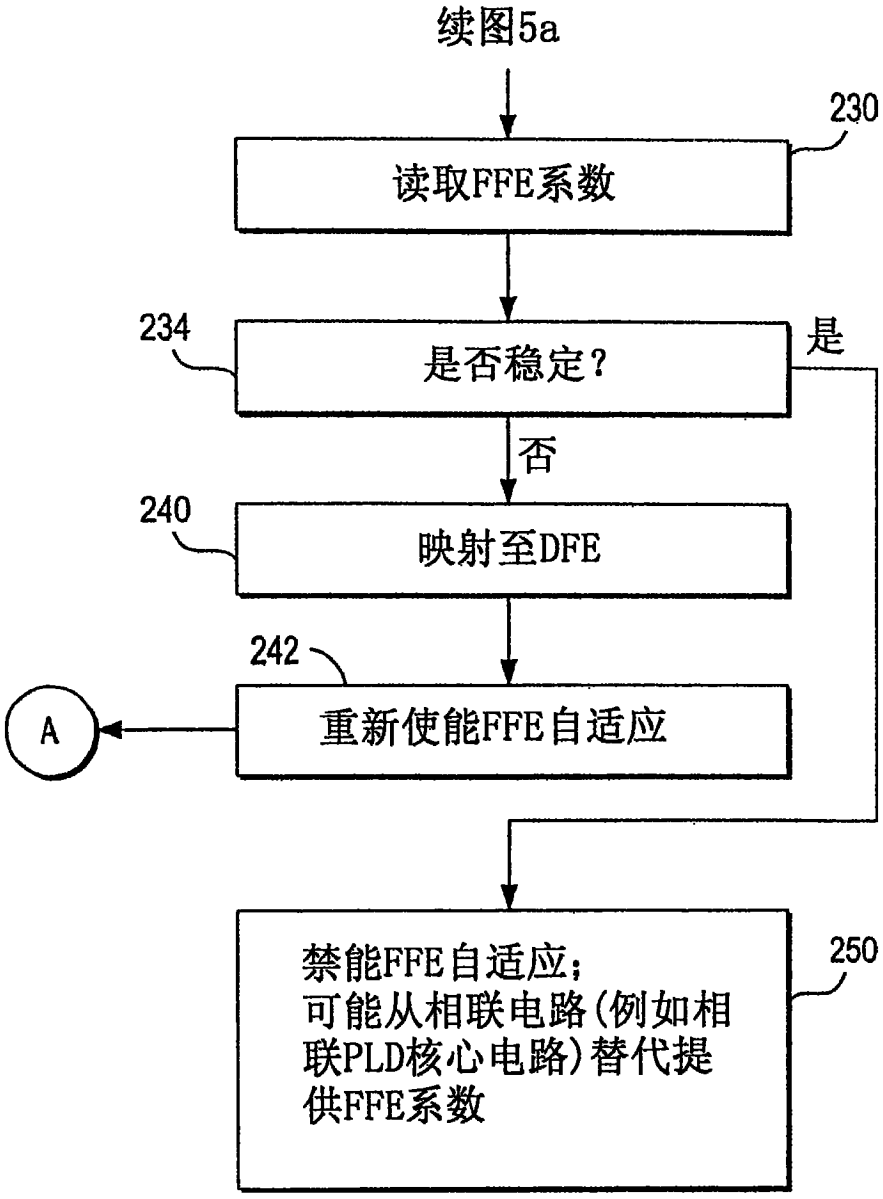

续图5a
230
读取FFE系数
234
是否稳定？
是
否
240
映射至DFE
242
重新使能FFE自适应
A
250
禁能FFE自适应；
可能从相联电路(例如相联PLD核心电路)替代提供FFE系数

图 5b

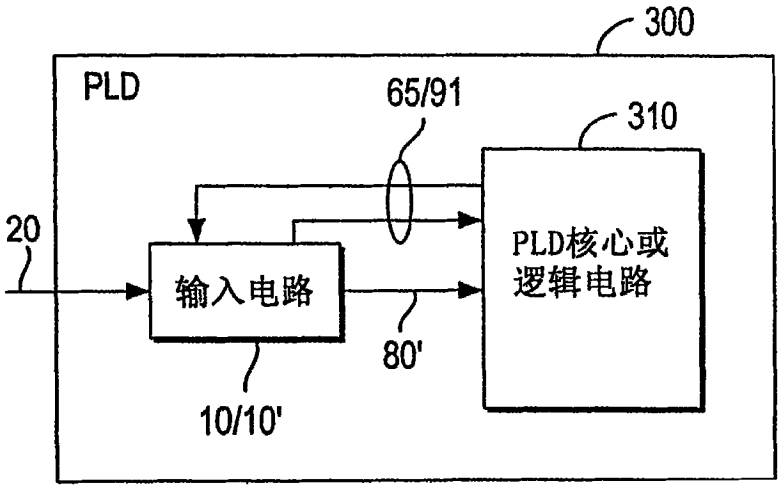


图 6