

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2005-509288 (P2005-509288A)
 【公表日】平成 17 年 4 月 7 日 (2005.4.7)
 【年通号数】公開・登録公報 2005-014
 【出願番号】特願 2003-543072 (P2003-543072)
 【国際特許分類第 7 版】

H 0 1 L 21/8242

H 0 1 L 21/3205

H 0 1 L 21/768

H 0 1 L 27/108

【F I】

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 8 1 F

H 0 1 L 21/88 M

H 0 1 L 21/90 C

【手続補正書】

【提出日】平成 16 年 7 月 22 日 (2004.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

記憶装置の形成方法であって、

メモリセルに対するキャパシタ構造の少なくとも一部を、前記記憶装置のメモリアレイ区域内に形成し、

前記キャパシタ構造に熱処理を行い、

前記キャパシタ構造に熱処理を行った後に基板のアクティブ区域に向かうよう下方に金属プラグを形成し、

前記アクティブ区域に向かうよう下方に形成された金属プラグの少なくとも一部を、前記メモリセルを含む前記メモリアレイ区域の外側に配置された半導体基板の N チャネル周辺論理トランジスタと P チャネル周辺論理トランジスタの両方に対するものとしたことを特徴とする記憶装置の形成方法。

【請求項 2】

記憶装置の形成方法であって、

メモリセルキャパシタの下側電極層を形成し、

前記下側電極層に接触する誘電層を形成し、

前記下側電極及び有伝送を熱処理し、

前記熱処理後、前記誘電層に接触する上側電極層を形成し、

前記上側電極層を形成した後、周辺論理区域の N チャネルトランジスタ及び P チャネルトランジスタの各々のアクティブ区域に隣接する金属コンタクト部を形成することを特徴とする記憶装置の形成方法。

【請求項 3】

記憶装置に金属プラグを形成する方法であって、

メモリセルアレイ区域及び周辺回路区域を有する基板を設け、これらメモリセルアレイ

区域及び周辺回路区域がそれぞれ、少なくとも一つの第1導電型トランジスタを具え、前記周辺回路区域が少なくとも一つの第2導電型トランジスタを更に具え、前記メモリセルアレイ区域の少なくとも一つのトランジスタを、メモリセルに対するアクセストランジスタとするステップと、

前記アクセストランジスタに関連する少なくとも一つのキャパシタを形成するために、前記メモリセルアレイ区域を更に処理するステップと、

前記キャパシタを焼きなますために加熱を行うステップと、

基板の周辺回路区域で、前記基板上の材料層に複数のプラグ開口を規定し、前記プラグ開口のうちの少なくとも一つが、前記第1導電型トランジスタのアクティブ区域を露出し、前記プラグ開口の少なくとも一つが、前記第2導電型トランジスタのアクティブ区域を露出するステップと、

前記メモリセルアレイ区域に加熱を行った後、前記基板上及び前記アクティブ区域に接触するための前記プラグ開口に金属層を形成するステップとを具えることを特徴とする方法。

【請求項4】

前記第1導電型をN⁺とすることを特徴とする請求項3記載の方法。

【請求項5】

前記第2導電型をP⁺とすることを特徴とする請求項4記載の方法。

【請求項6】

記憶装置の形成方法であって、

互いに離間したワード線の対を形成し、

複数のメモリセルアクセストランジスタをメモリセルアレイ区域に規定するために、前記ワード線の両側にソース領域及びドレイン領域を形成し、

ソース/ドレイン領域を共有するアクセストランジスタの対を形成し、

前記アクセストランジスタ上に少なくとも一つの第1絶縁層を形成し、

キャパシタポリシリコンプラグの対及びビット線ポリシリコンプラグを、前記第1絶縁層を通じて前記アクセストランジスタの前記ソース領域及びドレイン領域に対して形成し、

前記ポリシリコンプラグ上に少なくとも一つの第2絶縁層を形成し、

前記第2絶縁層のアクセストランジスタの一つに関連するとともに各キャパシタポリシリコンプラグに電氣的に接続するコンテナキャパシタを形成し、

前記コンテナキャパシタを熱処理し、

前記メモリセルアレイ区域の外側にNチャネル周辺論理トランジスタ及びPチャネル周辺論理トランジスタを形成し、

前記熱処理後、前記第1絶縁層及び第2絶縁層を通じて前記Nチャネル周辺論理トランジスタ及びPチャネル周辺論理トランジスタに接触する金属プラグを形成し、

前記コンテナキャパシタ上に少なくとも一つの第3絶縁層を形成し、

前記第3絶縁層を通じて前記金属プラグに接触する金属コンタクト部を形成することを特徴とする記憶装置の方法。

【請求項7】

記憶装置の形成方法であって、

前記記憶装置のメモリセルアレイ区域にメモリセルアクセストランジスタを形成し、

前記記憶装置の周辺論理区域にNチャネル周辺論理トランジスタ及びPチャネル周辺論理トランジスタを形成し、

前記アクセストランジスタに関連したキャパシタの少なくとも一部を、前記メモリセルアレイ区域に形成し、

前記キャパシタ部分を熱処理し、

前記熱処理後、前記Nチャネル周辺論理トランジスタ及びPチャネル周辺論理トランジスタのアクティブ区域に接触する第1金属導体を形成することを特徴とする記憶装置の形成方法。

【請求項 8】

前記キャパシタと各アクセストランジスタの第 1 アクティブ区域との間にキャパシタ導電プラグを形成するとともに、前記アクセストランジスタの第 2 アクティブ区域に対するビット線導電プラグを形成し、

前記第 1 金属導体が形成されるのと同時に、前記ビットライン導電プラグに対する第 2 金属導体を形成することを特徴とする請求項 7 記載の記憶装置の形成方法。

【請求項 9】

前記熱処理を、前記キャパシタの全ての部分が形成された後に行うことを特徴とする請求項 7 記載の記憶装置の形成方法。

【請求項 10】

前記第 1 金属導体が、楕円のトップダウン断面形状を有することを特徴とする請求項 7 記載の記憶装置の形成方法。

【請求項 11】

前記第 1 金属導体に接触する上側金属プラグを形成することを特徴とする請求項 8 記載の記憶装置の形成方法。

【請求項 12】

前記ビット線導電プラグに接触する上側金属プラグを形成することを特徴とする請求項 11 記載の記憶装置の形成方法。

【請求項 13】

前記上側金属プラグが、前記第 1 金属導体より小さい径を有することを特徴とする請求項 11 記載の記憶装置の形成方法。

【請求項 14】

前記上側金属プラグが、前記ビット線導電プラグ及び前記第 1 金属導体の各々より小さい径を有することを特徴とする請求項 12 記載の記憶装置の形成方法。

【請求項 15】

前記第 1 金属導体が、楕円のトップダウン断面形状を有することを特徴とする請求項 13 記載の記憶装置の形成方法。

【請求項 16】

前記上側金属プラグが、環状のトップダウン断面形状を有することを特徴とする請求項 15 記載の記憶装置の形成方法。

【請求項 17】

前記第 1 導体及び前記ビット線導電プラグを、N 型プラグとしたことを特徴とする請求項 8 記載の記憶装置の形成方法。

【請求項 18】

記憶装置を形成する方法であって、

互いに離間したワード線の対を形成し、

複数のメモリセルアクセストランジスタをメモリセルアレイ区域に規定するために、前記ワード線の両側にソース領域及びドレイン領域を形成し、

ソース/ドレイン領域を共有するアクセストランジスタの対を形成し、

前記アクセストランジスタ上に少なくとも一つの第 1 絶縁層を形成し、

キャパシタポリシリコンプラグの対及びビット線ポリシリコンプラグを、前記第 1 絶縁層を通じて前記アクセストランジスタの前記ソース領域及びドレイン領域に対して形成し

、

前記ポリシリコンプラグ上に少なくとも一つの第 2 絶縁層を形成し、

前記第 2 絶縁層のアクセストランジスタの一つに関連するとともに各キャパシタポリシリコンプラグに電氣的に接続するコンテナキャパシタを形成し、

前記コンテナキャパシタを熱処理し、

前記メモリセルアレイ区域の外側に N チャネル周辺論理トランジスタ及び P チャネル周辺論理トランジスタを形成し、

前記熱処理後、前記第 2 絶縁層を通じて前記 N チャネル周辺論理トランジスタ及び P チ

チャンネル周辺論理トランジスタの各々に接触する周辺金属プラグを形成し、

前記コンテナキャパシタ上に少なくとも一つの第3絶縁層を形成し、

前記熱処理後、前記第2絶縁層を通じて前記ビット線ポリシリコンプラグに接触するビット線コンタクト部を形成し、

前記第3絶縁層を通じた前記周辺金属プラグへの金属コンタクト部を形成することを特徴とする記憶装置の方法。

【請求項19】

前記ビット線コンタクト部を金属で形成したことを特徴とする請求項18記載の方法。

【請求項20】

周辺トランジスタに対する金属コンタクト部を形成する方法であって、

第1導電型トランジスタを形成するために、基板上にメモリアレイ区域を設け、

第1及び第2導電型トランジスタを形成するために、前記基板上に周辺アレイ区域を設け、

前記メモリアレイ区域及び前記周辺アレイ区域に第1導電型トランジスタを形成し、前記第1導電型トランジスタを、第1導電型アクティブ区域に関連させ、

前記周辺アレイ区域に第2導電型トランジスタを形成し、前記第2導電型トランジスタを、第2導電型アクティブ区域に関連させ、

前記第1導電型トランジスタ、第2導電型トランジスタ、第1導電型アクティブ区域及び第2導電型アクティブ区域上に、平坦化された絶縁材料の第1層を設け、

前記メモリアレイ区域の前記第1導電型のアクティブ区域を露出するために、前記第1絶縁層を通じた開口をエッチングし、

少なくとも三つの第1導電型プラグを形成するために、前記第1導電型を有する導電材料を前記開口に充填し、前記第1導電型プラグのうちの少なくとも一つを、ビット線プラグとし、前記第1導電型プラグのうちの少なくとも二つを、キャパシタプラグとし、

前記第1絶縁層、ビット線プラグ及びキャパシタプラグ上に、平坦化された絶縁材料の第2層を設け、

前記第2絶縁層と、前記キャパシタプラグの一部とを通じてエッチングして、キャパシタコンテナ開口を形成し、

前記キャパシタコンテナ開口内に導電層を堆積して下側層を形成するステップ、前記キャパシタコンテナの上側表面を平坦化して、前記上側表面の任意の導電層材料を除去するステップ、前記基板上に誘電層を堆積するステップ、及び前記誘電層上に上側キャパシタプレートを堆積するステップによって、前記キャパシタコンテナ開口にキャパシタ構造を形成し、

前記下側層、誘電層及びキャパシタプレートのうちの少なくとも一つを加熱することによって、前記キャパシタ構造を焼きなましし、

前記キャパシタ構造を焼きなました後に、前記ビット線プラグの表面を露出するようビットライン開口を規定するために、前記第2絶縁層を通じたエッチングを行うとともに、第1及び第2導電型のアクティブ区域を露出するよう前記周辺アレイ区域に周辺プラグ開口を規定するために、前記第2絶縁層を通じたエッチングを行い、

前記ビット線プラグの前記表面に接触するよう前記メモリアレイ区域に金属プラグを形成するとともに、前記第1及び第2導電型の各々のアクティブ区域に接触するよう前記周辺アレイ区域に金属プラグを形成するために、前記基板上に金属層を堆積することを特徴とする方法。

【請求項21】

周辺トランジスタに対する金属コンタクト部を形成する方法であって、

第1導電型トランジスタを形成するために、基板上にメモリアレイ区域を設け、

第1及び第2導電型トランジスタを形成するために、前記基板上に周辺アレイ区域を設け、

前記メモリアレイ区域及び周辺アレイ区域に第1導電型トランジスタを形成し、前記第1導電型トランジスタを、第1導電型アクティブ区域に関連させ、

前記周辺アレイ区域に第２導電型トランジスタを形成し、前記第２導電型トランジスタを、第２導電型アクティブ区域に関連させ、

第１及び第２導電型トランジスタ並びに第１及び第２導電型アクティブ区域上に、平坦化された絶縁材料の第１層を設け、

前記メモリアレイ区域の前記第１導電型のアクティブ区域を露出するために、前記第１絶縁層を通じた開口のエッチングを行い、

少なくとも三つの第１導電型プラグを形成するために、前記第１導電型の導電材料を前記開口に充填し、前記第１導電型プラグのうちの少なくとも一つを、ビット線プラグとし、前記第１導電型プラグのうちの少なくとも二つを、キャパシタプラグとし、

前記第１絶縁層及び第１導電型プラグ上に、平坦化された絶縁材料の第２層を設け、

キャパシタコンテナ開口を形成するために、前記第２絶縁層と、前記キャパシタプラグの一部を通じたエッチングを行い、

下側層を形成するために前記キャパシタコンテナ開口内に導電層を堆積するステップ、前記上側表面の導電層材料を除去するために前記キャパシタコンテナの上側表面を平坦化するステップ、前記基板上に誘電層を堆積するステップ及び前記誘電層上に上側キャパシタプレートに堆積するステップによって、前記キャパシタコンテナ開口にキャパシタ構造を形成し、

前記下側層、誘電層及びキャパシタプレートのうちの少なくとも一つを加熱することによって、前記キャパシタ構造を焼きなましし、

前記キャパシタ構造の焼きなまし後、第１及び第２導電型のアクティブ区域を露出するよう前記周辺アレイ区域の周辺プラグ開口を露呈するために、前記第２絶縁層を通じたエッチングを行い、

前記第１導電型及び第２導電型のアクティブ区域にそれぞれ接触するよう前記周辺アレイ区域に金属プラグを形成するために、前記基板上に金属層を堆積することを特徴とする方法。

【請求項２２】

前記キャパシタプレートを露出するために前記金属層を平坦化し、

前記金属プラグ及びビット線プラグから前記キャパシタプレート及び誘電層をエッチングし、

絶縁材料の第３層を前記基板上に堆積し、

前記周辺アレイ区域の金属プラグを露出するために、前記第３絶縁層を通じたコンタクト開口のエッチングを行い、

前記メモリアレイ区域のビット線プラグを露出するために、前記第２絶縁層及び第３絶縁層を通じたコンタクト開口のエッチングを行い、

前記コンタクト開口を充填するとともに前記金属プラグ及びビット線プラグに対する導電コンタクト部を形成するために、前記基板上に導電層を堆積することを特徴とする請求項２１記載の方法。

【請求項２３】

メモリアレイ区域及び周辺回路区域を具え、そのメモリアレイ区域が、少なくとも一つの第１導電型のアクセストランジスタと、そのアクセストランジスタに関連したデータ値を格納する少なくとも一つのキャパシタとを具え、前記周辺回路区域が、少なくとも一つの第１導電型のアクセストランジスタと、少なくとも一つの第２導電型のアクセストランジスタと、前記第１導電型のトランジスタのアクティブ区域に電氣的に接続した少なくとも一つの第１金属プラグと、前記第２導電型のトランジスタのアクティブ区域に電氣的に接続した少なくとも一つの第２金属プラグとを具えることを特徴とする記憶装置。

【請求項２４】

前記第１金属プラグ及び第２金属プラグが、楕円のトップダウン断面形状を有することを特徴とする請求項２３記載の記憶装置。

【請求項２５】

前記第１導電型をN⁺とすることを特徴とする請求項２４記載の記憶装置。

【請求項 26】

前記第 2 導電型を P + とすることを特徴とする請求項 25 記載の記憶装置。

【請求項 27】

互いに離間したワード線の対と、

メモリセルアレイ区域内で複数のメモリセルアクセストランジスタを規定する、前記ワード線の両側のソース領域及びドレイン領域と、

ソース/ドレイン領域を共有するアクセストランジスタの対と、

前記アクセストランジスタ上に形成された少なくとも一つの絶縁層と、

前記アクセストランジスタのソース領域及びドレイン領域に対して、前記第 1 絶縁層を通じて形成されたキャパシタポリシリコンプラグ及びビット線ポリシリコンプラグの対と、

前記ポリシリコンプラグ上に形成された少なくとも一つの第 2 絶縁層と、

前記第 2 絶縁層のアクセストランジスタの一つに関連するとともにキャパシタポリシリコンプラグに電氣的に接続するコンテナキャパシタと、

メモリセルアレイ区域の外側にあり、コンタクト用の第 1 金属プラグ及びコンタクト用の第 2 金属プラグをそれぞれ具え、前記第 1 金属プラグ及び第 2 金属プラグを、前記第 1 絶縁層及び第 2 絶縁層を通じて形成した、N チャンネル周辺論理トランジスタ及び P チャンネル周辺論理トランジスタと、

前記ビット線ポリシリコンプラグに対し、前記第 2 絶縁層を通じて形成した第 1 ビット線コンタクト部と、

前記コンテナキャパシタ上の少なくとも一つの第 3 絶縁層と、

前記第 1 金属プラグ、第 2 金属プラグ及び第 1 ビット線コンタクト部に対して、前記第 3 絶縁層を通じて形成した金属コンタクト部とを具えることを特徴とする記憶装置。

【請求項 28】

前記第 1 金属プラグ及び第 2 金属プラグが、楕円のトップダウン断面形状を有することを特徴とする請求項 27 記載の記憶装置。

【請求項 29】

前記金属コンタクト部が、環状のトップダウン断面形状を有することを特徴とする請求項 28 記載の記憶装置。

【請求項 30】

前記金属コンタクト部が、前記第 1 金属プラグ及び第 2 金属プラグより小さい径を有することを特徴とする請求項 27 記載の記憶装置。

【請求項 31】

前記第 1 金属プラグ及びビット線プラグが N チャンネルトランジスタ区域にあることを特徴とする請求項 30 記載の記憶装置。

【請求項 32】

前記絶縁層を通じて形成したビット線コンタクト部及び金属コンタクト部が、単一構造を有することを特徴とする請求項 27 記載の記憶装置。

【請求項 33】

第 1 導電型アクティブ区域に関連した第 1 導電型トランジスタを具えるメモリアレイ区域と、

前記第 1 導電型トランジスタと、第 2 導電型アクティブ区域に関連した第 2 導電型トランジスタとを具える周辺アレイ区域と、

前記メモリアレイ区域及び周辺アレイ区域の上に形成された第 1 絶縁層と、

前記第 1 導電型アクティブ区域に接触するよう前記メモリ区域の第 1 絶縁層を通じて形成されたキャパシタプラグ及びビット線プラグの対と、

前記第 1 絶縁層、キャパシタプラグ及びビット線プラグの上に形成された第 2 絶縁層と、

、

前記第 2 絶縁層に形成されるとともに前記キャパシタプラグに接触するキャパシタコンテナと、

前記ビット線プラグに接触するよう前記第 2 絶縁層を通じて形成された前記メモリ区域の金属プラグと、

前記第 1 導電型アクティブ区域及び第 2 導電型アクティブ区域に接触するよう前記第 1 絶縁層及び第 2 絶縁層を通じて形成された前記周辺アレイ区域の金属プラグとを具えることを特徴とする記憶装置。

【請求項 3 4】

第 1 導電型アクティブ区域に関連した第 1 導電型トランジスタを具えるメモリアレイ区域と、

前記第 1 導電型トランジスタと、第 2 導電型アクティブ区域に関連した第 2 導電型トランジスタとを具える周辺アレイ区域と、

前記メモリアレイ区域及び周辺アレイ区域の上に形成された第 1 絶縁層と、

前記第 1 導電型アクティブ区域に接触するよう前記メモリ区域の第 1 絶縁層を通じて形成されたキャパシタプラグ及びビット線プラグの対と、

前記第 1 絶縁層、キャパシタプラグ及びビット線プラグの上に形成された第 2 絶縁層と

、

下側プレート、誘電層、及び少なくとも前記第 2 層絶縁層に形成された上側キャパシタプレートを具えるキャパシタコンテナと、

前記第 1 導電型アクティブ区域及び第 2 導電型アクティブ区域に接触するよう前記第 1 絶縁層及び第 2 絶縁層を通じて形成された前記周辺アレイ区域の金属プラグと、

前記キャパシタコンテナ、金属プラグ及び第 2 絶縁層の上に形成された第 3 絶縁層と、

前記ビット線プラグに対し、前記第 2 絶縁層及び第 3 絶縁層を通じて形成された金属ビット線コンタクト部と、

前記周辺アレイ区域の前記金属プラグに接触するよう前記第 3 絶縁層を通じて形成された金属コンタクト部とを具えることを特徴とする記憶装置。

【請求項 3 5】

前記金属プラグが、楕円のトップダウン断面形状を有することを特徴とする請求項 3 4 記載の記憶装置。

【請求項 3 6】

前記金属コンタクト部が、環状のトップダウン断面形状を有することを特徴とする請求項 3 5 記載の記憶装置。

【請求項 3 7】

前記金属コンタクト部が、前記第 1 金属プラグ及び第 2 金属プラグより小さい径を有することを特徴とする請求項 3 4 記載の記憶装置。

【請求項 3 8】

前記第 1 導電型を N + としたことを特徴とする請求項 3 7 記載の記憶装置。

【請求項 3 9】

前記アクティブ区域が、前記第 1 金属プラグ及び第 2 金属プラグが拡散された部分をほとんど有しないことを特徴とする請求項 2 3 記載の記憶装置。

【請求項 4 0】

メモリアレイ及び周辺回路区域を具え、そのメモリアレイが、少なくとも一つの第 1 導電型アクセストランジスタと、そのアクセストランジスタに関連したデータ値を格納する少なくとも一つのキャパシタと、少なくとも一つのアクセストランジスタのアクティブ区域に電氣的に接続した少なくとも一つのポリシリコンプラグと、少なくとも一つのポリシリコンプラグに電氣的に接続した少なくとも一つの金属プラグとを具え、前記周辺回路領域が、少なくとも一つの第 1 又は第 2 導電型周辺トランジスタと、その第 1 又は第 2 導電型周辺トランジスタのアクティブ区域に電氣的に接続した少なくとも一つの第 2 の金属プラグとを具えることを特徴とする記憶装置。

【請求項 4 1】

前記第 1 及び第 2 金属プラグが、楕円のトップダウン断面形状を有することを特徴とする請求項 4 0 記載の記憶装置。

【請求項 4 2】

前記第 1 及び第 2 金属プラグに電氣的に接続した金属コンタクト部を更に具えることを特徴とする請求項 4 0 記載の記憶装置。

【請求項 4 3】

前記コンタクト部が、前記第 1 及び第 2 金属プラグより小さい径を有することを特徴とする請求項 4 2 記載の記憶装置。

【請求項 4 4】

前記第 1 導電型を n 型としたことを特徴とする請求項 4 0 記載の記憶装置。

【請求項 4 5】

前記アクティブ区域が、前記第 1 金属プラグ及び第 2 金属プラグが拡散された部分をほとんど有しないことを特徴とする請求項 4 0 記載の記憶装置。