



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I661560 B

(45)公告日：中華民國 108 (2019) 年 06 月 01 日

(21)申請案號：106107047

(22)申請日：中華民國 102 (2013) 年 01 月 23 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2012/01/25 日本

2012-013451

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)；岡  
崎健一 OKAZAKI, KENICHI (JP)；池山輝正 IKEYAMA, TERUMASA (JP)；梶林  
克明 TOCHIBAYASHI, KATSUAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0127265A1

US 2011/0116310A1

US 2011/0263082A1

US 2012/0002090A1

審查人員：趙芝婷

申請專利範圍項數：項 圖式數： 共頁

(54)名稱

半導體裝置及製造半導體裝置的方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR  
DEVICE

(57)摘要

本發明的目的之一是提供一種包括使用氧化物半導體的電晶體的高可靠性高半導體裝置。在具有包括氧化物半導體層的底閘極結構的電晶體的半導體裝置中，以與氧化物半導體層接觸的方式形成第一絕緣層，並且，藉由進行氧摻雜處理形成包含多於化學計量組成的氧的第一絕緣層。藉由在第一絕緣層上形成第二絕緣層，可以將第一絕緣層所包含的過剩的氧高效率地供應到氧化物半導體層。因此，可以提供具有穩定的電特性的高可靠性半導體裝置。

A highly reliable semiconductor device including a transistor using an oxide semiconductor is provided. In a semiconductor device including a bottom-gate transistor including an oxide semiconductor layer, a first insulating layer is formed in contact with the oxide semiconductor layer, and an oxygen doping treatment is performed thereon, whereby the first insulating layer is made to contain oxygen in excess of the stoichiometric composition. The formation of the second insulating layer over the first insulating layer enables excess oxygen included in the first insulating layer to be supplied efficiently to the oxide semiconductor layer. Accordingly, the highly reliable semiconductor device with stable electric characteristics can be provided.

指定代表圖：

符號簡單說明：



102 · · · 絕緣層

103 . . . 閘極電極

104 · · · 閘極絕緣層

104a . . . 閘極絕緣層

104b · · · 閘極絕緣層

105 · · · 氧化物半導體層

106a . . . 源極電極

106b . . . 汲極電極

107 · · · 絕緣層

108 · · · 絕緣層

150 · · · 電晶體

201 · · · 部位

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置及製造半導體裝置的方法

Semiconductor device and method for manufacturing semiconductor device

## 【技術領域】

本發明係關於一種半導體裝置及其製造方法。

本說明書等中的半導體裝置是指藉由利用半導體特性而能夠工作的任何裝置，因此電光裝置、發光顯示裝置、半導體電路以及電子裝置都包括在半導體裝置的範疇中。

## 【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（有時簡稱為顯示裝置）等的半導體電子裝置。矽類半導體材料被廣泛地周知作為可以應用於電晶體的半導體薄膜，作為其他材料，氧化物半導體受到關注。

例如，公開了使用氧化鋅或 In-Ga-Zn 類氧化物作為氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

另外，已經指出，因在氧化物半導體中包含氫而在近

於傳導帶的能階（淺的能階）產生施體會使它低電阻化（使氧化物半導體成為 n 型氧化物半導體）。因此，需要採取某些措施來防止在形成氧化物半導體時氫進入氧化物半導體中。此外，公開了如下技術：不僅減少包含在氧化物半導體中的氫量，而且還減少接觸於氧化物半導體的閘極絕緣膜中的氫量來抑制臨界電壓的變化（參照專利文獻 3）。

〔專利文獻 1〕日本專利申請公開第 2007-123861 號公報

〔專利文獻 2〕日本專利申請公開第 2007-96055 號公報

〔專利文獻 3〕日本專利申請公開第 2009-224479 號公報

### 【發明內容】

另外，在氧化物半導體中，在氧化物半導體中的氧缺陷產生作為在氧化物半導體中的載子的電子。當在包括電晶體的通道形成區域的氧化物半導體中存在多個氧缺陷時，在通道形成區中產生電子，從而使電晶體的臨界電壓向負方向變動。

鑒於上述問題，本發明的一個方式的目的之一是提供一種使用氧化物半導體並具有穩定的電特性的可靠性高的半導體裝置及其製造方法。

在具有包括氧化物半導體層的底閘極結構的電晶體的

半導體裝置中，以接觸於氧化物半導體層的方式形成絕緣層，並對該絕緣層及接觸於該絕緣層的氧化物半導體層進行氧摻雜處理。藉由進行氧摻雜處理，可以使該絕緣層及接觸於該絕緣層的氧化物半導體層處於包含多於化學計量組成的氧的氧過剩的狀態。藉由使與氧化物半導體層接觸的絕緣層成為包含過剩氧的絕緣層，容易將氧從該絕緣層供應到氧化物半導體層，由此可以防止氧從氧化物半導體層脫離並填補氧化物半導體層中的氧缺陷。

另外，也可以在氧化物半導體層上形成進行了氧摻雜處理的第一絕緣層，並在第一絕緣層上還形成第二絕緣層。藉由在進行了氧摻雜處理的第一絕緣層上形成第二絕緣層，可以將第一絕緣層所包含的過剩的氧高效率地供應到氧化物半導體層。

雖然第二絕緣層也可以使用與第一絕緣層同樣的材料形成，但是較佳為使用對氫、或水分和氧等雜質的兩者具有高遮斷效果（阻擋效果）即阻隔性的金屬氧化物材料。例如，較佳為使用氧化鋁。

另外，也可以使用與第一絕緣層同樣的材料形成第二絕緣層，並且，在第二絕緣層上形成由具有阻隔性的金屬氧化物材料形成的金屬氧化物層作為第三絕緣層。

藉由在第一絕緣層或第二絕緣層上形成金屬層，對該金屬層進行氧摻雜處理，使該金屬層氧化，可以形成金屬氧化物層。

藉由採用將包含氧的絕緣層夾在氧化物半導體層與具

有阻隔性的金屬氧化物層之間的結構，在電晶體的製程中及製造之後，可以防止成為電特性變動的原因的氫、水分等雜質進入到氧化物半導體層，並防止從氧化物半導體層釋放（去除）作為構成氧化物半導體的主要成分材料的氧。因此，可以提高電晶體的電特性及可靠性。

藉由氧摻雜處理形成的金屬氧化物層較佳為具有  $1 \times 10^{10} \Omega \cdot m$  以上且  $1 \times 10^{19} \Omega \cdot m$  以下，更佳為具有  $1 \times 10^{10} \Omega \cdot m$  以上且  $1 \times 10^{18} \Omega \cdot m$  以下，進一步較佳為具有  $1 \times 10^{11} \Omega \cdot m$  以上且  $1 \times 10^{15} \Omega \cdot m$  以下的電阻率  $\rho$ 。具有上述電阻率的金屬氧化物層可以防止電晶體的靜電損壞。

另外，與氧化物半導體層接觸的絕緣層（例如，層間絕緣層或閘極絕緣層）較佳為盡可能地不包含水、氫等雜質。這是因為如下緣故：當與氧化物半導體層接觸的絕緣層包含氫時，該氫有可能侵入到氧化物半導體層中或者導致氧化物半導體層中的氧抽出。由此，與氧化物半導體層接觸的絕緣層較佳為進行了用來脫水化或脫氫化的加熱處理的層。

注意，上述“氧摻雜處理”是指將氧（至少包含氧自由基、氧原子、氧分子、臭氧、氧離子（氧分子離子）和氧離子簇中的任一種）添加到塊中的處理。注意，“塊”這一用語是為了表明不僅將氧添加到薄膜的表面還將氧添加到薄膜的內部。另外，“氧摻雜處理”包括將電漿化的氧添加到塊中的“氧電漿摻雜處理”。作為氧摻雜處理，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法

以及氧氣氛圍下的電漿處理等。另外，作為離子植入法，也可以採用氣體簇離子束（gas cluster ion beam）。

在氧摻雜處理中，可以使用包含氧的氣體。作為包含氧的氣體，可以使用氧、一氧化二氮、二氧化氮、二氧化碳、一氧化碳等。另外，在氧摻雜處理中，也可以對上述包含氧的氣體添加稀有氣體。

本發明的一個實施例包括：閘極電極；閘極電極上的閘極絕緣層；與閘極電極重疊且形成在閘極絕緣層上的氧化物半導體層；形成在氧化物半導體層上的源極電極及汲極電極；設置在源極電極及汲極電極上且與氧化物半導體層的一部分接觸的第一絕緣層；以及形成在第一絕緣層上的第二絕緣層，其中，第一絕緣層包含多於化學計量組成的氧。

另外，第一絕緣層的厚度較佳大於 10 nm 且小於 100 nm。

本發明的一個方式包括如下步驟：形成閘極電極；在閘極電極上形成閘極絕緣層；在閘極絕緣層上的與閘極電極重疊的區域形成氧化物半導體層；在氧化物半導體層上形成源極電極及汲極電極；在源極電極及汲極電極上形成與氧化物半導體層的一部分接觸並包含多於化學計量組成的氧的第一絕緣層；以及在第一絕緣層上形成第二絕緣層。

還可以在第二絕緣層上形成第三絕緣層。第二絕緣層或第三絕緣層較佳是具有阻隔性的金屬氧化物層。

根據本發明的一個方式可以提供具有穩定的電特性和高可靠性的使用氧化物半導體的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 至 1C 是說明半導體裝置的一個實施例的平面圖及剖面圖；

圖 2A 至 2D 是說明半導體裝置的製造方法的一個實施例的剖面圖；

圖 3A 至 3D 是說明半導體裝置的製造方法的一個實施例的剖面圖；

圖 4A 至 4D 是說明半導體裝置的製造方法的一個實施例的剖面圖；

圖 5A 和 5B 是說明半導體裝置的一個實施例的剖面圖；

圖 6A 至 6C 是說明半導體裝置的一個實施例的平面圖；

圖 7A 和 7B 是各示出半導體裝置的一個實施例的剖面圖；

圖 8A 和 8B 是示出半導體裝置的一個實施例的電路圖及剖面圖；

圖 9A 至 9C 是示出電子裝置的圖；

圖 10A 及圖 10B 是示出電子裝置的圖，且圖 10C 是說明充放電控制電路的方塊圖；

圖 11A 和 11B 是說明半導體裝置的一個實施例的剖面圖。

### 【實施方式】

下面，參照圖式詳細地說明本說明書所公開的發明的實施方式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本說明書所公開的發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。並且，本說明書所公開的發明不應被看作僅限定於以下實施方式的描述內容。另外，在以下說明的本發明的結構中，在不同圖式之間共同使用同一符號表示同一部分或具有同樣功能的部分而省略其重複說明。另外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

另外，本說明書中使用的“第一”、“第二”等序數詞用來避免構成要素的混同，而不是用來在數目方面上進行限定的。

### 實施方式 1

在本實施方式中，說明半導體裝置的一個方式的電晶體的結構及製造方法。本實施方式所公開的電晶體是將氧化物半導體用於通道被形成的半導體層的電晶體。

圖 1A 是示出將氧化物半導體用於通道被形成的半導體層的電晶體 150 的平面結構的俯視圖，圖 1B 是示出沿

圖 1A 中的 A1-A2 虛線的剖面結構的剖面圖，圖 1C 是示出沿圖 1A 中的 B1-B2 虛線的剖面結構的剖面圖。注意，為了易於理解圖式，在圖 1A 中省略構成要素的一部分。

圖 1A 至 1C 所示的電晶體 150 是具有通道蝕刻結構的底閘極電晶體，並且也是反轉堆疊式電晶體。

在圖 1A 至 1C 中，在基板 101 上形成有絕緣層 102，在絕緣層 102 上形成有閘極電極 103，在閘極電極 103 上形成有閘極絕緣層 104。雖然圖 1A 至 1C 示出作為閘極絕緣層 104 形成閘極絕緣層 104a 和閘極絕緣層 104b 的疊層的例子，但是閘極絕緣層 104 可以是單層或由多層構成的疊層。

另外，在閘極絕緣層 104 上形成有氧化物半導體層 105，在氧化物半導體層 105 上形成有源極電極 106a 及汲極電極 106b。另外，在源極電極 106a 及汲極電極 106b 上以與氧化物半導體層 105 的一部分接觸的方式形成有絕緣層 107，在絕緣層 107 上形成有絕緣層 108。

用於氧化物半導體層 105 的氧化物半導體較佳為至少包含銦 (In) 或鋅 (Zn)。尤其是，較佳為包含 In 和 Zn。此外，作為用來降低使用該氧化物半導體的電晶體的電特性偏差的穩定劑，除了上述元素以外較佳為還包含鎵 (Ga)。或者，作為穩定劑較佳為包含錫 (Sn)。或者，作為穩定劑較佳為包含鈦 (Hf)。或者，作為穩定劑較佳為包含鋁 (Al)。

此外，作為其他穩定劑，也可以包含鐳系元素的鐳

(La)、銻(Ce)、鐳(Pr)、釹(Nd)、釷(Sm)、鎔(Eu)、釱(Gd)、錒(Tb)、鐿(Dy)、釹(Ho)、鉕(Er)、銩(Tm)、鑷(Yb)、鑷(Lu)中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。此外，也可以使上述氧化物半導體包含  $\text{SiO}_2$ 。

在此，例如，In-Ga-Zn 類氧化物是指具有銦(In)、鎵(Ga)、鋅(Zn)的氧化物，對 In、Ga、Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。此時，在氧化物半導體中，較佳為含有多於化學計量

比的氧。藉由使氧化物半導體包含過剩的氧，可以抑制氧化物半導體的氧缺陷所引起的載子的生成。

此外，氧化物半導體層可以使用由化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$ ) 表示的薄膜。在此，M 表示選自 Sn、Zn、Ga、Al、Mn 和 Co 中的一種或多種金屬元素。此外，作為氧化物半導體，也可以使用以  $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n>0$ ) 表示的材料。

例如，可以使用原子數比為  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  ( $=1/3 : 1/3 : 1/3$ ) 或  $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$  ( $=2/5 : 2/5 : 1/5$ ) 的 In-Ga-Zn 類氧化物或其組成與此組成相近的的氧化物。另外，也可以使用原子數比為  $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$  ( $=1/3 : 1/3 : 1/3$ )、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$  ( $=1/3 : 1/6 : 1/2$ ) 或  $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$  ( $=1/4 : 1/8 : 5/8$ ) 的 In-Sn-Zn 類氧化物或其組成與此組成相近的組成的氧化物之任一者。

但是，不侷限於此，可以根據所需要的半導體特性（遷移率、臨界電壓、偏差等）而使用適當的組成的材料。另外，較佳為採用適當的載流子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離以及密度等，以得到所需要的半導體特性。

例如，In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，當使用 In-Ga-Zn 類氧化物時，也可以藉由降低塊體內缺陷密度而提高遷移率。

在此，例如當 In、Ga、Zn 的原子數比為  $\text{In} : \text{Ga} :$

$Zn=a : b : c$  ( $a+b+c=1$ ) 的氧化物的組成與原子數比為  $In : Ga : Zn=A : B : C$  ( $A+B+C=1$ ) 的氧化物的組成鄰近時， $a$ 、 $b$ 、 $c$  滿足  $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$  的關係， $r$  例如是 0.05。其他氧化物也是同樣的。

氧化物半導體膜例如可以處於非單晶狀態。非單晶狀態例如由  $c$  軸配向結晶 ( $c$ -axis aligned crystal, CAAC)、多晶、微晶和非晶部中的至少一個構成。非晶部的缺陷態密度高於微晶和 CAAC 的缺陷態密度。微晶的缺陷態密度高於 CAAC 的缺陷態密度。注意，將包括 CAAC 的氧化物半導體稱為 CAAC-OS ( $c$ -axis aligned crystalline oxide semiconductor:  $c$  軸配向結晶氧化物半導體)。

由於非晶 ( $amorphous$ ) 狀態的氧化物半導體膜可以比較容易地得到平坦的表面，所以可以減少在使用該氧化物半導體膜製造電晶體時的介面散射，可以比較容易得到較高的遷移率。

另外，具有結晶性的氧化物半導體膜可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到非晶狀態的氧化物半導體膜的遷移率以上的遷移率。為了提高表面的平坦性，較佳為在平坦的表面上形成氧化物半導體膜，明確而言，在平均表面粗糙度 ( $Ra$ ) 為 1 nm 以下，較佳為 0.3 nm 以下，更佳為 0.1 nm 以下的表面上形成氧化物半導體膜。可以利用原子力顯微鏡 ( $Atomic\ Force\ Microscope, AFM$ ) 來對  $Ra$  進行量測。

另外，當作為氧化物半導體膜使用  $In-Zn$  類氧化物材

料時，將原子數比設定為  $\text{In}/\text{Zn}=0.5$  以上且 50 以下，較佳為  $\text{In}/\text{Zn}=1$  以上且 20 以下，更佳為  $\text{In}/\text{Zn}=1.5$  以上且 15 以下。藉由使 Zn 的原子數比設定為較佳的上述範圍，可以提高電晶體的場效應遷移率。在此，當化合物的原子數比為  $\text{In} : \text{Zn} : \text{O} = \text{X} : \text{Y} : \text{Z}$  時， $\text{Z} > 1.5\text{X} + \text{Y}$ 。

例如，氧化物半導體膜可以包括 CAAC-OS。在 CAAC-OS 中，例如 c 軸配向且 a 軸及/或 b 軸不宏觀地一致。

例如，氧化物半導體膜可以包括微晶。注意，將包括微晶的氧化物半導體稱為微晶氧化物半導體。微晶氧化物半導體膜例如包括大於或等於 1 nm 且小於 10 nm 的尺寸的微晶（也稱為奈米晶）。或者，微晶氧化物半導體膜例如包括結晶部（其每一個大於或等於 1 nm 且小於 10 nm）分佈的結晶-非晶混合相結構。

例如，氧化物半導體膜可以包括非晶部。注意，將包括非晶部的氧化物半導體稱為非晶氧化物半導體。非晶氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶氧化物半導體膜例如是完全的非晶，並且不具有結晶部。

另外，氧化物半導體膜可以是包括 CAAC-OS、微晶氧化物半導體和非晶氧化物半導體中的任一個的混合膜。混合膜例如包括非晶氧化物半導體的區域、微晶氧化物半導體的區域和 CAAC-OS 的區域。並且，混合膜例如可以具有包括非晶氧化物半導體的區域、微晶氧化物半導體的

區域和 CAAC-OS 的區域的疊層結構。

另外，氧化物半導體膜例如可以處於單晶狀態。

氧化物半導體膜較佳為包括多個結晶部。在結晶部的每一個中， $c$  軸較佳為在平行於形成有氧化物半導體膜的表面的法線向量或氧化物半導體膜的表面的法線向量的方向上一致。注意，在結晶部之間，一個結晶部的  $a$  軸和  $b$  軸的方向可以與另一個結晶部的  $a$  軸和  $b$  軸的方向不同。這種氧化物半導體膜的一個例子是 CAAC-OS 膜。

CAAC-OS 膜不是完全的非晶。CAAC-OS 膜例如包括具有結晶部和非晶部混合的結晶-非晶混合相結構的氧化物半導體。另外，在大多情況下，結晶部適合在一個邊長小於 100 nm 的立方體內。在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）的觀察中，不能明確地偵測到 CAAC-OS 膜中的非晶部與結晶部之間的邊界以及結晶部與結晶部之間的邊界。另外，利用 TEM，不能明確地觀察到 CAAC-OS 膜中的晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低被抑制。

在包括在 CAAC-OS 膜中的結晶部的每一個中，例如  $c$  軸在平行於形成有 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致。並且，在結晶部的每一個中，當從垂直於  $ab$  面的方向看時金屬原子排列為三角形或六角形的結構，且當從垂直於  $c$  軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列

為層狀。注意，在結晶部之間，一個結晶部的 a 軸和 b 軸的方向可以與另一個結晶部的 a 軸和 b 軸的方向不同。在本說明書中，“垂直”的用語包括從  $80^{\circ}$  到  $100^{\circ}$  的範圍，較佳為包括從  $85^{\circ}$  到  $95^{\circ}$  的範圍。並且，“平行”的用語包括從  $-10^{\circ}$  到  $10^{\circ}$  的範圍，較佳為包括從  $-5^{\circ}$  到  $5^{\circ}$  的範圍。

在 CAAC-OS 膜中，結晶部的分佈不一定是均勻的。例如，在 CAAC-OS 膜的形成製程中，在從氧化物半導體膜的表面一側產生結晶生長的情況下，有時氧化物半導體膜的表面附近的結晶部的比例高於形成有氧化物半導體膜的表面附近的結晶部的比例。另外，當將雜質添加到 CAAC-OS 膜時，有時添加有雜質的區域中的結晶部成為非晶。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於形成有 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（形成有 CAAC-OS 膜的表面的剖面形狀或 CAAC-OS 膜的表面的剖面形狀）c 軸的方向可以彼此不同。另外，伴隨結晶部的形成或在藉由諸如加熱處理等晶化處理的結晶部的形成之後，實現成膜。因此，結晶部的 c 軸的方向在平行於形成有 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

另外，也可以用氮取代構成氧化物半導體的氧的一部分。

另外，像 CAAC-OS 那樣的具有結晶部的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。為了提高表面的平坦性，較佳為在平坦的表面上形成氧化物半導體，具體地，較佳為在平均表面粗糙度（Ra）為 1 nm 以下，較佳為 0.3 nm 以下，更佳為 0.1 nm 以下的表面上形成氧化物半導體。可以利用原子力顯微鏡（Atomic Force Microscope, AFM）對 Ra 進行量測。

注意，由於在本實施方式中說明的電晶體 150 是底閘極型，所以閘極電極 103 和閘極絕緣層 104 位於氧化物半導體膜的下方。因此，為了得到上述平坦的表面，也可以在基板上形成閘極電極 103 及閘極絕緣層 104，然後至少對與閘極電極 103 重疊的閘極絕緣層 104 的表面進行化學機械拋光（Chemical Mechanical Polishing, CMP）處理等的平坦化處理。

將氧化物半導體層 105 的厚度設定為 1 nm 以上且 30 nm 以下（較佳為 5 nm 以上且 10 nm 以下），可以適當地利用濺鍍法、分子束磊晶（Molecular Beam Epitaxy, MBE）法、CVD 法、脈衝雷射沉積法、原子層沉積（Atomic Layer Deposition, ALD）法等。此外，氧化物半導體層 105 可以使用在多個基板的表面大致垂直於濺鍍靶材的表面的狀態下進行成膜的濺鍍裝置形成。

接著，參照圖 2A 至 3D 說明電晶體 150 的製造方法的一個例子。

首先，在基板 101 上形成絕緣層 102，並在絕緣層 102 上形成閘極電極 103（參照圖 2A）。雖然對可以用作基板 101 的基板沒有特別的限制，但是至少需要具有能夠承受之後實施的任何加熱處理的耐熱性。例如，可以使用玻璃基板、陶瓷基板、以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI 基板、以及具有足以耐受本製程的處理溫度的耐熱性的塑膠基板等。並且，也可以將在這些基板上設置有半導體元件的基板用作基板 101。

作為玻璃基板，例如可以使用如鋁硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等的無鹼玻璃基板。除此之外，還可以使用石英基板、藍寶石基板等。另外，作為基板 101 也可以使用撓性基板。當使用撓性基板時，既可以在撓性基板上直接製造電晶體 150，也可以在其他製造基板上製造電晶體 150，然後剝離該電晶體 150 而將它轉置到撓性基板上。另外，較佳為在製造基板和電晶體之間設置剝離層，以從製造基板剝離電晶體而將它轉置到撓性基板上。在本實施方式中，作為基板 101 使用鋁硼矽酸鹽玻璃。

絕緣層 102 用作基底層，能夠防止或減少來自基板 101 的雜質元素擴散。絕緣層 102 可以使用選自氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氧化鎵、氮化矽、氧化

矽、氮氧化矽、氧氮化矽中的材料的單層或疊層。注意，在本說明書中，氮氧化物是指在其組成中氮的含量多於氧的含量的物質，而氧氮化物是指在其組成中氧的含量多於氮的含量的物質。另外，例如可以使用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）等來測量各元素的含量。可以藉由濺鍍法、CVD 法、塗覆法、印刷法等來形成絕緣層 102。

另外，藉由使絕緣層 102 含有氯、氟等鹵族元素，可以更加提高防止或減少來自基板 101 的雜質元素擴散的功能。使絕緣層 102 含有的鹵素元素的濃度峰值當使用利用二次離子質譜法（SIMS：Secondary Ion Mass Spectrometry）的分析測量時較佳為  $1 \times 10^{15}/\text{cm}^3$  以上且  $1 \times 10^{20}/\text{cm}^3$  以下。

在本實施方式中，藉由電漿 CVD 法在基板 101 上形成厚度為 200 nm 的氧氮化矽膜作為絕緣層 102。另外，形成絕緣層 102 時的溫度在基板 101 能夠耐受的溫度以下的範圍內越高越佳。例如，在以 350 °C 以上且 450 °C 以下的溫度加熱基板 101 的狀態下，形成絕緣層 102。注意，形成絕緣層 102 時的溫度較佳為固定。例如，在以 350 °C 的溫度加熱基板的狀態下形成絕緣層 102。

另外，在形成絕緣層 102 之後，也可以在減壓下、氮氣氛圍下、稀有氣體氛圍下、或者超乾燥空氣氮氣氛圍下進行加熱處理。藉由加熱處理，可以降低包含在絕緣層 102 中的氫、水分、氮化物或氮氧化物等的濃度。加熱處

理溫度在基板 101 能夠耐受的溫度以下的範圍內越高越佳。明確而言，加熱處理溫度較佳為絕緣層 102 的成膜溫度以上且低於基板 101 的應變點。

另外，在形成絕緣層 102 之後，也可以藉由對絕緣層 102 進行氧摻雜處理來使絕緣層 102 處於氧過剩狀態。另外，絕緣層 102 的氧摻雜處理較佳為在上述加熱處理之後進行。

接著，藉由濺鍍法、真空蒸鍍法或電鍍法形成後面成為閘極電極 103 的導電層。作為成為閘極電極 103 的導電層的材料，可以使用如下物質：選自鋁（Al）、鉻（Cr）、銅（Cu）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）、釹（Nd）、釷（Sc）中的金屬元素；以上述金屬元素為成分的合金；組合上述金屬元素的合金；以及上述金屬元素的氮化物等。此外，也可以使用包含選自錳（Mn）、鎂（Mg）、鋯（Zr）、鈹（Be）中的一種或多種的金屬元素的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的半導體以及鎳矽化物等矽化物。

此外，成為閘極電極 103 的導電層可以具有單層結構或者兩層以上的疊層結構。例如，可以舉出：使用包含矽的鋁的單層結構；在鋁上層疊鈦的兩層結構；在氮化鈦上層疊鈦的兩層結構；在氮化鈦上層疊鎢的兩層結構；在氮化鉭上層疊鎢的兩層結構；在 Cu-Mg-Al 合金上層疊 Cu 的兩層結構；以及依次層疊氮化鈦、銅和鎢的三層結構等。

另外，作為成為閘極電極 103 的導電層的材料，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料。另外，也可以採用上述具有透光性的導電材料與包含上述金屬元素的材料的重疊層結構。

另外，作為成為閘極電極 103 的導電層的材料，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn 類氧化物、包含氮的 In-Sn 類氧化物、包含氮的 In-Ga 類氧化物、包含氮的 In-Zn 類氧化物、包含氮的 Sn 類氧化物、包含氮的 In 類氧化物以及金屬氮化膜（InN、SnN 等）。

這些材料各具有 5 電子伏特（eV）以上的功函數，當將這些材料用作閘極電極時，可以使電晶體的臨界電壓為正值，而能夠實現所謂的常關閉型（normally off）的 n 型電晶體。

在本實施方式中，作為成為閘極電極 103 的導電層，藉由濺鍍法形成厚度為 100 nm 的鎢膜。

接著，選擇性地蝕刻成為閘極電極 103 的導電層的一部分來形成閘極電極 103（包括由與此相同的層形成的佈線）。當選擇性地蝕刻部分導電層時，在導電層上形成光阻掩模，藉由乾蝕刻法或濕蝕刻法去除導電層的不需要的部分。另外，也可以組合乾蝕刻法和濕蝕刻法的兩者來進行導電層的蝕刻。形成在導電層上的光阻遮罩可以適當地

使用光微影法、印刷法、噴墨法等來形成。當藉由噴墨法形成光阻遮罩時不需要光遮罩，由此可以降低製造成本。

當藉由乾蝕刻法進行導電層的蝕刻時，作為蝕刻氣體可以使用包含鹵素元素的氣體。作為包含鹵素元素的氣體，可以適當地使用：氯類氣體諸如氯（ $\text{Cl}_2$ ）、三氯化硼（ $\text{BCl}_3$ ）、四氯化矽（ $\text{SiCl}_4$ ）、四氯化碳（ $\text{CCl}_4$ ）等；氟類氣體諸如四氟化碳（ $\text{CF}_4$ ）、六氟化硫（ $\text{SF}_6$ ）、三氟化氮（ $\text{NF}_3$ ）、三氟甲烷（ $\text{CHF}_3$ ）等；溴化氫（ $\text{HBr}$ ）；或者氧。另外，也可以將惰性氣體添加到所使用的蝕刻用氣體。另外，作為乾蝕刻法，可以使用反應離子蝕刻（RIE：Reactive Ion Etching）法。

另外，作為電漿源，可以使用電容耦合型電漿（CCP：Capacitively Coupled Plasma），電感耦合電漿（ICP：Inductively Coupled Plasma），電子迴旋共振（ECR：Electron Cyclotron Resonance）電漿，螺旋波激發電漿（HWP：Helicon Wave Plasma）或微波激發表面波電漿（SWP：Surface Wave Plasma）等。尤其是，ICP、ECR、HWP 及 SWP 可以生成高密度電漿。在藉由乾蝕刻法進行的蝕刻（以下也稱為“乾蝕刻處理”）中，為了能夠蝕刻為所希望的加工形狀，適當地調節蝕刻條件（施加到線圈形電極的電力、施加到基板一側的電極的電力、基板一側的電極溫度等）。

另外，將使用光微影法在導電層或絕緣層上形成任意形狀的光阻遮罩的製程稱為光微影製程，一般來說，在很

多情況下，在形成光阻遮罩之後進行蝕刻製程和光阻遮罩的剝離製程。因此，在沒有特別的說明的情況下，在本說明書中提到的光微影製程包括光阻遮罩的形成製程、導電層或絕緣層的蝕刻製程及光阻遮罩的剝離製程。

另外，藉由調節閘極電極 103 的剖面形狀，明確而言，其端部的剖面形狀（錐角和膜厚度等），可以提高形成在閘極電極 103 上的層的覆蓋性。

明確而言，以閘極電極 103 的剖面形狀是梯形或三角形的方式將閘極電極 103 的端部形成為錐形形狀。這裏，將閘極電極 103 的端部的錐角 $\theta$ 設定為  $60^\circ$ 以下，較佳為設定為  $45^\circ$ 以下，更佳為設定為  $30^\circ$ 以下。藉由採用上述角度範圍，在施加高閘極電壓到閘極電極 103 的情況下，可以緩和在源極電極 106a 或汲極電極 106b 的端部附近會產生的電場集中。注意，“錐角 $\theta$ ”表示在從垂直於具有錐形形狀的層的剖面（與基板表面垂直的平面）的方向觀察時由該層的側表面和底面所形成的該層內的角度。另外，將錐角小於  $90^\circ$ 的形狀稱為正錐形，並且將錐角是  $90^\circ$ 以上的形狀稱為反錐形。另外，不侷限於閘極電極 103，藉由將各層的端部形成為正錐形，能夠防止在其上覆蓋的層斷開的現象（斷裂），並且能夠提高覆蓋性。

接著，在閘極電極 103 上形成閘極絕緣層 104（參照圖 2B）。

另外，為了提高閘極絕緣層 104 的覆蓋性，也可以對閘極電極 103 表面進行平坦化處理。尤其是，當作為閘極

絕緣層 104 使用較薄的絕緣層時，閘極電極 103 表面較佳為具有良好的平坦性。

可以適當地利用濺鍍法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等形式形成閘極絕緣層 104。此外，還可以應用使用  $\mu$  波（例如，頻率為 2.45GHz）的高密度電漿 CVD 法等。此外，閘極絕緣層 104 也可以使用在以大致垂直於濺鍍靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺鍍裝置形成。

閘極絕緣層 104 可以使用選自氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氧化鎵、氮化矽、氧化矽、氮氧化矽、氧氮化矽中的材料的單層或疊層。在本實施方式中，作為閘極絕緣層 104 使用閘極絕緣層 104a 和閘極絕緣層 104b 的疊層。

另外，一般而言，電容元件在相對的兩個電極之間夾有介電質，介電質越薄（相對的兩個電極之間的距離短）或者介電質的介電常數越大，電容值就越大。但是，當為了增大電容元件的電容值減薄介電質的厚度時，產生在兩個電極之間的漏電流容易增加，或者電容元件的絕緣耐壓容易下降。

電晶體的閘極電極、閘極絕緣層和半導體層重疊的部分用作上述電容元件（以下也稱為“閘極電容”）。另外，通道形成在半導體層的隔著閘極絕緣層與閘極電極重疊的區域。就是說，閘極電極和通道形成區用作電容元件的兩個電極，閘極絕緣層用作電容元件的介電質。閘極電

容的電容值越大越佳，但是當為了增大電容值減薄閘極絕緣層時，容易發生上述洩漏電流的增加或絕緣耐壓的下降等的問題。

於是，在作為閘極絕緣層 104 使用矽酸鉛 ( $\text{HfSi}_x\text{O}_y$  ( $x>0$ 、 $y>0$ ))、添加有氮的矽酸鉛 ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0$ 、 $y>0$ 、 $z>0$ ))、添加有氮的鋁酸鉛 ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0$ 、 $y>0$ 、 $z>0$ ))、氧化鉛、氧化釷等 high-k 材料的情況下，即使增厚閘極絕緣層 104 的厚度，也可以充分確保閘極電極 103 和氧化物半導體層 105 之間的電容值。

例如，當作為閘極絕緣層 104 使用介電常數大的 high-k 材料時，即使增厚閘極絕緣層 104 的厚度，也可以實現與將氧化矽用於閘極絕緣層 104 時相等的電容值，從而可以降低產生在閘極電極 103 和氧化物半導體層 105 之間的洩漏電流。並且，還可以降低產生在由與閘極電極 103 相同的層形成的佈線和與該佈線重疊的其他佈線之間的洩漏電流。另外，作為閘極絕緣層 104，也可以採用 high-k 材料和上述材料的疊層結構。

閘極絕緣層 104 較佳為在接觸於後面形成的氧化物半導體層 105 的部分中含有氧。在本實施方式中，較佳為在接觸於氧化物半導體層 105 的閘極絕緣層 104b 的膜中（塊（bulk）中）有至少超過化學計量比的量的氧。例如，當作為閘極絕緣層 104b 使用氧化矽膜時，使用  $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）的膜。藉由將該氧化矽膜用作閘極絕緣層 104b，可以將氧供應到氧化物半導體層 105，而獲

得良好特性。

作為閘極絕緣層 104a，較佳為使用對氫、水分、氫化物或氫氧化物等雜質以及氧具有阻隔性的材料諸如氮化矽或氧化鋁等。藉由使用具有阻隔性的材料形成閘極絕緣層 104a，可以防止上述雜質從基板一側侵入並防止包含在閘極絕緣層 104b 中的氧擴散到基板一側。另外，藉由作為閘極絕緣層 104 使用具有阻隔性的材料，也可以不設置用作基底層的絕緣層 102。

另外，較佳為在形成閘極絕緣層 104 之前藉由使用氧、一氧化二氮、或稀有氣體（典型地是氬）等的電漿處理來去除附著在被形成表面的水分及有機物等雜質。

另外，在形成閘極絕緣層 104 之後，也可以在減壓下、氮氣氛圍下、稀有氣體氛圍下、或者超乾燥空氣氮氣氛圍下進行加熱處理。藉由加熱處理，可以降低包含在閘極絕緣層 104 中的氫、水分、氫化物或氫氧化物等的濃度。加熱處理溫度在基板 101 能夠耐受的溫度以下的範圍內越高越佳。明確而言，加熱處理溫度較佳為閘極絕緣層 104 的成膜溫度以上且低於基板 101 的應變點。

另外，在形成閘極絕緣層 104 之後，也可以藉由對閘極絕緣層 104 進行氧摻雜處理來使閘極絕緣層 104 處於氧過剩狀態。作為氧摻雜處理，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法以及氧氣氛圍下的電漿處理等。另外，較佳為在上述加熱處理之後對閘極絕緣層 104 進行氧摻雜處理。

藉由以與氧化物半導體層 105 接觸的方式設置用作氧的供應源的含有大量（過剩）的氧的閘極絕緣層 104，可以利用此後的加熱處理將氧從該閘極絕緣層 104 供應到氧化物半導體層 105 中。

藉由向氧化物半導體層 105 供應氧，可以填補氧化物半導體層 105 中的氧缺陷。再者，較佳為考慮電晶體的尺寸及對閘極電極 103 的步階覆蓋性而形成閘極絕緣層 104。

接著，藉由濺鍍法在閘極絕緣層 104（閘極絕緣層 104b）上形成後面成為氧化物半導體層 105 的氧化物半導體層 115（未圖示）。

另外，在形成氧化物半導體層 115 之前，也可以對在閘極絕緣層 104 中的與氧化物半導體層 105 接觸的區域進行平坦化處理。對平坦化處理沒有特別的限制，而可以使用拋光處理（例如，CMP 處理）、乾蝕刻處理或電漿處理。

作為電漿處理，例如可以進行引入氬氣來產生電漿的反濺鍍。反濺鍍是指使用 RF 電源在氬氛圍下對基板一側施加電壓，在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氛圍。藉由進行反濺鍍，可以去除附著在閘極絕緣層 104 表面上的粉狀物質（也稱為微粒、塵屑）。

另外，作為平坦化處理，既可以多次進行拋光處理、乾蝕刻處理及電漿處理，又可以組合它們而進行。此外，

當組合它們而進行平坦化處理時，對製程順序也沒有特別的限制，可以根據閘極絕緣層 104 表面的粗糙度適當地設定。

另外，用來形成氧化物半導體層 115 的濺鍍氣體適當地使用稀有氣體（典型的是氬）氛圍、氧氣氛圍或稀有氣體和氧氣的混合氣體氛圍。另外，作為濺鍍氣體較佳為使用去除了氫、水、羥或氫化物等雜質的高純度氣體。

另外，氧化物半導體層 115 較佳為以包含多的氧的條件（例如，在 100 % 的氧氣氛圍下利用濺鍍法進行成膜等）形成而處於包含多的或過飽和的氧狀態（較佳為包括氧的含有量對於氧化物半導體處於結晶狀態下的化學計量的組成過剩的區域的狀態）。

例如，當利用濺鍍法形成氧化物半導體層時，較佳為在濺鍍氣體中氧所占的比率大的條件下形成，尤其較佳為在氧氣體為 100 % 的氛圍下形成。藉由在濺鍍氣體中氧氣體所占的比率大的條件下，尤其在氧氣體為 100 % 的氛圍下進行成膜，即使例如將形成溫度設定為 300 °C 以上，也可以抑制來自氧化物半導體層中的 Zn 的釋放。

另外，氧化物半導體層 115 較佳為幾乎不包含銅、鋁、氯等雜質而被高度純化。在電晶體的製程中，較佳為適當地選擇沒有如進入到氧化物半導體層中或附著在氧化物半導體層表面之風險的步驟。明確而言，氧化物半導體層中的銅濃度為  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下，較佳為  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下。另外，氧化物半導體層中的鋁濃度為

$1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下。另外，氧化物半導體層中的氬濃度為  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 以下。

另外，對氧化物半導體層 115 中的鹼金屬的濃度而言，鈉（Na）的濃度為  $5 \times 10^{16}$  cm<sup>-3</sup> 以下，較佳為  $1 \times 10^{16}$  cm<sup>-3</sup> 以下，更佳為  $1 \times 10^{15}$  cm<sup>-3</sup> 以下，鋰（Li）的濃度為  $5 \times 10^{15}$  cm<sup>-3</sup> 以下，較佳為  $1 \times 10^{15}$  cm<sup>-3</sup> 以下，鉀（K）的濃度為  $5 \times 10^{15}$  cm<sup>-3</sup> 以下，較佳為  $1 \times 10^{15}$  cm<sup>-3</sup> 以下。

在本實施方式中，作為氧化物半導體層 115，藉由利用包括 AC 電源裝置的濺鍍裝置的濺鍍法形成厚度為 35 nm 的 In-Ga-Zn 類氧化物（IGZO）。作為用於濺鍍法的靶材，使用其組成為 In：Ga：Zn=1：1：1〔原子數比〕的金屬氧化物靶材。

另外，金屬氧化物靶材的相對密度（填充率）為 90 %以上且 100 %以下，較佳為 95 %以上且 99.9 %以下。藉由具有高相對密度的金屬氧化物靶材，可以形成緻密的氧化物半導體層。

首先，在保持為減壓狀態的沉積室中保持基板 101。接著，在去除殘留在沉積室內的水分的同時，引入去除了氬及水分的濺鍍氣體並在閘極絕緣層 104 上使用上述靶材形成氧化物半導體層 115。為了去除殘留在沉積室內的水分，較佳為使用吸附型真空泵，例如低溫泵、離子泵或鈦昇華泵。此外，作為排氣單元，也可以使用具備冷阱的渦輪分子泵。在使用低溫泵來進行排氣的沉積室中，例如由於氬原子或水（H<sub>2</sub>O）等含有氬原子的化合物（更佳為包

括含有碳原子的化合物)等被排出,因此可以降低在該沉積室中形成的氧化物半導體層 115 的雜質的濃度。

另外,也可以在不暴露於大氣的狀態下連續地形成閘極絕緣層 104 和氧化物半導體層 115。藉由在不暴露於大氣的狀態下連續地形成閘極絕緣層 104 和氧化物半導體層 115,可以防止氫或水分等雜質附著在閘極絕緣層 104 表面上。

接著,藉由使用光微影製程對氧化物半導體層 115 的一部分選擇性地進行蝕刻來形成島狀氧化物半導體層 105 (參照圖 2C)。另外,也可以藉由噴墨法形成用來形成氧化物半導體層 105 的光阻遮罩。當藉由噴墨法形成光阻遮罩時不需要光遮罩,由此可以降低製造成本。

另外,氧化物半導體層 115 的蝕刻可以為乾蝕刻法和濕蝕刻法中的一者或兩者來實施。當藉由濕蝕刻法進行氧化物半導體層 115 的蝕刻時,可以使用混合有磷酸、醋酸及硝酸的溶液、包含草酸的溶液等作為蝕刻劑。另外,也可以使用 ITO-07N (日本關東化學公司製造)。另外,當藉由乾蝕刻法進行氧化物半導體層 115 的蝕刻時,例如可以利用使用 ECR (Electron Cyclotron Resonance, 即電子迴旋共振)或 ICP (Inductively Coupled Plasma, 即電感耦合電漿)等高密度電漿源的乾蝕刻法。另外,作為容易獲得在較廣的面積上的均勻的放電的乾蝕刻法,有使用 ECCP (Enhanced Capacitively Coupled Plasma, 即增大電容耦合電漿)模式的乾蝕刻法。若採用該蝕刻法,也可以

對應使用第十代的一邊超過 3 m 的尺寸的基板的情況。

此外，也可以在形成氧化物半導體層 105 之後對氧化物半導體層 105 進行用來去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300 °C 以上且 700 °C 以下或低於基板的應變點。加熱處理可以在減壓下或氮氣氛圍下等進行。例如，將基板引入到加熱處理裝置之一的電爐中，在氮氣氛圍下以 450 °C 的溫度對氧化物半導體層 105 進行 1 小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，還可以使用利用來自如電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal Anneal，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行加熱處理的裝置。作為高溫的氣體，使用即使進行加熱處理也不與被處理物起反應的氬等稀有氣體或氮。

例如，作為加熱處理，可以進行 GRTA，其中在加熱到 650 °C 至 700 °C 的高溫的惰性氣體中放進基板，加熱幾分鐘之後，從惰性氣體取出基板。

另外，在加熱處理中，較佳為氮或氦、氖、氬等稀有氣體不包含水、氫等。此外，較佳為將引入到加熱處理裝

置中的氮或氦、氖、氬等稀有氣體的純度設定為 6N (99.9999 %) 以上，較佳為設定為 7N (99.99999 %) 以上 (即，將雜質濃度設定為 1 ppm 以下，較佳為設定為 0.1 ppm 以下)。

另外，在利用加熱處理對氧化物半導體層 105 進行加熱之後，也可以對同一爐內引入高純度的氧氣體、高純度的一氧化二氮氣體或超乾燥空氣 (使用利用光腔衰蕩光譜法 (CRDS: Cavity Ring-Down Spectroscopy) 的露點儀進行測量時的水分量是 20 ppm (露點換算,  $-55^{\circ}\text{C}$ ) 以下，較佳的是 1 ppm 以下，更佳的是 10 ppb 以下的空氣)。較佳為在氧氣體或一氧化二氮氣體中不包含水、氫等。或者，較佳為將引入到加熱處理裝置的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為 7N 以上 (也就是說，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1 ppm 以下，較佳為設定為 0.1 ppm 以下)。藉由利用氧氣體或一氧化二氮氣體的作用來供給由於脫水化或脫氫化處理中的雜質排出製程而同時減少的構成氧化物半導體的主要成分材料的氧，可以降低氧化物半導體內的氧缺陷，由此可以使氧化物半導體層 105i 型 (本質) 化或實際上 i 型化。在這一點上，不是如矽等那樣添加雜質元素而實現 i 型化，因此可以說氧化物半導體的 i 型化包括新穎的技術思想。

只要在形成氧化物半導體層之後，既可以在形成島狀氧化物半導體層 105 之前進行用於脫水化或脫氫化的加熱

處理，又可以在形成島狀氧化物半導體層 105 之後進行用於脫水化或脫氫化的加熱處理。另外，既可以多次進行用於脫水化或脫氫化的加熱處理，又可以將其兼作其他加熱處理。

並且，由於脫水化或脫氫化處理，有可能構成氧化物半導體的主要成分材料的氧也同時發生脫離而減少。在氧化物半導體層中，在氧脫離的部分存在氧缺陷，並且因該氧缺陷而產生導致電晶體的電特性變動的施體能階。

因此，也可以對經過脫水化或脫氫化處理的氧化物半導體層 105 進行氧摻雜處理來對氧化物半導體層 105 中供應氧。

藉由對經過脫水化或脫氫化處理的氧化物半導體層 105 引入氧而對氧化物半導體層 105 中供應氧，可以降低因脫水化或脫氫化處理中的雜質排出製程而產生的氧化物半導體內的氧缺陷，來使氧化物半導體層 105 i 型（本質）化。包括 i 型（本質）化的氧化物半導體層 105 的電晶體的電特性變動被抑制，並且電晶體係電性上穩定。

當對氧化物半導體層 105 引入氧時，既可以對氧化物半導體層 105 直接進行氧摻雜處理，也可以透過其他層對氧化物半導體層 105 進行氧摻雜處理。

另外，藉由氧的引入，切斷構成氧化物半導體層 105 的元素與氫之間的結合、或者該元素與羥基之間的結合，同時，使這些氫、羥基與氧起反應來生成水，從而藉由在引入氧之後進行加熱處理來容易使作為雜質的氫或羥基成

為水而脫離。因此，也可以在對氧化物半導體層 105 引入氧之後進行加熱處理。然後，也可以對氧化物半導體層 105 進一步引入氧來使氧化物半導體層 105 處於氧過剩狀態。此外，也可以交替多次對氧化物半導體層 105 進行氧的引入和加熱處理。另外，也可以同時進行氧的引入和加熱處理。

如此，氧化物半導體層 105 較佳是如下氧化物半導體層：藉由被充分去除氫等雜質而實現高度純化，並且充分的氧被供應而降低氧化物半導體層 105 中的氧缺陷，來實現 i 型（本質）化或實際上 i 型（本質）化。

藉由在減少成為電子給體（施體）的水分或氫等雜質而實現高度純化的氧化物半導體（purified OS）之後對該氧化物半導體供給氧減少該氧化物半導體中的氧缺陷，可以實現 i 型（本質）或無限趨近於 i 型（實際上 i 型化）的氧化物半導體。作為其中形成通道的半導體層使用 i 型或實際上 i 型化的氧化物半導體的電晶體具有顯著低的關閉狀態電流特性。

明確而言，利用 SIMS 測量的被高度純化的氧化物半導體層所包含的氫濃度較佳為  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 以下，更佳為  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以下，進一步較佳為  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下。另外，為了對氧化物半導體層 105 供應充分的氧而使其處於氧過飽和的狀態，較佳為以夾有氧化物半導體層 105 的方式形成與氧化物半導體層 105 接觸的含有多的氧的絕緣層（氧化矽等）。

另外，因為包含多的氧的絕緣層的氫濃度也影響到電晶體的特性，所以是重要的。當包含多的氧的絕緣層的氫濃度為  $7.2 \times 10^{20} \text{ atoms/cm}^3$  以上時，電晶體的初期特性的偏差增大，電晶體的特性的通道長度依賴性增大，並且在 BT 壓力測試中大幅度地劣化，所以包含多的氧的絕緣層的氫濃度較佳低於  $7.2 \times 10^{20} \text{ atoms/cm}^3$ 。就是說，較佳的是，氧化物半導體層的氫濃度為  $5 \times 10^{19} \text{ atoms/cm}^3$  以下，並且，包含多的氧的絕緣層的氫濃度低於  $7.2 \times 10^{20} \text{ atoms/cm}^3$ 。

在此，提到氫濃度的 SIMS 分析。已知的是，在 SIMS 分析中，由於其原理而難以獲得樣本表面附近或與材質不同的層之間的疊層介面附近的準確資料。因此，當使用 SIMS 來分析層中的厚度方向上的氫濃度分佈時，作為氫濃度，採用在對象的層所存在的範圍中沒有值的極端變動且可以獲得大致一定的值的區域中的平均值。另外，當測量目標的層的厚度小時，有時因受到相鄰的膜內的氫濃度的影響而找不到可以獲得大致一定的值的區域。此時，採用該層所存在的區域中的氫濃度的最大值或最小值作為該層中的氫濃度。再者，當在該層所存在的區域中不存在具有最大值的山形峰值、具有最小值的谷形峰值時，採用拐點的值作為氫濃度。

接著，在氧化物半導體層 105 上形成導電層 117（未圖示），藉由光微影製程對導電層 117 的一部分選擇性地進行蝕刻，來形成源極電極 106a 及汲極電極 106b（參照

圖 2D)。

作為成為源極電極 106a 及汲極電極 106b 的導電層 117，使用能夠承受後面的加熱處理的材料形成。作為導電層 117，例如可以使用包含選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬或者以上述元素為成分的金屬氮化物（氮化鈦、氮化鉬、氮化鎢）等。此外，也可以採用在 Al、Cu 等的金屬層的下側和上側中的一者或兩者層疊有 Ti、Mo、W 等高熔點金屬或者它們的金屬氮化物（氮化鈦、氮化鉬、氮化鎢）的結構。也可以使用導電金屬氧化物形成導電層 117。作為導電金屬氧化物，可以使用氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化錫（ $\text{SnO}_2$ ）、氧化鋅（ $\text{ZnO}$ ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使上述金屬氧化物材料包含氧化矽的材料。

在本實施方式中，作為導電層 117，藉由濺鍍法形成厚度為 200 nm 的鈦。導電層 117 的蝕刻可以藉由與閘極電極 103 的形成相同的方法進行。例如，蝕刻條件為：利用 ICP 蝕刻法；利用蝕刻氣體（ $\text{BCl}_3$ ： $\text{Cl}_2$ =750 sccm：150 sccm）；偏壓功率為 1500 W；ICP 電源功率為 0 W；以及壓力為 2.0 Pa。

注意，有時構成源極電極 106a 及汲極電極 106b 的元素、存在於處理室內的元素、以及構成用於蝕刻的蝕刻氣體的元素作為雜質附著在由於源極電極 106a 及汲極電極 106b 的形成而露出的氧化物半導體層 105 的表面。

當上述雜質附著時，容易導致電晶體的關閉狀態電流的增加或電晶體的電特性的劣化。此外，在氧化物半導體層 105 中容易產生寄生通道，應該電分離的電極藉由氧化物半導體層 105 容易彼此電連接。

另外，有時有的雜質進入到氧化物半導體層 105 的表面附近及側面附近，抽出氧化物半導體層 105 中的氧，在氧化物半導體層 105 的表面附近及側面附近形成氧缺陷。例如，包含在上述蝕刻氣體中的氯、硼、處理室的構成材料的鋁可能成為使氧化物半導體層 105 n 型化的原因之一。

於是，在本發明的一個方式中，在用來形成源極電極 106a 及汲極電極 106b 的蝕刻結束之後，進行用來去除附著於氧化物半導體層 105、源極電極 106a 及汲極電極 106b 的表面及側面的雜質的清洗處理（雜質去除處理）。

雜質去除處理可以藉由電漿處理或使用溶液的處理來進行。作為電漿處理，可以使用氧電漿處理或一氧化二氮電漿處理等。此外，在電漿處理中可以使用稀有氣體（典型地是氬）。

此外，作為使用溶液的清洗處理，可以使用 TMAH（Tetramethylammonium Hydroxide：四甲基氫氧化銨）溶液等鹼性的溶液、稀氫氟酸等酸性的溶液或者水。例如，當使用稀氫氟酸時，使用水將 50 wt% 氫氟酸稀釋為  $1/10^2$  至  $1/10^5$  左右，較佳為稀釋為  $1/10^3$  至  $1/10^5$  左右的稀氫氟

酸。就是說，較佳為將濃度為 0.5 wt%至  $5 \times 10^{-4}$  wt%的稀氫氟酸，較佳為  $5 \times 10^{-2}$  wt%至  $5 \times 10^{-4}$  wt%的稀氫氟酸用於洗滌處理。藉由洗滌處理，可以去除附著於露出的氧化物半導體層 105 的表面的上述雜質。

另外，藉由使用稀氫氟酸溶液進行雜質去除處理，可以對露出的氧化物半導體層 105 的表面進行蝕刻。就是說，可以在去除氧化物半導體層 105 的一部分的同時去除附著於露出的氧化物半導體層 105 的表面的雜質或混入到氧化物半導體層 105 的表面附近的雜質。藉由該製程，在氧化物半導體層 105 中，與源極電極 106a 及汲極電極 106b 重疊的區域的厚度比不與源極電極 106a 及汲極電極 106b 重疊的區域的厚度變大。

藉由進行雜質去除處理，在藉由 SIMS 分析法獲得的濃度的峰值中，可以將氧化物半導體層表面的氯濃度設定為  $1 \times 10^{19}/\text{cm}^3$  以下（較佳為  $5 \times 10^{18}/\text{cm}^3$  以下，更佳為  $1 \times 10^{18}/\text{cm}^3$  以下）。另外，可以將硼濃度設定為  $1 \times 10^{19}/\text{cm}^3$  以下（較佳為  $5 \times 10^{18}/\text{cm}^3$  以下，更佳為  $1 \times 10^{18}/\text{cm}^3$  以下）。此外，可以將鋁濃度設定為  $1 \times 10^{19}/\text{cm}^3$  以下（較佳為  $5 \times 10^{18}/\text{cm}^3$  以下，更佳為  $1 \times 10^{18}/\text{cm}^3$  以下）。

藉由進行雜質去除處理，可以實現具有穩定的電特性的可靠性高的電晶體 150。

接著，在源極電極 106a 及汲極電極 106b 上形成與氧化物半導體層 105 的一部分接觸的厚度為 20 nm 至 50 nm

的絕緣層 111（參照圖 3A）。絕緣層 111 可以藉由使用與絕緣層 102 或閘極絕緣層 104 相同的材料及方法形成。例如，作為絕緣層 107，可以使用藉由濺鍍法或 CVD 法形成的氧化矽或氧氮化矽等。

在本實施方式中，作為絕緣層 111，藉由電漿 CVD 法形成厚度為 30 nm 的氧氮化矽。關於絕緣層 111 的成膜條件，例如可以為如下條件： $\text{SiH}_4$  和  $\text{N}_2\text{O}$  的氣體流量比為  $\text{SiH}_4 : \text{N}_2\text{O} = 20 \text{ sccm} : 3000 \text{ sccm}$ ；壓力為 40 Pa；RF 電源功率（電源輸出）為 100 W；以及基板溫度為 350 °C。

接著，對絕緣層 111 引入氧 121，而使絕緣層 111 成為包含過剩的氧的絕緣層 107（參照圖 3B）。氧 121 至少包含氧自由基、臭氧、氧原子、氧離子（包括分子離子、簇離子）中的任一種。氧 121 的引入可以藉由氧摻雜處理進行。

另外，當氧 121 的引入時，可以一次對絕緣層 111 的整個面進行處理，例如可以使用線狀離子束。當使用線狀離子束時，藉由使基板 101 或離子束相對地移動（掃描），可以將氧 121 引入到絕緣層 111 的整個面。

作為用來供應氧 121 的氣體，可以使用含有氧原子的氣體，例如可以使用  $\text{O}_2$  氣體、 $\text{N}_2\text{O}$  氣體、 $\text{CO}_2$  氣體、CO 氣體、 $\text{NO}_2$  氣體等。另外，也可以使用來供應氧的氣體含有稀有氣體（例如 Ar）。

另外，例如當藉由離子植入法進行引入氧時，將氧

121 的劑量較佳為設定為  $1 \times 10^{13}$  ions/cm<sup>2</sup> 以上且  $5 \times 10^{16}$  ions/cm<sup>2</sup> 以下，絕緣層 107 中的氧的含量較佳為超過化學計量組成。另外，上述氧含量比化學計量組成多的區域存在於絕緣層 107 的一部分中。另外，適當地設定植入條件來控制氧的植入深度。

在本實施方式中，使用氧氣氛圍下的電漿處理引入氧 121。另外，由於絕緣層 107 與氧化物半導體層 105 接觸，所以較佳為盡可能減少水、氫等雜質。因此，較佳為在引入氧 121 之前進行用來降低絕緣層 111 中的氫（包括水或羥基）的加熱處理。將以脫水化或脫氫化為目的的加熱處理的溫度設定為 300 °C 以上且 700 °C 以下或低於基板的應變點。以脫水化或脫氫化為目的的加熱處理可以與上述加熱處理同樣地進行。

作為引入氧 121 的電漿處理（氧電漿處理）採用如下條件：氧流量為 250 sccm；ICP 電源功率為 0 W；偏壓功率為 4500 W；以及壓力為 15 Pa。此時，藉由氧電漿處理引入到絕緣層 111 中的氧的一部分穿過絕緣層 111 引入到氧化物半導體層 105 中。由於氧穿過絕緣層 111 引入到氧化物半導體層 105 中，所以不容易在氧化物半導體層 105 的表面產生起因於電漿的損傷，從而可以提高半導體裝置的可靠性。絕緣層 111 的厚度較佳大於 10 nm 且小於 100 nm。在絕緣層 111 的厚度為 10 nm 以下時，氧化物半導體層 105 容易受到氧電漿處理時產生的損傷。另外，在絕緣層 111 的厚度為 100 nm 以上時，有藉由氧電漿處理引

入的氧不能充分地供應到氧化物半導體層 105 的擔憂。另外，也可以多次進行以絕緣層 111 的脫水化或脫氫化為目的的加熱處理及/或氧 121 的引入。藉由將氧引入到絕緣層 111 中，可以將絕緣層 107 用作氧供應層。

接著，在絕緣層 107 上形成厚度為 200 nm 至 500 nm 的絕緣層 108（參照圖 3C）。絕緣層 108 可以藉由使用與絕緣層 102 或閘極絕緣層 104 相同的材料及方法形成。例如，作為絕緣層 108，可以使用藉由濺鍍法或 CVD 法形成的氧化矽或氧氮化矽等。

在本實施方式中，作為絕緣層 108，藉由電漿 CVD 法形成厚度為 370 nm 的氧氮化矽。關於絕緣層 108 的成膜條件，例如可以為如下條件： $\text{SiH}_4$  和  $\text{N}_2\text{O}$  的氣體流量比為  $\text{SiH}_4 : \text{N}_2\text{O} = 30 \text{ sccm} : 4000 \text{ sccm}$ ；壓力為 200 Pa；RF 電源功率（電源輸出）為 150 W；以及基板溫度為 220 °C。

另外，也可以在形成絕緣層 108 之後，在惰性氣體氛圍下、氧氛圍下或惰性氣體和氧的混合氛圍下，以 250 °C 以上且 650 °C 以下，較佳為以 300 °C 以上且 600 °C 以下的溫度進行加熱處理。藉由該加熱處理，可以將絕緣層 107 所包含的氧供應到氧化物半導體層 105，而填充氧化物半導體層 105 的氧缺陷。藉由在絕緣層 107 上形成絕緣層 108，可以將絕緣層 107 所包含的氧高效率地供應到氧化物半導體層 105。

另外，也可以利用氧摻雜處理對絕緣層 108 引入氧

121，而處於氧過剩的狀態。也可以與對絕緣層 107 的氧 121 的引入同樣地進行對絕緣層 108 的氧 121 的引入。另外，也可以在對絕緣層 108 引入氧 121 之後，在惰性氣體氛圍下、氧氛圍下或惰性氣體和氧的混合氛圍下，以 250 ℃ 以上且 650 ℃ 以下，較佳為以 300 ℃ 以上且 600 ℃ 以下的溫度進行加熱處理。

圖 11A 是圖 1B 所示的部位 201 的放大圖，圖 11B 是圖 1C 所示的部位 202 的放大圖。圖 11A 和圖 11B 所示的箭頭示出絕緣層 107 所包含的氧 122 供應到氧化物半導體層 105 的狀態。絕緣層 107 所包含的氧 122 在氧化物半導體層 105 與絕緣層 107 接觸的區域直接供應到氧化物半導體層 105，並且穿過閘極絕緣層 104b 間接供應到氧化物半導體層 105。另外，在絕緣層 108 或閘極絕緣層 104b 處於氧過剩的狀態時，絕緣層 108 或閘極絕緣層 104b 所包含的氧也可以供應到氧化物半導體層 105。

藉由上述製程形成本實施方式的電晶體 150。另外，也可以在電晶體 150 上還形成絕緣層。在本實施方式中，示出在電晶體 150 上形成平坦化絕緣層 110 的例子（參照圖 3D）。作為平坦化絕緣層 110，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、聚醯亞胺醯胺、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以層疊多個由上述材料形成的絕緣

層來形成平坦化絕緣層 110。

在作為通道被形成的半導體層使用氧化物半導體的電晶體中，藉由將氧供應到氧化物半導體層，可以降低氧化物半導體層與絕緣層之間的介面能階密度。結果，可以抑制起因於電晶體的工作等在氧化物半導體層與絕緣層之間的介面載子捕捉，從而可以獲得可靠性高的電晶體。

再者，有時起因於氧化物半導體層的氧缺陷而產生載子。一般來說，氧化物半導體層中的氧缺陷成為在氧化物半導體層中生成作為載子的電子的一個原因。結果，電晶體的臨界電壓漂移到負方向。因此，藉由將氧充分地供應到氧化物半導體層，較佳的是使氧化物半導體層含有過剩的氧，可以降低氧化物半導體層的氧缺陷密度。

另外，氧化物半導體層 105 也可以採用層疊有多個氧化物半導體層的結構。例如，也可以作為氧化物半導體層 105 使用第一氧化物半導體層和第二氧化物半導體層的疊層，並且第一氧化物半導體層和第二氧化物半導體層分別使用不同的組成的金屬氧化物。例如，也可以作為第一氧化物半導體層使用三元金屬氧化物，作為第二氧化物半導體層使用二元金屬氧化物。另外，例如，也可以作為第一氧化物半導體層和第二氧化物半導體層都使用三元金屬氧化物。

此外，也可以使第一氧化物半導體層和第二氧化物半導體層的構成元素相同，並使兩者的組成不同。例如，也可以將第一氧化物半導體層的原子數比設定為 In : Ga :

$Zn=1:1:1$ ，將第二氧化物半導體層的原子數比設定為  $In:Ga:Zn=3:1:2$ 。另外，也可以將第一氧化物半導體層的原子數比設定為  $In:Ga:Zn=1:3:2$ ，將第二氧化物半導體層的原子數比設定為  $In:Ga:Zn=2:1:3$ 。

此時，較佳為將第一氧化物半導體層和第二氧化物半導體層中的離間極電極近的一側（通道一側）的氧化物半導體層的  $In$  和  $Ga$  的含有率設定為  $In>Ga$ 。另外，較佳為將離間極電極遠的一側（背通道一側）的氧化物半導體層的  $In$  和  $Ga$  的含有率設定為  $In\leq Ga$ 。

在氧化物半導體中，重金屬的  $s$  軌道主要有助於載子傳導，並且藉由增加  $In$  的含有率呈現增加  $s$  軌道的重疊率的傾向，由此具有  $In>Ga$  的組成的氧化物的遷移率比具有  $In\leq Ga$  的組成的氧化物高。另外， $Ga$  的氧缺陷的形成能量比  $In$  大而  $Ga$  不容易產生氧缺陷，由此具有  $In\leq Ga$  的組成的氧化物與具有  $In>Ga$  的組成的氧化物相比具有穩定的特性。

藉由在通道一側使用具有  $In>Ga$  的組成的氧化物半導體並在背通道一側使用具有  $In\leq Ga$  的組成的氧化物半導體，可以進一步提高電晶體的遷移率及可靠性。

另外，也可以作為第一氧化物半導體層和第二氧化物半導體層使用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、非晶氧化物半導體或 CAAC-OS 的結構。此外，在作為第一氧化物半導體層和第二氧化物半導體層中的至少一

方使用非晶氧化物半導體時，可以緩和氧化物半導體層 105 的內部應力或外部應力，降低電晶體的特性變動，並進一步提高電晶體的可靠性。

另一方面，非晶氧化物半導體容易吸收氫等成為施體的雜質，並且，容易產生氧缺陷而成為 n 型化。由此，通道一側的氧化物半導體層較佳為使用 CAAC-OS 等具有結晶性的氧化物半導體。

另外，在作為電晶體使用底閘極結構的通道蝕刻型電晶體的情況下，在背通道一側使用非晶氧化物半導體時，形成源極電極及汲極電極時的蝕刻處理導致氧缺陷，而容易使非晶氧化物半導體 n 型化。因此，在使用通道蝕刻型電晶體時，較佳為作為背通道一側的氧化物半導體層使用具有結晶性的氧化物半導體。

另外，作為氧化物半導體層 105 也可以採用三層以上的疊層結構。並且，作為氧化物半導體層 105 也可以採用非晶氧化物半導體層夾在具有結晶性的多個氧化物半導體層之間的結構。另外，也可以採用具有結晶性的氧化物半導體層與非晶氧化物半導體層交替層疊的結構。

在作為氧化物半導體層 105 採用多個層的疊層結構時，上述結構可以適當地組合而使用。

另外，也可以作為氧化物半導體層 105 採用多個層的疊層結構，在形成各氧化物半導體層之後每次進行氧摻雜處理。藉由在形成各氧化物半導體層時每次進行氧摻雜處理，可以提高降低氧化物半導體內的氧缺陷的效果。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

## 實施方式 2

在本實施方式中，說明具有與電晶體 150 不同的結構的電晶體 160 及電晶體 170。

圖 4C 所示的電晶體 160 與電晶體 150 不同之處是形成有絕緣層 109 代替絕緣層 108。電晶體 160 可以藉由如下步驟形成。首先，與電晶體 150 同樣地形成到絕緣層 107，對絕緣層 107 引入氧 121，然後在絕緣層 107 上形成金屬層 119（參照圖 4A）。在本實施方式中，使用鋁作為金屬層 119。

金屬層 119 較佳為利用濺鍍法、蒸鍍法、CVD 法等形成。另外，金屬層 119 的厚度較佳為 3 nm 以上且 10 nm 以下。在本實施方式中，形成厚度為 5 nm 的鋁膜。

另外，形成在絕緣層 107 上的金屬層 119 使用由於後面的氧的引入而成為金屬氧化物層（絕緣層 109）並用作電晶體的阻擋層的材料形成。作為該金屬氧化物層，可以使用對電晶體不透過氫、水分等雜質和氧的兩者的遮斷效果（阻擋效果）高且具有阻隔性的材料形成。另外，作為用作金屬氧化物層的金屬材料，除了鋁以外，還可以使用添加了鎂的鋁、添加了鈦的鋁、接觸於絕緣層 107 的鋁和接觸於鋁的鎂的疊層或接觸於絕緣層 107 的鋁和接觸於鋁的鈦的疊層等。

接著，對金屬層 119 引入氧 121。氧 121 的引入可以藉由氧摻雜處理進行。在本實施方式中，使用氧氣氛圍下的電漿處理引入氧 121。由此，形成金屬層 119 的氧化物的絕緣層 109（參照圖 4B）。

另外，藉由氧摻雜處理形成的絕緣層 109 不需要含有與化學計量組成一致的氧，也可以具有較小的導電性。例如，當其組成由  $\text{Al}_2\text{O}_x$  表示的氧化鋁時， $x$  較佳為 1 以上且 3.5 以下。另外，當氧化鋁具有導電性時，較佳為將其電阻率  $\rho$  設定為  $1 \times 10^{10} \Omega \cdot \text{m}$  以上且  $1 \times 10^{19} \Omega \cdot \text{m}$  以下，更佳為  $1 \times 10^{10} \Omega \cdot \text{m}$  以上且  $1 \times 10^{18} \Omega \cdot \text{m}$  以下，進一步較佳為  $1 \times 10^{11} \Omega \cdot \text{m}$  以上且  $1 \times 10^{15} \Omega \cdot \text{m}$  以下。具有上述電阻率的氧化鋁可以防止電晶體的靜電損壞。

也可以在形成絕緣層 109 之後進行加熱處理。例如將加熱處理的溫度可以設定為  $250^\circ\text{C}$  以上且  $600^\circ\text{C}$  以下，較佳為  $300^\circ\text{C}$  以上且  $600^\circ\text{C}$  以下。

藉由上述製程形成電晶體 160。另外，也可以在電晶體 160 上還形成絕緣層。在本實施方式中，示出在電晶體 160 上形成平坦化絕緣層 110 的例子（參照圖 4D）。

圖 5A 和圖 5B 所示的電晶體 170 具有在電晶體 150 所包括的絕緣層 108 上形成絕緣層 109 的結構。絕緣層 109 可以與電晶體 160 所包括的絕緣層 109 同樣地方式形成。

另外，由於構成絕緣層 109（或金屬層 119）的金屬元素有可能成為使氧化物半導體層 105 n 型化的雜質元

素，所以絕緣層 109 較佳為以不接觸於氧化物半導體層 105 的方式形成。如電晶體 170 所示，絕緣層 109 較佳為以與氧化物半導體層 105 盡可能分開的方式形成。

另外，較佳為使用對氫、水分、氫化物或氫氧化物等雜質或者氧具有阻隔性的材料形成絕緣層 102 及/或閘極絕緣層 104a 以及絕緣層 108 及/或絕緣層 109。藉由使用具有阻隔性的材料作為上述絕緣層並採用將氧化物半導體層 105 夾在具有阻隔性的層之間的結構或具有阻隔性的層包覆氧化物半導體層 105 的結構，可以防止雜質從外部進入，並防止從氧化物半導體層 105、絕緣層 107 及閘極絕緣層 104b 氧的去除。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

### 實施方式 3

藉由使用上述實施方式所示的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或整個部分與像素部一體地形成在相同的基板上，可以形成系統面板（system-on-panel）。在本實施方式中，參照圖 6A 至 7B 說明使用上述實施方式所示的電晶體的顯示裝置的例子。注意，圖 7A 和 7B 是示出沿圖 6B 中的 M-N 虛線的剖面結構的剖面圖。

在圖 6A 中，以圍繞設置在第一基板 4001 上的像素部

4002 的方式設置密封材料 4005，並且，使用第二基板 4006 進行密封。在圖 6A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 4003、掃描線驅動電路 4004。此外，供給到信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC (Flexible printed circuit: 撓性印刷電路) 4018a、4018b 供給。

在圖 6B 和圖 6C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。在圖 6B 和圖 6C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 4003。在圖 6B 和圖 6C 中，供給到信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC4018 供給。

此外，圖 6B 和圖 6C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以另行僅形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用晶粒玻璃接合（Chip On Glass, COG）方法、打線接合方法、或者捲帶式自動接合（Tape Automated Bonding, TAB）方法等。圖 6A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 6B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 6C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。另外，顯示裝置還包括：安裝有連接器諸如 FPC、TAB 膠帶或 TCP 的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，可以應用上述任一實施方式所示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence，電致發光）、有機 EL 等。此外，也可以

應用電子墨水等由於電效應而改變對比度的顯示媒介。

如圖 7A 及 7B 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，連接端子電極 4015 及端子電極 4016 藉由各向異性導電層 4019 電連接到 FPC4018 所包括的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電層形成，並且，端子電極 4016 由與電晶體 4010、4011 的源極電極及汲極電極相同的導電層形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 包括多個電晶體，在圖 7A 及 7B 中示出像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括的電晶體 4011。在圖 7A 中，在電晶體 4010、電晶體 4011 上設置有絕緣層 4020，並且在圖 7B 中，在絕緣層 4024 上還設置有平坦化層 4021。另外，絕緣層 4023 是用作基底層的絕緣層。

在本實施方式中，作為電晶體 4010、4011 可以使用上述實施方式所示的電晶體。

上述實施方式所示的電晶體的電特性變動被抑制，所以在電性上穩定。因此，作為圖 7A 和 7B 所示的本實施方式的半導體裝置，可以提供可靠性高的半導體裝置。

此外，在圖 7B 中，示出在絕緣層 4024 上的與驅動電路用電晶體 4011 的氧化物半導體層的通道形成區重疊的位置設置有導電層 4017 的例子。在本實施方式中，由與第一電極層 4030 相同的層形成導電層 4017。藉由將導電

層 4017 設置在與氧化物半導體層的通道形成區重疊的位置，可以進一步降低 BT 試驗前後的電晶體 4011 的臨界電壓的變化量。此外，導電層 4017 的電位既可以與電晶體 4011 的閘極電極的電位相同，又可以不同，並且，還可以將導電層用作第二閘極電極。此外，導電層 4017 的電位也可以為 GND、0V 或浮動狀態。

此外，導電層 4017 還具有遮蔽外部的電場的功能。就是說，導電層 4017 還具有不使外部的電場作用到內部（包括薄膜電晶體的電路部）的功能（尤其是，遮蔽靜電的靜電遮蔽功能）。利用導電層 4017 的遮蔽功能，可以防止由於靜電等外部的電場的影響而使電晶體的電特性變動。導電層 4017 可以用於上述實施方式所示的任何電晶體。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 7A 示出將液晶元件用作顯示元件的液晶顯示裝置的實例。在圖 7A 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。注意，以夾持液晶層 4008 的方式設置有用作配向膜的絕緣層 4032、4033。第二電極層 4031 設置在第二基板 4006 一側，並且，第一電極層 4030 和第二電極層 4031 隔著液晶層 4008 重疊。

此外，間隔物 4035 是藉由對絕緣層選擇性地進行蝕

刻而得到的柱狀間隔物，並且它是為控制第一電極層 4030 和第二電極層 4031 之間の間隔（單元間隙）而設置的。注意，也可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、近晶相、立方相、手向列相、各向同性相等。

另外，也可以採用不使用配向膜的呈現藍相的液晶。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相液晶轉變成均質相之前呈現。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有 5 wt.% 以上的手性試劑的液晶組成物用於液晶層。由於包括呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 1 msec 以下，並且它具有光學各向同性，所以不需要配向處理，並且視角依賴性低。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的故障、破損。從而，可以提高液晶顯示裝置的生產率。在使用氧化物半導體層的電晶體中，電特性因靜電而有可能顯著地變動而越出設計範圍。因此，將藍相的液晶材料用於包括使用氧化物半導體層的電晶體的液晶顯示裝置是更有效的。

此外，液晶材料的特定電阻係數為  $1 \times 10^9 \Omega \cdot \text{cm}$  以上，較佳為  $1 \times 10^{11} \Omega \cdot \text{cm}$  以上，更佳為  $1 \times 10^{12} \Omega \cdot \text{cm}$  以

上。注意，本說明書中的特定電阻係數於 20 °C 被測量。

在本實施方式中使用的包括高度純化的氧化物半導體層的電晶體可以降低截止狀態下的電流值（關閉狀態電流值）。因此，可以延長影像信號等的電信號的保持時間，並且，還可以延長電源導通狀態下的寫入間隔。因此，可以降低更新工作的頻率，所以發揮抑制耗電量的效果。

考慮到配置在像素部中的電晶體的汲極電流等而以能夠在指定期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。可以考慮到電晶體的關閉狀態電流等設定儲存電容器的大小。藉由使用包括高純度的氧化物半導體層的電晶體，設置具有各像素中的液晶電容的 1/3 以下，較佳為 1/5 以下的電容大小的儲存電容器。

此外，由於使用上述氧化物半導體的電晶體可以得到較高的場效應遷移率，因此可以進行高速驅動。由此，藉由在具有顯示功能的半導體裝置的像素部中使用上述電晶體，可以提供高影像品質的影像。另外，因為可以在同一基板上分別製造驅動電路部或像素部，所以可以縮減半導體裝置的構件數量。

液晶顯示裝置可以採用 TN（Twisted Nematic，扭曲向列）模式、IPS（In-Plane-Switching，平面內轉換）模式、FFS（Fringe Field Switching，邊緣電場轉換）模式、ASM（Axially Symmetric aligned Micro-cell，軸對稱排列微單元）模式、OCB（Optical Compensated Birefringence，光學補償彎曲）模式、FLC（Ferroelectric

Liquid Crystal，鐵電性液晶）模式、以及 AFLC（Anti Ferroelectric Liquid Crystal，反鐵電性液晶）模式等。

另外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透射型液晶顯示裝置。在此，垂直配向模式是指控制液晶顯示面板的液晶分子的排列的方式的一種，是當不施加電壓時液晶分子朝向垂直於面板表面的方向的方式。作為垂直配向模式，可以舉出幾個例子，例如可以使用多象限垂直配向（Multi-Domain Vertical Alignment, MVA）模式、垂直配向構型（Patterned Vertical Alignment, PVA）模式、超視覺（Advanced Super View, ASV）模式等。此外，也可以使用將像素（pixel）分成幾個區域（子像素），並且使分子分別倒向不同方向的稱為多疇化或者多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣（遮光層）、如偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈等。

另外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，當進行彩色顯示時在像素中控制的顏色因素不侷限於 RGB（R 顯示紅色，G 顯示綠色，B 顯示藍色）的三種顏色。例如，也可以採用 RGBW（W 顯示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的顏

色。注意，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，本發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

另外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區別，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括發光有機化合物的層，以使電流流過。這些載子（電子及電洞）重新結合，且因此發光有機化合物被激發，當發光有機化合物從該激發態回到基態時因而發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括發光層，其中發光材料的粒子分散在黏合劑中，並且其發光機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件包括一種結構，其中，發光層夾在介電質層之間，並且該夾著發光層的介電質層夾在電極之間，其發光機制是利用金屬離子的內殼層電子躍遷的局部型發光。注意，這裡使用有機 EL 元件作為發光元件進行說明。

為了取出發光，發光元件的一對電極中的至少一個具有透光性。並且，在基板上形成電晶體及發光元件，作為

發光元件，有從與基板相反一側的表面取出發光的頂部發射；從基板一側的表面取出發光的底部發射；從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 7B 示出作為顯示元件使用發光元件的發光裝置的例子。作為顯示元件的發光元件 4513 與設置在像素部 4002 中的電晶體 4010 電連接。注意，發光元件 4513 的結構是由第一電極層 4030、電致發光層 4511、第二電極層 4031 構成的疊層結構，但是，不侷限於圖 7B 所示的結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 可使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳為使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等進入到發光元件 4513 中，也可以在第二電極層 4031 及分隔壁 4510 上形成保護層。作為保護層，可以形成氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、DLC 膜等。此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 加以密封。如此，為了不暴露於外部氣體，較佳為使用氣密性

高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作為填充材料 4514，除了氮或氬等惰性氣體以外，也可以使用紫外線固化樹脂或熱固性樹脂，例如可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯）。例如，可使用氮作為填充材料。

另外，如果需要，則也可以在發光元件的射出表面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$  板， $\lambda/2$  板）、濾色片等的光學薄膜。此外，也可以在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凸出及/或凹陷來擴散反射光而可以降低眩光的處理。

關於對顯示元件施加電壓的第一電極層及第二電極層（也稱為像素電極層、共用電極層、反電極層等），根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性。

作為第一電極層 4030、第二電極層 4031，可以使用包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、

鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬、其合金或者其金屬氮化物中的一種或多種來形成。

此外，第一電極層 4030、第二電極層 4031 可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的  $\pi$  電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯及噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，由於電晶體容易因靜電等而損壞，所以較佳為設置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件構成。

如上所述，藉由應用上述實施方式所示的電晶體，可以提供具有顯示功能的高可靠性半導體裝置。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

#### 實施方式 4

藉由使用上述實施方式所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 8A 示出具有影像感測器功能的半導體裝置的一個例子。圖 8A 是光電感測器的等效電路，而圖 8B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器參考信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，為了使使用氧化物半導體層的電晶體一目了然，將使用氧化物半導體層的電晶體的符號表示為“OS”。在圖 8A 中，電晶體 640 和電晶體 656 可以應用上述實施方式所示的電晶體是將氧化物半導體用於通道被形成的半導體層。在本實施方式中示出應用包括與實施方式 1 所示的電晶體 150 同樣的結構的電晶體的例子。電晶體 640 是在氧化物半導體層上設置有用作通道保護層的絕緣層的底閘極結構的反交錯電晶體。

圖 8B 是示出光電感測器中的光電二極體 602 和電晶體 640 的結構例子的剖面圖，其中在具有絕緣表面的基板 601（TFT 基板）上設置有用作感測器的光電二極體 602 和電晶體 640。在光電二極體 602 和電晶體 640 上使用黏合層 608 設置有基板 613。

在電晶體 640 上設置有絕緣層 633 以及絕緣層 634。光電二極體 602 設置在絕緣層 633 上，並且光電二極體 602 包括如下結構：在形成於絕緣層 633 上的電極 641a、

641b 與設置在絕緣層 634 上的電極層 642 之間從絕緣層 633 一側依次層疊有第一半導體層 606a、第二半導體層 606b 及第三半導體層 606c。

電極 641b 與形成在絕緣層 634 上的導電層 643 電連接，並且電極層 642 藉由電極 641a 與導電層 645 電連接。導電層 645 與電晶體 640 的閘極電極電連接，並且光電二極體 602 與電晶體 640 電連接。

在此，示出一種 pin 型光電二極體，其中層疊有用作第一半導體層 606a 的具有 p 型導電型的半導體層、用作第二半導體層 606b 的高電阻的半導體層（i 型半導體層）、用作第三半導體層 606c 的具有 n 型導電型的半導體層。

第一半導體層 606a 是 p 型半導體層，而可以由包含賦予 p 型傳導性的雜質元素的非晶矽形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法來形成第一半導體層 606a。作為半導體來源氣體，可以使用矽烷（ $\text{SiH}_4$ ）。另外，也可以使用  $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽。較佳為在使用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽的方法，可以使用 LPCVD 法、氣相生長法或濺鍍法等。較佳為將第一半導體層 606a 的厚度設定為 10 nm 以上且 50

nm 以下。

第二半導體層 606b 是 i 型半導體層（本質半導體層），而可以由非晶矽形成。為了形成第二半導體層 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽。作為半導體材料氣體，可以使用矽烷（ $\text{SiH}_4$ ）。或者，也可以使用  $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$  或  $\text{SiF}_4$  等。也可以藉由 LPCVD 法、氣相生長法、濺鍍法等形成第二半導體層 606b。較佳為將第二半導體層 606b 的厚度設定為 200 nm 以上且 1000 nm 以下。

第三半導體層 606c 是 n 型半導體層，而可以由包含賦予 n 型的雜質元素的非晶矽形成。使用包含屬於週期表中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體層 606c。作為半導體材料氣體，可以使用矽烷（ $\text{SiH}_4$ ）。或者，也可以使用  $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$  或  $\text{SiF}_4$  等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽。較佳為在使用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽的方法，可以使用 LPCVD 法、氣相生長法或濺鍍法等。較佳為將第三半導體層 606c 的厚度設定為 20 nm 以上且 200 nm 以下。

此外，第一半導體層 606a、第二半導體層 606b 以及第三半導體層 606c 也可以使用多晶半導體或微晶半導體

(SAS: Semi Amorphous Semiconductor) 形成而可以不使用非晶半導體形成。

此外，由於光電效應生成的電洞的遷移率低於電子的遷移率，因此當 p 型半導體層一側的表面用作光接收面時，pin 型光電二極體具有良好的特性。這裡示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光 622 轉換為電信號的例子。此外，來自其導電型與用作光接收面的半導體層一側相反的半導體層一側的光是干擾光，因此，電極層較佳為使用具有遮光性的導電層。另外，也可以將 n 型半導體層一側的表面用作光接收面。

作為絕緣層 633、634，較佳為採用用作減少表面平坦度的平坦化層的絕緣層。作為絕緣層 633、絕緣層 634，例如可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺或環氧樹脂等具有耐熱性的有機絕緣材料。除了上述有機絕緣材料之外，也可以使用低介電常數材料 (low-k 材料)、矽氧烷類樹脂、磷矽玻璃 (PSG)、硼磷矽玻璃 (BPSG) 等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

上述實施方式所示的電晶體的電特性變動被抑制，所以在電性上穩定。因此，可以提供包括具有穩定的電特性的電晶體 640 的可靠性高的半導體裝置。另外，可以高良率地製造可靠性高的半導體裝置，並且可以實現高生產

率。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

## 實施方式 5

可以將本說明書所公開的半導體裝置應用於多種電子裝置（包括遊戲機）。作為電子裝置，可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝像機、數位相框、行動電話機、可攜式遊戲機、移動資訊終端、音頻再生裝置、遊戲機（伯青哥機、吃角子老虎機等）、遊戲機控制台等。這些電子裝置的具體例子表示於圖 9A 至 10C。

圖 9A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，在此示出利用四個腳部 9002 支撐外殼 9001 的結構。另外，外殼 9001 包括用來供應電力的電源供應線 9005。

實施方式 1 至實施方式 4 中的任一所示的半導體裝置可以應用於顯示部 9003，由此電子裝置可以具有高可靠性。

顯示部 9003 具有觸控輸入功能。藉由用指頭等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004，可以進行螢幕操作及資訊輸入。並且藉由使桌子具有能夠與其他家電產品進行通訊的功能或能夠控制其他家電產品的

功能，可以將顯示部 9003 用作藉由螢幕操作控制其他家電產品的控制裝置。例如，藉由使用實施方式 3 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸控面板輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的畫面以垂直於地板的方式立起來，從而也可以將桌子 9000 用作電視機。雖然如果在小房間裏設置大畫面的電視機則自由使用的空間變小，然而，如果在桌子內安裝有顯示部則可以有效地利用房間的空間。

圖 9B 示出電視機 9100。在電視機 9100 中，外殼 9101 組裝有顯示部 9103。利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

可以藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110 進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 9B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

實施方式 1 至實施方式 4 中的任一所示的半導體裝置可以應用於顯示部 9103、9107，由此電視機及遙控器可以具備高可靠性。

圖 9C 示出電腦，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。該電腦藉由將利用本發明的一個方式製造的半導體裝置用於顯示部 9203 來製造。藉由利用上述實施方式所示的半導體裝置，提供的電腦可以具備高可靠性。

圖 10A 及 10B 是能夠進行折疊的平板終端。圖 10A 示出打開的狀態。平板終端包括外殼 9630、包括顯示部 9631a 和顯示部 9631b 的顯示部 9631、顯示模式切換開關 9626、電源開關 9627、省電模式切換開關 9625、扣件 9629 以及操作開關 9628。

實施方式 1 至實施方式 4 中的任一所示的半導體裝置可以應用於顯示部 9631a 及顯示部 9631b，由此平板終端可以具備高的可靠性。

在顯示部 9631a 中，可以將其一部分用作觸控面板的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。圖 10A 顯示，作為一個例子，顯示部 9631a 的一半只具有顯示的功能，並且另一半具有觸控面板的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的整個區域具有觸控面板的功能的結構。例如，可以在顯示部 9631a 的全面顯示鍵盤來將其用作觸控面板，並且將顯示部 9631b 用作顯示畫面。

與顯示部 9631a 相同，也可以將顯示部 9631b 一部分用作觸控面板的區域 9632b。此外，藉由使用指頭或觸控筆等接觸於觸控面板上的鍵盤顯示切換按鈕 9639 的位置上，可以在顯示部 9631b 上顯示鍵盤。

可以對觸控面板區域 9632a 和 9632b 同時進行觸控輸入。

另外，切換顯示模式之開關 9626 能夠允許介於豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示和彩色顯示的切換等。藉由根據平板終端所內置的光感測器所檢測的使用時的外部光線的量，用於切換至省電模式之開關 9625 可以使顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置等檢測傾斜度的感測器等（如陀螺儀或加速度感測器）的其他檢測裝置。

雖然圖 10A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，它們的尺寸及/或顯示品質可以不同。例如，其中一者可以是能顯示比一者較高清晰度的顯示面板。

圖 10B 示出合上的平板終端。平板終端包括外殼 9630、太陽能電池 9633、充/放電控制電路 9634、電池 9635 以及 DCDC 轉換器 9636。此外，在圖 10B 中，作為例子，充/放電控制電路 9634 包括有電池 9635 和 DCDC 轉換器 9636。

此外，平板終端能夠進行折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部

9631b，而可以提供一種具有良好的耐久性且可長期使用的高可靠性的平板終端。

此外，圖 10A 及 10B 所示的平板終端還可以具有如下功能：顯示各種各樣的資料（如靜態影像、動態影像、文字影像等）的功能；將日曆、日期或時刻等顯示在顯示部上的功能；對顯示在顯示部上的資料進行操作或編輯的觸控輸入功能；藉由各種各樣的軟體（程式）控制處理的功能等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸控面板、顯示部或影像信號處理器等。另外，可以藉由將太陽能電池 9633 設置在外殼 9630 的單面或雙面，來高效地對電池 9635 進行充電。另外，當使用鋰離子電池作為電池 9635 時，可以有實現小型化等的優點。

另外，參照圖 10C 所示的方塊圖對圖 10B 所示的充/放電控制電路 9634 的結構和工作進行說明。圖 10C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631。電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應圖 10B 所示的充/放電控制電路 9634。

首先，說明在利用外部光線使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以其成為對電池 9635 進行充電的電壓。當利用來自太陽能電池 9633 的電力使顯示

部 9631 工作時，開關 SW1 被導通，並且，利用轉換器 9637 將來自太陽能電池 9633 的電力升壓或降壓到操作顯示部 9631 所需的電壓。另一方面，當不進行顯示部 9631 中的顯示時，使開關 SW1 截止且使開關 SW2 導通來對電池 9635 進行充電。

注意，示出太陽能電池 9633 作為發電單元的一個例子，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件（Peltier element）等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線（不接觸）的方式傳送與接收電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

#### 【符號說明】

101：基板

102：絕緣層

103：閘極電極

104：閘極絕緣層

105：氧化物半導體層

107：絕緣層

108：絕緣層

109：絕緣層

110：平坦化絕緣層  
111：絕緣層  
115：氧化物半導體層  
117：導電層  
119：金屬層  
121：氧  
122：氧  
150：電晶體  
160：電晶體  
170：電晶體  
201：部位  
202：部位  
601：基板  
602：光電二極體  
608：黏合層  
613：基板  
622：光  
633：絕緣層  
634：絕緣層  
640：電晶體  
642：電極層  
643：導電層  
645：導電層  
656：電晶體

- 658：光電二極體重設信號線
- 659：閘極信號線
- 671：光電感測器輸出信號線
- 672：光電感測器參考信號線
- 4001：基板
- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封材料
- 4006：基板
- 4008：液晶層
- 4010：電晶體
- 4011：電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4017：導電層
- 4018：撓性印刷電路
- 4019：各向異性導電層
- 4020：絕緣層
- 4021：平坦化層
- 4023：絕緣層
- 4024：絕緣層
- 4030：電極層

4031：電極層  
4032：絕緣層  
4033：絕緣層  
4035：間隔物  
4510：分隔壁  
4511：電致發光層  
4513：發光元件  
4514：填充材料  
9000：桌子  
9001：外殼  
9002：腳部  
9003：顯示部  
9004：顯示按鈕  
9005：電源供應線  
9100：電視機  
9101：外殼  
9103：顯示部  
9105：支架  
9107：顯示部  
9109：操作鍵  
9110：遙控器  
9201：主體  
9202：外殼  
9203：顯示部

9204：鍵盤  
9205：外部連接埠  
9206：指向裝置  
9625：開關  
9626：開關  
9627：電源開關  
9628：操作開關  
9629：扣件  
9630：外殼  
9631：顯示部  
9633：太陽能電池  
9634：充放電控制電路  
9635：電池  
9636：DCDC 轉換器  
9637：轉換器  
9638：操作鍵  
9639：按鈕  
104a：閘極絕緣層  
104b：閘極絕緣層  
106a：源極電極  
106b：汲極電極  
4018a：撓性印刷電路  
4018b：撓性印刷電路  
606a：半導體層

606b：半 導 體 層

606c：半 導 體 層

641a：電 極

641b：電 極

9631a：顯 示 部

9631b：顯 示 部

9632a：區 域

9632b：區 域

## 發明摘要

※申請案號：106107047

※申請日：102 年 01 月 23 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及製造半導體裝置的方法

Semiconductor device and method for manufacturing semiconductor device

【中文】

本發明的目的之一是提供一種包括使用氧化物半導體的電晶體的高可靠性高半導體裝置。在具有包括氧化物半導體層的底閘極結構的電晶體的半導體裝置中，以與氧化物半導體層接觸的方式形成第一絕緣層，並且，藉由進行氧摻雜處理形成包含多於化學計量組成的氧的第一絕緣層。藉由在第一絕緣層上形成第二絕緣層，可以將第一絕緣層所包含的過剩的氧高效率地供應到氧化物半導體層。因此，可以提供具有穩定的電特性的高可靠性半導體裝置。

## 【 英文 】

A highly reliable semiconductor device including a transistor using an oxide semiconductor is provided. In a semiconductor device including a bottom-gate transistor including an oxide semiconductor layer, a first insulating layer is formed in contact with the oxide semiconductor layer, and an oxygen doping treatment is performed thereon, whereby the first insulating layer is made to contain oxygen in excess of the stoichiometric composition. The formation of the second insulating layer over the first insulating layer enables excess oxygen included in the first insulating layer to be supplied efficiently to the oxide semiconductor layer. Accordingly, the highly reliable semiconductor device with stable electric characteristics can be provided.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

- 101：基板
- 102：絕緣層
- 103：閘極電極
- 104：閘極絕緣層
- 104a：閘極絕緣層
- 104b：閘極絕緣層
- 105：氧化物半導體層
- 106a：源極電極
- 106b：汲極電極
- 107：絕緣層
- 108：絕緣層
- 150：電晶體
- 201：部位

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

## 申請專利範圍

1. 一種半導體裝置的製造方法，包括如下步驟：

形成氧化物半導體層，該氧化物半導體層含有比率為銦大於鎵的銦及鎵；

藉由濕蝕刻法蝕刻該氧化物半導體層的一部分；

在該氧化物半導體層上形成氮氧化矽膜；以及

藉由氧氣氛圍下的電漿處理引入氧氣至該氮氧化矽膜，

其中，該氧化物半導體層中的銅濃度為  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下。

2. 一種半導體裝置的製造方法，包括如下步驟：

形成閘極電極；在該閘極電極上形成絕緣層；

在該絕緣層上形成氧化物半導體層，該氧化物半導體層含有比率為銦大於鎵的銦及鎵；

藉由濕蝕刻法蝕刻該氧化物半導體層；

在該氧化物半導體層上形成氮氧化矽膜；以及

藉由氧氣氛圍下的電漿處理引入氧氣至該氮氧化矽膜，

其中，該氧化物半導體層中的銅濃度為  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下。

3. 根據申請專利範圍第 2 項之半導體裝置的製造方法，

其中，該閘極電極為包括含有透光性的導電材料之第一層及包含金屬元素之第二層的疊層結構。

4. 一種半導體裝置的製造方法，包括如下步驟：形成氧化物半導體層，該氧化物半導體層含有比率為銅大於鎵的銅及鎵；

藉由濕蝕刻法蝕刻該氧化物半導體層的一部分；

在該氧化物半導體層上形成源極電極及汲極電極；

在該源極電極及該汲極電極上形成氮氧化矽膜；以及

藉由氧氣氛圍下的電漿處理引入氧氣至該氮氧化矽膜，

其中，該氧化物半導體層中的銅濃度為  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下。

5. 根據申請專利範圍第 1 項之半導體裝置的製造方法，還包括如下步驟：

形成具有包括含有透光性的導電材料之第一層及包含金屬元素之第二層的疊層結構的閘極電極。

6. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，部分之引入該氮氧化矽膜的氧氣經由該氮氧化矽膜被引入該氧化物半導體層。

7. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，該氧化物半導體層包含具有 In : Ga : Zn=3/6 : 1/6 : 2/6 或鄰近 In : Ga : Zn=3/6 : 1/6 : 2/6 之原子數比的銅、鎵及鋅，以及

其中，具有 In : Ga : Zn= A : B : C ( A+B+C=1 ) 之原

子數比且滿足  $(3/6-A)^2 + (1/6-B)^2 + (2/6-C)^2 \leq 0.0025$  的關係之氧化物半導體層係在  $\text{In} : \text{Ga} : \text{Zn} = 3/6 : 1/6 : 2/6$  之鄰近。

8. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，該氧化物半導體層包含具有  $\text{In} : \text{Ga} : \text{Zn} = 2/6 : 1/6 : 3/6$  或鄰近  $\text{In} : \text{Ga} : \text{Zn} = 2/6 : 1/6 : 3/6$  之原子數比的銦、鎵及鋅，以及

其中，具有  $\text{In} : \text{Ga} : \text{Zn} = A : B : C$  ( $A+B+C=1$ ) 之原子數比且滿足  $(2/6-A)^2 + (1/6-B)^2 + (3/6-C)^2 \leq 0.0025$  的關係之氧化物半導體層係在  $\text{In} : \text{Ga} : \text{Zn} = 2/6 : 1/6 : 3/6$  之鄰近。

9. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，該氧化物半導體層含有比率為  $\text{In} > 2 \text{ Ga}$  的銦及鎵。

10. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，該氧化物半導體層中的氫濃度為  $7.2 \times 10^{20} \text{ atoms/cm}^3$  以下。

11. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，在該氧化物半導體層中 c 軸配向且 a 軸及/或 b 軸不宏觀地一致。

12. 根據申請專利範圍第 1、2 及 4 項中任一項之半導體裝置的製造方法，

其中，該氧化物半導體層包括大於或等於 1 nm 且小於 10 nm 的尺寸的微晶。

圖式

圖 1A

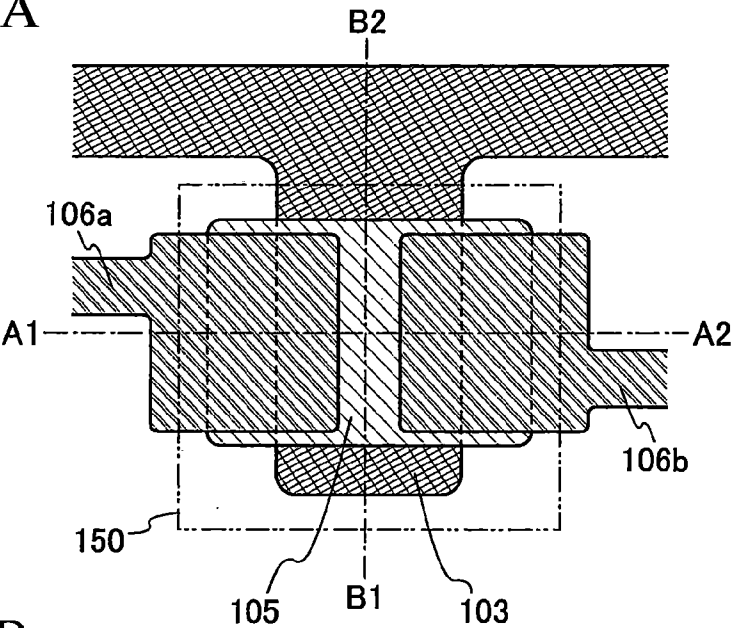


圖 1B

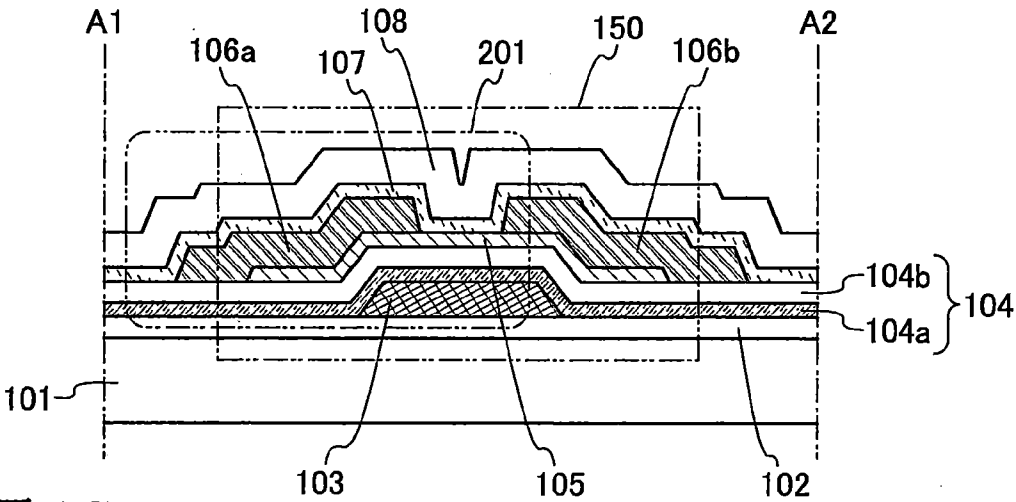


圖 1C

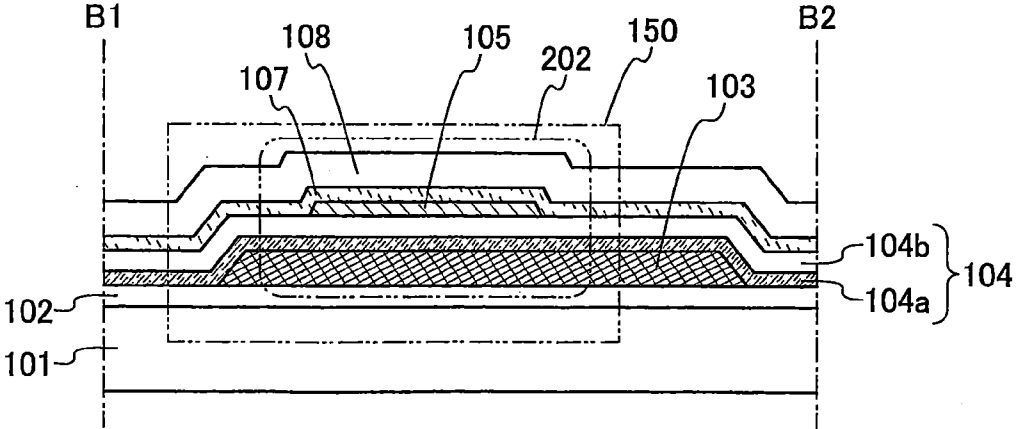


圖 2A

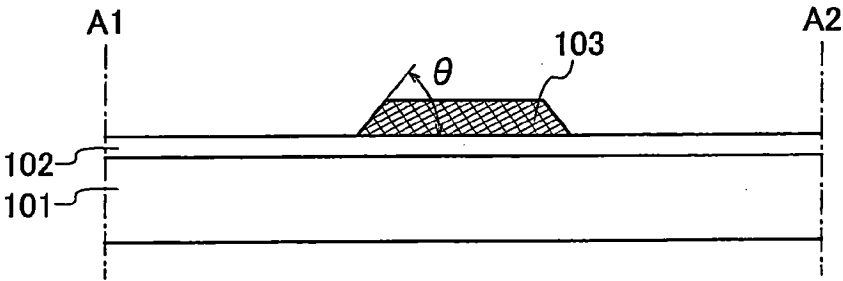


圖 2B

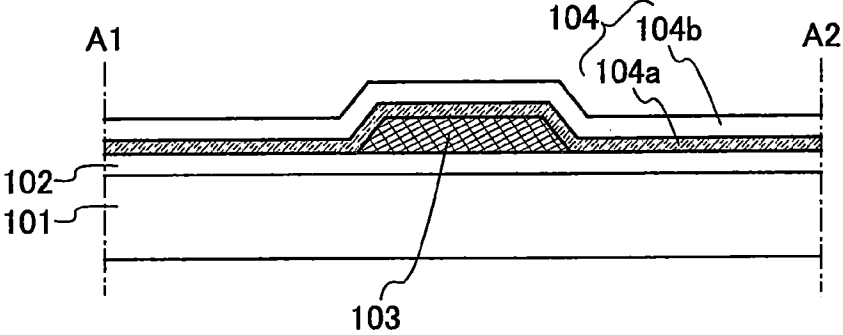


圖 2C

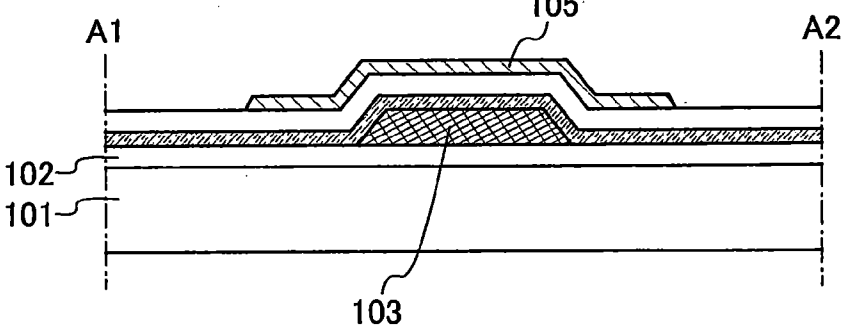


圖 2D

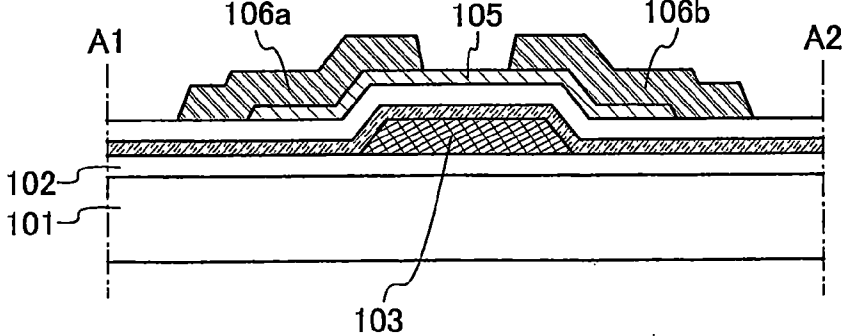


圖 3A

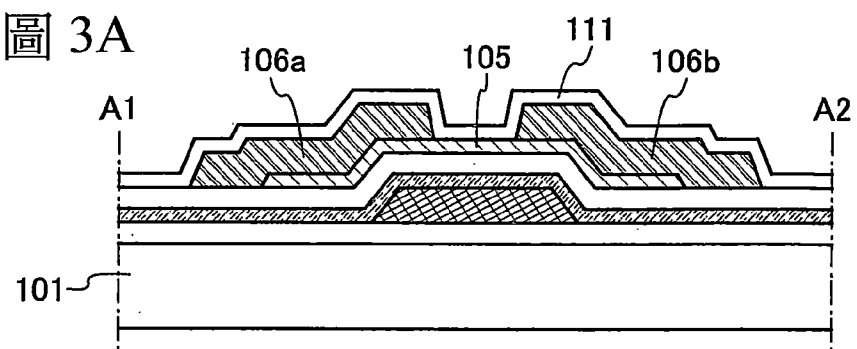


圖 3B

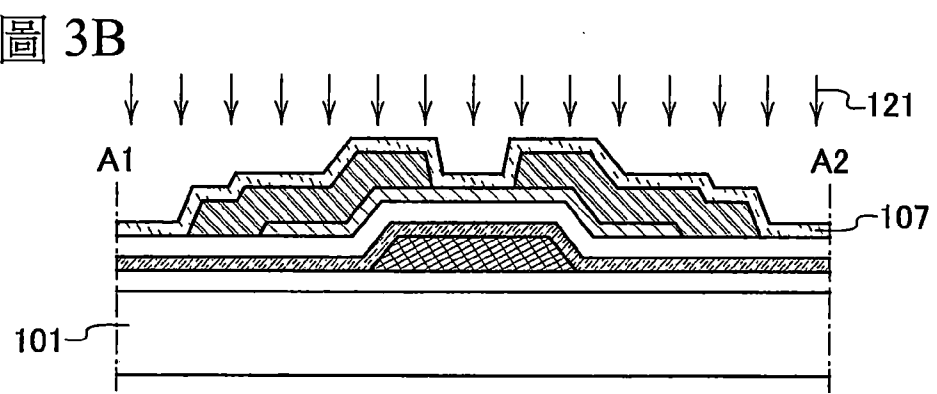


圖 3C

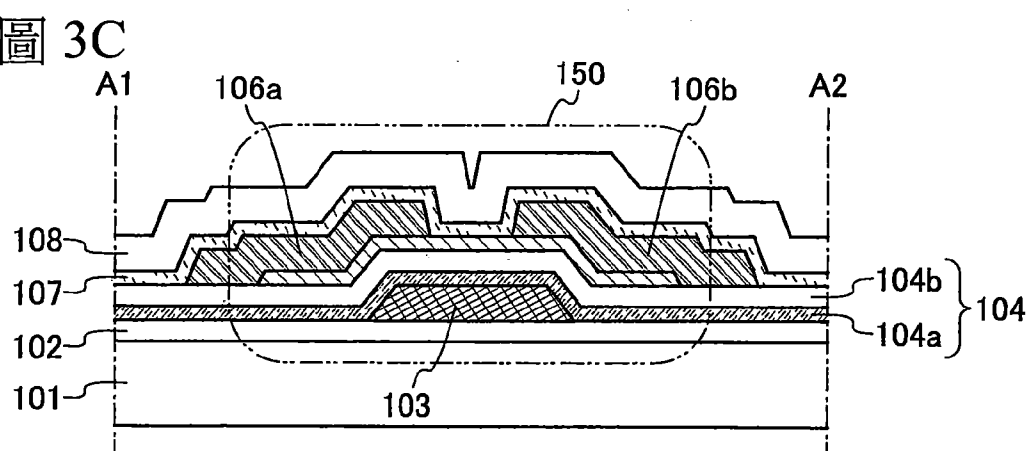


圖 3D

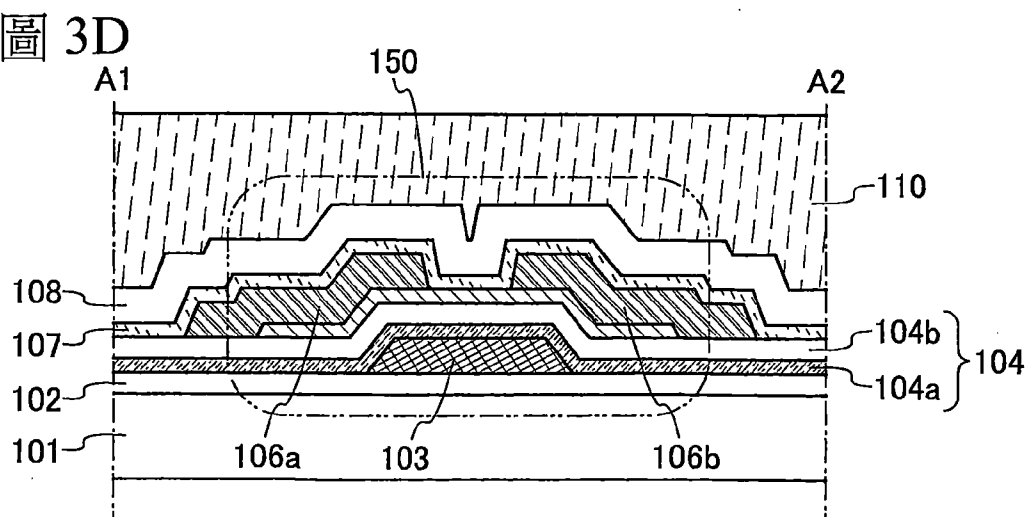


圖 4A

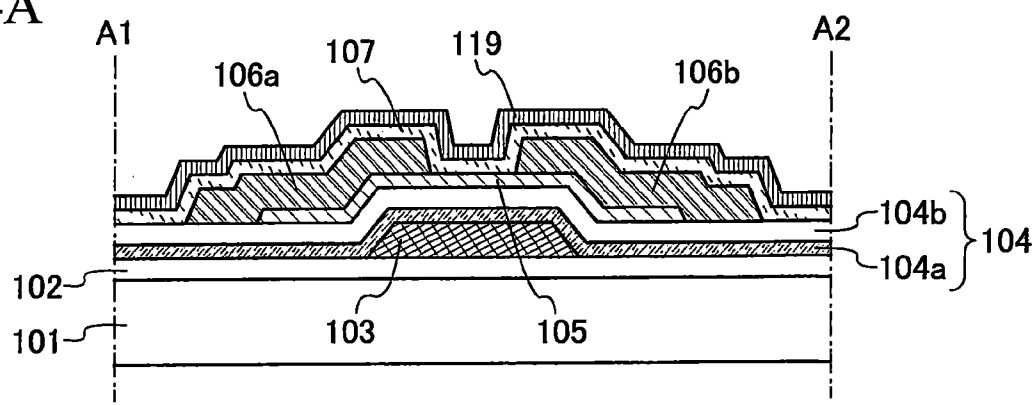


圖 4B

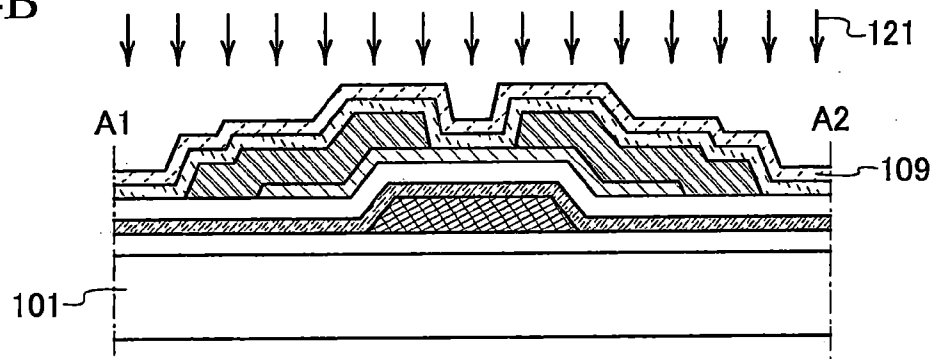


圖 4C

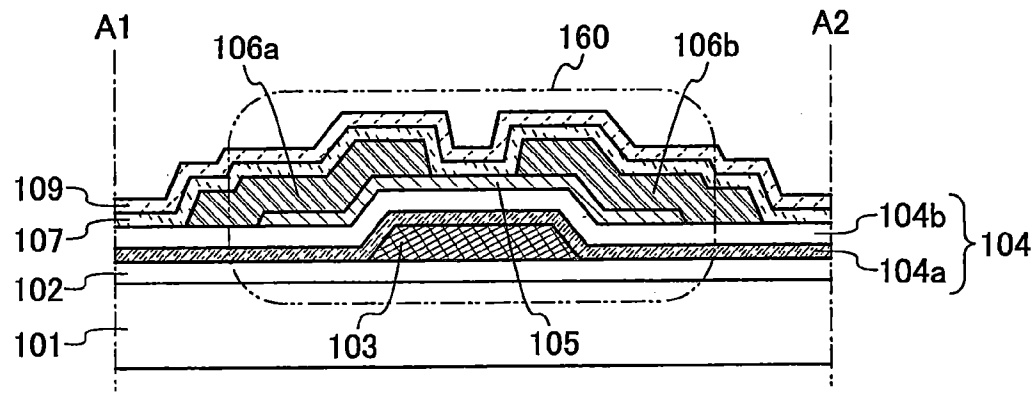


圖 4D

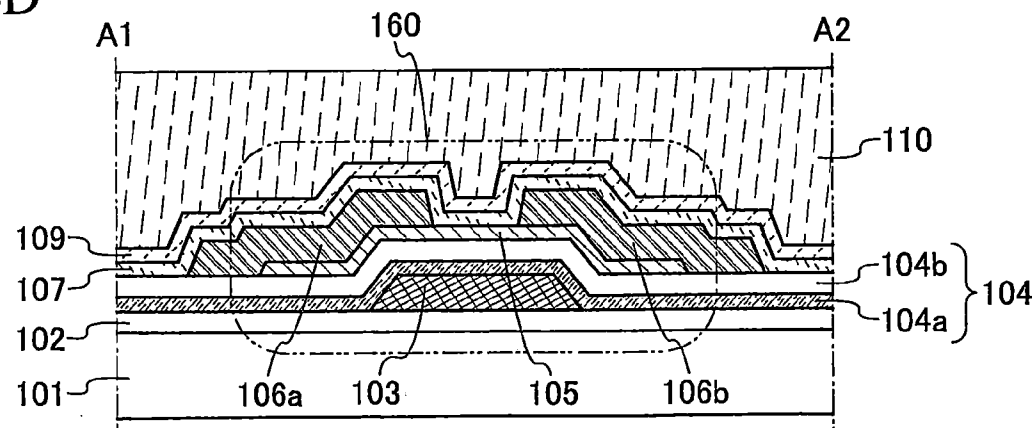


圖 5A

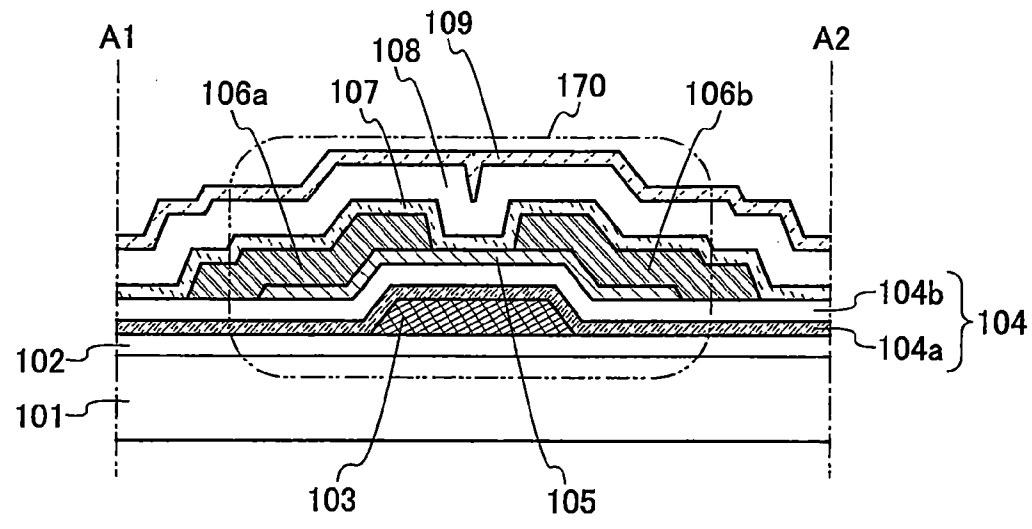


圖 5B

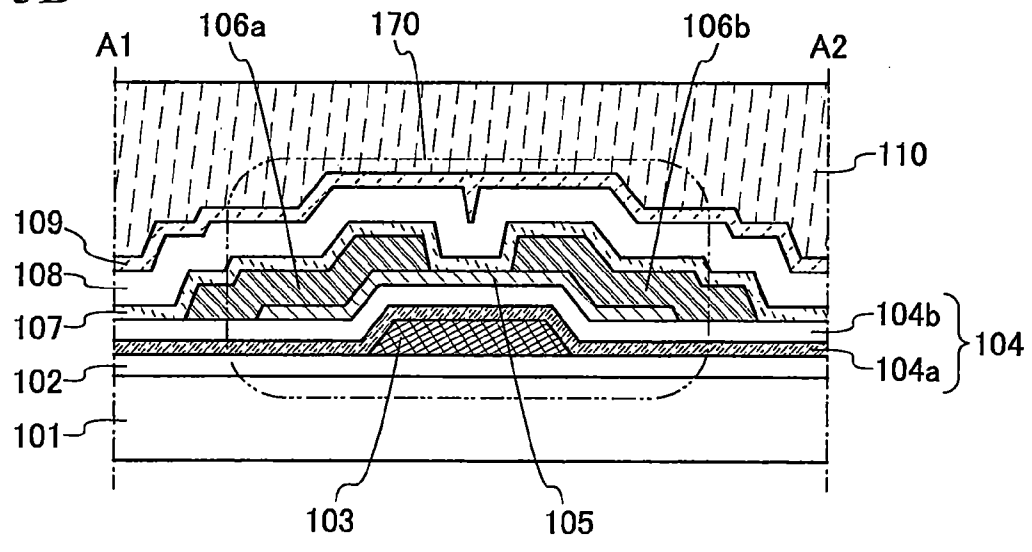


圖 6A

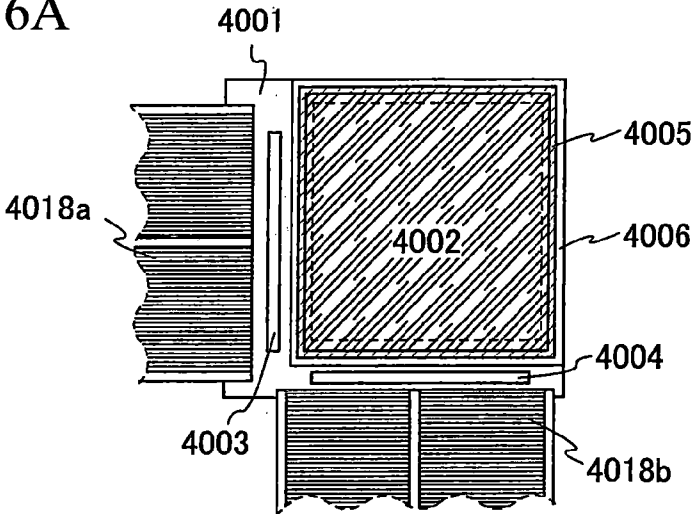


圖 6B

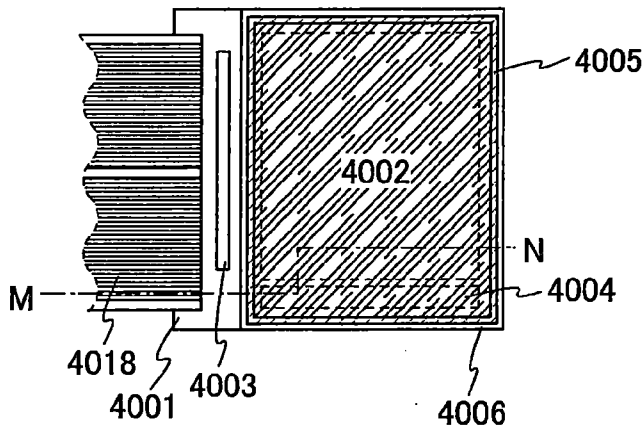
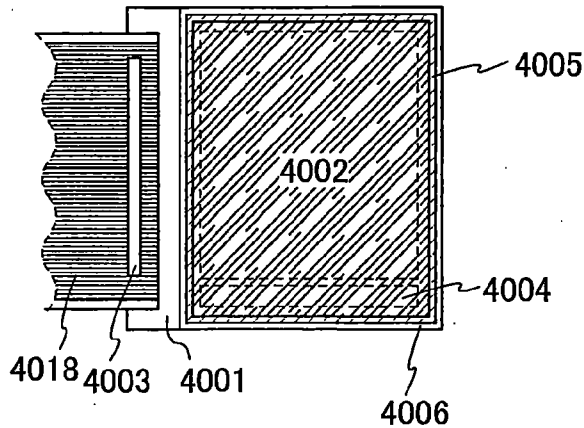
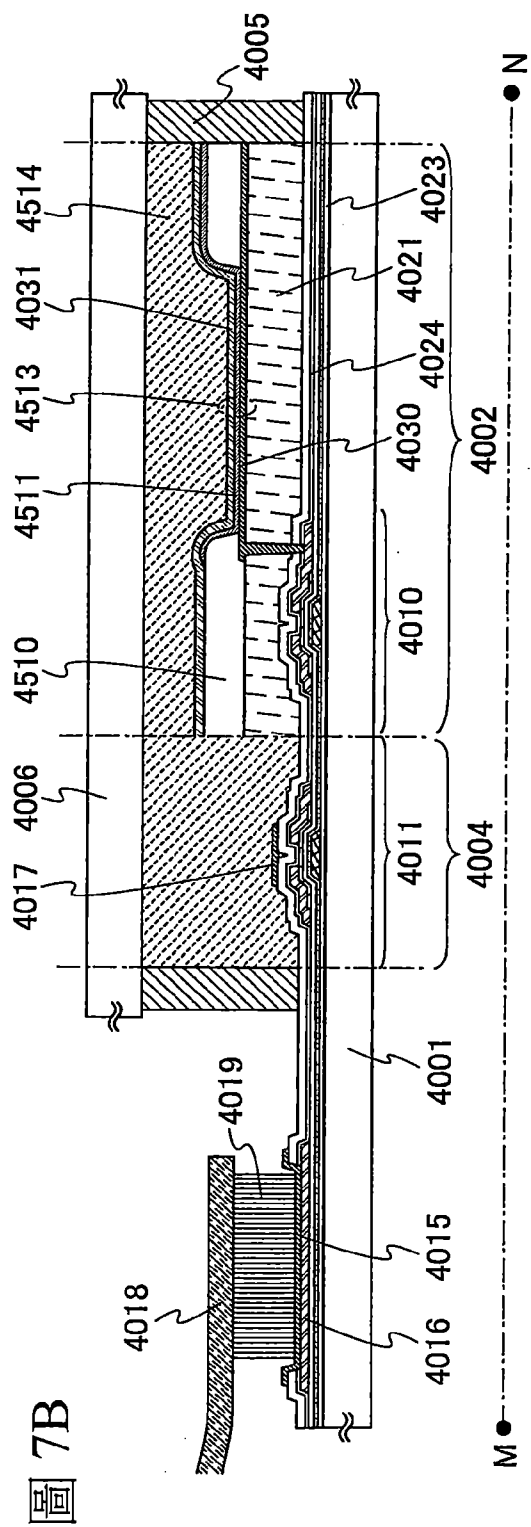
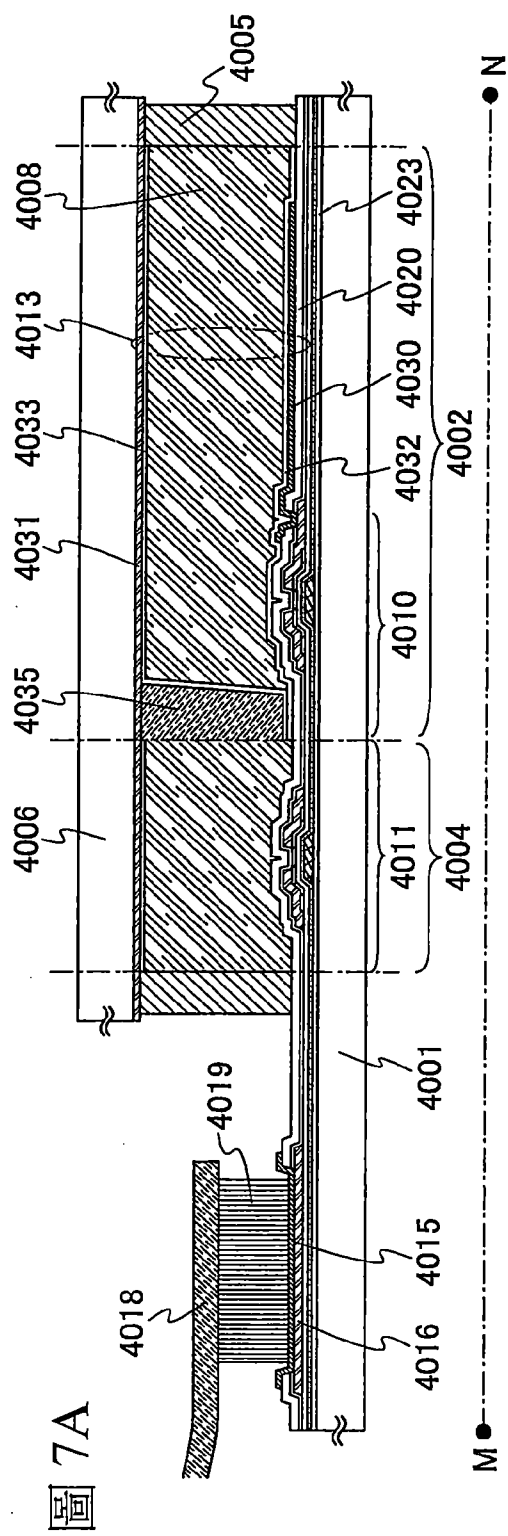
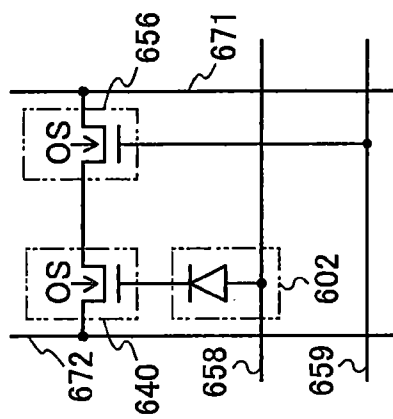


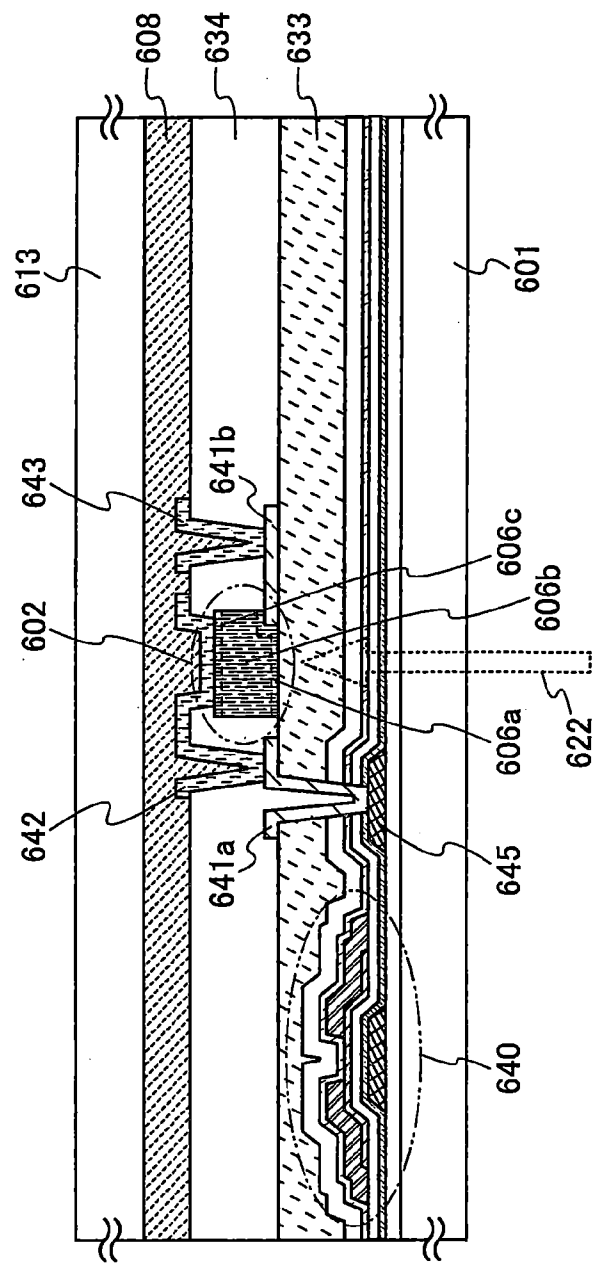
圖 6C







8A



8B  
回

圖 9A

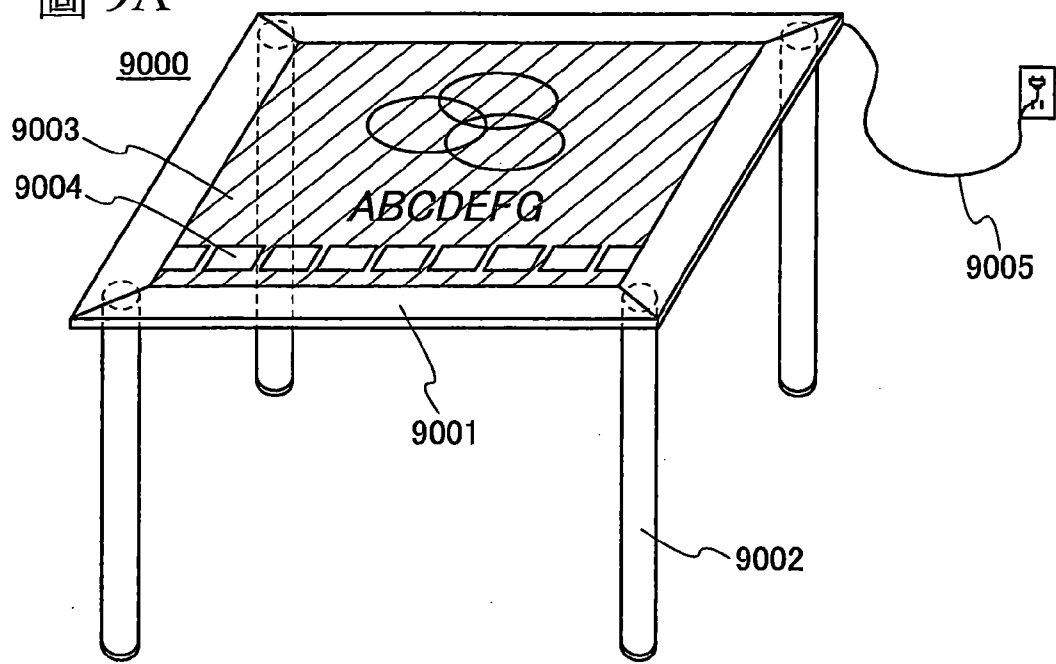


圖 9B

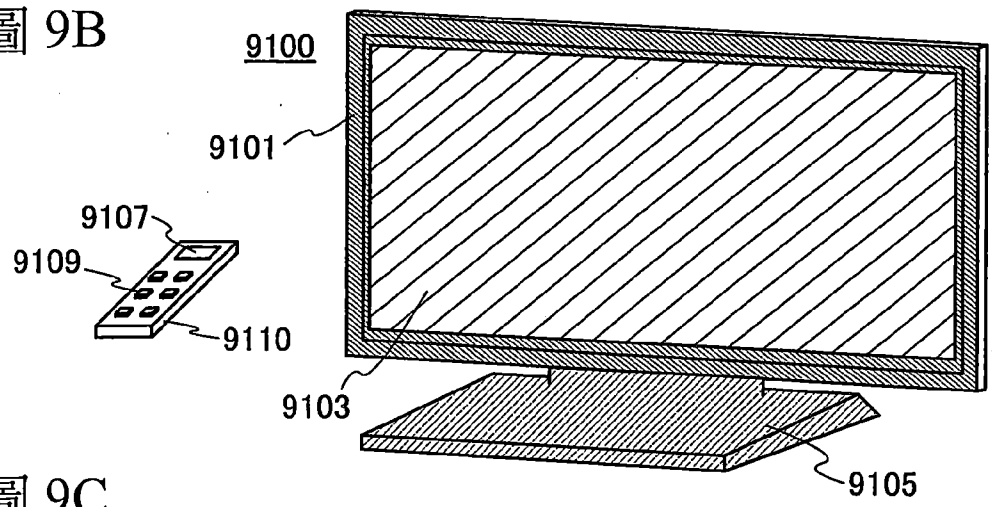


圖 9C

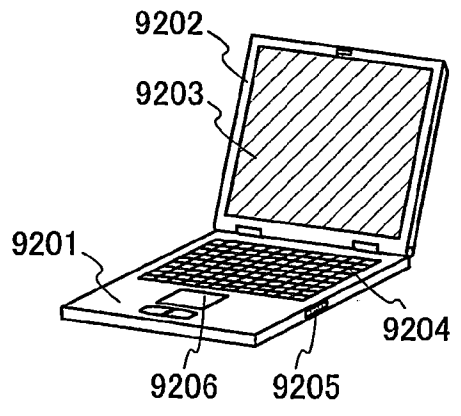


圖 10A

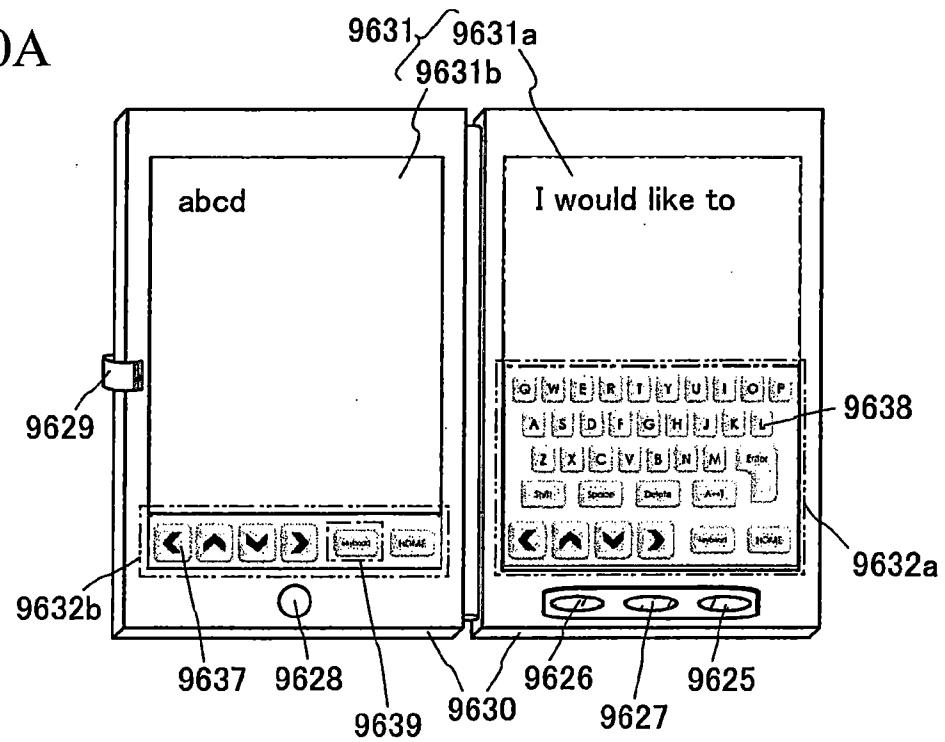


圖 10B

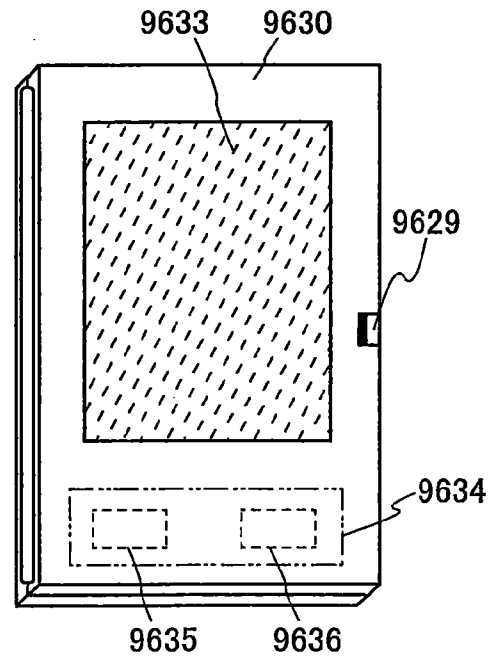


圖 10C

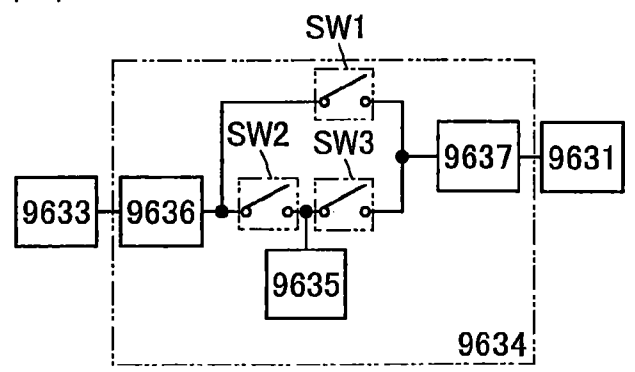


圖 11A

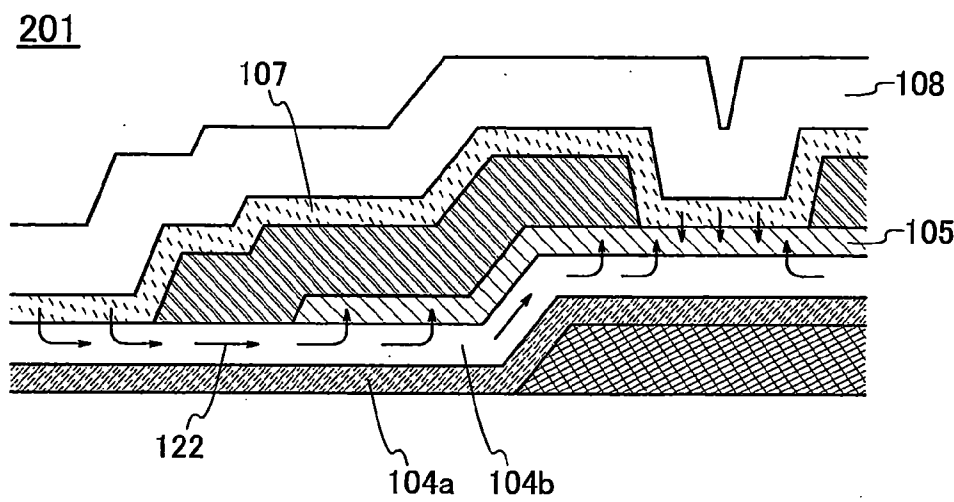


圖 11B

