

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8238 (2006.01)

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810173352.1

[43] 公开日 2009 年 7 月 1 日

[11] 公开号 CN 101471303A

[22] 申请日 2008.11.13

[21] 申请号 200810173352.1

[30] 优先权

[32] 2007.11.13 [33] US [31] 60/987,712

[32] 2008.6.10 [33] EP [31] 0815794.2

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

共同申请人 跨大学校际微电子卓越研究中心

[72] 发明人 张守仁 汤玛斯·Y·哈夫曼

玻陀斯·杰佛瑞 于洪宇

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈晨 张浴月

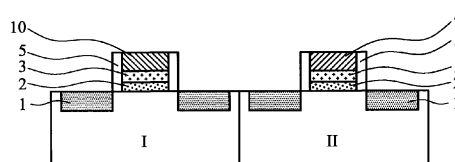
权利要求书 2 页 说明书 8 页 附图 6 页

[54] 发明名称

双工函数半导体元件及其制法

[57] 摘要

一种制作双工函数半导体元件的方法，包括提供具有第一区与第二区的基底，于第一区与第二区上形成栅极介电层，于栅极介电层上形成金属栅极层，其中金属栅极层具有第一(初镀)功函数，第一(初镀)功函数可以通过于其上引发应变而调整，以及选择性形成第一应变导电层于第一区的金属栅极层上，第一应变导电层施加选定的应变于金属栅极层上，因而引发第一区的金属栅极层的第一(初镀)功函数产生第一预定功函数偏移(ΔW_{F1})。本发明还提供以上述方法而制得的双工函数半导体元件。本发明能够使金属氧化物半导体场效应晶体管元件中的起始电压得到改善，并且工艺简单，成本较低。



1. 一种制作双功函数半导体元件的方法，包括：

提供具有一第一区与一第二区的一基底；

于该第一区与该第二区上形成一栅极介电层；

于该栅极介电层上形成一金属栅极层，其中该金属栅极层具有一第一功函数，该第一功函数可以通过于其上引发应变而调整；以及

选择性形成一第一应变导电层于该第一区的该金属栅极层上，该第一应变导电层施加一选定的应变于该金属栅极层上，因而引发该第一区的该金属栅极层的该第一功函数产生一第一预定功函数偏移。

2. 如权利要求1所述的制作双功函数半导体元件的方法，其中选择性形成该第一应变导电层的步骤包括：

沉积一多晶硅层于该第一区与该第二区的金属栅极层上；

将该多晶硅层、该金属栅极层、及该栅极介电层图案化以形成一栅极结构于该第一区与该第二区上；

形成介电间隙壁，覆盖于该栅极结构的侧壁；以及

于该第一区进行一置换栅极工艺，包括以该第一应变导电层置换该第一区上的该多晶硅层。

3. 如权利要求1所述的制作双功函数半导体元件的方法，其中选择性形成该第一应变导电层的步骤包括：

沉积一第一应变导电层于该第一区与该第二区的金属栅极层上；以及

选择性移除该第二区的该金属栅极层上的该第一应变导电层。

4. 如权利要求1所述的制作双功函数半导体元件的方法，还包括选择性形成一第二应变导电层于该第二区的该金属栅极层上，该第二应变导电层施加一选定的应变于该金属栅极层上，因而引发该第二区的该金属栅极层的该第一功函数产生一第二预定功函数偏移。

5. 如权利要求2所述的制作双功函数半导体元件的方法，还包括选择性形成一第三应变导电层于至少一该第一区及该第二区的该栅极结构与该间隙壁上，该第三应变导电层施加一选定的应变于包括该金属栅极层的该栅极结构上，因而分别引发至少一该第一区与该第二区的该金属栅极层的该第一功函数产生一第三预定功函数偏移。

6. 如权利要求 5 所述的制作双功函数半导体元件的方法, 还包括形成一介电层, 该介电层与该第三应变导电层的两侧接触, 因而形成一介电层-应变金属层-介电层的堆叠。

7. 如权利要求 4 所述的制作双功函数半导体元件的方法, 其中该金属栅极层具有一中间能隙初镀功函数, 且该第一预定功函数偏移与该第二预定功函数偏移相对于该中间能隙初镀功函数具有相反符号。

8. 如权利要求 5 所述的制作双功函数半导体元件的方法, 还包括在沉积该第一应变导电层、该第二应变导电层、或该第三应变导电层其中之一后, 进行一热处理, 其中该热处理是经选定以进一步以一预定的方式调整施加于该金属栅极层上的应力以及所引发的该金属栅极的该第一功函数的功函数偏移。

9. 如权利要求 5 所述的制作双功函数半导体元件的方法, 其中该第一应变导电层与该第三应变导电层由相同的材料制成。

10. 如权利要求 1 所述的制作双功函数半导体元件的方法, 其中该金属栅极层包括一金属或一金属硅化物; 或

该金属栅极层包括 Mo、Ru、W、Al、共溅镀的镍硅化物、或前述的组合。

11. 如权利要求 1 所述的制作双功函数半导体元件的方法, 其中该金属栅极层的厚度低于 10 纳米。

12. 如权利要求 1 所述的制作双功函数半导体元件的方法, 其中该第一应变导电层包括金属碳化物、金属氮化物、金属硅化物、或前述的组合;

该第一应变导电层包括 Ta_xC_y 、 W_xC_y 、 Ti_xN_y 、 Ta_xN_y 、 $TiAlN$ 、 $TaAlN$ 、或前述的组合, 其中 x 与 y 是实数, 且 $0 < x, y \leq 1$; 或

该方法还包括导入 C、N、O、或前述的组合于该第一应变导电层中。

13. 如权利要求 4 项所述的制作双功函数半导体元件的方法, 其中该第二应变导电层包括 Ta_xC_y 、 W_xC_y 、 Ti_xN_y 、 Ta_xN_y 、 $TiAlN$ 、 $TaAlN$ 、或前述的组合, 其中 x 与 y 是实数, 且 $0 < x, y \leq 1$ 。

14. 一种双功函数半导体元件, 由权利要求 1 项所述的方法制得。

15. 一种双功函数半导体元件, 由权利要求 1 项所述的方法制得, 该双功函数半导体元件于该第一区上包括一 NMOS 晶体管, 且于该第二区上包括一 PMOS 晶体管。

双工函数半导体元件及其制法

技术领域

本发明涉及制作 CMOS 元件的方法，特别涉及具有金属栅极的栅极堆叠的 CMOS 元件。

背景技术

为了增进性能，金属氧化物半导体场效应晶体管(MOSFET)的持续缩小化造成栅极漏电流随氧化硅栅极介电层的薄化而增加。为了处理此问题，已使用高介电常数(high-k)材料来取代氧化硅栅极介电层，其中高介电常数材料泛指介电常数大于氧化硅的材料。随着高介电常数材料的导入，引起了新的问题，称作费米能阶钉止(Fermi level pinning)。费米能阶钉止效应发生于多晶硅与金属氧化物之间的界面，且于金属氧化物半导体场效应晶体管元件中造成高起始电压(threshold voltage)。

一种解决此问题的公知方法是导入金属栅极。然而，目前已证实难以找出与公知 CMOS 工艺相容的能带边缘金属(band-edge metals)，即具有 n 型或 p 型功函数(work function, WF)的金属。CMOS 可使用具有单介电层或双介电层的双金属栅极(dual metal gates)来制作。在这两种情形中，皆需要选择性地移除其中一金属栅极，增加工艺的实质复杂度与成本。

另一种 CMOS 制作上的公知解决方法是使用完全硅化(Fully Silicided, FUSI)栅极，不需选择性移除栅极或栅极介电层。然而，完全硅化栅极在 nMOS 与 pMOS 上需要不同的硅化晶相(silicide phases)。在小元件上，完全硅化栅极的晶相或成分倾向不规则分布，会造成严重的晶片内起始电压(within-wafer threshold voltage)不均匀。

发明内容

为了解决上述现有技术的缺陷，本发明提供一种制作双功函数半导体元件的方法，包括提供具有第一区与第二区的基底，于第一区与第二区上形成

栅极介电层，于栅极介电层上形成金属栅极层，其中金属栅极层具有第一(初镀)功函数，第一(初镀)功函数可以通过于其上引发应变而调整，以及选择性形成第一应变导电层于第一区的金属栅极层上，第一应变导电层施加选定的应变于金属栅极层上，因而引发第一区的金属栅极层的第一(初镀)功函数产生第一预定功函数偏移($\Delta WF1$)。

本发明另提供一种由上述方法制得的双功函数半导体元件。

本发明又提供一种由上述方法制得的双功函数半导体元件，且双功函数半导体元件于第一区上包括 NMOS 晶体管，且于第二区上包括 PMOS 晶体管。

本发明能够使金属氧化物半导体场效应晶体管元件中的启始电压得到改善，并且工艺简单，成本较低。

为让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举出优选实施例，并配合附图，作详细说明如下。

附图说明

图 1 显示计算而得的功函数偏移(eV)与施加于 Ta(110)层上的应变(%)的关系图，其中菱形点代表单轴应变，而方形点代表双轴应变。

图 2 显示热处理对硅上 TiN 层的应力(dynes/cm²)的影响，其中(1)代表初镀、(2)代表预先退火(300°C-650°C)、(3)代表快速热退火(650°C)、(4)代表尖峰退火(1050°C)。

图 3a-图 3b 显示通道应力(MPa)与薄膜本质应力(GPa)的关系图，其中菱形点代表填充金属(即应变金属层)、方形点代表厚度 5nm 的功函数金属、三角形点代表厚度 50nm 的接触蚀刻停止层。

图 4a-图 4f 显示制作包括至少一应变导电层的半导体元件的不同工艺步骤。

图 5 显示包括第一与第二应变导电层的半导体元件。

上述附图中的附图标记说明如下：

3~金属栅极层；8~多晶硅层；2~栅极介电层；5~介电间隙壁；4、10、7~应变导电层；6、6'~介电层。

具体实施方式

现有技术已公开应变层(strained layers)及其应变加强技术,例如绝缘层上覆应变硅(SSOI)或再外延硅锗(SiGe re-growth),可用于CMOSFET(互补式金属氧化物半导体场效应晶体管)技术中以增进元件性能。所引发的应变可传播至通道区(channel),进一步调整能带图而使驱动电流(drive current)增加。可将应变层移除而利用应力记忆技术(stress memorization, SMT)保留应变层所带来的好处,或者也可保留应变层而作为例如接触蚀刻停止层(CESL)。

本发明的数个实施例包括一种制作双功函数(dual work function)半导体元件的方法,其使用应变导电层(strained conductive layers)来调整功函数。

接着将进一步详细叙述本发明的数个特定实施例。本领域普通技术人员应当明白,在不脱离本发明实施例的精神与教示下,还可有许多其他的实施例变化。

在本文中,提到某特定化合物的名称或分子式时,其可包括精确的化学计量组成与非化学计量组成的材料。在化学式中,元素的下标不具有数字时,表示其化学计量组成是1。在本发明实施例中,实际的化学计量组成与化合物名称或分子式所代表的精确化学计量组成可有着加减20%的差异。即当给定一数字下标时,实际的化学计量组成与所给予的下标数值可有着加减20%的差异。这些数值差异可不需加总为一整数,且此偏移是可预期的。这些变化可能是因刻意选择或控制工艺而造成,或者可能是由于不预期的工艺变化造成。

本发明公开一种制作双功函数半导体元件的方法,包括:

- 提供具有第一与第二区的基底;
- 于第一区与第二区上形成栅极介电层;
- 于栅极介电层上形成金属栅极层,其中金属栅极层具有第一(或初镀, as deposited)功函数,可借着于其上引发应力而调整;
- 选择性地于第一区上的金属栅极层上形成第一应变导电层,第一应变导电层于金属栅极层上施加选定的应变,因而引发第一区上金属栅极层的第一(初镀)功函数产生第一预定功函数偏移(work function shift, $\Delta WF1$)。

栅极介电层可包括一或多层的介电材料,例如SiO₂、SiON或高介电常数材料。

栅极包括栅极介电层上的金属栅极层及金属栅极层上的一或多层导电层。与栅极介电层接触的金属栅极层的功函数决定元件的启始电压。金属栅极层可包括金属或共溅镀(co-sputtered)的金属硅化物。

金属栅极层上的导电层可包括金属、多晶硅、或硅化物。导电层的物理特性,如材质、厚度、沉积方法等,经选择以于金属栅极上施加选定的应变,因而引发金属栅极层的功函数产生预定的功函数偏移。导电层有助于降低栅极的接触电阻。

此方法的优点之一在于金属栅极的有效(effective)功函数通过导入应变导电层而调整。此方法的另一优点在于通过导入应变导电层以施加应力于通道区上,可增进载流子移动率。

本发明的一实施例中,公开通过如图 4a-图 4e 所示的栅极最后方法(gate-last approach)而选择性形成第一应变导电层,包括:

- 于第一与第二区的金属栅极层 3 上沉积多晶硅层 8;
- 将多晶硅层 8、金属栅极层 3、及栅极介电层 2 图案化以于第一与第二区上皆形成栅极结构;
- 形成介电间隙壁 5, 覆盖栅极结构的侧壁;
- 于第一区进行栅极置换工艺, 包括将第一区上的多晶硅层 8 以第一应变导电层 4 置换。

本发明的另一实施例公开通过栅极最先方法(gate-first approach)而选择性形成第一应变导电层, 包括:

- 于第一与第二区的金属栅极层上沉积第一应变导电层;
- 选择性移除第二区的金属栅极层上的第一应变导电层。

本发明的一实施例中, 公开一种制作双功函数半导体元件的方法, 还包括选择性形成第二应变导电层 10 于第二区的金属栅极层 3 上, 第二应变导电层施加选定的应变于金属栅极层上, 因而引发第二区的金属栅极层的第一(初镀)功函数产生第二预定功函数偏移(ΔWF_2)。此实施例显示于图 5 中。

本发明的另一实施例公开一种制作双功函数半导体元件的方法, 还包括选择性形成第三应变导电层 7 于至少一第一及第二区上的栅极结构与间隙壁上, 第三应变导体层施加选定的应变于栅极结构上(包括金属栅极层 3), 因而分别引发至少一第一及第二区上的金属栅极层的第一(初镀)功函数产生第

三预定功函数偏移($\Delta WF3$)。此实施例显示于图 4f 中。

在本发明的一特定实施例中，公开一整合方法，其中第三应变导电层 7 沉积于栅极结构与间隙壁上。整合方法包括以下的步骤：

(1)标准 CMOS 工艺，包括有源区与浅沟槽绝缘(STI)区的定义与阱区注入；

(2)形成栅极介电层，例如 SiO₂、SiON 或任何高介电常数材料(其介电常数高于 SiO₂)；

(3)栅极的形成与图案化，栅极包括金属层(例如 Ta、TaN、TaC)或用以转变为完全硅化栅极(FUSI)的多晶硅层；

(4)接合形成(junction formation)、间隙壁定义、源极/漏极快速热退火(RTA)、及源极/漏极硅化(S/D silicidation)；

(5)形成第三应变导电层于栅极结构与间隙壁上。第三应变导电层可包括例如 TiN 或钨；

(6)自其中一区(NMOS 区或 PMOS 区)选择性移除第三应变导电层。第三应变导电层可于 NMOS 区或 PMOS 区保留，取决于金属栅极层的初镀功函数与所需用来以预定值(pre-determined value, shift)调整初镀功函数的应力。

应变的形式(拉伸或压缩)与本质程度(intrinsic level)决定初镀功函数，应变受到所使用金属种类、金属层的厚度、沉积方法(例如 ALD、CVD、AVD、PVD)、及不同热处理的温度预算(temperature budget)的影响。金属层的厚度较佳介于约 0.5-10 纳米，更佳介于约 5-10 纳米。

第三应变导电层 7 较佳可夹层于两介电层之间，可增进第三应变导电层的附着并避免漏电流路径产生。

在本发明的另一实施例中，可在沉积过程中或沉积后(post-deposition)，例如通过注入或等离子体掺杂将元素(例如 C、N、或 O)导入第一/第二/第三应变导电层中。

本发明一实施例中，公开一种方法，还包括在沉积第一(4)、第二(10)、或第三(7)应变导电层后，进行热处理，其中热处理经选定以进一步以预定的方式调整施加于金属栅极层 3 上的应力以及所引发的金属栅极的第一(初镀)功函数的功函数偏移。

在本发明还公开一种双功函数半导体元件，包括：

- 第一基底区上的第一晶体管及第二基底区上的第二晶体管，包括：
- 栅极介电层 2，第一晶体管的栅极介电层具有与第二晶体管的栅极介电层大抵相同的厚度与成分；以及
- 金属栅极层 3，位于栅极介电层上且具有第一(初镀)功函数，可通过于其上引发应变而调整，第一晶体管的金属栅极层与第二晶体管的金属栅极层具有大抵相同的成分与厚度；
- 第一晶体管还包括第一应变导电层 4 于金属栅极层上，第一应变导电层施加选定的应变于金属栅极层上，因而引发金属栅极层的第一(初镀)功函数产生第一预定功函数偏移($\Delta WF1$)。

在本发明一实施例中，第二晶体管还包括第二应变导电层 10 于金属栅极层 3 上，第二应变导电层施加选定的应变于金属栅极层上，因而引发金属栅极层的第一(初镀)功函数产生第二预定功函数偏移($\Delta WF2$)。

在本发明的另一实施例中，公开一种半导体元件，还包括选择性形成第三应变导电层 7 于至少一第一晶体管与第二晶体管的栅极结构与间隙壁上，第三应变导电层施加选定的应变于包含金属栅极层的栅极结构上，因而引发金属栅极层的第一(初镀)功函数产生第三预定功函数偏移($\Delta WF3$)。

在本发明的另一实施例中，第一/第二/第三应变导电层还包括 C、N、O、或前述的组合。

在本发明的又一实施例中，第一晶体管还包括接触第三应变导电层两侧的介电层，因而形成介电层-应变金属层-介电层的堆叠(三明治结构)。

在本发明一实施例中，第一晶体管是 NMOS 晶体管，而第二晶体管是 PMOS 晶体管。

在本发明另一实施例中，第一晶体管是 PMOS 晶体管，而第二晶体管是 NMOS 晶体管。

在本发明又一实施例中，金属栅极层 3 具有中间能隙(mid-gap)初镀功函数，而第一预定功函数偏移($\Delta WF1$)与第二预定功函数偏移($\Delta WF2$)相对于中间能隙具有相反符号(opposite sign)。

在本发明一特定实施例中，第一应变导电层 4 与第三应变导电层 7 是由相同的材料制成。

在本发明一实施例中，基底包括 Si、Ge、SiGe、SOI(绝缘层上覆硅)、

GeOI(绝缘层上覆锗)、三五族材料、或前述的组合。

在本发明一实施例中,栅极介电层 2 包括 SiO₂、SiON、高介电常数材料、或前述的组合。

在本发明一实施例中,金属栅极层 3 包括金属或共溅镀的硅化物。

在本发明数个实施例中,金属栅极层 3 包括 Mo、Ru、W、Al、共溅镀的镍硅化物、或前述的组合。金属栅极层的厚度较佳低于 10 奈米。

在本发明实施例中,第一应变导电层 4 包括金属碳化物、金属氮化物、金属硅化物、或前述的组合。

在本发明一特定实施例中,第一应变导电层包括 Ta_xC_y、W_xC_y、Ti_xN_y、Ta_xN_y、TiAlN、TaAlN、或前述的组合,其中 x 与 y 是实数(real number),且 0<x, y≤1。

在本发明另一实施例中,第二应变导电层 10 包括 Ta_xC_y、W_xC_y、Ti_xN_y、Ta_xN_y、TiAlN、TaAlN、或前述的组合,其中 x 与 y 是实数,且 0<x, y≤1。

在本发明又一实施例中,第三应变导电层 7 包括金属碳化物、金属氮化物、金属硅化物、或前述的组合。

模拟数据已显示当引发某应变于纯钽(Ta)层(晶面 110)上时,会导致功函数偏移。请参照图 1,可发现约 5-10%的应变可引发功函数偏移约 300meV,其足以转换(switch)元件,例如将 PMOS 形式转换为 NMOS 形式。取决于所选用的金属栅极层 3,所需用以引发相似功函数偏移的应变的大小可预先决定。

如图 2 所示,不同的热处理可进一步调整应变,造成硅上的 TiN 层的应力有高达 11GPa 的变化,变化量取决于所施加热处理的温度预算。

采用所公开的应变导电(金属)层的额外好处之一是如图 3a-图 3b 所示的通道应力调整。

图 4a-图 4f 显示制作包含至少一应变导电层的半导体元件的工艺步骤。

(a) 定义金属插层多晶硅栅极(metal inserted polysilicon gate, MIPS)与定义间隙壁;(b) 在化学机械研磨(CMP)前沉积介电层 6;(c) 对介电层 6 进行化学机械研磨;(d) 选择性移除其中一多晶硅栅极(或多晶硅层 8);(e) 填入第一应变导电层 4 并对其进行化学机械研磨;(f) 于薄缓冲介电层 6' 上沉积第三应变导电层 7。

金属栅极层 3 具有初镀(本质)功函数, 取决于金属的种类、厚度、沉积方法、与热处理 度。金属栅极层可包括 Mo、Ru、W、Al、共溅镀的硅化物(如 Ni 与 Si)。

栅极介电层 2 可包括 SiO_2 、 SiON 、或任何高介电常数材料。高介电常数材料的选择可能会 响高介电常数材料/金属栅极堆 的应力行为(stress behavior)。

如图 4a-图 4e 所示, 第一应变导电层 4 通过置换栅极工艺而沉积于金属栅极层 3 上, 用以 免可能会调整应变的高 工艺。

第一应变导电层 4 可包括金属碳化物或金属氮化物, 例如 Ta_xC_y 、 W_xC_y 、 Ti_xN_y 、 Ta_xN_y 。第一应变导电层的材质、厚度、与沉积方法可经选择而使预定程度的应变能于金属栅极层 3 中引发, 且在随后的工艺中能与金属栅极层间维持适合附着性。

置换栅极工艺还包括介电层(例如氧化硅)的沉积与介电层的化学机械研磨(如图 4b-图 4c 所示), 接着湿式移除第二区中的多晶硅层 8, 而第一区则以掩模保护(图 4d), 并如图 4e 所示, 形成第一应变导电层 4。

在一特定实施例中, 当于 PMOS 区上使用置换栅极时, 可于 NMOS 区形成完全硅化(FUSI)栅极。

此外, 间隙壁的定义可先沉积 缓冲介电层 6', 并接着沉积第三应变导电层(如 TiN 、 W)。

图 5 显示具有第一应变导电层 4 的 PMOS 金属栅极与具有第二应变导电层 10 的 NMOS 晶体管。

虽然本发明已以数个优选实施例公开如上, 然其并非用以限定本发明, 任何所属技术领域的普通技术人员, 在不脱离本发明的精神和范围内, 当可作任意的更动与润饰, 因此本发明的保护范围当视所附的权利要求所界定的范围为准。

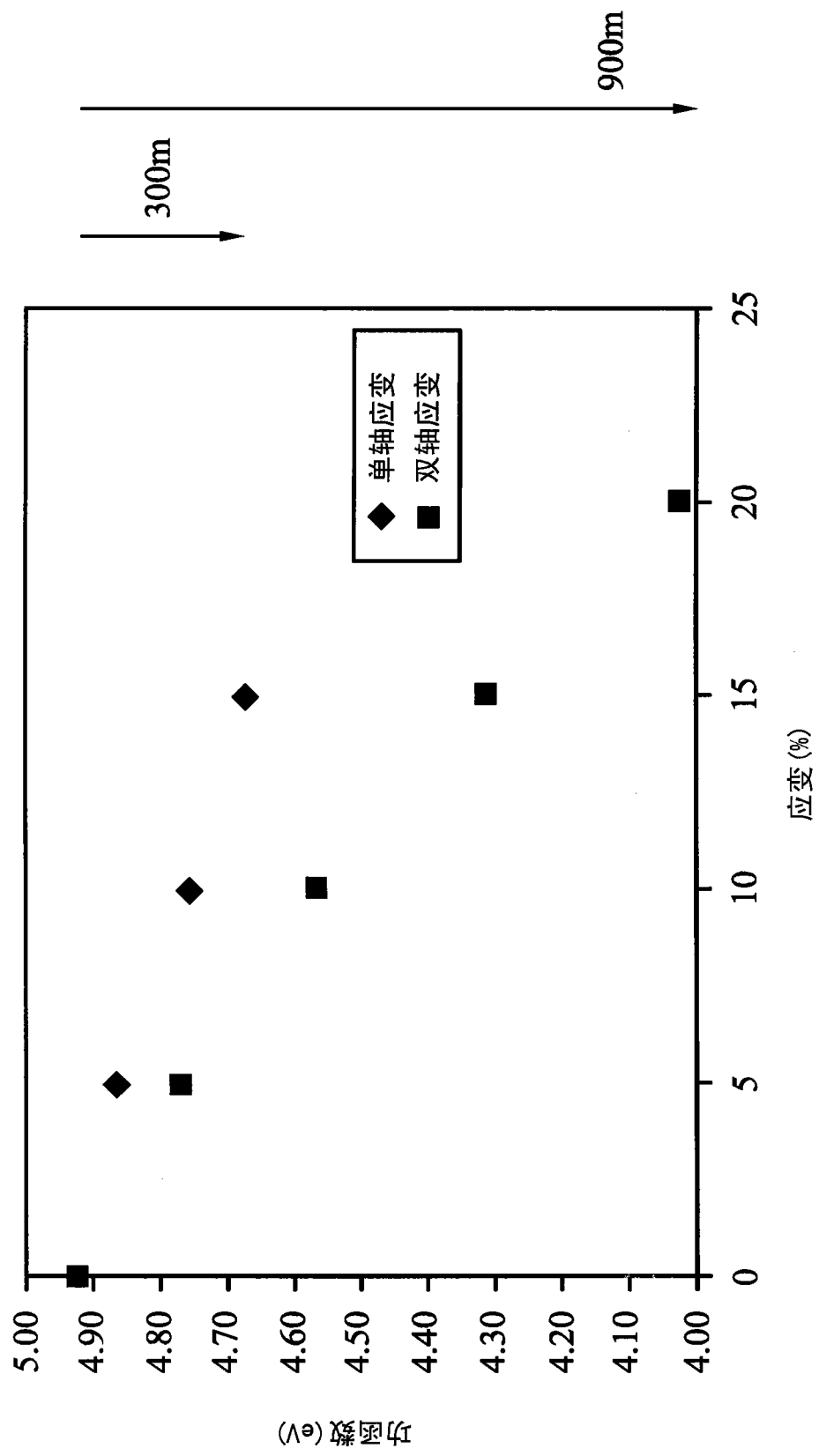


图1

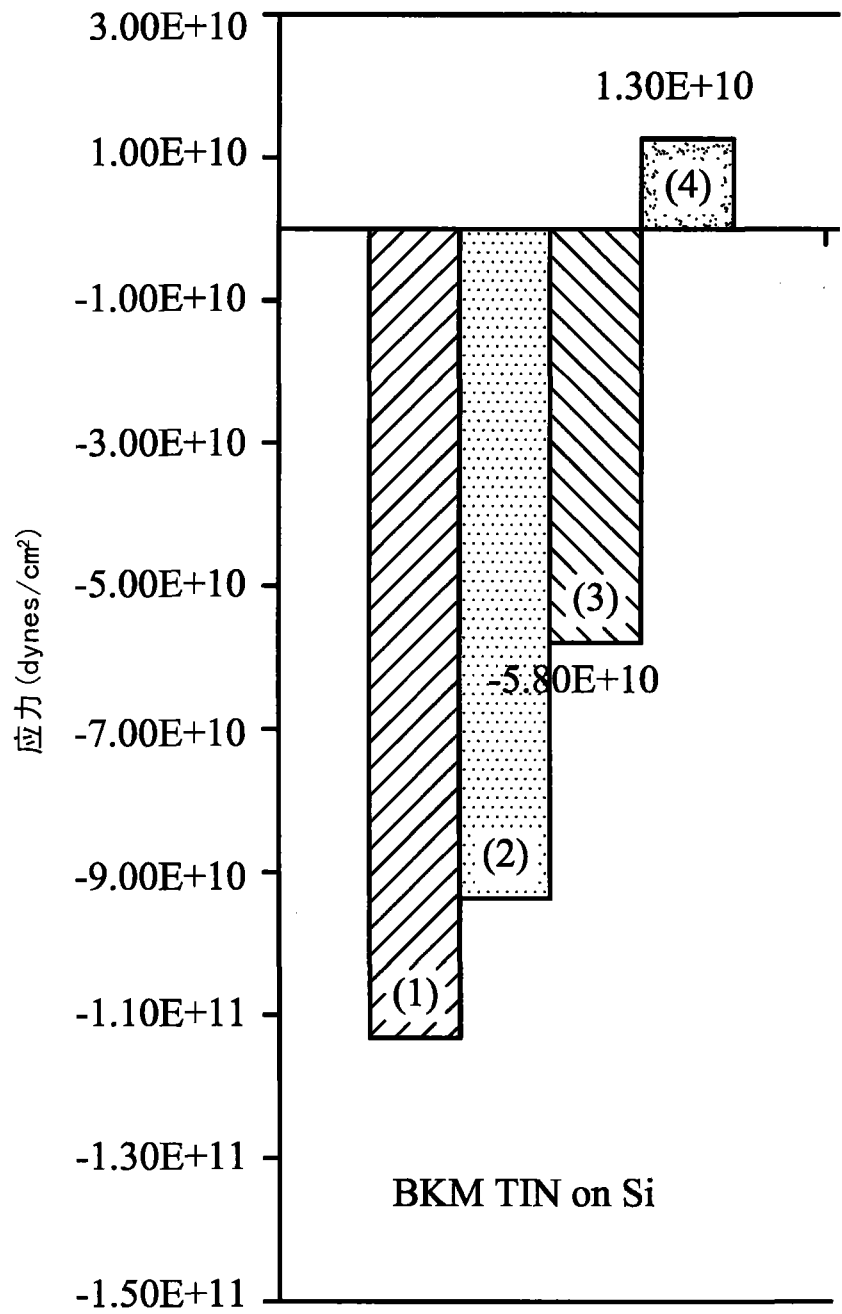


图2

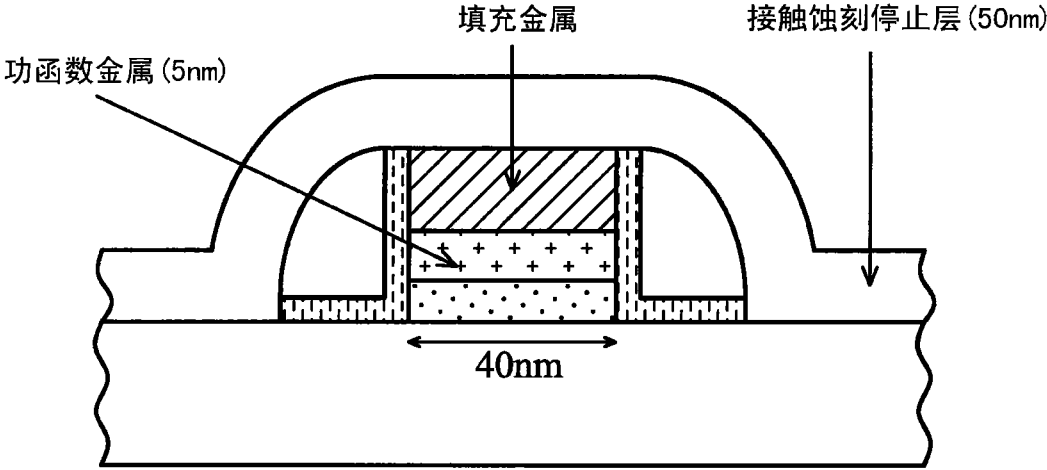


图3a

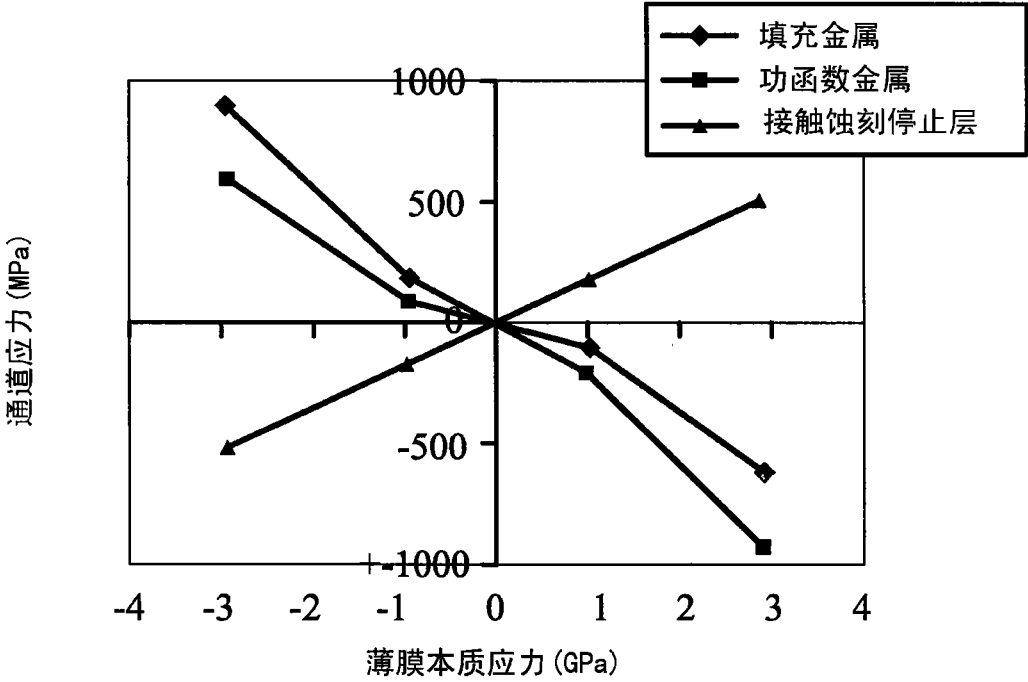


图3b

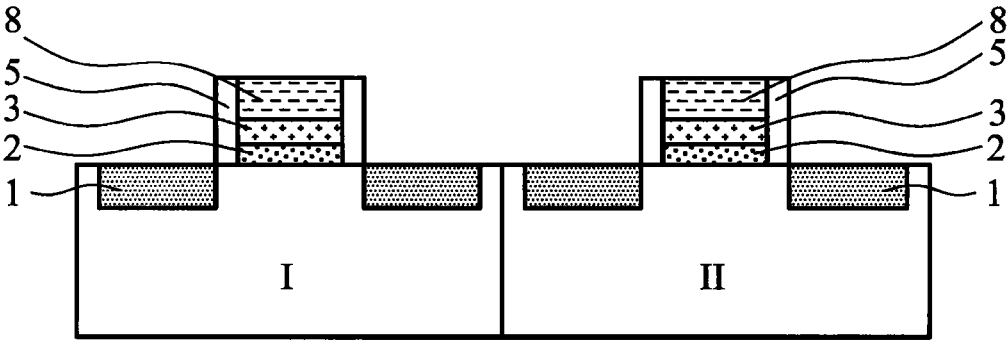


图4a

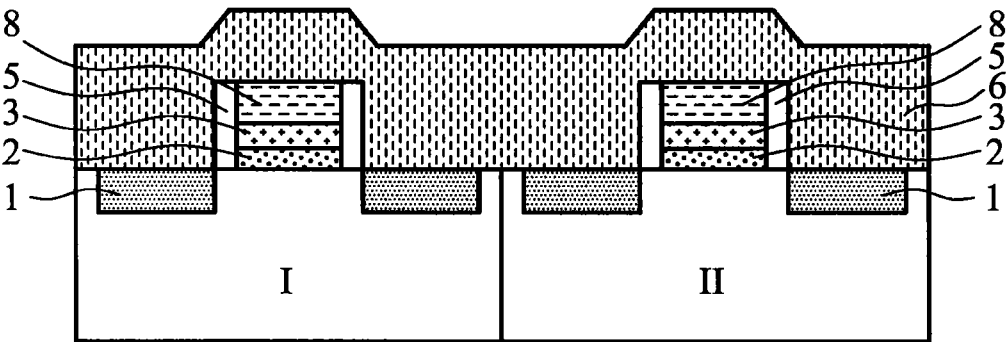


图4b

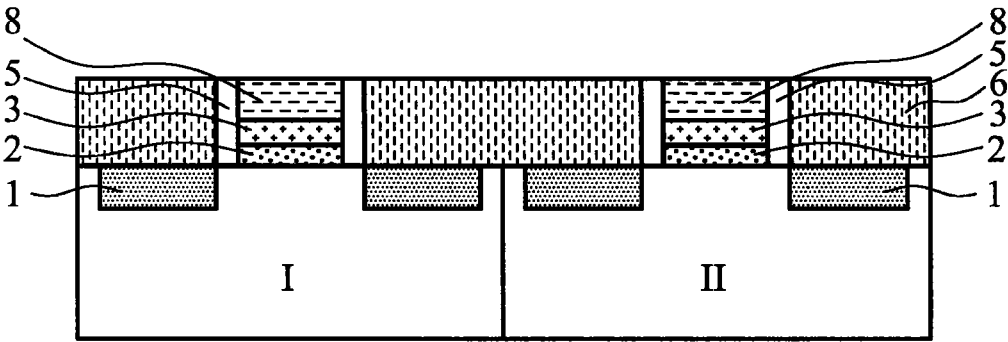


图4c

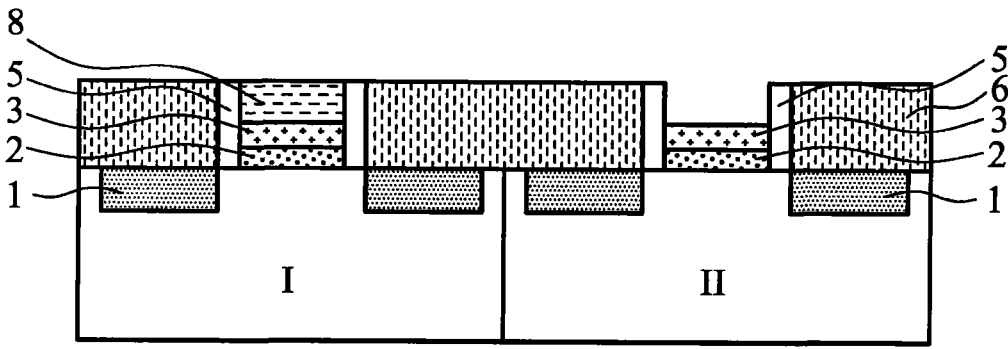


图4d

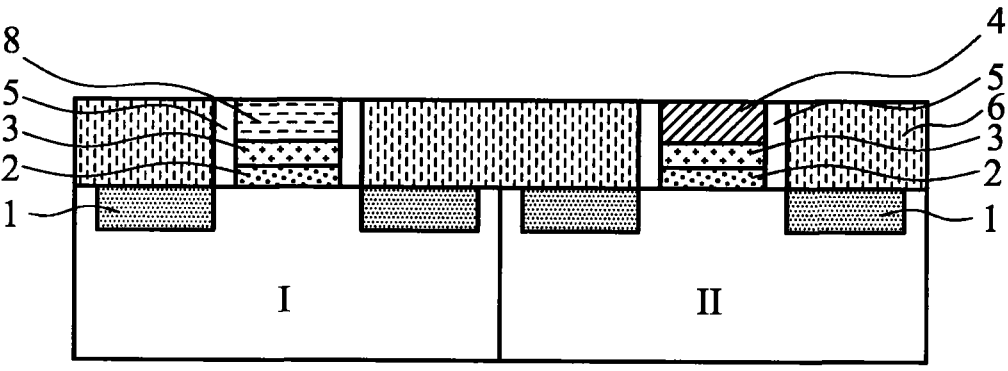


图4e

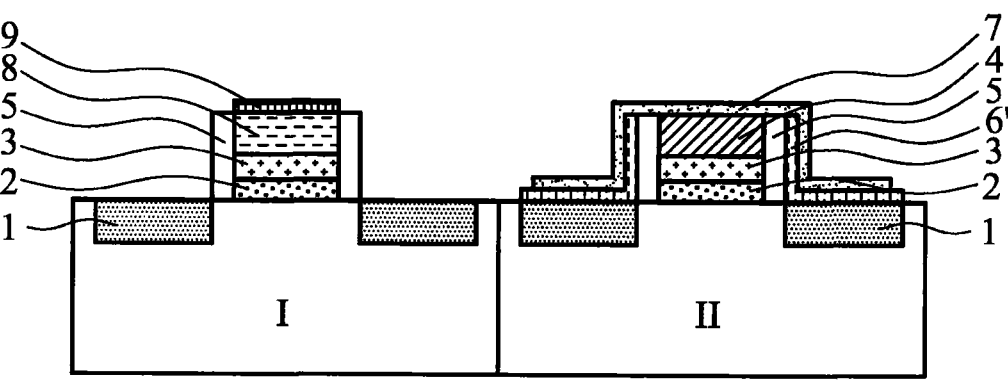


图4f

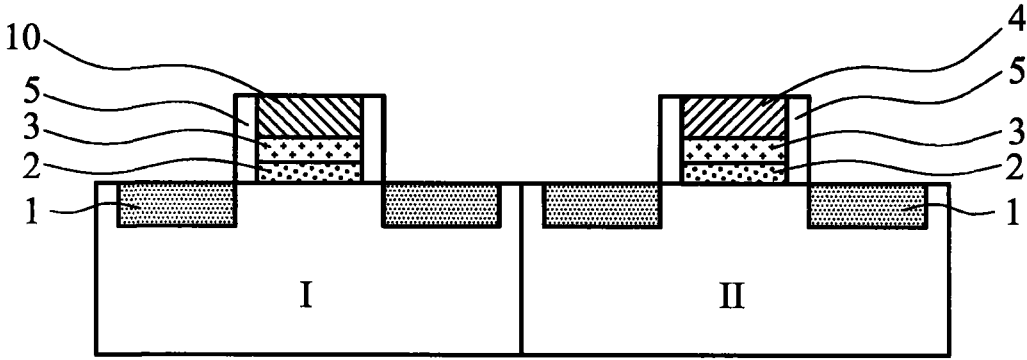


图5