

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5800568号
(P5800568)

(45) 発行日 平成27年10月28日 (2015. 10. 28)

(24) 登録日 平成27年9月4日 (2015. 9. 4)

(51) Int. Cl. F I
H O 1 L 33/36 (2010.01) H O 1 L 33/00 2 0 0

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2011-108289 (P2011-108289)	(73) 特許権者	000002303
(22) 出願日	平成23年5月13日 (2011. 5. 13)		スタンレー電気株式会社
(65) 公開番号	特開2012-238795 (P2012-238795A)		東京都目黒区中目黒2丁目9番13号
(43) 公開日	平成24年12月6日 (2012. 12. 6)	(74) 代理人	110001025
審査請求日	平成26年4月7日 (2014. 4. 7)		特許業務法人レクスト国際特許事務所
		(72) 発明者	岩山 章
			東京都目黒区中目黒2丁目9番13号 ス
			タンレー電気株式会社内
		審査官	佐藤 俊彦

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

成長用基板上に半導体膜を形成する工程と、
前記半導体膜上に第1の接合層を形成する工程と、
前記半導体膜上に第2の接合層を形成する工程と、
支持基板上に第3の接合層および第4の接合層を形成する工程と、
前記第2の接合層および前記第4の接合層の表面を活性化する工程と、
前記第1の接合層と前記第3の接合層を当接しつつ活性化された前記第2の接合層と前記第4の接合層とを密着させて前記成長用基板および前記支持基板に押圧を与え、前記第2の接合層と前記第4の接合層との間で表面活性化接合を形成する工程と、
前記表面活性化接合の形成後に前記押圧を維持しながら前記第1の接合層および前記第3の接合層の少なくとも一方に含まれる共晶材料が融解する温度で熱処理を行って、前記第1の接合層と前記第3の接合層との間で共晶接合を形成する工程と、を含み、
前記表面活性化接合は、前記共晶接合を形成するときの熱処理温度よりも低い温度下において形成されることを特徴とする半導体素子の製造方法。

【請求項2】

前記第2の接合層は、前記成長用基板の周縁部上に形成され、
前記第4の接合層は、前記支持基板の周縁部上に形成されていることを特徴とする請求項1に記載の製造方法。

【請求項3】

10

20

前記第2の接合層は、前記成長用基板の外縁に沿った略円環状のパターンを有し、
前記第4の接合層は、前記支持基板の外縁に沿った略円環状のパターンを有することを特徴とする請求項2に記載の製造方法。

【請求項4】

前記第1の接合層は、前記成長用基板上において前記第2の接合層よりも内側に形成され、

前記第3の接合層は、前記支持基板上において前記第4の接合層よりも内側に形成されていることを特徴とする請求項2または3に記載の製造方法。

【請求項5】

前記第1の接合層および前記第2の接合層は、同一材料からなり、同一工程で形成されることを特徴とする請求項1乃至4のいずれか1つに記載の製造方法。

10

【請求項6】

前記表面活性化接合を形成する工程は、前記共晶接合を形成するときの熱処理温度よりも低い温度による熱処理を含むことを特徴とする請求項1乃至5のいずれか1つに記載の製造方法。

【請求項7】

前記半導体膜に分割溝を形成して前記半導体膜を複数の個片に分割する工程と、前記成長用基板を前記半導体膜から除去する工程と、を更に含み、

前記第1の接合層は、前記複数の個片の各々の表面に分割して形成された分割パターンを有し、

20

前記第3の接合層は、前記第1の接合層の分割パターンに対応した分割パターンを有することを特徴とする請求項1乃至6のいずれか1つに記載の製造方法。

【請求項8】

前記第2の接合層および前記第4の接合層の表面を活性化する工程は、大気圧下において前記第2の接合層および前記第4の接合層の表面にプラズマ照射する処理を含むことを特徴とする請求項1乃至7のいずれか1つに記載の製造方法。

【請求項9】

前記第1の接合層、前記第2の接合層および前記第4の接合層の最表面はAu面であり、前記第3の接合層の最表面はAuSn層であることを特徴とする請求項1乃至8のいずれか1つに記載の製造方法。

30

【請求項10】

前記第2の接合層は、前記半導体膜の前記複数の個片の各々の表面のいずれかに分散配置され、

前記第4の接合層は、前記支持基板上に分散配置された前記第2の接合層に対応する位置に分散配置されていることを特徴とする請求項7に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光ダイオード等の半導体素子の製造方法に関する。

【従来技術】

40

【0002】

発光ダイオード（LED）等の半導体素子は、サファイア基板等の成長用基板上にn型半導体層、活性層及びp型半導体層等で構成される半導体膜を形成し、成長用基板及び半導体膜表面に電極を形成して製造される。成長用基板が絶縁体の場合には、反応性イオンエッチング等により半導体膜の一部の領域をp型半導体層側からエッチングし、n型半導体層を部分的に露出させて、n型半導体層の露出面及びp層半導体層の表面にそれぞれ電極を形成する。

【0003】

発光ダイオードは、近年の技術の進歩により高効率、高出力化されている。しかし、高出力化に伴って発光ダイオードから発せられる熱量も増加し、これによる効率低下および

50

半導体膜の劣化等が問題となっている。これを解決するために半導体膜の結晶成長に用いられる比較的熱伝導率の低い成長用基板に代えて比較的熱伝導率の高い支持基板で半導体膜を支持する構造が採用されている。かかる構造とすることにより、半導体素子の放熱性が改善される他、光取り出し効率の向上も期待できる。成長用基板の剥離は、レーザリフトオフ（LLO）法などにより行われる。

【0004】

例えば特許文献1には、Geからなる支持基板に用いた半導体素子が記載されている。また、特許文献2には、成長用基板の熱膨張率よりも小さい熱膨張率を有する支持基板を用いることにより、窒化物半導体層における割れや欠けを防止し得ることが記載されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2006-518102号公報

【特許文献2】特開2004-266240号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

図1は、成長用基板とは別の支持基板が半導体膜に接合された半導体素子の製造方法の一例を示す断面図である。

20

【0007】

サファイア等からなる成長用基板10上に有機金属気相成長法（MOCVD：Metal Organic Chemical Vapor Deposition）等によりGaN系半導体からなる半導体膜20を形成する。半導体膜20にドライエッチング等により格子状の分割溝（ストリート）21を形成して半導体膜20を複数の矩形状の個片に分割する。半導体膜20の個片の各々の表面にp電極31を形成する。分割溝21を形成することにより表出した半導体膜20の側面に保護膜35を形成する（図1（a））。

【0008】

一方、Siからなる支持基板50を用意して、支持基板50上に共晶材料であるAuSnを含む共晶金属層51を形成する。リフトオフ法により共晶金属層51にp電極31の

30

【0009】

次に、半導体膜20上のp電極31のパターンと支持基板50上の共晶金属層51のパターンとが重なるように位置合せして、これらを密着させる（図1（c））。その後、成長用基板10および支持基板50に押圧を加えつつ、共晶材料の融点以上の温度（例えば350℃）で加熱してp電極31と共晶金属層51との間で共晶結合を形成して支持基板50を半導体膜20に接合する（図1（d））。

【0010】

その後、レーザリフトオフ法などにより成長用基板10を除去し、これによって表出した半導体膜20の表面にn電極（図示せず）を形成する。ダイシング法などによって半導体膜20の分割溝（ストリート）21に沿って支持基板50を切断し、半導体素子を個片化する（図示せず）。

40

【0011】

ここで、半導体素子の各構成材料の熱膨張率は、それぞれ異なる。すなわち、成長用基板10を構成するサファイアが $7.5 \times 10^{-6} / \text{K}$ 、半導体膜20を構成するGaNが $5.6 \times 10^{-6} / \text{K}$ 、支持基板50を構成するSiが $2.6 \times 10^{-6} / \text{K}$ の熱膨張率を有する。かかる構成材料間の熱膨張率差に起因して、共晶接合を形成する際に熱処理が行われると、半導体膜20上に形成されたp電極31のパターンと、支持基板50上に形成された共晶金属層51のパターンとの間に位置ずれが生じる（図1（d））。例えば、ウェハサイズが2インチの場合、パターンずれの大きさは6～10μm程度となる。ウェ

50

ハのサイズが大きくなる程よりずれ量は大きくなる。

【0012】

一方、図2(a)～図2(c)には、p電極に対応したパターンを有していない共晶金属層51を介して支持基板50を半導体膜20に接合する場合が示されている。半導体膜20上に形成されたp電極31と、支持基板50上に形成されたパターンニングされていない共晶金属層51とが熱圧着により接合される。共晶金属層51にはパターンニングが施されていないので、上述のp電極31と共晶金属層51との間の実質的なパターンずれの問題は生じない(図2(a))。続いて、レーザリフトオフ法により、成長用基板10が除去される(図2(b))。続いて、成長用基板10を除去することにより表出した半導体膜20の表面にn電極40が形成される。n電極40は、半導体膜20の分割パターンに対応したマスクを用いて、エッチング法またはリフトオフ法などによってパターンニングされ、半導体膜20の各個片の表面に形成される。半導体素子を構成する各材料の熱膨張率差に起因して、半導体膜20の各個片は、設計上の位置からずれが生じた状態で支持基板50上に固定される。n電極40は、半導体膜20が設計上の位置に存在することを前提としてパターンニングされる。このため、半導体膜20上には位置ずれが生じた状態でn電極40が形成され得る(図2(c))。半導体膜20の各個片の位置ずれを見込んでn電極40のマスク設計を行うという対策も考えられるが、半導体素子の構造や熱処理条件等によってずれ量が増えるため、そのような対策は現実には困難である。

10

【0013】

本発明は、上記した点に鑑みてなされたものであり、半導体膜の結晶成長に用いられる成長用基板とは別の支持基板を半導体膜に接合する工程を含む半導体素子の製造方法において、半導体素子を構成する各材料間の熱膨張率差に起因する上記の如き電極のパターンずれの問題を解消し得る製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0014】

本発明に係る半導体素子の製造方法は、成長用基板上に半導体膜を形成する工程と、前記半導体膜上に第1の接合層を形成する工程と、前記半導体膜上に第2の接合層を形成する工程と、支持基板上に第3の接合層および第4の接合層を形成する工程と、前記第2の接合層および前記第4の接合層の表面を活性化する工程と、前記第1の接合層と前記第3の接合層を当接しつつ活性化された前記第2の接合層と前記第4の接合層とを密着させて前記成長用基板および前記支持基板に押圧を与え、前記第2の接合層と前記第4の接合層との間で表面活性化接合を形成する工程と、前記表面活性化接合の形成後に前記押圧を維持しながら前記第1の接合層および前記第3の接合層の少なくとも一方に含まれる共晶材料が融解する温度で熱処理を行って、前記第1の接合層と前記第3の接合層との間で共晶接合を形成する工程と、を含み、前記表面活性化接合は、前記共晶接合を形成するときの熱処理温度よりも低い温度下において形成されることを特徴としている。

30

【発明の効果】

【0015】

本発明に係る半導体素子の製造方法によれば、成長用基板側の第2の接合層と支持基板側の第4の接合層との間で比較的低温下で形成される活性化接合によって成長用基板、半導体膜および支持基板の相対的な位置関係を固定した後に、第1の接合層と第3の接合層との間で比較的高い温度の熱処理を伴う共晶接合を形成することとしたので、半導体素子の構成材料間の熱膨張率差に起因するこれらの相対的な位置関係の変動を抑制することができる。従って上述した電極のパターンずれの問題を解消することができる。

40

【図面の簡単な説明】

【0016】

【図1】図1(a)～図1(d)は、従来の半導体素子の製造方法を示す断面図である。

【図2】図2(a)～図2(c)は、従来の半導体素子の製造方法を示す断面図である。

【図3】図3(a)～図3(d)は、本発明の実施例に係る半導体素子の製造方法を示す

50

断面図である。

【図4】図4(a)～図4(d)は、本発明の実施例に係る半導体素子の製造方法を示す断面図である。

【図5】図5(a)は中間工程における成長用基板の表面の状態を示す平面図、図5(b)は中間工程における支持基板の表面の状態を示す平面図である。

【図6】図6(a)～図6(d)は、本発明の他の実施例に係る半導体素子の製造方法を示す断面図である。

【図7】図7(a)～図7(d)は、本発明の他の実施例に係る半導体素子の製造方法を示す断面図である。

【図8】図8(a)は中間工程における成長用基板の表面の状態を示す平面図、図8(b)は中間工程における支持基板の表面の状態を示す平面図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施例に係る半導体素子の製造方法について図面を参照しつつ説明する。尚、各図において、実質的に同一又は等価な構成要素、部分には同一の参照符を付している。図3(a)～図3(d)および図4(a)～図4(d)は、本発明の実施例に係る半導体素子の製造工程におけるプロセスステップ毎の断面図である。

【0018】

<半導体膜の形成>

GaN系半導体膜の結晶成長が可能なC面サファイア基板を成長用基板10として用意する。成長用基板10上に半導体膜20を形成する。半導体膜20は、例えば、有機金属気相成長法(MOCVD法)により成長用基板10上に $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) からなるn型半導体層、活性層、p型半導体層を順次エピタキシャル成長させることにより形成される。活性層は例えばInGaN井戸層とGaN障壁層を繰り返して積層した多重量子井戸構造を有していてもよい(図3(a))。

【0019】

<分割溝の形成>

半導体膜20をチップ領域毎に分割する格子状の分割溝(ストリート)21を形成する。具体的には、半導体膜20の表面に素子分割ラインに沿った格子状の開口部を有するレジストマスク(図示せず)を形成する。次に、 Cl_2 プラズマによるドライエッチングによりレジストマスクを介して半導体膜20をエッチングする。これにより、半導体膜20には成長用基板10に達する格子状の分割溝21が形成され、半導体膜20は例えば一辺が1mm程度の矩形状の個片に分割される。成長用基板10の周縁部には半導体膜20aが残される(図3(b))。

【0020】

<保護膜およびp電極の形成>

CVD法やスパッタ法などにより半導体膜20上に SiO_2 膜を堆積する。続いて、半導体膜20の上面および分割溝21の底部に堆積した SiO_2 膜をバッファードフッ酸を用いて除去する。これにより、半導体膜20の各個片の側面に SiO_2 からなる保護膜35が形成される。保護膜35は、半導体膜20の各個片の側面における異物付着を防止する。

【0021】

次に、半導体膜20の表面にp電極のパターンに対応したレジストマスクを形成した後、電子ビーム蒸着法などによってPt(厚さ1nm)/Ag(厚さ150nm)/Ti(厚さ100nm)/Pt(厚さ150nm)/Au(厚さ200nm)を順次堆積する。その後、レジストマスク上に堆積されたこれらの金属膜をレジストマスクとともに除去する。これにより、半導体膜20の各個片の表面にp電極(第1の接合層)31が形成される。p電極31は、活性層から発せられる光を光取り出し面に向けて反射せしめる光反射層として機能するとともに後述する半導体膜20と支持基板50との接合において、支持基板50上に形成される共晶金属層51との間で共晶接合を形成する。成長用基板10の

周縁部に残された半導体膜 20 a の上面には p 電極 31 の形成と同時に p 電極と同一の材料からなる活性化接合層（第 2 の接合層）32 が形成される。活性化接合層 32 は、後述する半導体膜 20 と支持基板 50 との接合において、支持基板 50 側の活性化接合層 52 との間で表面活性化接合（SAB：Surface Activated Bonding）を形成する（図 3（c））。

【0022】

図 5（a）は、以上の各工程を経た成長用基板 10 を上面からみた平面図である。半導体膜は格子状の分割溝 21 によって矩形状の個片に分割されている。半導体膜の各個片の表面には p 電極 31 が形成されている。すなわち、p 電極 31 は、半導体膜の分割パターンに対応したパターンを有している。略円形をなす成長用基板 10 の周縁部上には、p 電極（第 1 の接合層）31 の全体を囲むように成長用基板 10 の外縁に沿って設けられた略円環状の活性化接合層（第 2 の接合層）32 が形成されている。

【0023】

＜支持基板の形成＞

成長用基板 10 に代えて半導体膜 20 を支持するための支持基板 50 を用意する。支持基板 50 は、例えばドーパント注入によって導電性が付与された Si などにより構成される。次に、支持基板 50 上に p 電極 31 の配列（分割パターン）に対応したパターンを有するレジストマスク（図示せず）を形成した後、電子ビーム蒸着法などによって、Pt（厚さ 25 nm）／Ti（厚さ 100 nm）／Ni（厚さ 100 nm）／Au（厚さ 30 nm）／AuSn（厚さ 600 nm）を順次堆積して共晶金属層（第 3 の接合層）51 を形成する。上記の金属のうち最表面に形成される AuSn は共晶材料である。続いて、レジストマスク上に堆積されたこれらの金属膜をレジストマスクとともに除去することにより、共晶金属層 51 をパターンニングする。共晶金属層 51 は、後述する半導体膜 20 と支持基板 50 との接合において、p 電極 31 との間で共晶接合を形成する。

【0024】

次に、支持基板 50 上に成長用基板側の活性化接合層 32 のパターンに対応したパターンを有するレジストマスクを形成した後、電子ビーム蒸着法などによって、Ti（厚さ 100 nm）／Pt（厚さ 100 nm）／Au（厚さ 100 nm）を順次堆積して支持基板 50 上に活性化接合層（第 4 の接合層）52 を形成する。次に、レジストマスク上に堆積されたこれらの金属膜をレジストマスクとともに除去することにより、活性化接合層 52 をパターンニングする。活性化接合層 52 は、後述する半導体膜 20 と支持基板 50 との接合において、成長用基板側の活性化接合層 32 との間で表面活性化接合を形成する（図 3（d））。

【0025】

図 5（b）は、共晶金属層 51 および活性化接合層 52 が形成された支持基板 50 を上面からみた平面図である。共晶金属層 51 は、成長用基板側の p 電極 31 の配列（分割パターン）に対応した分割パターンを有する。すなわち、共晶金属層 51 は、半導体膜 20 の各個片に対応するように分割されている。支持基板 50 は、成長用基板 10 と略同一サイズもしくはこれよりも若干大きいサイズの略円形形状を有し、その周縁部には共晶金属層 51 全体を囲むように支持基板 50 の外縁に沿って設けられた略円環状の活性化接合層 52 が形成されている。

【0026】

＜活性化接合層の表面活性化＞

上記の各工程を経た成長用基板 10 および支持基板 50 の表面に大気圧下において Ar プラズマを照射して成長用基板側の活性化接合層（第 2 の接合層）32 および支持基板側の活性化接合層（第 4 の接合層）52 の表面を活性化させる。具体的には、上記各工程を経た成長用基板 10 および支持基板 50 をプラズマ照射装置に投入し、大気圧下でアルゴンガスを流量 5 L／min で供給して電極間に 60 Hz、8 kV の電圧を印加する。これにより、直径 3 mm 程度の Ar プラズマビームを生成する。生成された Ar プラズマビームをスキャンして、成長用基板 10 および支持基板 50 の表面全体に Ar プラズマビーム

を照射する。A r プラズマ照射によって成長用基板側の活性化接合層（第2の接合層）32および支持基板側の接合層（第4の接合層）52の表面は、酸化物や吸着分子が除去されて清浄化され、接合を形成しやすい活性な状態となる。

【0027】

＜表面活性化接合の形成＞

成長用基板側のp電極31のパターンと、これに対応する支持基板側の共晶金属層51のパターンとが重なるように両基板の位置合せを行いつつ表面が活性化された成長用基板側の活性化接合層（第2の接合層）32と、支持基板側の活性化接合層（第4の接合層）52とを密着させる。その後、約150℃程度で加熱しながら両基板に例えば300N/cm²の押圧を加える。これにより、成長用基板側の活性化接合層（第2の接合層）32と支持基板側の活性化接合層（第4の接合層）52との間で表面活性化接合（SAB：Surface Activated Bonding）が形成される。本実施例においては、成長用基板側の活性化接合層32の最表面のAuと支持基板側の活性化接合層52の最表面のAuとが表面活性化接合を形成してAu-Au接合が形成される。

10

【0028】

ここで、表面活性化接合とは、表面処理によって接合面を活性な状態とし、比較的低温下（例えば150℃以下）において接合面同士を密着させることにより形成される接合である。表面活性化接合の詳細なメカニズムは未だ説明されていないが、以下のような2つのモデルが推定される。

【0029】

20

すなわち、表面活性化接合の第1のモデルは、接合面に付着している酸化物や吸着分子を除去して接合面を清浄化するとともに接合面の最表面において結合手（ダングリングボンド）を形成し、結合手同士を直接結合させて強固な接合を得るというものである。一方、表面活性化接合の第2のモデルは、接合面の表面にヒドロキシル基（OH基）等の極性官能基を導入することにより接合面を活性化してこの活性化された接合面の化学親和性を介して接合を形成するものである。

【0030】

本発明において表面の活性化とは、接合面において結合を形成しやすい活性な表面を形成することをいい、接合層表面の吸着物を除去することにより接合層表面を清浄化すること、接合層の表面に結合手（ダングリングボンド）を形成することおよび接合面の表面に極性官能基を導入することを含む。表面活性化の手法としては、上記した大気圧下におけるA r プラズマ照射以外の様々な手法を適用することが可能である。例えば、高真空中において活性化接合層32および52の表面にA r の高速原子ビームを照射することによりこれら各層の表面を活性化することが可能である。また、活性化接合層32および52の表面にエキシマUV光を照射することによりこれら各層の表面を活性化することが可能である。

30

【0031】

また、本発明において表面活性化接合とは、常温下（すなわち熱処理を行うことなく）または比較的低温（例えば150℃以下）の熱処理を行いつつ、活性化された接合面同士を密着させることによって形成される接合をいう。そして、本発明における表面活性化接合は、熱処理の有無に関わらず、少なくとも後述する＜共晶接合の形成＞時の熱処理温度よりも低い温度において形成される。表面活性化接合によれば、共晶接合等の他の接合において原子拡散の促進のために必要とされる比較的高温の熱処理が不要となる。従って、異種材料間の熱膨張率差に起因する上述のパターンずれの問題は生じない。

40

【0032】

尚、表面活性化接合に関しては、例えば「表面科学 Vol.26, No2, pp82-87, 2005 ウェハ常温接合技術」および「日経マイクロデバイス 2010年1月号 pp85-89 2020年のデバイス実装に向けた配線／接合の基板技術を開発」等に関連する記載がある。

【0033】

成長用基板側の活性化接合層32と支持基板側の活性化接合層52との間で表面活性化

50

接合が形成されることにより、p電極（第1の接合層）31のパターンと共晶金属層（第3の接合層）51のパターンとが位置合わせされた状態で、成長用基板10と支持基板50とが互いの周縁部において固着される。尚、この段階ではp電極31と共晶金属層51とは共晶結合していない（図4（a））。

【0034】

＜共晶接合の形成＞

成長用基板10および支持基板50に印加している押圧を維持しつつ熱処理温度を共晶材料の融点よりも高い約350℃程度にまで昇温し、この状態を10分間保持した後、熱処理温度を室温まで降下させる。これにより、成長用基板側のp電極（第1の接合層）31と支持基板側の共晶金属層（第3の接合層）51との間で共晶接合が形成される（図4（a））。共晶接合を形成する際の熱処理によって成長用基板10、半導体膜20および支持基板50は、それぞれ異なった割合で熱膨張する。しかしながら、先の工程において成長用基板10と支持基板50とが、それらの周縁部において既に結合しているので、上記の各構成材料間の基板半径方向における相対位置の変動が抑制される。従って、半導体膜20の各個片の表面に形成されたp電極31と、支持基板50の表面に形成された共晶金属層51とは熱処理前における相対位置関係を保持したまま共晶接合される。従って、成長用基板側のp電極31と支持基板側の共晶金属層51とのパターンずれの問題は生じない。尚、このような接合方法によれば、各構成材料に歪みが生じ内部応力が生じているものと考えられるが、後述する成長用基板10の除去によって内部応力は開放される故、実質上問題となることはない。また、＜活性化接合層の表面活性化＞において、成長用基板側のp電極（第1の接合層）31と支持基板側の共晶金属層（第3の接合層）51も活性化され、＜表面活性化接合の形成＞において、p電極（第1の接合層）31と共晶金属層（第3の接合層）51も接合することがある。その場合においても、p電極（第1の接合層）31と共晶接合層（第3の接合層）51は、＜共晶接合の形成＞の工程において、加熱溶融されて、共晶接合が形成される。

【0035】

＜成長用基板の除去＞

レーザーリフトオフ法などにより成長用基板10を除去する。具体的には、成長用基板10の裏面側からエキシマレーザを照射する。照射されたレーザは、半導体膜20に達し、成長用基板10との界面近傍におけるGa₂Nを金属GaとN₂ガスに分解する。これにより、成長用基板10と半導体膜20との間に空隙が形成され、成長用基板10が半導体膜20から剥離する。成長用基板10が除去されることにより半導体膜20のn型半導体層が表出する。また、成長用基板10が除去されることにより、共晶接合を形成する際の熱処理によって各構成材料に蓄積された内部応力が開放される（図4（b））。尚、レーザーリフトオフ法によらず、研磨などの他の手法によって成長用基板を除去することも可能である。

【0036】

＜n電極の形成＞

成長用基板10を除去することにより表出した半導体膜20の表面にn電極のパターンに対応したレジストマスクを形成し、続いて真空蒸着法等によりTiおよびAlを順次堆積し、更にボンディング性向上のため、最表面にTi/Auを堆積する。その後、レジストマスク上に堆積された上記の金属膜をレジストマスクとともに除去することにより半導体膜20の各個片の表面にn電極40を形成する（図4（c））。尚、n電極40を形成する前に、成長用基板10を剥離することによって表出した半導体膜20のn型半導体層の表面をKOH（水酸化カリウム）等のアルカリ溶液を用いて処理することにより、半導体膜20の表面にGa₂N結晶構造に由来する光取り出し構造を形成することとしてもよい。

【0037】

＜半導体素子の分割＞

半導体膜20に形成された分割溝21に沿って支持基板50をダイシングし、半導体素

10

20

30

40

50

子をチップ状に分割する。半導体素子の分割は、レーザスクライプ等の他の手法を用いることが可能である。以上の各工程を経ることにより半導体素子が完成する（図4（d））。

【0038】

以上の説明から明らかなように、本実施例に係る半導体素子の製造方法においては、支持基板側および成長用基板側（半導体膜側）の接合面には、比較的低い温度下によって接合が形成される表面活性化接合領域と、比較的高い温度の熱処理によって接合が形成される共晶接合領域とが設けられる。半導体膜20と支持基板50との接合は、表面活性化接合領域において表面活性化接合を形成した後に、共晶接合領域において共晶接合を形成することにより行なわれる。かかる方法によれば、先行する表面活性化接合によって成長用基板10、半導体膜20および支持基板50の相対的な位置関係は固定される故、共晶接合を形成する際の比較的高温の熱処理によって半導体膜20上に形成されたp電極31のパターンと、支持基板50上に形成された共晶金属層51のパターンとの位置ずれが防止される。

10

【0039】

尚、接合面を表面活性化接合領域のみで構成することも考えられる。しかしながら、表面活性化接合を形成するためには接合面が高い平坦性を有していることが要求されるところ、成長用基板や支持基板の反りなど考慮すると、接合面の全域を平坦面とすることは通常困難である。従って、接合面において共晶接合領域と表面活性化接合領域とを併存させることが望ましく、本発明においては、共晶接合領域と表面活性化接合領域とを併存させている。

20

【0040】

上記の実施例においては、成長用基板側の活性化接合層32および支持基板側の活性化接合層52の最表面をともにAu面とし、Au-Au接合を形成することとしたが、表面活性化接合は、これに限定されるものではない。表面活性化接合は、金属、半導体、酸化物、セラミックス等の様々な材料の接合に適用することが可能である。従って、活性化接合層をPt、Ag、Cu、Al等の金属、Si、GaAs、InP、GaP、InAs等の半導体、Al₂O₃、SiO₂等の酸化物などで構成することが可能である。また表面活性化接合は同種材料間の接合のみならず異種材料間の接合にも適用可能である。従って、成長用基板側の活性化接合層32と支持基板側の活性化接合層52の材料は互いに異な

30

【0041】

また、上記の実施例においては、押圧とともに熱処理を加えて表面活性化接合を形成することとしたが、表面活性化接合において熱処理は必ずしも必要ではなく、成長用基板側の接合面と支持基板側の接合面の相対的な位置関係が保持できる接合強度が得られるよう、任意に実施される。また、熱処理温度は得ようとする接合強度等に応じて適宜設定される。

【0042】

また、上記の実施例においては、成長用基板10上にp電極（第1の接合層）31と活性化接合層（第2の接合層）32とを、同一工程において同一材料を用いて形成することとしたが、これらは互いに異なる材料で構成されていてもよい。

40

【0043】

また、上記の実施例においては、成長用基板側の活性化接合層32を半導体膜上に形成したが、成長用基板10の表面に直接形成することとしてもよい（図6（a）参照）。

【0044】

また、上記の実施例においては、支持基板側の共晶金属層51がp電極31の配列（分割パターン）に対応した分割パターンを有する場合を例示したが、共晶金属層51は、そのような分割パターンを有していなくてもよい。図6（a）～図6（d）は、分割パターンが形成されていない共晶金属層51を有する支持基板50を半導体膜20に接合する場合における、プロセスステップ毎の断面図を示したものである。

50

【0045】

成長用基板側の活性化接合層32と支持基板側の活性化接合層52との間で表面活性化接合が形成された後、分割されていない共晶金属層51とp電極31との間で共晶接合が形成されて支持基板50が半導体膜20に接合される(図6(a))。成長用基板10がレーザリフトオフ法などによって除去される(図6(b))。成長用基板10を除去することにより表出した半導体層20の表面にn電極40が形成される(図6(c))。半導体膜20の分割溝に沿って、支持基板50をダイシングすることにより半導体素子が個片化される。

【0046】

このように、共晶金属層51が分割パターンを有していない場合には、p電極31と共晶金属層51との間のパターンずれの問題は生じないものと考えられる。しかしながら、この場合においても、表面活性化接合によって構成材料間の相対位置を固定した後に共晶接合を行うことにより、各構成材料の基板半径方向における相対的な位置関係の変動が抑制される。すなわち、半導体膜20の各個片は設計上の配置を保持して支持基板50上に固定される。従って、図2(c)に示されたようなn電極の位置ずれの問題を解消することが可能である。

【0047】

また、上記の実施例において示したプロセス順序は適宜入れ替えることが可能である。以下に上記した実施例のプロセス順序とは異なるプロセス順序による半導体素子の製造方法を図7(a)～図7(e)を参照しつつ説明する。成長用基板10上に上記の実施例と同様の手順によって半導体膜20を形成する。次に、半導体膜20上に複数のp電極31を形成するとともに複数のp電極31を囲む周縁部に活性化接合層32を形成する(図7(a))。次に、支持基板50を用意して支持基板上に上記の実施例と同様の手順によって共晶接合層51および活性化接合層52を形成する。次に、上記した実施例と同様の手順で活性化接合層32および52の表面を活性化する。次に、成長用基板側の活性化接合層32と支持基板側の活性化接合層52との間で表面活性化接合を形成した後に、p電極31と共晶接合層51との間で共晶接合を形成して、支持基板50を半導体膜20に接合する(図7(b))。次に、レーザリフトオフ法などにより成長用基板10を除去する(図7(c))。次に、ドライエッチングにより半導体膜20に格子状の分割溝21を形成し、半導体膜20を複数の個片に分割する。分割された半導体膜20の各個片の表面にn電極40を形成する(図7(d))。ダイシングなどによって分割溝21に沿って支持基板を切断し、半導体素子をチップ状に個片化する(図7(e))。

【0048】

また、上記の実施例においては、成長用基板10および支持基板50の周縁部を表面活性化接合領域とし、両基板の内周部を共晶接合領域とする場合を例示したが、各接合領域の配置は、これに限定されるものではない。図8(a)および図8(b)は、表面活性化接合層32および52の配置が改変された成長用基板10および支持基板50の上面図である。同図に示すように、成長用基板10および支持基板50の周縁部に加えて内周部(各基板の周縁部に配置された略円環状のパターンの内側)にも活性化接合層32および52を形成することとしてもよい。内周部に形成される活性化接合層を各基板上に分散配置することにより、共晶接合を形成する際の熱処理によって生じる内部応力を分散させることができる。また、同図に示すように、活性化接合層32をp電極31の配列内に組み込むこととしてもよい。また、図示しないが、内周部に形成される活性化接合層32は、分割溝21に沿って形成され且つp電極31の1つまたはいくつかを囲むようにパターンニングされていてもよい。

【0049】

また、上記した実施例においては、サファイア基板上にGa₂N系半導体を形成する場合を例示したが、これに限定されるものではない。例えばGaAs基板上にAlInGaP系半導体を積層する場合にも、本発明を適用することは可能である。この場合、GaAs基板は、アンモニア過酸化水素で溶解することにより除去することが可能である。

【0050】

また、上記した実施例においては、支持基板側に共晶金属層51を形成することとしたが、成長用基板側すなわち半導体膜20上に共晶材料を含む共晶金属層を形成することとしてもよい。

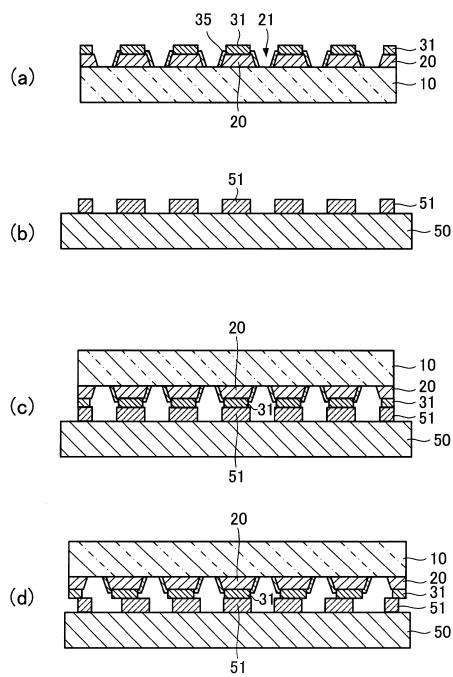
【符号の説明】

【0051】

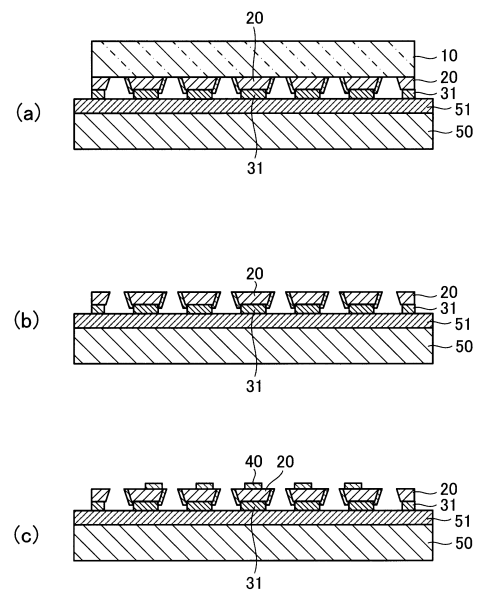
- 10 成長用基板
- 20 半導体膜
- 31 p電極
- 32 活性化接合層
- 40 n電極
- 50 支持基板
- 51 共晶金属層
- 52 活性化接合層

10

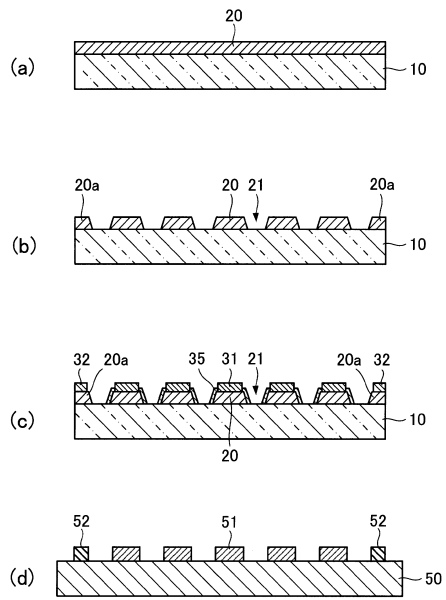
【図1】



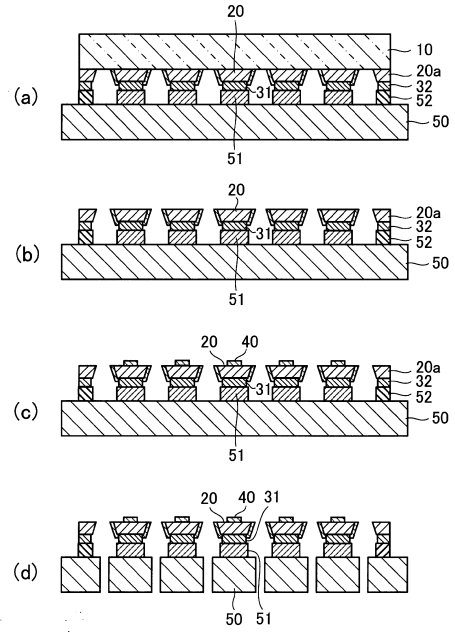
【図2】



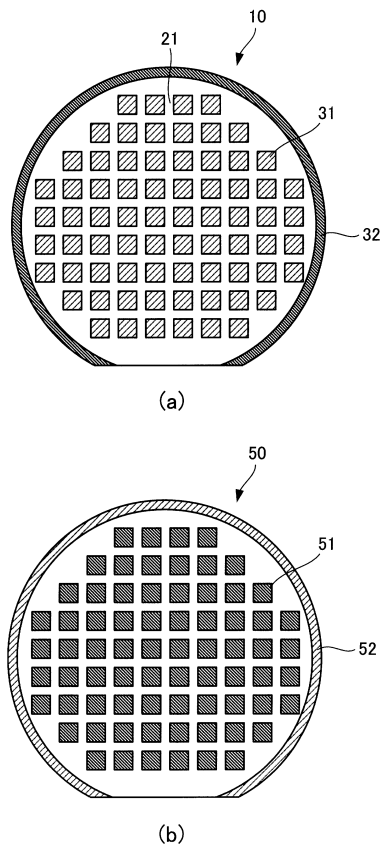
【図 3】



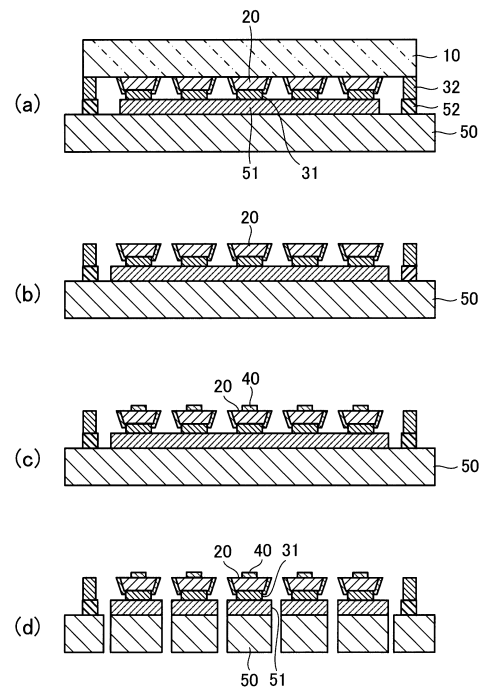
【図 4】



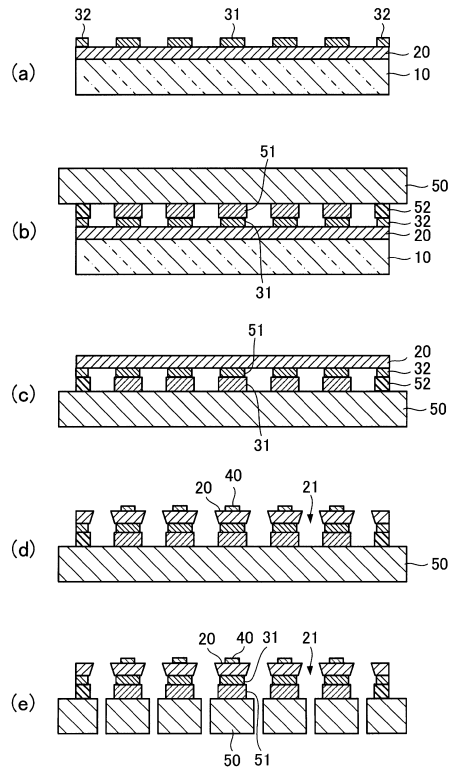
【図 5】



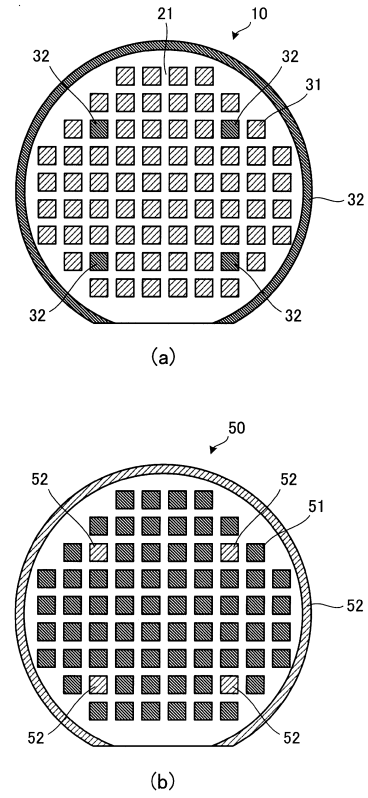
【図 6】



【図 7】



【図 8】



フロントページの続き

- (56)参考文献 特開2009-220151 (JP, A)
特開平03-171643 (JP, A)
特開2004-266240 (JP, A)
特開2006-186091 (JP, A)
特開2008-147466 (JP, A)
特開2010-056458 (JP, A)
特開2004-327908 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 33/00-33/64