



(10) **DE 10 2015 114 304 A1** 2016.03.10

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2015 114 304.6**

(22) Anmeldetag: **28.08.2015**

(43) Offenlegungstag: **10.03.2016**

(51) Int Cl.: **H01L 21/50** (2006.01)

H01L 21/56 (2006.01)

H01L 21/301 (2006.01)

H01L 21/60 (2006.01)

H01L 23/50 (2006.01)

H01L 21/84 (2006.01)

(30) Unionspriorität:

14/476,864

04.09.2014

US

(71) Anmelder:

Infineon Technologies Austria AG, Villach, AT

(74) Vertreter:

**Patentanwälte Lambsdorff & Lange, 81673
München, DE**

(72) Erfinder:

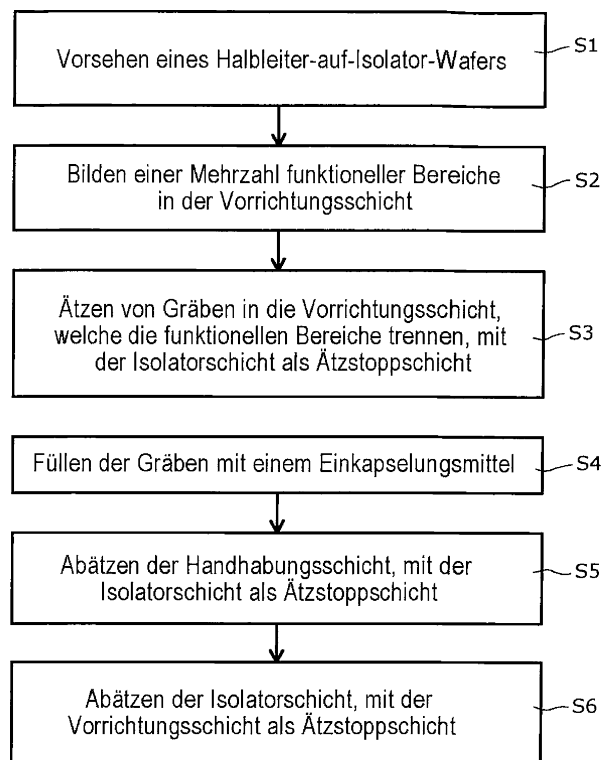
**Roemer, Bernd, 93170 Bernhardswald, DE;
Fuergut, Edward, 86453 Dasing, DE; Eder,
Hannes, Villach, AT; Engelhardt, Manfred,
Landskron, AT**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren zur Herstellung einer Halbleitervorrichtung und Halbleitervorrichtung**

(57) Zusammenfassung: Ein Verfahren zur Herstellung einer Halbleitervorrichtung wird bereitgestellt. Das Verfahren umfasst: Bereitstellen eines Halbleiter-Wafers, wobei der Wafer eine obere Schicht eines Halbleitermaterials, eine innere Ätzstoppschicht und eine untere Schicht umfasst; Ausbilden einer Mehrzahl funktioneller Bereiche in der oberen Schicht; Vornehmen eines selektiven ersten Ätzprozesses an der oberen Schicht, um so die Mehrzahl funktioneller Bereiche voneinander durch Gräben zu trennen, die durch die obere Schicht geätzt werden, wobei der erste Ätzprozess durch die innere Ätzstoppschicht im Wesentlichen gestoppt wird; und Entfernen der unteren Schicht durch einen zweiten Ätzprozess, wobei der zweite Ätzprozess durch die innere Ätzstoppschicht im Wesentlichen gestoppt wird.



Beschreibung

[0001] Die Erfindung bezieht sich allgemein auf ein Verfahren zur Herstellung einer Halbleitervorrichtung, auf eine Halbleitervorrichtung und auf eine Halbleiterkomponente.

[0002] Eine Halbleitervorrichtung kann einen oder mehrere Halbleiter-Nackchips (bzw. Halbleiter-Dies) umfassen. Der Halbleiter-Nackchip oder die Halbleiter-Nackchips kann oder können eingekapselt sein. Es besteht ein zunehmender Bedarf an kompakten Halbleitervorrichtungen, was zu dünneren Halbleiter-Nackchips führt. Dünne Halbleiter-Nackchips können z. B. in der Leistungselektronik verwendet werden. In der Leistungselektronik sind vertikale Vorrichtungen bekannt, die einen Stromkanal vertikal zu Hauptflächen des Halbleiter-Nackchips aufweisen. In vertikalen Vorrichtungen kann die Dicke des Halbleiter-Nackchips einen Kanalwiderstand beeinflussen. Je dünner der Nackchip, desto kleiner der Kanalwiderstand und desto besser die Leistung des Nackchips. Dünne Halbleiter-Nackchips werden auch in einem breiten Bereich anderer Anwendungen verwendet, wie beispielsweise in Sensoren.

[0003] Während der Produktion kann die Handhabung dünner Nackchips (bzw. Dies) anspruchsvoll sein, da dünne Nackchips leicht brechen können. Die Zerbrechlichkeit dünner Nackchips kann die Ausbeute verringern. Die Zerbrechlichkeit kann vom Halbleitermaterial des Nackchips und von der Dicke des Nackchips abhängig sein. Ein weiteres Problem während der Herstellung dünner Nackchips sind Verwölbungen. Dünne Nackchips und Wafer wölben sich leicht und die Genauigkeit von Verarbeitungsschritten wird verringert.

[0004] Insbesondere in Anwendungen, wo die endgültige Chipdicke die Chipleistung direkt beeinflusst, kann die Einhaltung einer gut definierten Enddicke Wertvariationen der Halbleitervorrichtungen einschränken.

[0005] Aus diesen und anderen Gründen besteht ein Bedarf an der vorliegenden Erfindung.

[0006] Die beiliegenden Zeichnungen sind eingeschlossen, um ein weiteres Verständnis von Aspekten vorzusehen, und sind in dieser Beschreibung enthalten und bilden einen Teil davon. Die Zeichnungen veranschaulichen Aspekte und dienen gemeinsam mit der Beschreibung zur Erläuterung von Prinzipien von Aspekten. Andere Aspekte und viele der beabsichtigten Vorteile von Aspekten werden leicht ersichtlich, da sie durch Bezugnahme auf die folgende detaillierte Beschreibung besser verständlich werden. Die Elemente der Zeichnungen sind nicht unbedingt maßstabgetreu relativ zueinander. Gleiche Be-

zugszeichen können entsprechende ähnliche Teile bezeichnen.

[0007] Fig. 1 veranschaulicht schematisch eine Schnittansicht eines Halbleiter-Wafers, der in einer Ausführungsform verwendet wird.

[0008] Fig. 2 veranschaulicht schematisch den Halbleiter-Wafer nach der Bildung einer Mehrzahl funktioneller Bereiche.

[0009] Fig. 3 veranschaulicht schematisch eine Draufsicht des Halbleiter-Wafers von Fig. 2.

[0010] Fig. 4 bis Fig. 9 veranschaulichen schematisch in Schnittansichten ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß der Offenbarung.

[0011] Fig. 10 veranschaulicht schematisch eine Schnittansicht einer Halbleiterkomponente gemäß einer Ausführungsform.

[0012] Fig. 11 bis Fig. 17 veranschaulichen in Schnittansichten ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform.

[0013] Fig. 18 veranschaulicht ein Flussdiagramm eines Verfahrens zur Herstellung einer Halbleitervorrichtung gemäß der Offenbarung.

[0014] In der folgenden detaillierten Beschreibung wird auf die beigeschlossenen Zeichnungen Bezug genommen, die einen Teil davon bilden und in denen zur Veranschaulichung spezifische Aspekte gezeigt werden, in denen die Erfindung praktiziert werden kann. In dieser Hinsicht kann Richtungs-Terminologie, wie „oben“, „unten“, „vorne“, „hinten“, etc., mit Bezugnahme auf die Orientierung der beschriebenen Figuren verwendet werden. Da Komponenten beschriebener Vorrichtungen in einer Reihe unterschiedlicher Orientierungen positioniert werden können, kann die Richtungs-Terminologie für Zwecke der Veranschaulichung verwendet werden und ist in keiner Weise einschränkend. Es ist klar, dass andere Aspekte verwendet werden können und strukturelle oder logische Änderungen vorgenommen werden können, ohne vom Umfang der vorliegenden Erfindung abzuweichen. Die folgende detaillierte Beschreibung ist daher nicht im einschränkenden Sinn anzusehen, und der Umfang der vorliegenden Erfindung wird durch die beigeschlossenen Ansprüche definiert.

[0015] Es ist klar, dass die Merkmale der verschiedenen hier beschriebenen beispielhaften Aspekte miteinander kombiniert werden können, außer ist es spezifisch etwas anderes angegeben.

[0016] Die hier beschriebenen Vorrichtungen und Verfahren können einen oder mehrere Halbleiter-Nackchips (bzw. Halbleiter-Dies) oder -Chips umfassen oder verwenden. Die Ausdrücke „Nackchip“ (bzw. „Die“) und „Chip“ werden in der gesamten Beschreibung austauschbar verwendet. Die Halbleiter-Nackchips oder -Chips können von einem beliebigen Typ sein, können durch verschiedene Technologien hergestellt werden und können z. B. integrierte elektrische, elektrooptische oder elektromechanische Schaltungen und/oder passive Vorrichtungen umfassen. Beispielsweise können die Halbleiter-Chips als Leistungs-Halbleiter-Chips ausgelegt sein. Die Halbleiter-Chips können Steuerschaltungen, Mikroprozessoren oder mikroelektromechanische Komponenten umfassen. Zusätzlich können die hier beschriebenen Vorrichtungen logische integrierte Schaltungen umfassen, um die integrierten Schaltungen anderer Halbleiter-Chips zu steuern, beispielsweise die integrierten Schaltungen von Leistungs-Halbleiter-Chips. Die Halbleiter-Chips müssen nicht aus einem spezifische Halbleitermaterial hergestellt sein, beispielsweise Si, SiC, SiGe, GaAs, GaN und einem beliebigen anderen III-V-Halbleiter, und können anorganische und/oder organische Materialien enthalten, die keine Halbleiter sind, wie beispielsweise Isolatoren, Kunststoffe oder Metalle.

[0017] In einem Beispiel können die Halbleiter-Chips eine vertikale Struktur aufweisen, d. h. die Halbleiter-Chips können so hergestellt sein, dass elektrische Ströme in einer Richtung senkrecht zu den Hauptflächen der Halbleiter-Chips fließen können. Ein Halbleiter-Chip mit einer vertikalen Struktur kann Elektroden auf seinen zwei Hauptflächen aufweisen, d. h. auf seiner Oberseite und Unterseite (die Unterseite kann hier auch als Rückseite bezeichnet werden). Insbesondere können die hier beschriebenen Vorrichtungen einen Leistungs-Halbleiter-Chip umfassen, der eine solche vertikale Struktur aufweisen kann. Die vertikalen Leistungs-Halbleiter-Chips können als Leistungs-MOSFETs (Metall-Oxid-Halbleiter-Feldeffekttransistoren), IGBTs (bipolare Transistoren mit isolierter Gateelektrode), JFETs (Sperrschicht-Feldeffekttransistoren), Leistungs-Bipolartransistoren, Leistungsdioden, etc., ausgelegt sein. Beispielsweise können die Source-Elektrode und die Gateelektrode eines Leistungs-MOSFET auf einer Hauptfläche angeordnet sein, während die Drain-Elektrode des Leistungs-MOSFET auf der anderen Hauptfläche angeordnet sein kann.

[0018] Fig. 1 zeigt einen Halbleiter-Wafer **10**. Der Halbleiter-Wafer **10** umfasst eine obere Schicht **12**, eine innere Schicht **14** und eine untere Schicht **16**. Die obere Schicht **12** umfasst ein Halbleitermaterial. Das Halbleitermaterial kann Silizium sein. Das Halbleitermaterial kann auch ein beliebiges anderes Halbleitermaterial sein, wie beispielsweise SiC, SiGe,

GaAs, GaN oder andere III-V-Halbleitermaterialien. Die obere Schicht **12** kann ein einzelnes Halbleitermaterial oder mehr als ein Halbleitermaterial umfassen.

[0019] Die obere Schicht **12** kann eine Vorrichtungsschicht sein. Die obere Schicht **12** hat eine Dicke t . Die Dicke t der Vorrichtungsschicht kann die Dicke der endgültigen Halbleitervorrichtung definieren, die gemäß dem beschriebenen Verfahren hergestellt wird. Die Dicke t kann weniger als 100 μm (Mikrometer) betragen. Im Allgemeinen kann eine dünne Halbleitervorrichtung eine Dicke von weniger als 100 μm (Mikrometer) aufweisen. Ob eine Halbleitervorrichtung als dünne Halbleitervorrichtung angesehen wird, kann vom Halbleitermaterial abhängig sein. Die Dicke t kann zwischen 1 μm (Mikrometer) und 50 μm (Mikrometer) variieren. Die Dicke t kann auch kleiner sein als 1 μm (Mikrometer). Die Dicke t kann in Abhängigkeit von der Funktionalität der herzustellenden Halbleitervorrichtung gewählt werden.

[0020] Die innere Schicht **14** kann eine innere Ätzstoppschicht sein. Eine Ätzstoppschicht stoppt einen Ätzprozess im Wesentlichen. Spezifischer kann eine Ätzstoppschicht als Schicht definiert werden, die ein Material umfasst, das von einem Ätzmittel (oder einer Ätzflüssigkeit) nicht oder weniger geätzt wird, welches eine Schicht angrenzend an die Ätzstoppschichtätzt. So ist ein Ätzprozess zum Ätzen der angrenzenden Schicht z. B. nicht zeitkritisch oder temperaturkritisch, da der Ätzprozess von der Ätzstoppschicht im Wesentlichen gestoppt wird. Im Detail können sich für ein gleiches Ätzmittel eine Ätzrate der Schicht angrenzend an die Ätzstoppschicht und eine Ätzrate der Ätzstoppschicht um einen Faktor von wenigstens 10 unterscheiden. Der Faktor kann zwischen 10 und 1000 liegen. Der Faktor kann etwa 100 betragen. Der Faktor kann etwa 1000 betragen. Ein Faktor von z. B. 100 zwischen der Ätzrate für die angrenzende Schicht und die Ätzstoppschicht bedeutet, dass während einer gegebenen Zeitperiode z. B. 100 μm (Mikrometer) der angrenzenden Schicht geätzt werden, während in einer gleichen Zeitperiode nur 1 μm (Mikrometer) der Ätzstoppschicht geätzt wird. Mit anderen Worten kann die innere Schicht **14** durch ein Ätzmittel nicht geätzt werden oder kann weniger geätzt werden, welches das Halbleitermaterial der oberen Schicht **12** ätzen kann. Präziser kann die innere Ätzstoppschicht **14** durch das Ätzmittel, das zum Ätzen der oberen Schicht **12** verwendet wird, kaum beeinflusst oder beschädigt werden. Beispielsweise kann die innere Ätzstoppschicht **14** wenigstens einer von einer Oxid-Schicht, einer Siliziumoxid-Schicht, einer vergrabenen Oxid-Schicht (engl. buried oxide layer, BOX), einer Nitrid-Schicht, etc., entsprechen oder diese enthalten. In einem Beispiel kann die innere Ätzstoppschicht **14** ein Aluminiumnitrid (AlN) enthalten.

[0021] Die untere Schicht **16** kann ein Halbleitermaterial umfassen. Beispielsweise kann die untere Schicht **16** wenigstens eines von einer Handhabungsschicht und einem Bulk-Wafer sein. Eine Dicke T der unteren Schicht **16** kann größer sein als die Dicke t der oberen Schicht. Die untere Schicht **16** kann ausgelegt sein, dem Halbleiter-Wafer **10** Stabilität und/oder eine Stütze zu verleihen. Die Handhabungs-Wafer-Dicke T kann von einem Durchmesser des Wafers **10** abhängig sein. Ein Wafer kann allgemein kreisförmig, rechteckig sein oder eine beliebige andere Form aufweisen. Ein kreisförmiger Wafer kann einen Durchmesser zwischen etwa 25 mm (1 Zoll bzw. 1 inch) bis etwa 450 mm (18 Zoll bzw. 18 inch) aufweisen. Der Durchmesser des kreisförmigen Wafers kann auch kleiner oder größer als die angegebenen Abmessungen sein. Ein Wafer **10** mit einem Durchmesser von etwa 200 mm kann eine Dicke T von mehr als 500 μm (Mikrometer) aufweisen. Die Dicke T kann sogar größer sein für Wafer-Durchmesser von etwa 300 mm oder etwa 450 mm (Durchmesser von 8 Zoll, 12 Zoll bzw. 18 Zoll).

[0022] Das Material der unteren Schicht **16** kann so gewählt werden, dass ein Ätzmittel oder eine Ätzflüssigkeit für die untere Schicht **16** die innere Schicht **14** weniger oder nicht ätzt. Mit anderen Worten kann die innere Ätzstoppschicht **14** auch als Ätzstoppschicht für die untere Schicht **16** dienen. Die innere Ätzstoppschicht **14** kann so als Ätzstoppschicht zum Ätzen der oberen Schicht **12** und zum Ätzen der unteren Schicht **16** verwendet werden. Die innere Ätzstoppschicht **14** kann doppelt verwendet werden.

[0023] Beispielsweise kann der Wafer **10** ein Silizium-auf-Isolator-(engl. Silicon-On-Insulator, SOI)-Wafer sein. Ein SOI-Wafer kann unter Verwendung eines Sauerstoffimplantationsprozesses hergestellt werden, z. B. durch einen sogenannte Trennung durch Implantation von Sauerstoff (SIMOX). Ein SIMOX-Wafer kann eine vergrabene Siliziumdioxid- (SiO_2) -Schicht als innere Schicht umfassen. Ein SOI-Wafer kann auch durch direktes Bonden von oxidiertem Silizium mit einem zweiten Substrat gebildet werden. Ein SOI-Wafer kann auch durch ein Keimverfahren gebildet werden, in dem die obere Silizium-Schicht direkt auf dem Isolator aufgewachsen wird.

[0024] Fig. 2 zeigt den Wafer **10** von Fig. 1 nach einem ersten Verarbeitungsschritt. In der Vorrichtungsschicht **12** wird eine Mehrzahl funktioneller Bereiche **18A**, **18B**, **18C** und **18D** gebildet. Funktionelle Bereiche können auch als aktive Gebiete bezeichnet werden. In einer Ausführungsform können funktionelle Bereiche **18A–18D** vertikale Transistoren sein. In einer Ausführungsform können die funktionellen Bereiche **18A–18D** Sensoren sein. In anderen Ausführungsformen können funktionelle Bereiche **18A–18D** andere Funktionalitäten vorsehen, insbesondere können sie Funktionalitäten vorsehen, die ei-

ne geringe Dicke t des herzustellenden Nacktchips verwenden oder erfordern. Obwohl funktionelle Bereiche **18A**, **18B**, **18C** und **18D** in den Figuren so gezeigt sind, dass sie sich nur in einen Teil der Dicke t des Nacktchips erstrecken, können die funktionellen Bereiche auch die gesamte Dicke t der Vorrichtungsschicht verwenden. In einer Ausführungsform können die funktionellen Bereiche **18A**, **18B**, **18C** und **18D** eine Dicke zwischen etwa 1 μm (Mikrometer) und 5 μm (Mikrometer) aufweisen. Die Dicke der funktionellen Bereiche kann durch die Tiefe definiert werden, bis zu welcher der Halbleiter der Vorrichtungsschicht **12** modifiziert ist, z. B. durch sogenannte Front-End-Prozesse, um eine gewünschte elektrische Funktionalität zu erzielen. In einer Ausführungsform könnte es notwendig sein, eine größere Vorrichtungsschichtdicke als die Dicke des funktionellen Bereichs vorzusehen, um eine gewünschte elektrische Stärke zu erzielen. Die notwendige Dicke nimmt mit der maximalen Spannung zu. Als Beispiel kann in Silizium eine Dicke von 60 μm (Mikrometer) notwendig sein, um einer Spannung von 600 V standzuhalten. Daher kann die Vorrichtungsschichtdicke größer sein als die Dicke der funktionellen Schicht, wie in Fig. 2 gezeigt. Andererseits kann bei Silizium eine Dicke von 1 μm (Mikrometer) für eine Spannung von 1 V ausreichend sein, und die Dicke des funktionellen Bereichs kann gleich sein wie die Dicke der Vorrichtungsschicht, wobei sich der funktionelle Bereich über die gesamte Dicke der Vorrichtungsschicht erstreckt.

[0025] Fig. 3 zeigt in einer Draufsicht einen Wafer **10**, der funktionelle Bereiche **18A**, **18B**, **18C** und **18D** umfasst. Es ist klar, dass der Wafer **10** eine Mehrzahl funktioneller Bereiche umfassen kann. Beispielsweise kann der Wafer **10** von 10 bis 1.000.000 funktionelle Bereiche oder sogar weniger oder mehr umfassen. Beispielsweise kann der Wafer **10** von 10.000 bis 100.000 funktionelle Bereiche umfassen. In Fig. 3 sind der Einfachheit halber und für Zwecke der Erläuterung nur vier funktionelle Bereiche gezeigt. Die obere Fläche des Wafers **10** kann durch Ritzlinien (engl. scribe lines) **20** in Bereiche geteilt werden. Ritzlinien **20** können definieren, wo der Wafer **10** zu trennen oder zu schneiden ist, wenn die Nacktchips vereinzelte werden. Die Ritzlinien **20** können Orte anzeigen, wo der Halbleiter-Wafer **10** später in einzelne Teile zu trennen ist. Insbesondere können die Ritzlinien frei von Metall sein, das während der Herstellung elektronischer Strukturen verwendet wurde, die in den funktionellen Bereichen enthalten sind. Die Ritzlinien können eine Breite von etwa 5 μm (Mikrometer) bis etwa 5 mm aufweisen. Die Ritzlinien können eine Breite von etwa 5 μm (Mikrometer) bis etwa 500 μm (Mikrometer) aufweisen. Die Ritzlinien können eine Breite von etwa 5 μm (Mikrometer) bis etwa 100 μm (Mikrometer) und insbesondere von etwa 15 μm (Mikrometer) bis etwa 50 μm (Mikrometer) aufweisen. Die Breite der Ritzlinien kann insbesondere von Ausrich-

tungseigenschaften und/oder der Empfindlichkeit der Halbleiter-Chips abhängig sein.

[0026] Funktionelle Bereiche **18A** bis **18D**, oder allgemeiner alle auf dem Wafer **10** gebildeten funktionellen Bereiche, können von derselben Art eines funktionellen Bereichs sein oder sie können gleich zueinander sein. In einer Ausführungsform können verschiedene funktionelle Bereiche auf dem Wafer **10** gebildet sein. Funktionelle Bereiche **18A** bis **18D** können auch funktionelle Bereiche umfassen, die zur Verarbeitung des Wafers erforderlich sind, z. B. funktionelle Bereiche, die für zukünftige Verarbeitungsschritte wie für Ausrichtungszwecke, usw., erforderlich sind.

[0027] Fig. 4 zeigt einen Wafer **10**, nachdem ein selektiver erster Ätzprozess an der oberen Schicht **12** vorgenommen wird. Der erste Ätzprozess kann insofern selektiv sein, als das verwendete Ätzmittel nur das Halbleitermaterial der oberen Schicht **12** angreift, aber nicht unbedingt das Material der inneren Ätzstoppschicht **14** angreift, die als Ätzstoppschicht dient. Der erste Ätzprozess kann auch darin selektiv sein, dass Gräben **22** in die obere Schicht **12** entlang von Ritzlinien **20** geätzt werden. Die Gräben **22** können eine beliebige Form aufweisen. Die Selektivität zur Bildung der Gräben kann durch das Aufbringen einer Maske auf die Bereiche erzielt werden, die nicht zu ätzen sind. Die Maske kann auf die funktionellen Bereiche aufgebracht werden. Die Maske kann größere Gebiete bedecken als die funktionellen Bereiche, um auch Teile der oberen Schicht **12** zu schützen, welche die funktionellen Bereiche umgeben. Der erste selektive Ätzprozess bildet Gräben **22**, welche die funktionellen Bereiche voneinander trennen. Der erste selektive Ätzprozess vereinzelt die funktionellen Bereiche **18A** bis **18D**. Gräben **22** können geätzt werden, wobei ein oder mehrere funktionelle Bereiche zusammen gelassen werden, die später miteinander verbunden werden können. Funktionelle Bereiche **18** bilden mit der darunterliegenden verbleibenden oberen Schicht **12** dünne Nacktchips oder Chips **24**. Nach dem ersten Ätzprozess werden sie durch die innere Schicht **14** und die untere Schicht **16** weiter zusammen gehalten.

[0028] Beispielsweise kann der Ätzprozess wenigstens eines von einem Sputter-Ätzen, Dampfphasen-Ätzen, etc., umfassen. Insbesondere kann wenigstens einer von einem Plasmaätzprozess und einem Nassätzprozess angewendet werden. Der gewählte Ätzprozess kann von dem Halbleitermaterial und von der Dicke t der oberen Schicht sowie von dem Material der inneren Ätzstoppschicht **14** abhängig sein. Während für eine kleinere Dicke t der oberen Schicht ein Nassätzprozess bevorzugt werden kann, kann für größere Dicken t ein Trockenätzprozess verwendet werden. Mit einer größeren Dicke t kann ein Nas-

sätzprozess zu wichtigen Unterätzgebieten unter den funktionellen Bereichen führen.

[0029] Der erste Ätzprozess kann einen Graben oder eine Mehrzahl von Gräben **22** auf einer oberen Seite oder vorderen Seite des Halbleiter-Wafers **10** ätzen, d. h. auf jeweils in die obere Schicht **12**. Der Graben oder die Gräben kann oder können sich vollständig durch die obere Schicht **12** zur Ätzstoppschicht **14** erstrecken. So kann die obere Schicht oder Vorrichtungsschicht **12** vollständig getrennt oder zwischen den funktionellen Bereichen vollständig entfernt werden.

[0030] Beim Plasmaätzen kann der Halbleiter-Wafer mit einem Maskenmaterial maskiert werden, das Bereiche zwischen den einzelnen Halbleiter-Nacktchips offen lässt, die von den funktionellen Bereichen definiert werden. Ein maskierter Halbleiter-Wafer kann dann unter Verwendung eines reaktiven Gasplasmas verarbeitet werden, welches das Halbleiter-Wafer-Material der oberen Schicht **12** ätzen kann, die zwischen den Halbleiter-Chips bzw. den funktionellen Bereichen freiliegt. Das Plasmaätzen kann durch Ionisieren eines Gasgemischs innerhalb einer Kammer vorgenommen werden, um Tönen zu erhalten, die mit einem Zielmaterial reagieren können. Eine Ionisierung eines eingesetzten Gases kann unter Verwendung einer Hochfrequenzerregung vorgenommen werden, die von einer Elektrode emittiert wird. Eine Ionisierung eingesetzter Gase kann unter Verwendung einer Hochfrequenzerregung vorgenommen werden, die von einer Elektrode emittiert wird. Eine verwendete Plasmaquelle (oder Ätzspezies) kann geladen (Ionen) und/oder neutral (Atome und Radikale) sein. Während eines Plasmaätzprozesses kann das Plasma flüchtige Ätzprodukte aus chemischen Reaktionen zwischen den Elementen des zu ätzenden Materials und der vom Plasma generierten reaktiven Spezies erzeugen. Atome des behandelten Elements können sich selbst auf oder unter der Fläche des Zielmaterials einbetten, so dass die physikalischen Eigenschaften des Zielmaterials modifiziert werden können. Der Ausdruck Plasmaätzen kann sich auf einen beliebigen Ätz- oder Schneidprozess beziehen, der Plasma verwendet, beispielsweise reaktives Ionenätzen, tiefes reaktives Ionenätzen, Ionenstrahlätzen, etc.

[0031] Die Chemien von Gasen, die in einem Plasmaätzprozess verwendet werden, können insbesondere vom zu ätzenden Material abhängig sein. Beispielsweise kann ein Halogen-(Fluor-, Chlor-, Brom- oder Iod-)Gas oder ein Halogen enthaltendes Gas verwendet werden, wobei ein oder mehrere zusätzliche Gase zugesetzt werden können, um eine Qualität eines Ätzens (z. B. Ätzanisotropie, Maskenselektivität, Ätzgleichmäßigkeit, etc.) zu verbessern. Beispielsweise können Gase, die Fluor umfassen, wie SF_6 , F_2 oder NF_3 , zum Ätzen von Silizium verwen-

det werden. Chlor und/oder Brom enthaltende Gase können verwendet werden, um III-V-Materialien zu ätzen. Es ist klar, dass ein Plasmaätzen nicht auf eine Anwendung bei der Herstellung von Halbleitervorrichtungen beschränkt sein kann. Stattdessen kann eine Plasmaätztechnik auch bei einem willkürlichen Substrattyp angewendet werden, solange eine geeignete Gaschemie zum Ätzen des Substrats verfügbar ist. Beispielsweise können weiteren Substrattypen Kohlenstoff enthaltende Substrate (einschließlich Polymersubstrate), Keramiksubstrate, Metallsubstrate, Glassubstrate, etc., umfassen.

[0032] Beim Nassätzen kann ein Ätzmittel verwendet werden, um einen Graben im Halbleitermaterial vorzusehen. Eine Maske kann verwendet werden, um Material selektiv vom Zielmaterial zu entfernen. Ein Nassätzprozess kann isotrop sein, so dass eine Ätzrate sowohl in der horizontalen als auch vertikalen Richtung identisch sein kann, oder anisotrop, so dass eine Ätzrate in einer horizontalen und einer vertikalen Richtung verschieden sein kann. In einem Beispiel kann ein Nassätzprozess Fluorwasserstoffsäure verwenden.

[0033] Die hier beschriebenen Vorrichtungen und Verfahren können ein Opfermaterial umfassen oder einsetzen, dass insbesondere als Abstandshalter oder als Maske während eines Ätzprozesses dienen kann. Die Opferschicht kann wenigstens eines von einem Nitrid, einem Oxid und Kohlenstoff umfassen. Insbesondere kann das Opfermaterial aus wenigstens einem von Siliziumnitrid und Siliziumoxid bestehen oder dieses umfassen. Beispielsweise kann das Opfermaterial in Form einer Schicht mit einer Dicke von etwa 100 Nanometer bis etwa 10 µm (Mikrometer) abgeschieden werden, insbesondere von etwa 100 Nanometer bis etwa 3 µm (Mikrometer).

[0034] Fig. 5 zeigt einen Wafer **10**, der eine untere Schicht **16**, eine innere Ätzstoppschicht **14** und die vereinzelt Nacktchips **24** umfasst, nachdem eine Einkapselung vorgenommen wird. Es ist klar, dass die Einkapselung optional ist. In einer weiteren Ausführungsform, die nicht gezeigt ist, kann der Wafer **10** von Fig. 4 auf einen temporären Träger platziert werden, wobei die funktionellen Bereiche **18** dem temporären Träger zugewandt sind. Eine Haftschrift kann zwischen dem temporären Träger und den funktionellen Bereichen vorgesehen werden. Fig. 5 zeigt einen eingekapselten Wafer **10**. Nacktchips **24** werden von einem Einkapselungsmittel **26** eingekapselt, das ein erstes Einkapselungsmittel sein kann. Das Einkapselungsmittel **26** füllt die Gräben **22**, die durch den ersten Ätzprozess gebildet werden. In der Ausführungsform von Fig. 5 bedeckt das Einkapselungsmittel **26** auch die obere Seite oder oberen Flächen funktioneller Bereiche **18**. In der Ausführungsform von Fig. 5 bedeckt das Einkapselungsmittel **26** auch die lateralen Seiten des Wafers **10**. Es ist klar, dass die Bedeckung der oberen Seiten der funktionellen Bereiche **18** und die Bedeckung der lateralen Seite des Wafers **10** optional ist.

ckung der oberen Seiten der funktionellen Bereiche **18** und die Bedeckung der lateralen Seite des Wafers **10** optional ist.

[0035] Das Einkapselungsmaterial **26** kann ein beliebiges elektrisch isolierendes Material sein, wie beispielsweise eine beliebige Art eines Formmaterials (engl. molding material), eine beliebige Art eines Epoxymaterials oder eine beliebige Art eines Harzmaterials. In speziellen Fällen kann es vorteilhaft sein, ein leitfähiges Einkapselungsmaterial zu verwenden. In dem Prozess der Bedeckung der Halbleiter-Nacktchips **24** mit dem Einkapselungsmaterial kann ein Packagingprozess auf Wafer-Ebene durchgeführt werden. Das Einkapselungsmaterial kann ein duroplastisches oder aushärtendes Formmaterial sein. Das Einkapselungsmaterial kann ein oder mehrere Füllmaterialien enthalten. Das Einkapselungsmaterial kann ein Füllmaterial enthalten, das aus kleinen Teilchen aus Glas (SiO_2) oder anderen elektrisch isolierenden Füllmaterialien, wie Aluminiumoxid (Al_2O_3), Bornitrid (BN) oder Aluminiumnitrid (AlN), oder organischen Füllmaterialien besteht. Das Einkapselungsmaterial kann auch ein elektrisch leitfähiges Füllmaterial enthalten, wie Kupfer (Cu), Silber (Ag), Molybdän (Mo) oder Kohlenstoff (C). Das Einkapselungsmaterial kann auch ein Füllmaterial mit magnetischen Eigenschaften wie z. B. Ferrite enthalten. Das Einkapselungsmaterial kann beispielsweise durch Druckformen (engl. compression molding), Spritzguss (engl. injection molding), Granulatformen (engl. granulate molding), Transferformen (engl. transfer molding), Pulverformen (engl. powder molding) oder Flüssigformen (engl. liquid molding) aufgebracht werden.

[0036] In einer Ausführungsform kann das Einkapselungsmaterial **26** eine Schicht sein, die aus einem elektrisch isolierenden Polymermaterial besteht. Ein Polymermaterial kann beispielsweise ein Prepreg sein (kurz für vorimprägnierte Fasern), das eine Kombination eines Fasernetzes, beispielsweise Glas- oder Kohlefasern, und eines Harzes, beispielsweise eines duroplastischen Materials ist. Prepreg-Materialien können z. B. verwendet werden, um Leiterplatten (PCB) herzustellen. In einer Ausführungsform kann das Einkapselungsmaterial **26** homogen sein und zur Gänze aus demselben Material bestehen.

[0037] In einer Ausführungsform kann das Einkapselungsmaterial **26** nur Gräben **22** füllen und nicht die obere Seite funktioneller Bereiche **18** bedecken. In einer weiteren Ausführungsform kann das Einkapselungsmaterial **26** nicht die lateralen Seiten des Wafers **10** bedecken. Durch das Füllen der Gräben **22** kann das Einkapselungsmaterial **26** einen Schutz für die Nacktchips **24** vorsehen.

[0038] Fig. 6 zeigt den eingekapselten Wafer **10**, gedreht um 180° in Bezug auf die Darstellung in Fig. 5. Die untere Schicht oder Handhabungsschicht **16** wurde entfernt. Beispielsweise kann die Handhabungsschicht **16** durch einen zweiten Ätzprozess entfernt worden sein. Der zweite Ätzprozess kann durch die innere Ätzstoppschicht **14** gestoppt werden. Die untere Schicht **16** kann in zwei Schritten entfernt werden. Zuerst kann ein unterer Teil oder äußerer Teil der Handhabungsschicht **16** durch einen Schleifprozess entfernt werden. Danach kann der verbleibende Teil der Handhabungsschicht **16**, der neben der oder angrenzend an die innere Ätzstoppschicht **14** liegt, durch den zweiten Ätzprozess entfernt werden. Der verbleibende Teil, der durch den zweiten Ätzprozess entfernt wird, kann eine Dicke von etwa $50\ \mu\text{m}$ (Mikrometer) aufweisen. Der zweite Ätzprozess kann die innere Ätzstoppschicht **14** nicht oder kaum angreifen, entfernt jedoch die Handhabungsschicht **16** vollständig. In einer Ausführungsform, wo das Einkapselungsmittel **26** auch laterale Flächen des Halbleiter-Wafers bedeckt, kann das Einkapselungsmittel auch entfernt werden, um eine ebene Fläche mit der inneren Ätzschicht **14** zu bilden. In einer Ausführungsform, wo der Wafer **10** auf einen temporären Träger platziert wird, kann die untere Schicht **16** auf die gleiche Weise entfernt werden.

[0039] Fig. 7 zeigt die eingekapselten Nacktchips **24**, nachdem ein dritter Ätzprozess vorgenommen wurde. Der dritte Ätzprozess verwendet ein Ätzmittel, das die innere Ätzstoppschicht **14** wegätzt. Das im dritten Ätzprozess verwendete Ätzmittel kann darin selektiv sein, dass es das Halbleitermaterial der Vorrichtungsschicht **12** nicht oder kaum angreift. Der dritte Ätzprozess ätzt die Ätzstoppschicht **14** vollständig weg, ohne die Vorrichtungsschicht **12** zu entfernen und ohne das Einkapselungsmittel **26** zu entfernen. Die Vorrichtungsschicht **12** dient als Ätzstoppschicht für den dritten Ätzprozess. Nach dem dritten Ätzprozess haben die eingekapselten Nacktchips **24**, die im Einkapselungsmittel zurückbleiben, eine definierte Dicke t . Eine Fläche oder Oberfläche des Einkapselungsmittels **26** und eine Fläche der Vorrichtungsschicht **12** liegen in derselben Ebene, sie sind koplanar. Die gemeinsame Ebene wird durch die entfernte innere Ätzstoppschicht **14** definiert. In einer Ausführungsform, wo der Wafer **10** auf einen temporären Träger platziert wird, kann die innere Ätzstoppschicht **14** auf die gleiche Weise entfernt werden. Da der dritte Ätzprozess selektiv ist und die Vorrichtungsschicht nicht oder kaum angreift, ist die Gleichmäßigkeit der Dicke t im gesamten Wafer garantiert. Es ist die ursprüngliche Dicke t der Vorrichtungsschicht **12**. Eine hintere Fläche **28** der Nacktchips **24** wird so durch den dritten Ätzprozess geringfügig geätzt. Die hintere Fläche **28** der Nacktchips **24** wird durch keinen mechanischen Verarbeitungsschritt angegriffen. Die Dicke t kann sehr klein sein, wie oben erläutert. Die Nacktchips **24** sind niemals ohne einen Schutz hand-

zuhaben. Der Schutz wird am Beginn des Herstellungsprozesses durch die Handhabungsschicht **16** und am Ende des Herstellungsprozesses durch das Einkapselungsmittel **26** oder durch den temporären Träger vorgesehen. Eine mechanische Verarbeitung wird notwendigerweise weder an der hinteren Fläche **28** noch an der lateralen Fläche vorgenommen, die sich zwischen der hinteren Fläche und der vorderen Fläche der Nacktchips erstreckt. Die laterale Fläche und die hintere Fläche weisen geätzte Oberflächen auf. Eine mechanische Verarbeitung kann Mikrorisse in einen Nacktchip einbringen. Mikrorisse können sich unter einer Umweltbelastung, z. B. Temperatur, weiterentwickeln. Daher können Mikrorisse später zu defekten Vorrichtungen führen. Durch das Ätzen der hinteren Fläche und der lateralen Fläche oder Oberfläche bilden sich keine Mikrorisse und Ausfälle aufgrund von Mikrorissen können wesentlich verringert oder sogar vollständig vermieden werden.

[0040] Fig. 8 zeigt die eingekapselten Nacktchips **24** nach der Verarbeitung der Rückseiten der Nacktchips **24**. Die Rückseiten der Nacktchips **24** können mit einer leitfähigen Schicht **30** versehen werden. Die leitfähige Schicht **30** kann sich über die gesamte Fläche der Rückseiten der Nacktchips **24** erstrecken. Die leitfähige Schicht **30** kann sich, wie in Fig. 8 gezeigt, über das Einkapselungsmittel **26** erstrecken. Die leitfähige Schicht kann eine sogenannte galvanische Zwischenverbindung sein. Die leitfähige Schicht **30** kann den Umriss des Halbleiter-Nacktchips **24** schneiden. Die leitfähige Schicht kann Kontaktstellen für die Halbleiter-Chips bilden, die einen elektrischen Kontakt ermöglichen, der mit den in den funktionellen Bereichen enthaltenen integrierten Schaltungen herzustellen ist. Die leitfähige Schicht kann eine oder mehrere Metallschichten umfassen. Die metallischen Schichten können mit einer beliebigen gewünschten Geometrie, Form und einer beliebigen gewünschten Materialzusammensetzung hergestellt werden. Ein beliebiges gewünschtes Metall oder eine Metalllegierung, beispielsweise Aluminium, Titan, Gold, Silber, Kupfer, Palladium, Platin, Nickel, Chrom oder Nickelvanadium, kann als Material verwendet werden. Das elektrisch leitfähige Material kann auch aus einem elektrisch leitenden organischen Material oder einem elektrisch leitenden Halbleitermaterial gebildet werden. Der rückseitige Kontakt, der auf der Rückseite der Nacktchips **24** gebildet wird, kann Leistungskupfer umfassen, das eine dicke Kupferschicht ist, die einen hohen Strom fließen lässt. Der rückseitige Kontakt kann ferner eine dielektrische Schicht umfassen, beispielsweise Polyimid. Die elektrisch leitfähige Schicht kann auf der Rückseite der Nacktchips durch einen beliebigen geeigneten Prozess gebildet werden. Als Beispiel kann eine elektrochemische Abscheidung verwendet werden. Das Aufbringen eines rückseitigen Kontakts kann als typischer Front-End-Prozessschritt angesehen werden. Die Nacktchips **24** können nun vollständig verarbeitet werden. Wäh-

rend des gesamten Prozesses mussten die dünnen Chips **24** niemals getrennt bearbeitet werden.

[0041] Fig. 9 veranschaulicht das Schneiden (engl. dicing) des Einkapselungsmittels **26** zum Trennen der eingekapselten Nacktchips **24** in einzelne Halbleitervorrichtungen **32**. Der Einkapselungskörper **26** kann auf einem Träger **34** angeordnet sein. Beispielsweise kann der Träger **34** ein Vereinzelungsband (engl. dicing tape) sein. Der Schneidprozess kann eine Handlung des Vorsehens eines Grabens oder eines Trenngrabens umfassen, der sich durch das Einkapselungsmittel **26** erstreckt. Eine beliebige geeignete Vereinzelungstechnik kann angewendet werden, beispielsweise wenigstens eines von Platzenschneiden (Sägen), Laserschneiden, Ätzen, etc. Am Ende des Prozesses, in Fig. 9 veranschaulicht, können einzelne Halbleitervorrichtungen **32** erhalten werden. Es ist klar, dass eine einzelne Halbleitervorrichtung **32** mehr als einen eingekapselten Nacktchip **24** umfassen kann, d. h. der Einkapselungskörper **26** kann nicht unbedingt zwischen allen einzelnen Chips getrennt sein. Dies ermöglicht System-on-Chips (SoC), bei denen das Halbleitermaterial der Chips vollständig getrennt ist, wodurch vollständig isolierte Bereiche ermöglicht werden. Die Isolierung zwischen getrennten Bereichen kann von etwa 100 V bis etwa 10 kV oder sogar weniger oder mehr betragen. Die Isolierung zwischen getrennten Bereichen kann spezifischer von etwa 110 V bis etwa 2,5 kV oder bis zu 6,5 kV betragen, in Abhängigkeit vom Einkapselungsmaterial und von der Distanz zwischen den eingekapselten Nacktchips **24**.

[0042] Jede Halbleitervorrichtung **32** umfasst einen Halbleiter-Nacktchip **24** mit einem funktionellen Bereich **18**, ein Halbleitermaterial als Teil der Vorrichtungsschicht **12** und einen rückseitigen Kontakt **30** und ein Einkapselungsmittel **26**. Der funktionelle Bereich **18** kann die gesamte Vorrichtungsschicht **12** verwenden oder einnehmen. Der Halbleiter-Nacktchip **24** hat eine erste Hauptfläche angrenzend an den funktionellen Bereich **18** und eine zweite Hauptfläche, die der ersten Hauptfläche gegenüberliegt. Die zweite Hauptfläche kann wenigstens teilweise durch den hinteren Kontakt **30** bedeckt werden. Die zweite Hauptfläche kann mit einer Fläche des Einkapselungsmittels **26** koplanar sein. Der hintere Kontakt kann sich über das Einkapselungsmittel **26** erstrecken. Der hintere Kontakt kann einen Umriss des Halbleiter-Nacktchips **24** schneiden. Der hintere Kontakt kann durch eine elektrisch leitfähige Schicht gebildet werden, z. B. eine galvanische Zwischenverbindung. Die laterale Fläche der Nacktchips **24** wurde durch den ersten Ätzprozess gebildet, mit anderen Worten ist die laterale Fläche, die sich von der ersten Hauptfläche zur zweiten Hauptfläche erstreckt, eine geätzte laterale Fläche. Eine geätzte laterale Fläche beschädigt das Halbleitermaterial nicht unbedingt. Im Gegensatz dazu kann ein Schneiden eines Halblei-

termaterials, z. B. durch Sägen, eine Belastung und somit Risse oder Mikrorisse in den Halbleiter-Nacktchip einbringen. Ein Riss kann die geeignete Funktion des Nacktchips behindern, insbesondere für den Fall dünner Nacktchips. Ein Mikroriss kann sich mit der Zeit in einen Riss umwandeln, der nur die spätere geeignete Funktion des Nacktchips behindert. Die Halbleitervorrichtung **32** umfasst das Einkapselungsmittel **26**, das den Halbleiter-Nacktchip **24** einkapselt, wobei wenigstens die laterale Fläche bedeckt wird. In der Ausführungsform von Fig. 9 wird auch der funktionelle Bereich bedeckt. Die zweite Hauptfläche hat eine geätzte Fläche. Die Oberfläche der zweiten Hauptfläche wurde definiert, als der Dreiebenen-Wafer **10** hergestellt wurde, und die Fläche wurde im dritten Ätzprozess geringfügig geätzt. So wurde keine Belastung in die zweite Hauptfläche eingebracht. Der Halbleiter-Nacktchip **24** hat eine gut definierte Dicke, die weniger als 100 µm (Mikrometer) und spezifischer zwischen etwa 1 µm (Mikrometer) und etwa 50 µm (Mikrometer) betragen kann. Eine Variation der Dicke t kann weniger als 1 µm (Mikrometer) betragen, vorzugsweise weniger als 0,15 µm (Mikrometer). Die Dicke des Halbleiter-Nacktchips **24** wurde bei der Herstellung des Dreiebenen-Wafers **10** definiert.

[0043] Halbleitervorrichtungen **32** können in der gleichen Weise verwendet und handgehabt werden wie andere oberflächenmontierbare Vorrichtungen. Der funktionelle Bereich **18** kann mit einem externen Kontakt über Durchkontaktierungen oder Drähte (in den Figuren nicht gezeigt) gekoppelt werden.

[0044] In einer Ausführungsform können die Halbleitervorrichtungen **32** auch in der gleichen Weise handgehabt werden wie Nacktchips und können ferner in Packages montiert werden. Die Halbleitervorrichtung **32** ist robuster als der dünne Nacktchip **24**.

[0045] Fig. 10 zeigt eine beispielhafte Halbleiterkomponente **40**, die eine erste Halbleitervorrichtung **32A** und eine zweite Halbleitervorrichtung **32B** umfasst. Die erste Halbleitervorrichtung **32A** und die zweite Halbleitervorrichtung **32B** können gemäß dem Verfahren hergestellt werden, das mit Bezugnahme auf die Fig. 1 bis Fig. 9 erläutert wurde. Die Halbleiterkomponente **40** umfasst ferner einen Träger **42** und ein Einkapselungsmittel **44**, das ein zweites Einkapselungsmittel sein kann. Die Halbleiterkomponente **40** hat eine erste Hauptfläche **45** und eine zweite Hauptfläche **47** gegenüber der ersten Hauptfläche. Die Halbleitervorrichtung **32A** ist auf dem Träger **42** angeordnet, wobei das erste Einkapselungsmittel **26** dem Träger **42** zugewandt ist. Die Halbleitervorrichtung **32B** ist auf dem Träger **42** angeordnet, wobei der hintere Kontakt **30** dem Träger **42** zugewandt ist. Das zweite Einkapselungsmittel **44** bedeckt die erste Halbleitervorrichtung **32A**, die zweite Halbleitervorrichtung **32B** und den Träger **42**. Die Halbleiterkomponente **40** kann mit einer ersten strukturierten elek-

trisch leitfähigen Schicht auf der ersten Hauptfläche **45** versehen sein, die erste strukturierte elektrisch leitfähige Schicht kann eine erste Umverteilungsschicht bilden. Die erste Hauptfläche **45** kann der Träger **42** sein oder diesen umfassen. Die Halbleiterkomponente **40** kann ferner auf der zweiten Hauptfläche **47** mit einer zweiten strukturierten elektrisch leitfähigen Schicht versehen sein, die zweite strukturierte elektrisch leitfähige Schicht kann eine zweite Umverteilungsschicht bilden. Die zweite Hauptfläche kann aus dem zweiten Einkapselungsmittel gebildet sein oder dieses umfassen. Durchkontaktierungen **46** oder Durchgangslöcher (bzw. Vias) **46** können die erste Umverteilungsschicht und die zweite Umverteilungsschicht elektrisch koppeln. Durchkontaktierungen oder Durchgangslöcher **48** können vorgesehen sein, die Elektroden oder Kontaktstellen der Nackchips **24** mit einer oder beiden der elektrisch leitfähigen Schichten **45**, **47** elektrisch koppeln. Die Halbleiterkomponente **40** kann ein Leistungsmodul sein, das zwei Nackchips mit der Funktionalität von zwei vertikalen Leistungs-MOSFETs umfasst. Das zweite Einkapselungsmittel **44** kann das gleiche Material sein wie das erste Einkapselungsmittel **26** oder dieses umfassen. Das erste Einkapselungsmittel **26** und das zweite Einkapselungsmittel **44** können auch voneinander verschieden sein. Das zweite Einkapselungsmittel **44** kann eine Formverbindung (engl. molding compound) **44** sein, und ein Formen kann durch einen beliebigen der Formprozesse vorgenommen werden, die vorstehend für das erste Einkapselungsmittel erläutert wurden, z. B. durch Druckformen oder einen beliebigen anderen geeigneten Formprozess. Die Halbleiterkomponente **40** kann unter Verwendung eines Leiterplattenprozesses hergestellt werden. Das zweite Einkapselungsmittel **44** kann laminiert werden.

[0046] Eine Weiterverarbeitung von Halbleitervorrichtungen **32** ist nicht auf die Handlung beschränkt, diese zu verpacken, um eine Halbleiterkomponente zu bilden, wie in **Fig. 10** gezeigt. Es kann weitere Wege geben, weitere Halbleitervorrichtungen **32** zu verwenden oder zu verarbeiten. In einer Ausführungsform kann eine Halbleiterkomponente, wie in **Fig. 10** gezeigt, weitere Vorrichtungen umfassen, z. B. eine Treiberschaltung. Die Treiberschaltung könnte auf den Träger **42** platziert werden. Ferner kann in Ausführungsformen die Halbleiterkomponente **40** Logikschaltungen und/oder Sensoren umfassen. Es ist auch möglich, mikroelektromechanische Systeme (MEMS) einzuschließen. Die weiteren Vorrichtungen, wie z. B. die Treiberschaltung, Logikschaltungen, Sensoren und MEMS, können im zweiten Einkapselungsmittel eingebettet werden oder können über und/oder unter der Komponente **40** angeordnet werden.

[0047] Eine weitere Ausführungsform eines Verfahrens zur Herstellung einer Halbleitervorrichtung wird

mit Bezugnahme auf die **Fig. 11** bis **Fig. 17** erläutert. Die Beschreibung von Verfahrensschritten, die mit Bezugnahme auf die **Fig. 1** bis **Fig. 4** erfolgte, kann auch für diese Ausführungsform gelten, und **Fig. 11** zeigt einen Verfahrensschritt, der nach dem Verfahrensschritt von **Fig. 4** ausgeführt wird. **Fig. 11** zeigt einen Wafer **10** gemäß **Fig. 4** mit Gräben **22**, die in die obere Schicht **12** geätzt sind, wobei der Wafer **10** auf einen Träger **50** montiert wird. Beispielsweise kann der Träger **50** ein Vereinzelungsband (engl. dicing tape) sein. Der Wafer **10** wird in getrennte Halbleiter-Chips vereinzelt, indem der Wafer **10** unter wenigstens einem Teil der geätzten Gräben **22** geschnitten wird. Das Schneiden wird so durch die innere Ätzstoppschicht **14** und durch die untere Schicht **16** vorgenommen und trennt die innere Ätzstoppschicht **14** und die untere Schicht **16**. Eine Breite w_1 des trennenden Schnittgrabens kann kleiner sein als eine Breite w_2 der Gräben **22**, die in die obere Schicht **12** geätzt wurden. Das Schneiden der inneren Ätzstoppschicht **14** und unteren Schicht **16** kann durch ein beliebiges der obigen Schneideverfahren bewirkt werden. Da die Breite w_1 kleiner sein kann als die Breite w_2 , werden die lateralen geätzten Flächen von Chips **24** nicht unbedingt beschädigt. Im Beispiel der **Fig. 11** bis **Fig. 17** werden Nackchips **24** vor einer Vereinzelung nicht eingekapselt. Die Chips **24** sind jedoch weiterhin an der inneren Ätzstoppschicht **14** und Handhabungsschicht **16** angebracht, wenn sie getrennt sind, so dass die Stabilität der Chips **24** sichergestellt werden kann. Es ist nicht unbedingt eine Notwendigkeit, dünne und zerbrechliche Chips handzuhaben.

[0048] **Fig. 12** zeigt Chips **24** zusammen mit den haftenden Teilen der inneren Ätzstoppschicht **14** und Handhabungsschicht **16**, platziert auf einem Träger **52**. Der Träger **52** kann ein temporärer Träger sein, der nur während der Verarbeitung verwendet wird. Der Träger **52** kann ein Träger sein, der einen Teil der endgültigen Vorrichtung bildet. Die vereinzelt Nackchips **24** werden auf den Träger **52** mit einer Distanz zwischen einander platziert, die größer ist als es die Distanz auf dem Wafer war. Die weiterhin dünnen Chips **24** können z. B. durch eine Aufnehm-Aufsetz-Maschine (engl. pick-and-place) platziert werden. Die Halbleiter-Chips **24** können auf den Träger **52** zusammen mit einer Mehrzahl anderer Halbleiter-Chips platziert werden, die in Form und Funktion identisch sein können mit den Halbleiter-Chips **24**. In einer Ausführungsform können die auf den Träger **52** platzierten Chips von verschiedenen Wafers stammen und können sich in ihren Funktionen unterscheiden. Wenigstens Teile der Handhabungsschicht **16** können aus einem ähnlichen Material sein. Wenigstens Teile der inneren Ätzstoppschicht **14** können auch aus einem ähnlichen Material sein. Die Chips **24** können auf den Träger **52** platziert werden, indem die funktionellen Bereiche **18** dem Träger **52** zugewandt sind.

[0049] Fig. 13 veranschaulicht eine anschließend vorgenommene Handlung. Ein Einkapselungsmittel **54** kapselt die getrennten funktionellen Bereiche **18** ein, wobei wenigstens die Gräben **22** zwischen den funktionellen Bereichen gefüllt werden, die durch den Raum vergrößert werden, der zwischen den vereinzelt Halbleiter-Chips vorgesehen wird, wenn sie auf den Träger **52** platziert werden. In Fig. 13 ist das Einkapselungsmittel **54** gezeigt, indem es gegebenenfalls auch die Handhabungsschicht **16** bedeckt. In einer Ausführungsform kann das Einkapselungsmittel **54** nur die Gräben zwischen den Vorrichtungsschichten füllen.

[0050] Fig. 14 zeigt die eingekapselten Chips **24**, gedreht um 180° in Bezug auf Fig. 13. Das Einkapselungsmittel **54** ist gezeigt, indem es die Gräben **22** und den Raum zwischen den Teilen der inneren Ätzstoppschicht **14** und den Teilen der Handhabungsschicht **16** füllt. Das Einkapselungsmittel **54** ist veranschaulicht, indem es die Handhabungsschicht **16** nicht bedeckt. Der Träger **52** ist entfernt. In einer Ausführungsform kann der Träger **52** teilweise oder überhaupt nicht entfernt werden. Nach der optionalen Entfernung des Trägers **52** haben funktionelle Bereiche **18** eine obere freigelegte Fläche, die mit einer oberen Fläche des Einkapselungsmittels **54** koplanar sein kann. Die gemeinsame Ebene der freiliegenden Fläche und der oberen Fläche des Einkapselungsmittels **54** wird durch den Träger **52** während der Einkapselung definiert. Die obere Fläche ist von der inneren Ätzstoppschicht **14** abgewandt. Die Anordnung von Fig. 14 kann als neuangelegter Wafer (engl. reconfigured wafer) bezeichnet werden. Verglichen mit den eingekapselten Chips von Fig. 8 sind die funktionellen Bereiche **18** in der Ausführungsform von Fig. 14 weiter voneinander beabstandet, d. h. eine Distanz zwischen den angrenzenden funktionellen Bereichen ist größer. Eine elektrisch leitfähige Schicht **54** kann auf der oberen Fläche des Einkapselungsmittels **54** und der oberen Fläche der funktionellen Bereiche **18** gebildet werden. Die elektrisch leitfähige Schicht **54** kann einer Umverteilungsschicht oder galvanischen Zwischenverbindung entsprechen.

[0051] Mit den voneinander entfernt auf den Träger **52** platzierten Chips **24** kann zusätzlicher Platz auf dem Einkapselungsmittel und der Umverteilungsschicht vorgesehen werden, und die Umverteilungsschicht kann sich auf dem Einkapselungsmittel erstrecken. Eine derartige Anordnung kann als „Fan-out“ beschrieben werden. In einem Package vom „Fan-out“-Typ können wenigstens einige der externen Kontaktstellen und/oder Leiterzüge, die den Halbleiter-Chip mit den externen Kontaktstellen verbinden, lateral außerhalb des Umrisses des Halbleiter-Chips angeordnet sein oder sie schneiden wenigstens den Umriss des Halbleiter-Chips. So kann in Packages vom „Fan-out“-Typ ein peripherer Teil des Package des Halbleiter-Chips typischerweise (zu-

sätzlich) für ein elektrisches Banden des Package an externe Anwendungen, wie z. B. Anwendungs-Boards, verwendet werden. Dieser äußere Teil des Package, der den Halbleiter-Chip umschließt, kann effektiv den Kontaktbereich des Package in Bezug auf die Grundfläche des Halbleiter-Chips vergrößern, was zu weniger strengen Einschränkungen der Packagekontaktstellengröße und Abstandsbreite im Hinblick auf eine spätere Verarbeitung führt, z. B. eine Anordnung der zweiten Ebene. Dies wird ohne die Notwendigkeit von kostbarem Wafer-Bereich erzielt.

[0052] Fig. 15 zeigt den neuangelegten Wafer von Fig. 14, gedreht um 180° in Bezug auf Fig. 14. Der neuangelegte Wafer kann gegebenenfalls auf einem Träger platziert werden, der in Fig. 15 nicht gezeigt ist. Ein zweiter Ätzprozess wird vorgenommen und die Handhabungsschicht **16** oder die getrennten Teile der Handhabungsschicht **16** werden weggeätzt. Wie vorstehend erläutert, dient die innere Ätzstoppschicht **14** als Ätzstoppschicht. Der Ätzprozess kann unter Verwendung eines beliebigen der oben erläuterten Ätzverfahren vorgenommen werden. Es ist klar, dass Teile der Handhabungsschicht **16** auch durch einen Schleifschritt entfernt werden können, wobei z. B. nur etwa $50\text{ }\mu\text{m}$ (Mikrometer) der Handhabungsschicht zurückbleiben. Der Teil der Handhabungsschicht **16**, der an die innere Ätzstoppschicht **14** angrenzt, wird jedoch durch einen Ätzschritt entfernt. In einem weiteren Ätzprozess kann die Ätzstoppschicht **14** unter Verwendung einer Halbleiterschicht **12** oder oberen Schicht **12** als Ätzstoppschicht abgeätzt werden. In Fig. 15 bleibt das Einkapselungsmittel **54**, das den Raum zwischen den Handhabungsschichtteilen und den inneren Ätzstoppschichtteilen füllt, nach dem Wegätzen der Handhabungsschicht **16** und der inneren Ätzstoppschicht **14** zurück. Es ist klar, dass während eines Schleifschritts das Einkapselungsmittel zusammen mit der Handhabungsschicht entfernt wird. Die abstehenden Einkapselungsmittelteile bleiben nach dem Ätzschritt zurück.

[0053] Fig. 16 zeigt den neuangelegten Wafer nach der Entfernung der Handhabungsschicht **16** und inneren Ätzstoppschicht **14**. Nacktchips **24** haben nun ihre endgültige Dicke t und eine Rückseite der Nacktchips **24** ist freigelegt. Die endgültige Dicke t ist die ursprüngliche Dicke t der Vorrichtungsschicht **12**, die sehr klein sein kann, beispielsweise zwischen $1\text{ }\mu\text{m}$ (Mikrometer) und $50\text{ }\mu\text{m}$ (Mikrometer) und wenigstens unter $100\text{ }\mu\text{m}$ (Mikrometer). Die freigelegte Rückseite kann koplanar sein mit einer Fläche des Einkapselungsmittels **54**. Die gemeinsame Ebene wird durch die entfernte innere Ätzstoppschicht definiert. Rückseitige Kontakte **30** können, wie mit Bezugnahme auf Fig. 8 diskutiert, auf der freiliegenden Nacktchip-Rückseite gebildet werden. Die rückseitigen Kontakte **30** können sich auf die koplanare Fläche des Einkapselungsmittels **54** erstrecken. Die

rückseitigen Kontakte **30** können einen Umriss des Nacktchips **24** schneiden. Die rückseitigen Kontakte **30** können wenigstens teilweise den Raum zwischen den abstehenden Einkapselungsmittelteilen füllen. Der Raum zwischen den abstehenden Einkapselungsmittelteilen kann ferner durch ein beliebiges geeignetes Material gefüllt werden, z. B. ein Einkapselungsmittelmateriale. Fachleute verstehen leicht, dass Durchgangslöcher im Einkapselungsmittel vorgesehen werden können, um einen elektrischen Kontakt an der Außenseite des Einkapselungsmittels vorzusehen.

[0054] Fig. 17 veranschaulicht einen Schneideschritt, wobei der neuausgelegte Wafer auf einem Träger **60** montiert wird, der z. B. ein Vereinzelungsband sein kann. Fig. 17 zeigt den Raum zwischen den herausstehenden Einkapselungsmittelteilen, der durch ein weiteres Material **62** gefüllt ist. Das Material **62** kann gemäß der gewünschten Funktion gewählt werden und kann z. B. ein Einkapselungsmittelmateriale sein. Das Vereinzelungsband **60** kann eine elastische Fläche aufweisen, in welche die elektrisch leitfähige Schicht **56** einsinken kann. Einkapselte Nacktchips **24** können durch einen beliebigen Schneideprozess, wie oben erläutert, durch das Schneiden von Gräben **64** getrennt werden. Die Halbleitervorrichtungen **32**, wie in Fig. 17 gezeigt, unterscheiden sich voneinander, Fachleute verstehen jedoch, dass die in einem neuausgelegten Wafer verarbeiteten Halbleitervorrichtungen auch alle gleich sein können.

[0055] Es ist klar, dass die Halbleitervorrichtungen, die gemäß der mit Bezugnahme auf die Fig. 11 bis Fig. 17 erläuterten Ausführungsform erhalten werden, weiterverarbeitet werden können, um Halbleiterkomponenten zu bilden, wie mit Bezugnahme auf Fig. 10 erläutert.

[0056] Fig. 18 veranschaulicht ein Flussdiagramm eines Verfahrens zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform. In einem Schritt S1 wird ein Halbleiter-auf-Isolator-Wafer vorgesehen. Ein Halbleiter-auf-Isolator-Wafer umfasst, wie oben erläutert, eine Vorrichtungsschicht, eine Isolierschicht und eine Handhabungsschicht. Die Isolierschicht kann zwischen der Vorrichtungsschicht und der Handhabungsschicht angeordnet werden und kann als Ätzstoppschicht für Ätzprozesse von beiden Hauptflächen des Wafers verwendet werden. Mit anderen Worten kann die innere Schicht des Halbleiter-auf-Isolator-Wafers doppelt als Ätzstoppschicht zum Ätzen der Vorrichtungsschicht und zum Ätzen der Handhabungsschicht verwendet werden.

[0057] In einem Schritt S2 wird eine Mehrzahl funktioneller Bereiche in der Vorrichtungsschicht gebildet. Mit anderen Worten können in der Vorrichtungsschicht Handlungen, wie wenigstens eines von Do-

tieren, Implantieren, Abscheiden, etc., vorgenommen werden, um eine integrierte Schaltung gemäß einer gewünschten Funktionalität herzustellen. In einer Ausführungsform umfassen die funktionellen Bereiche oder aktiven Gebiete vertikale Vorrichtungen, die einen vertikalen Stromfluss erfordern. In einer Ausführungsform ist die Vorrichtungsschicht eine dünne Vorrichtungsschicht mit einer Dicke unter 100 μm (Mikrometer) und sogar unter 50 μm (Mikrometer) oder unter 1 μm (Mikrometer). Die Dicke der Vorrichtungsschicht definiert die endgültige Dicke der erzeugten Halbleiter-Nacktchips. In einer Ausführungsform kann die Dicke der funktionellen Bereiche zwischen etwa 1 μm (Mikrometer) und 5 μm (Mikrometer) liegen. In einer Ausführungsform ist die Dicke des funktionellen Bereichs oder der funktionellen Bereiche gleich der Dicke der Vorrichtungsschicht. In einer weiteren Ausführungsform ist die Dicke der Vorrichtungsschicht größer als die Dicke des funktionellen Bereichs oder der funktionellen Bereiche, z. B. um eine gewünschte elektrische Stärke vorzusehen.

[0058] In einem Schritt S3 werden Gräben in einem ersten Ätzprozess in die Vorrichtungsschicht geätzt. Die Gräben trennen die funktionellen Bereiche voneinander. Die Gräben stoppen an der Isolatorschicht, die ein erstes Mal als Ätzstoppschicht verwendet wird. Die Gräben können durch eine Maske definiert werden, die auf der Vorrichtungsschicht vor dem Ätzen abgeschieden wird.

[0059] In einem optionalen Schritt S4 werden die Gräben durch ein Einkapselungsmittel gefüllt. Das Einkapselungsmittel kann auch die funktionellen Bereiche bedecken. Die funktionellen Bereiche können elektrisch leitfähige Schichten umfassen, die durch ein elektrisch leitfähiges Material gebildet werden. In einer Ausführungsform kann der Halbleiter-Isolator-Wafer auf einen temporären Träger platziert werden.

[0060] In einem fünften Schritt S5 wird die Handhabungsschicht weggeätzt. Die Isolatorschicht dient ein zweites Mal als Ätzstoppschicht. So bestehen keine kritischen Zeitanforderungen zum Ätzen der Handhabungsschicht. Die Handhabungsschicht kann vollständig mit keinem oder wenig Ätzen der darunterliegenden Ätzstoppschicht entfernt werden.

[0061] In einem sechsten Schritt S6 wird die Isolatorschicht weggeätzt, um die Rückseite der Halbleitervorrichtungsschicht freizulegen. Diese kann die Rückseite der dünnen Chips sein. Die Isolatorschicht kann unter Verwendung der Vorrichtungsschicht als Ätzstoppschicht vollständig weggeätzt werden. So wird die Vorrichtungsschicht durch den Ätzprozess nicht oder wenig geätzt. Unter Verwendung des erfindungsgemäßen Verfahrens waren die dünnen Halbleiter-Nacktchips vor der Einkapselung niemals getrennt handzuhaben. So kann das Risiko eines

Bruchs des dünnen Dies oder einer verringerten Ausbeute aufgrund einer Verwölbung minimiert werden.

[0062] Obwohl ein bestimmtes Merkmal oder ein Aspekt der Erfindung in Bezug auf nur eine von einigen Implementierungen geoffenbart worden sein kann, kann ein solches Merkmal oder ein Aspekt mit einem oder mehreren anderen Merkmalen oder Aspekten der anderen Implementierungen kombiniert werden, wie es für eine beliebige gegebene oder bestimmte Anwendung gewünscht und vorteilhaft sein kann. Ferner sollen in dem Maße, als die Ausdrücke „enthalten“, „aufweisen“, „mit“ oder andere Varianten davon entweder in der detaillierten Beschreibung oder den Ansprüchen verwendet werden, solche Ausdrücke in einer Weise ähnlich dem Ausdruck „umfassen“ einschließend sein. Auch der Ausdruck „beispielhaft“ ist nur als Beispiel zu verstehen, anstelle von am besten oder optimal. Es ist auch klar, dass hier gezeigte Merkmale und/oder Elemente mit bestimmten Abmessungen relativ zueinander der Einfachheit halber und zum einfacheren Verständnis veranschaulicht sind, und dass sich tatsächliche Abmessungen von den hier veranschaulichten wesentlich unterscheiden können.

[0063] Obwohl spezifische Ausführungsformen hier veranschaulicht und beschrieben wurden, ist es für gewöhnliche Fachleute klar, dass verschiedenste alternative und/oder äquivalente Implementierungen für die spezifischen gezeigten und beschriebenen Aspekte ersetzt werden können, ohne vom Umfang der vorliegenden Erfindung abzuweichen. Diese Anmeldung soll beliebige Anpassungen oder Variationen der hier diskutierten spezifischen Aspekte abdecken. Daher soll diese Erfindung nur durch die Ansprüche und die Äquivalente davon eingeschränkt werden.

Patentansprüche

1. Verfahren zur Herstellung einer Halbleitervorrichtung, wobei das Verfahren umfasst:

- Bereitstellen eines Halbleiter-Wafers, wobei der Wafer eine obere Schicht eines Halbleitermaterials, eine innere Ätzstoppschicht und eine untere Schicht umfasst;
- Ausbilden einer Mehrzahl funktioneller Bereiche in der oberen Schicht;
- vornehmen eines selektiven ersten Ätzprozesses an der oberen Schicht, um so die Mehrzahl funktioneller Bereiche voneinander durch Gräben zu trennen, die durch die obere Schicht geätzt werden, wobei der erste Ätzprozess durch die innere Ätzstoppschicht im Wesentlichen gestoppt wird; und
- Entfernen der unteren Schicht durch einen zweiten Ätzprozess, wobei der zweite Ätzprozess durch die innere Ätzstoppschicht im Wesentlichen gestoppt wird.

2. Verfahren nach Anspruch 1, ferner umfassend:

- Einkapseln der getrennten funktionellen Bereiche durch ein erstes Einkapselungsmittel vor dem Entfernen der unteren Schicht, wobei das erste Einkapselungsmittel die Gräben füllt.

3. Verfahren nach Anspruch 1 oder 2, ferner umfassend:

- Entfernen der inneren Ätzstoppschicht durch einen dritten Ätzprozess, wobei der dritte Ätzprozess durch die obere Schicht im Wesentlichen gestoppt wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, ferner umfassend nach dem Vornehmen des selektiven ersten Ätzprozesses:

- Trennen der inneren Ätzstoppschicht und der unteren Schicht unter wenigstens einem Teil der geätzten Gräben, um Halbleiter-Nacktchips auszubilden;
- Platzieren der Halbleiter-Nacktchips auf einem Träger, so dass ein Raum zwischen angrenzenden der Halbleiter-Nacktchips bereitgestellt wird; und
- Einkapseln der Halbleiter-Nacktchips durch ein erstes Einkapselungsmittel, wobei das erste Einkapselungsmittel den Raum zwischen angrenzenden der Halbleiter-Nacktchips füllt.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei jeder der funktionellen Bereiche eine obere Fläche umfasst, wobei die oberen Flächen von der inneren Ätzstoppschicht abgewandt sind, und wobei die oberen Flächen der funktionellen Bereiche durch das erste Einkapselungsmittel bedeckt werden.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine laterale Fläche des Halbleiter-Wafers durch das erste Einkapselungsmittel bedeckt wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Entfernen der unteren Schicht umfasst:

- Entfernen eines unteren Teils der unteren Schicht entfernt von der inneren Ätzstoppschicht durch Schleifen; und
- Entfernen eines oberen Teils der unteren Schicht angrenzend an die innere Ätzstoppschicht durch Ätzen.

8. Verfahren zur Herstellung einer Halbleitervorrichtung, wobei das Verfahren umfasst:

- Bereitstellen eines Halbleiter-auf-Isolator-Wafers, der eine Vorrichtungsschicht, eine Isolatorschicht und eine Handhabungsschicht umfasst;
- Ausbilden einer Mehrzahl funktioneller Bereiche in der Vorrichtungsschicht;
- Ätzen von Gräben in die Vorrichtungsschicht, um so die funktionellen Bereiche zu trennen, wobei die Isolatorschicht als Ätzstoppschicht dient; und
- Wegätzen der Handhabungsschicht, wobei die Isolatorschicht als Ätzstoppschicht dient.

9. Verfahren nach Anspruch 8, ferner umfassend:
– Füllen der Gräben durch ein erstes Einkapselungsmittel vor dem Wegätzen der Handhabungsschicht.

10. Verfahren nach Anspruch 8 oder 9, ferner umfassend:
– Wegätzen der Isolatorschicht, wobei die Vorrichtungsschicht als Ätzstoppschicht dient.

11. Verfahren nach einem der Ansprüche 8 bis 10, ferner umfassend:
– Schneiden der Isolatorschicht und der Handhabungsschicht entlang wenigstens eines Teils der Gräben, die den Wafer in Halbleiter-Nackchips trennen;
– Platzieren der Halbleiter-Nackchips auf einem Träger mit einer Distanz zwischen jedem der Halbleiter-Nackchips; und
– Füllen eines Raums zwischen den getrennten Halbleiter-Nackchips durch ein erstes Einkapselungsmittel.

12. Verfahren nach Anspruch 10 oder 11, ferner umfassend:
– Ausbilden einer Metallisierungsschicht auf einer Rückseite der funktionellen Bereiche, wobei die hintere Seite nach dem Wegätzen der Isolatorschicht freigelegt wird.

13. Halbleitervorrichtung, umfassend:
– einen Halbleiter-Nackchip, der einen funktionellen Bereich, eine erste Hauptfläche angrenzend an den funktionellen Bereich, eine geätzte zweite Hauptfläche gegenüber der ersten Hauptfläche und eine geätzte laterale Fläche, die sich von der ersten Hauptfläche zur zweiten Hauptfläche erstreckt, umfasst.

14. Halbleitervorrichtung nach Anspruch 13, ferner umfassend:
– ein Einkapselungsmittel, das den Halbleiter-Nackchip einkapselt, wobei wenigstens die laterale Fläche bedeckt ist.

15. Halbleitervorrichtung nach Anspruch 14, wobei das Einkapselungsmittel eine erste Fläche umfasst, die sich in einer gleichen Ebene wie die erste Hauptfläche des Halbleiter-Nackchips erstreckt, wobei die Halbleitervorrichtung ferner eine erste elektrisch leitfähige Schicht umfasst, die sich über die erste Fläche des Einkapselungsmittels und die erste Hauptfläche des Halbleiter-Nackchips erstreckt.

16. Halbleitervorrichtung nach Anspruch 14 oder 15, wobei das Einkapselungsmittel eine zweite Fläche umfasst, die sich in einer gleichen Ebene wie die zweite Hauptfläche des Halbleiter-Nackchips erstreckt, wobei die Halbleitervorrichtung ferner eine zweite elektrisch leitfähige Schicht umfasst, die sich über die zweite Fläche des Einkapselungsmittels und die zweite Hauptfläche des Halbleiter-Nackchips erstreckt.

17. Halbleitervorrichtung nach einem der Ansprüche 13 bis 16, wobei jede von der ersten und zweiten Hauptfläche des Halbleiter-Nackchips einen elektrischen Kontakt umfasst.

18. Halbleitervorrichtung nach einem der Ansprüche 13 bis 17, wobei eine Dicke des Halbleiter-Nackchips zwischen der ersten Hauptfläche und der zweiten Hauptfläche zwischen 1 Mikrometer und 50 Mikrometer beträgt.

19. Halbleitervorrichtung nach Anspruch 18, wobei eine Variation der Dicke weniger als 1 Mikrometer beträgt.

20. Halbleiterkomponente, umfassend:
– eine erste Halbleitervorrichtung;
– eine zweite Halbleitervorrichtung, wobei jede von der ersten Halbleitervorrichtung und der zweiten Halbleitervorrichtung umfasst: einen Halbleiter-Nackchip, der eine erste Hauptfläche und eine geätzte zweite Hauptfläche gegenüber der ersten Hauptfläche und eine geätzte laterale Fläche, die sich von der ersten Hauptfläche zur zweiten Hauptfläche erstreckt, umfasst; und ein Einkapselungsmittel, das den Halbleiter-Nackchip einkapselt, wobei wenigstens die laterale Fläche bedeckt ist;
– einen Träger, wobei die erste Halbleitervorrichtung auf dem Träger mit der ersten Hauptfläche dem Träger zugewandt angeordnet ist, und die zweite Halbleitervorrichtung auf dem Träger mit der zweiten Hauptfläche dem Träger zugewandt angeordnet ist; und
– ein zweites Einkapselungsmittel, das die erste Halbleitervorrichtung, die zweite Halbleitervorrichtung und den Träger bedeckt.

21. Halbleiterkomponente nach Anspruch 20, ferner umfassend:
– eine strukturierte elektrisch leitfähige Schicht, die sich über eine Fläche des zweiten Einkapselungsmittels oder über eine Fläche des Trägers erstreckt; und
– eine Durchkontaktierung, die eine Hauptfläche von der ersten Hauptfläche und der zweiten Hauptfläche der ersten oder der zweiten Halbleitervorrichtung mit der strukturierten elektrisch leitfähigen Schicht verbindet.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

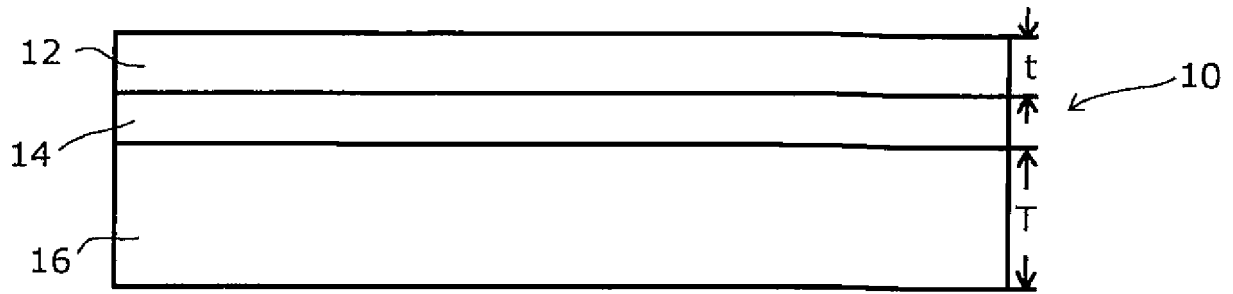


Fig. 1

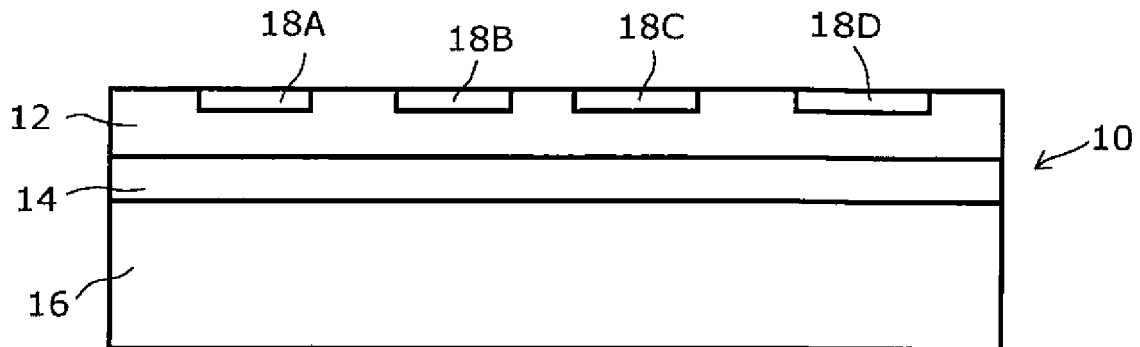


Fig. 2

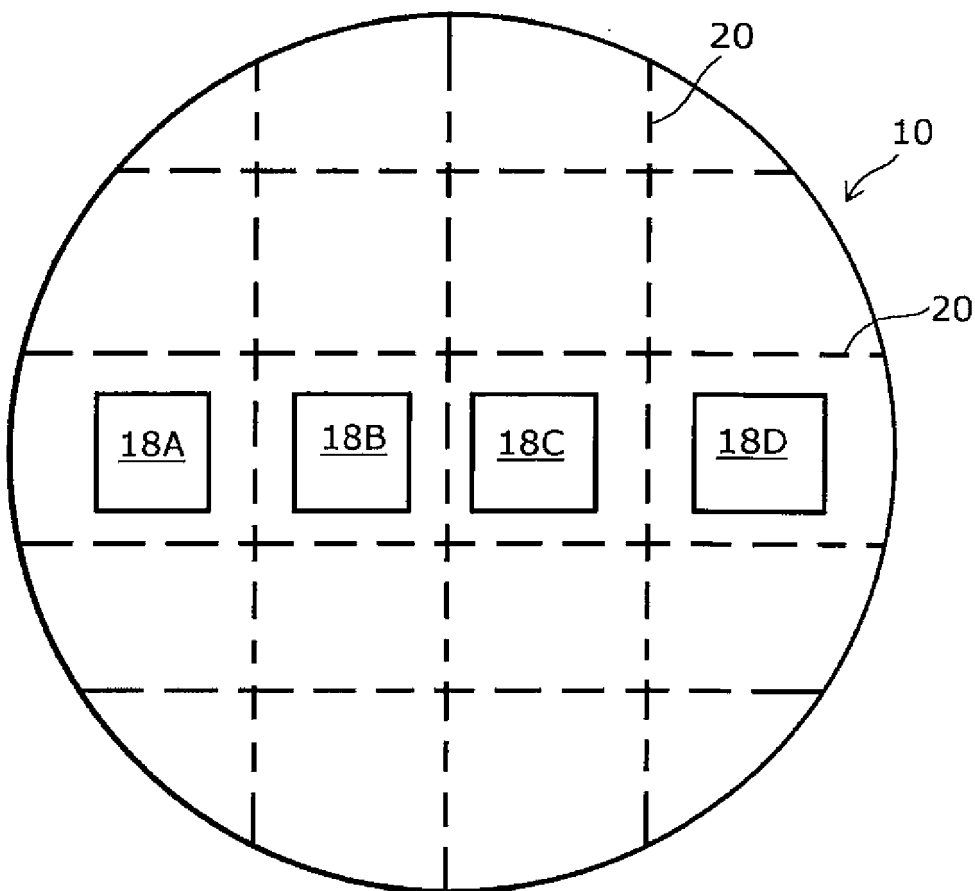


Fig. 3

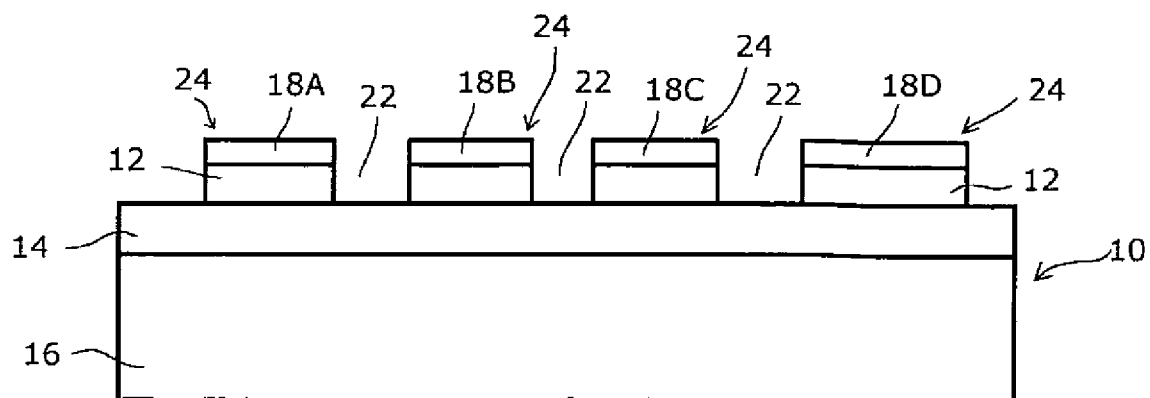


Fig. 4

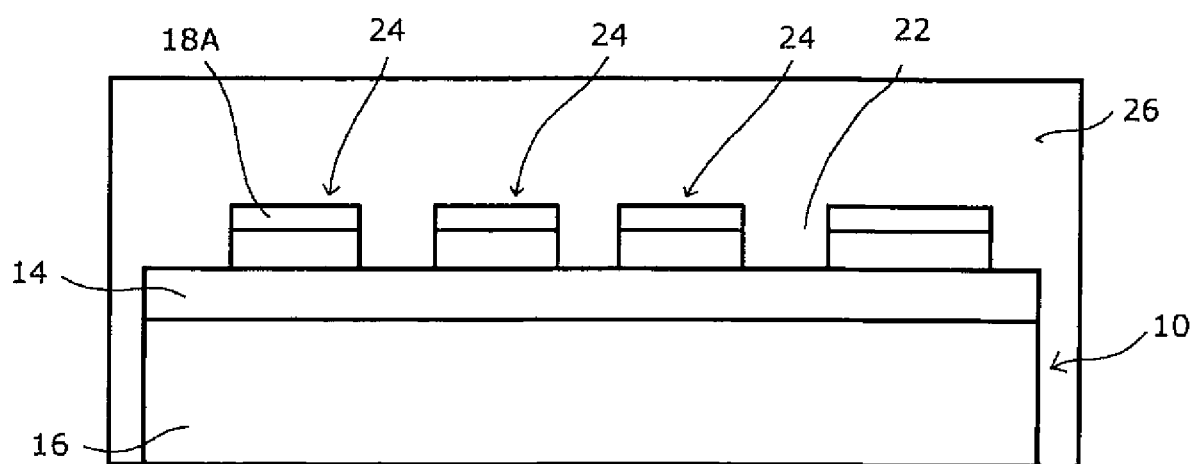


Fig. 5

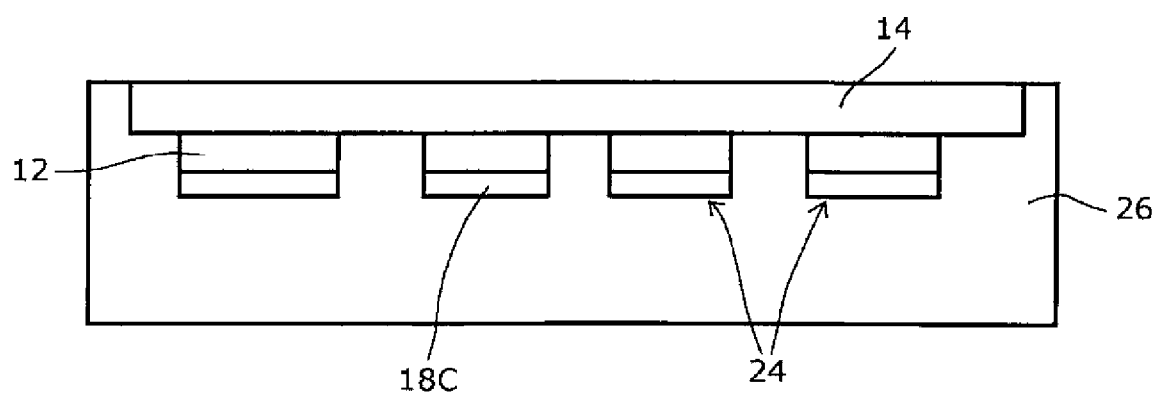


Fig. 6

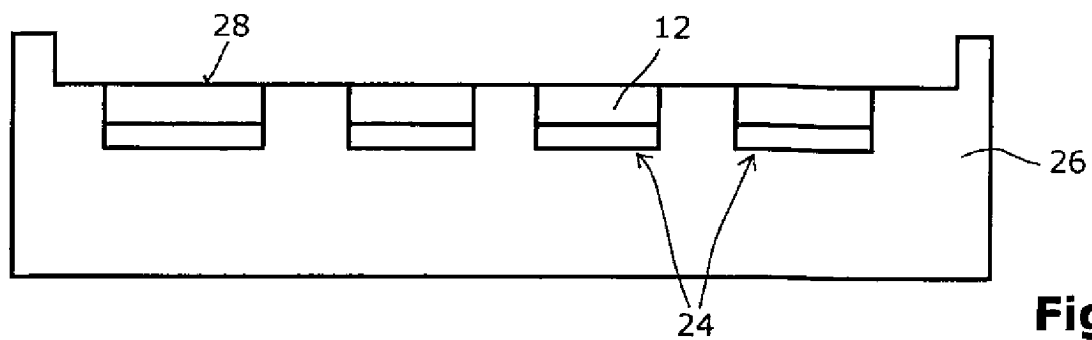


Fig. 7

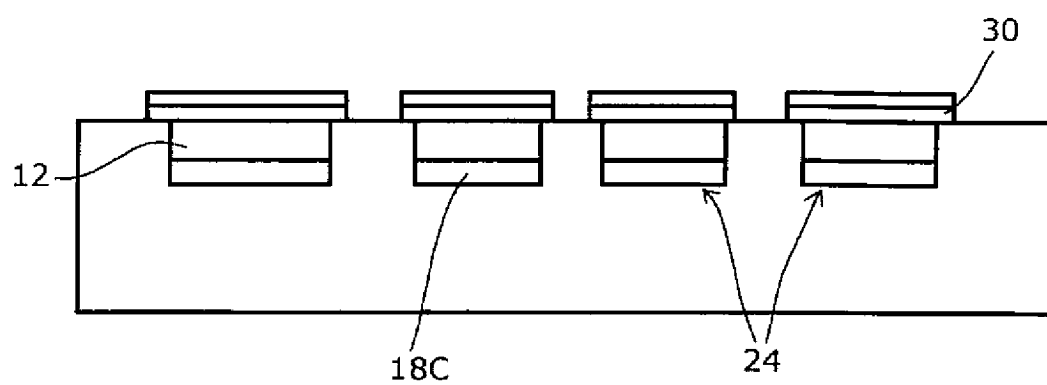


Fig. 8

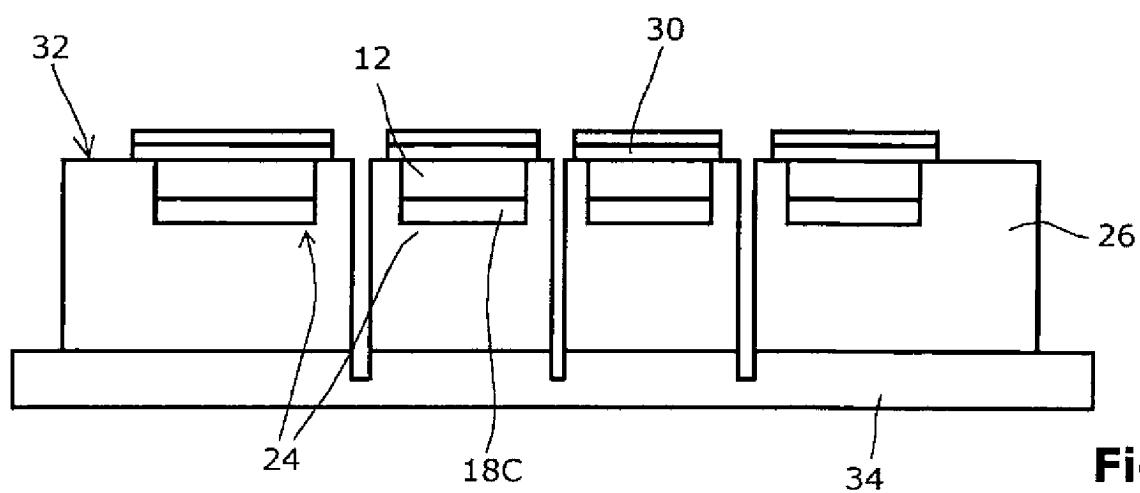


Fig. 9

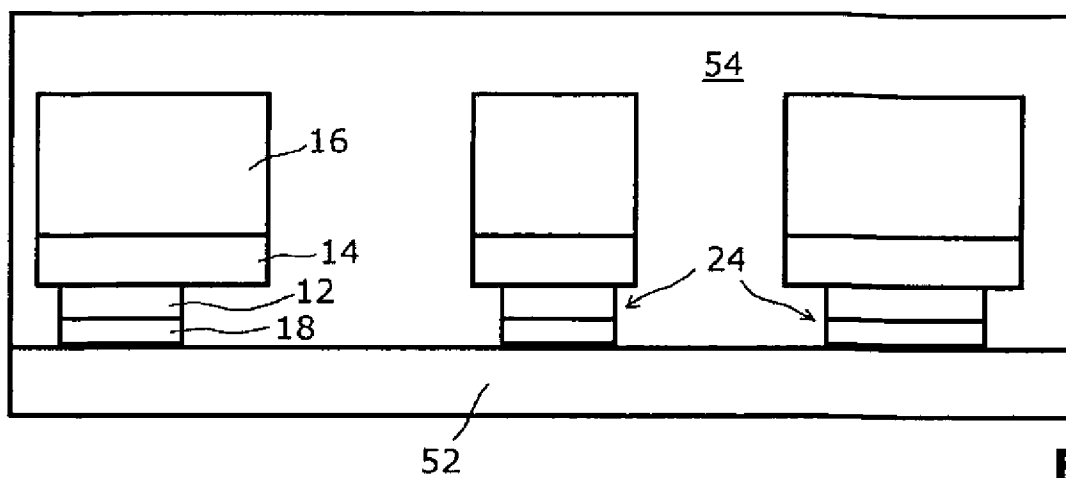


Fig. 13

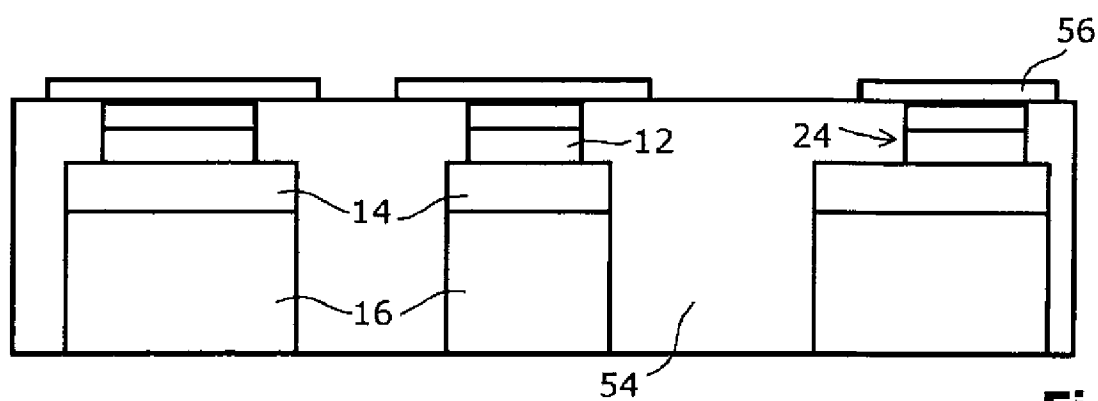


Fig. 14

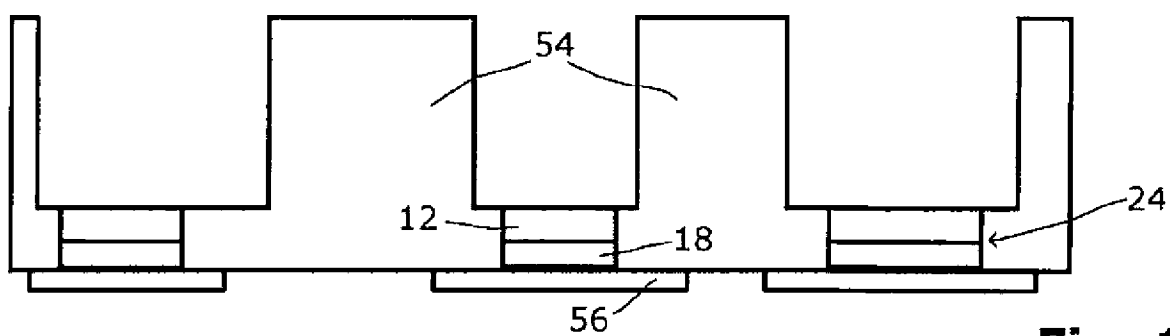


Fig. 15

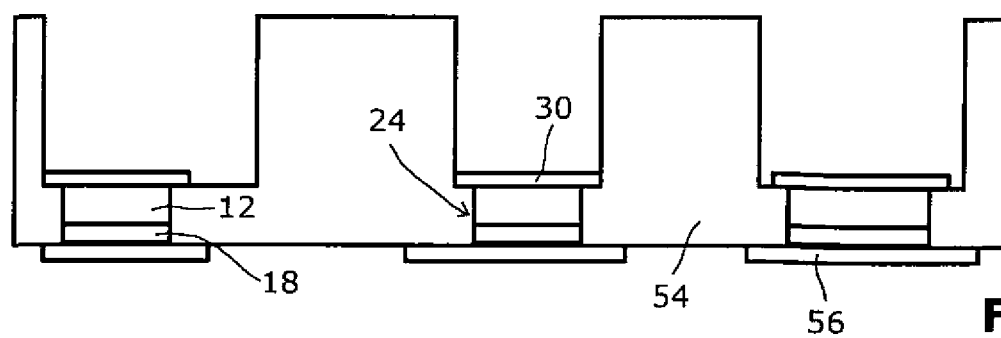


Fig. 16

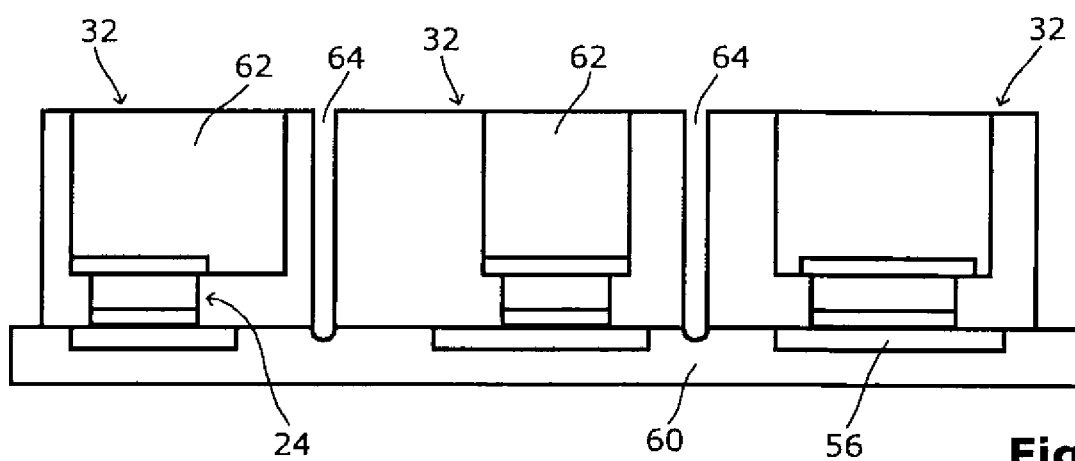


Fig. 17

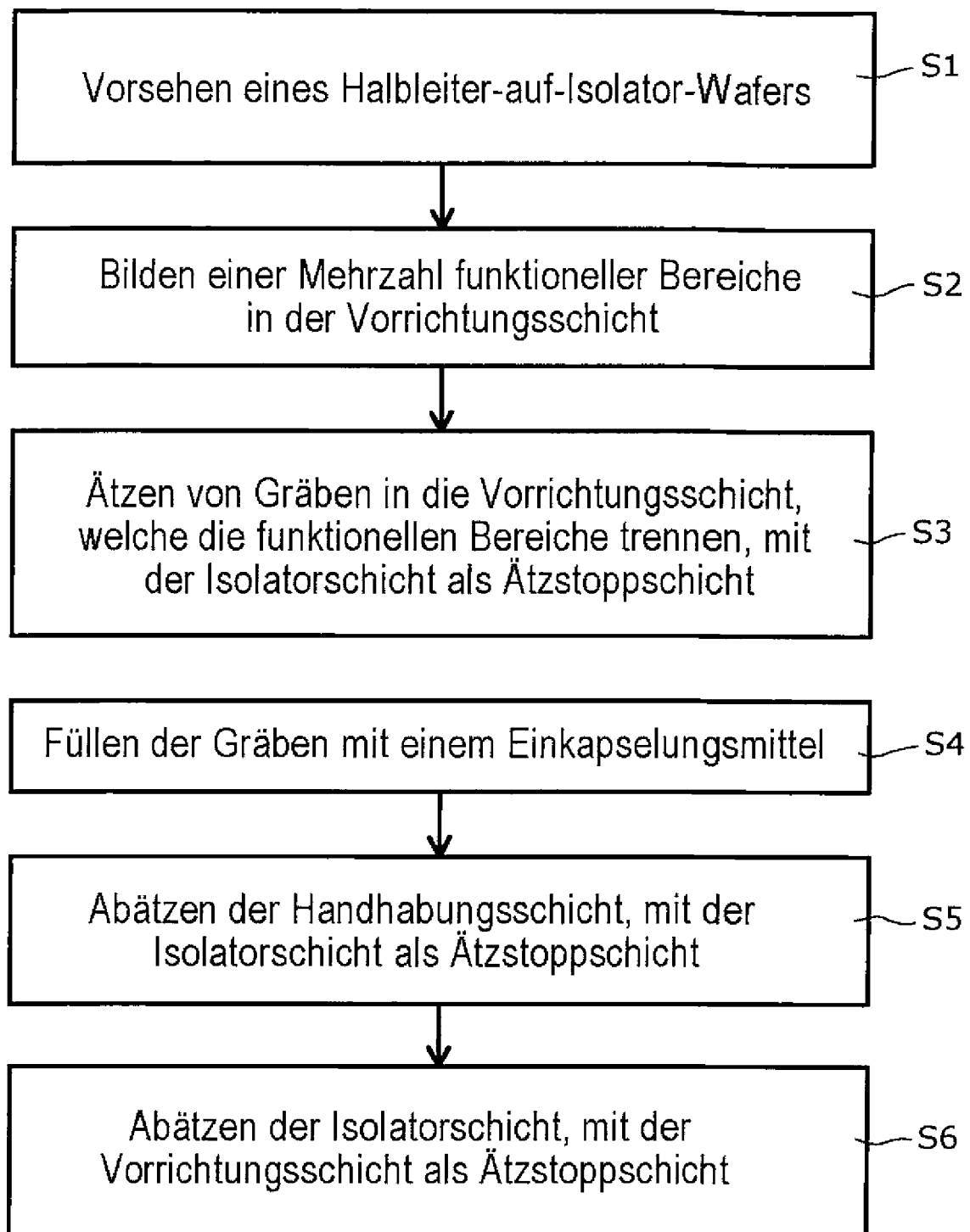


Fig. 18