



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I430338 B

(45)公告日：中華民國 103 (2014) 年 03 月 11 日

(21)申請案號：098136605

(22)申請日：中華民國 98 (2009) 年 10 月 28 日

(51)Int. Cl. : H01L21/265 (2006.01)

H01L21/30 (2006.01)

(30)優先權：2008/10/30 美國

12/290,384

2008/10/30 美國

12/290,362

(71)申請人：康寧公司(美國) CORNING INCORPORATED (US)

美國

(72)發明人：希瑞強恩 薩庫 CHEREKDJIAN, SARKO (US)；希提 節福利史考特 CITES, JEFFREY SCOTT (US)；康拉得 潔米葛力 COUILLARD, JAMES GREGORY (US)；馬梅而 里查歐 MASCHMEYER, RICHARD ORR (US)；莫耳 米其強 MOORE, MICHAEL JOHN (US)；優甚庫 亞倫 USENKO, ALEX (RU)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 2002/0106870A1

US 2004/0150067A1

審查人員：王世賢

申請專利範圍項數：23 項 圖式數：35 共 0 頁

(54)名稱

使用定向剝離作用製造絕緣體上半導體結構之方法及裝置

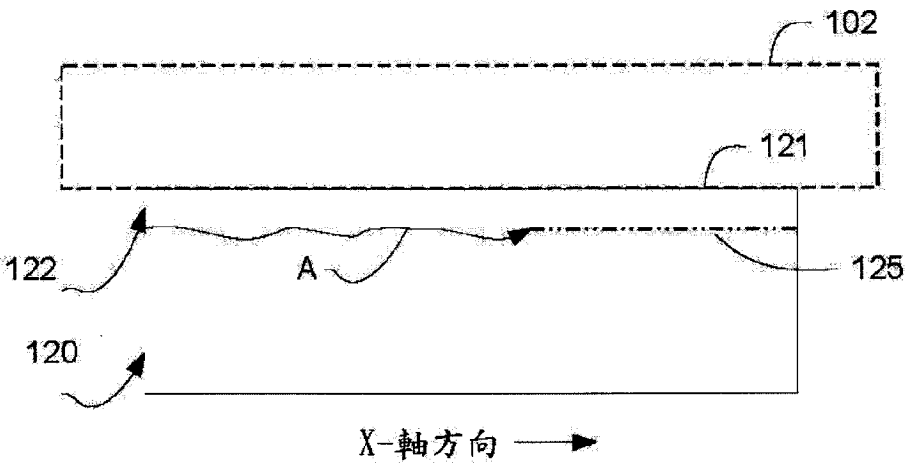
METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR
STRUCTURES USING DIRECTED EXFOLIATION

(57)摘要

本發明揭示一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，以在界定出施體半導體晶片剝離層的橫截面上產生一個弱化片層；以及將施體半導體晶片於離子植入步驟之前、期間或之後施以空間性變化步驟，使得弱化片層之至少一項參數在整個弱化片層至少一個 X-及 Y-軸方向上空間性地變化。

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y-axial directions.

圖 2A



- 102 . . . 基板
- 120 . . . 施體半導體晶片
- 121 . . . 植入表面
- 122 . . . 剝離層
- 125 . . . 弱化片層

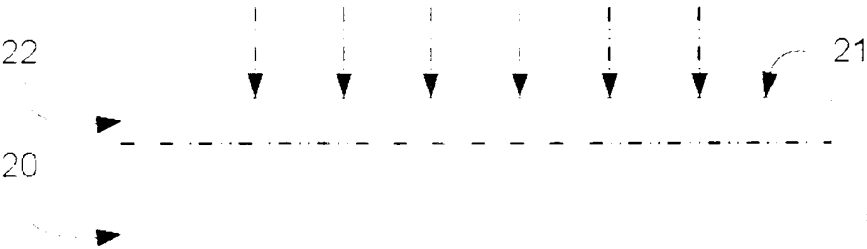


圖 1A

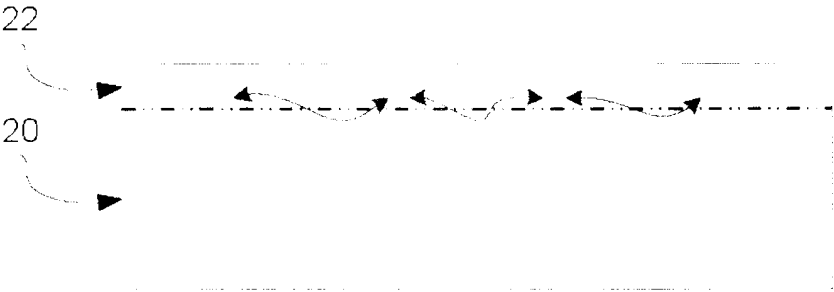


圖 1B

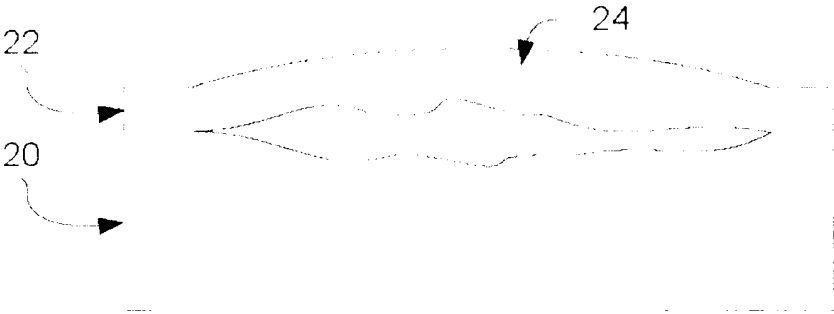


圖 1C

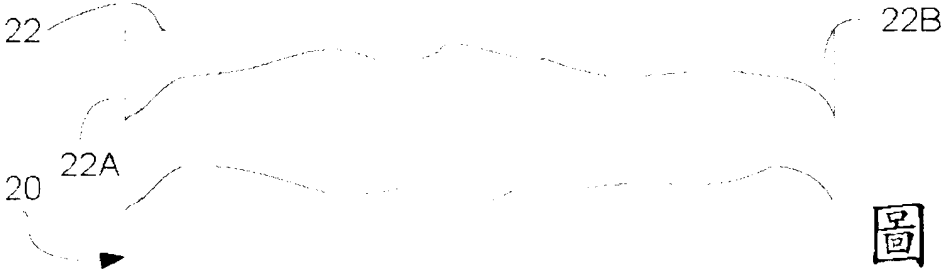


圖 1D

圖 2A

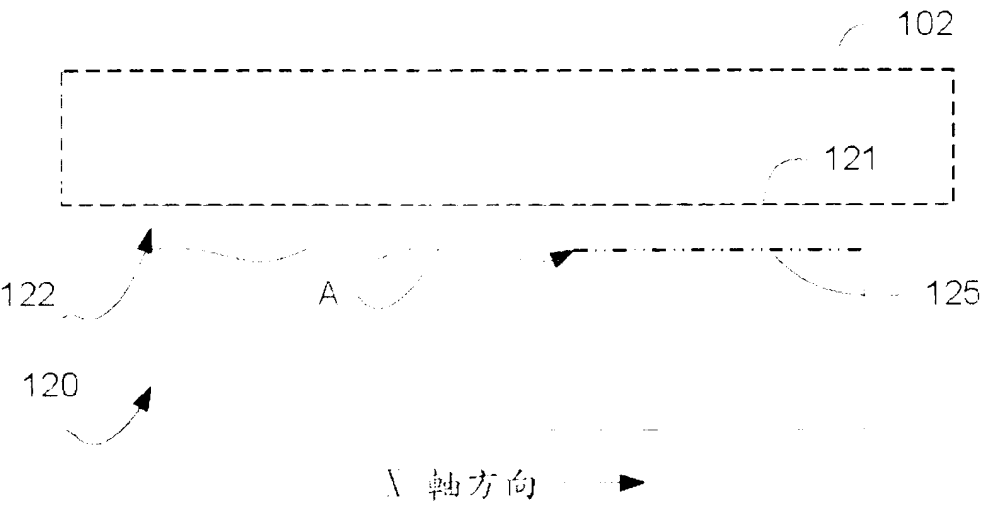
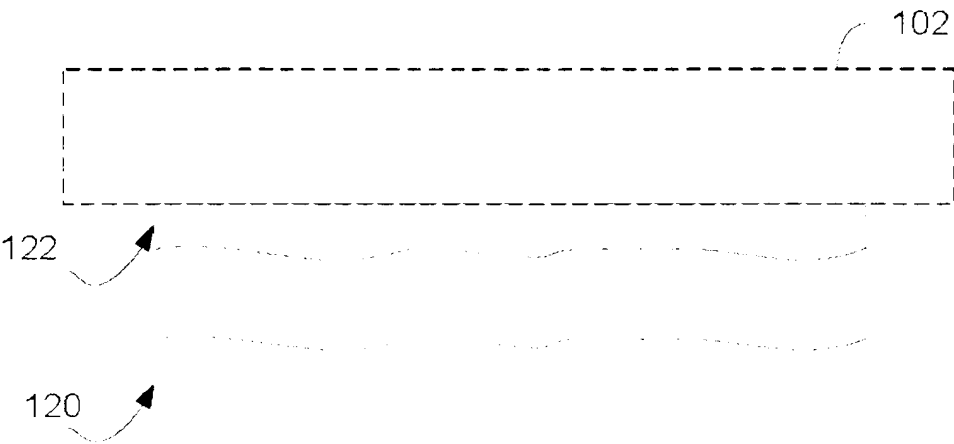


圖 2B



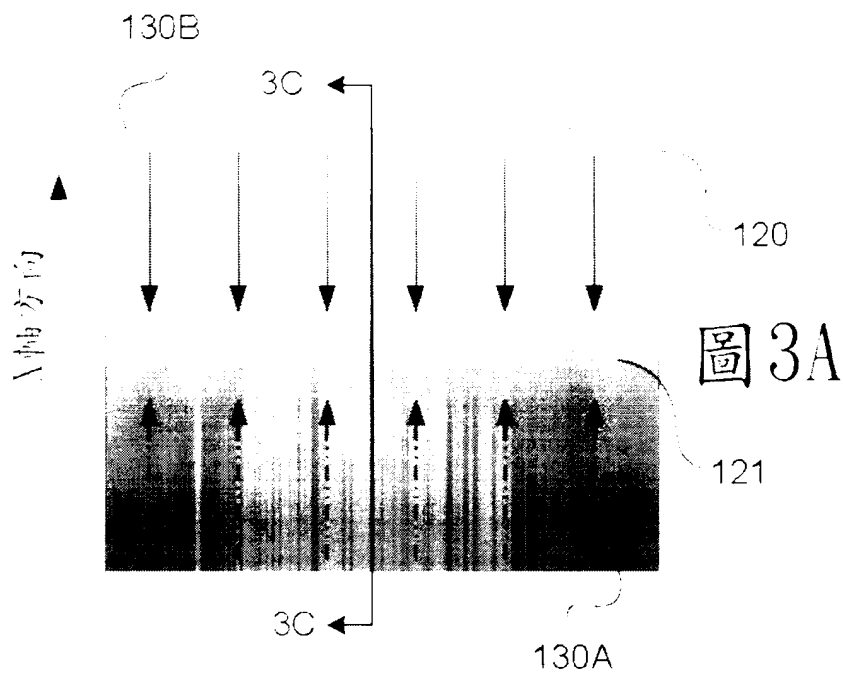


圖 3A

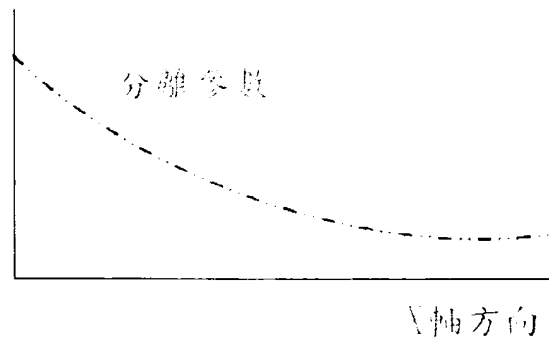


圖 3B

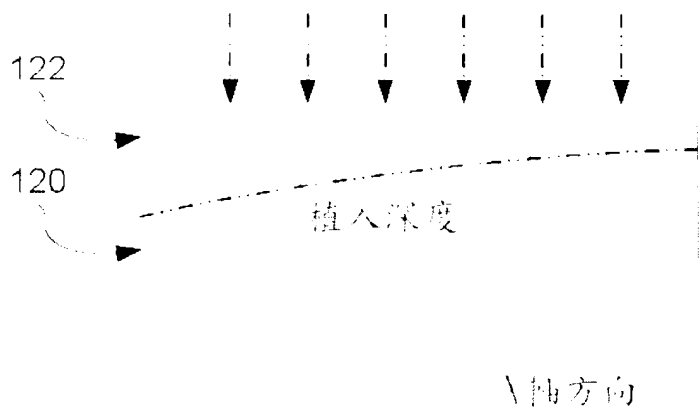
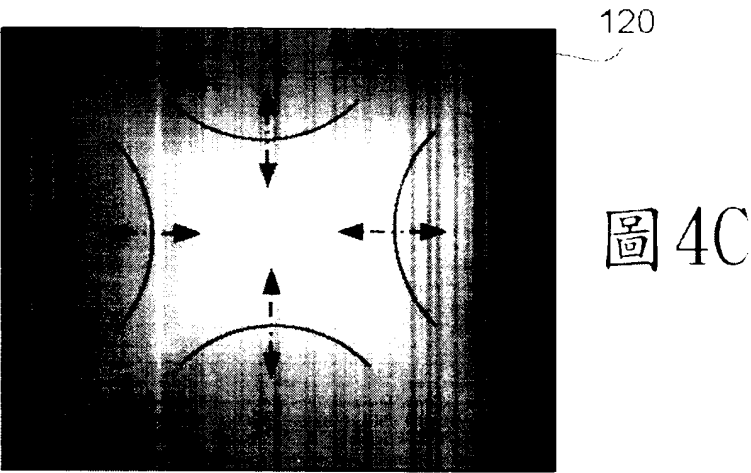
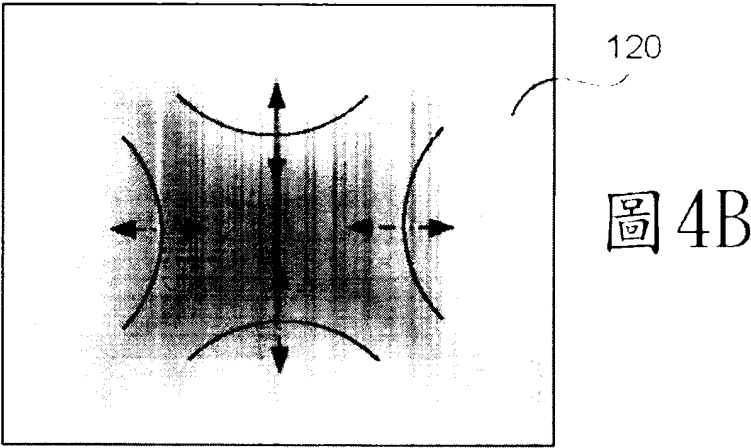
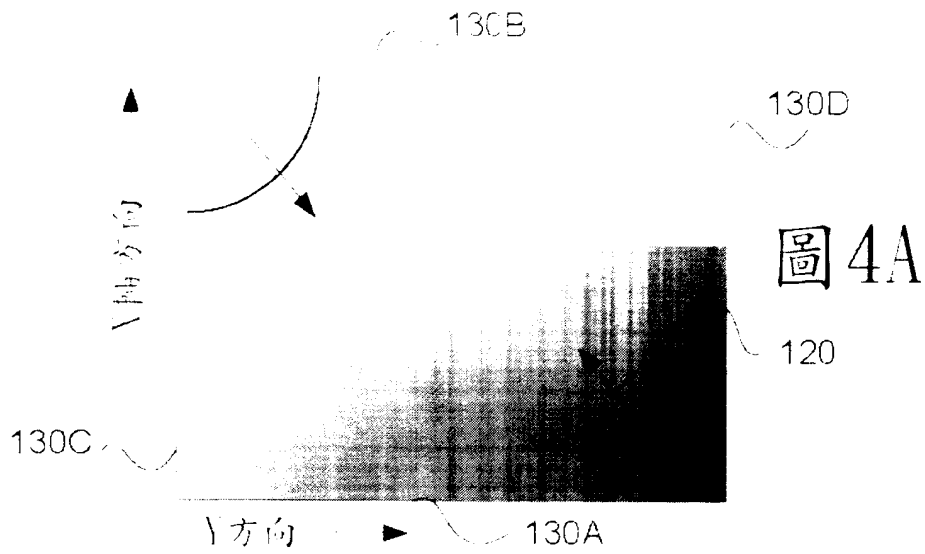


圖 3C



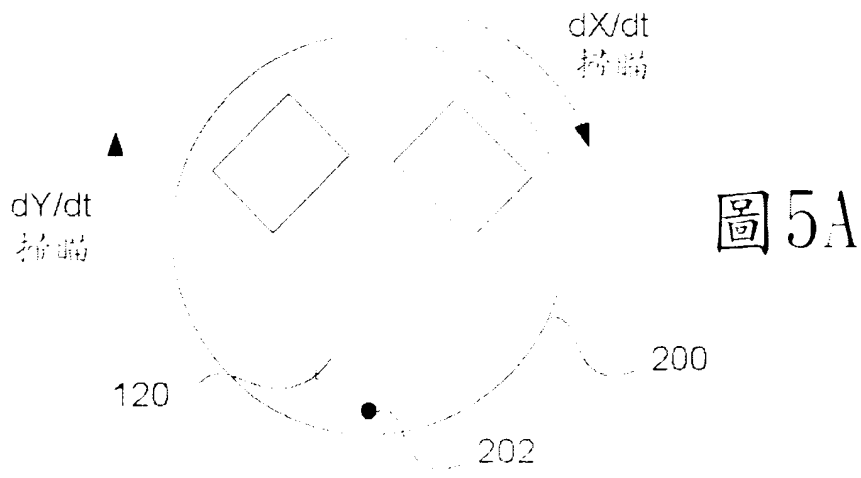


圖 5A

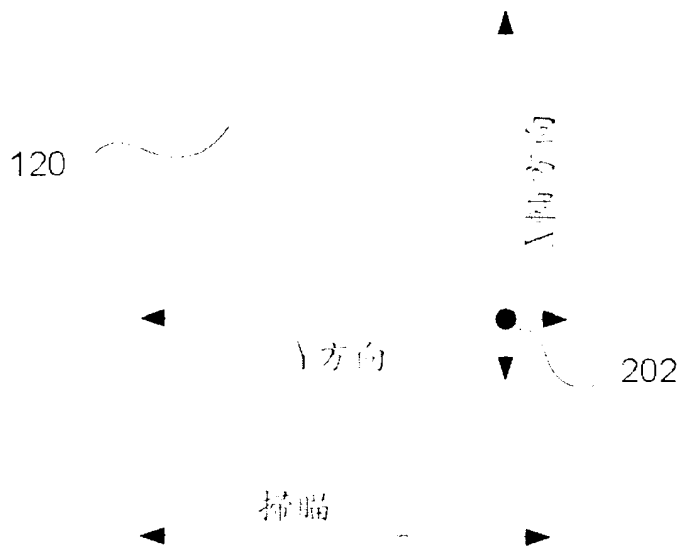


圖 5B



圖 5C

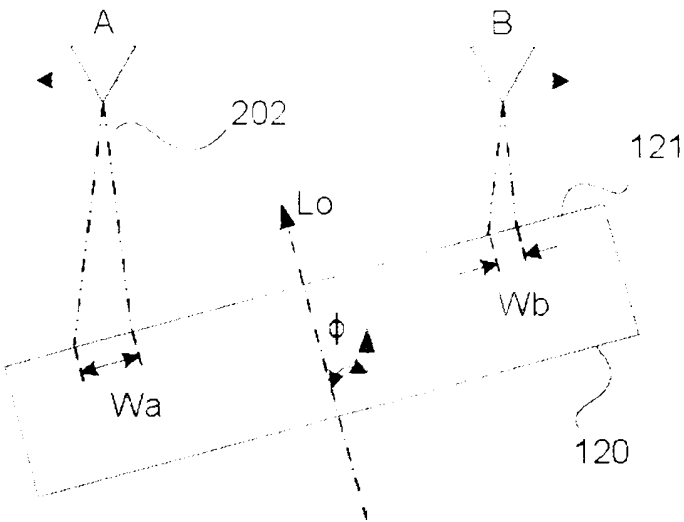


圖 6A

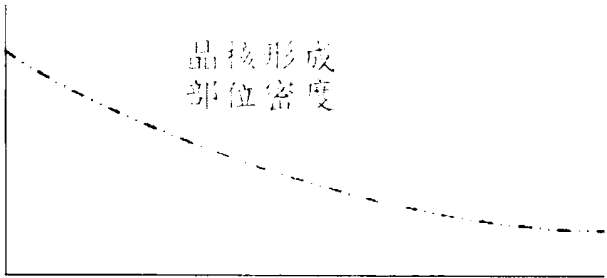


圖 6B

圖 7A

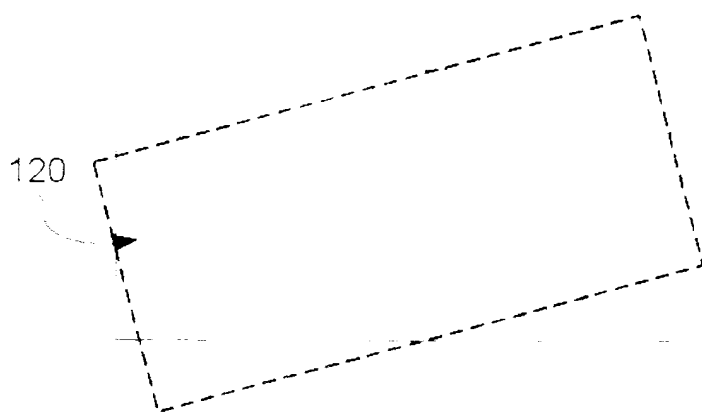


圖 7B

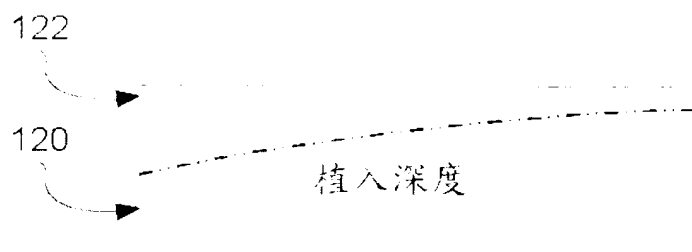


圖 7C

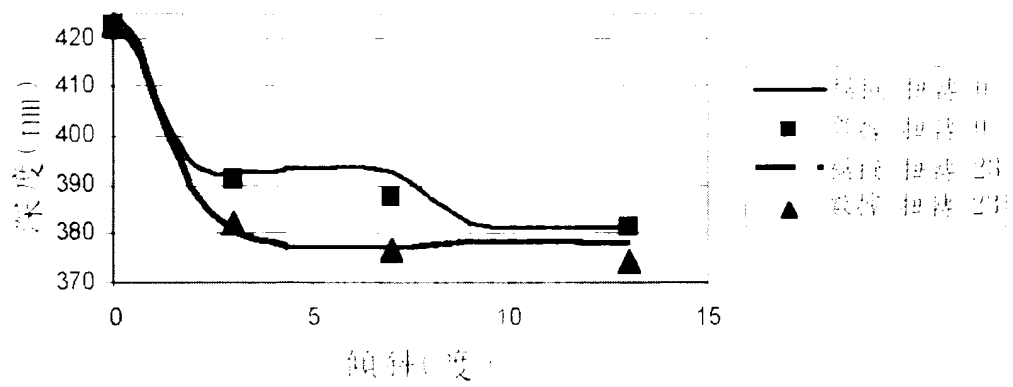


圖 7D

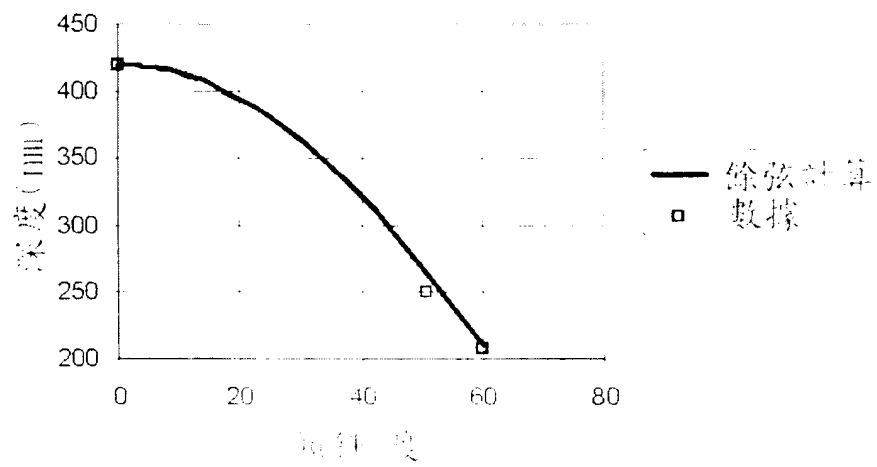


圖 8A

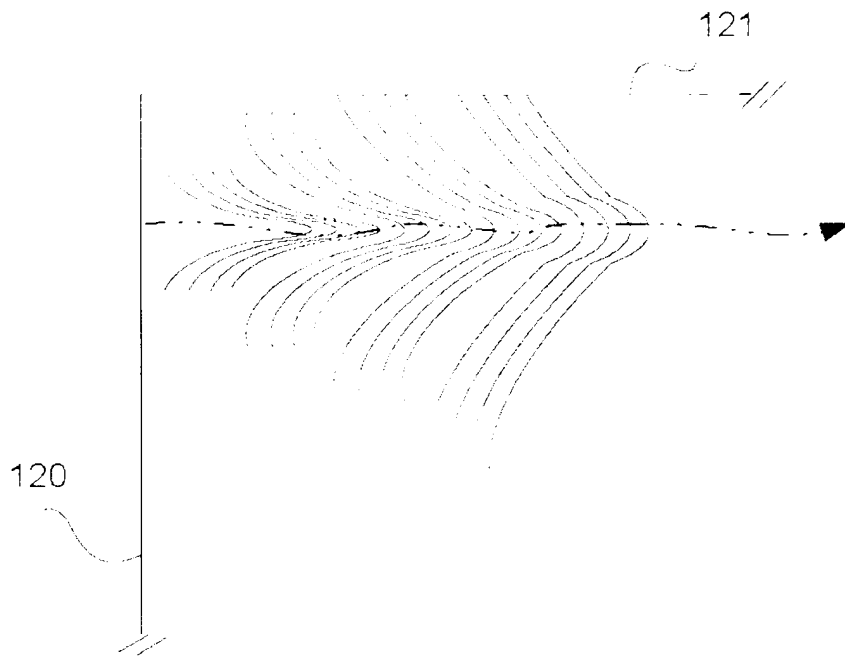


圖 8B

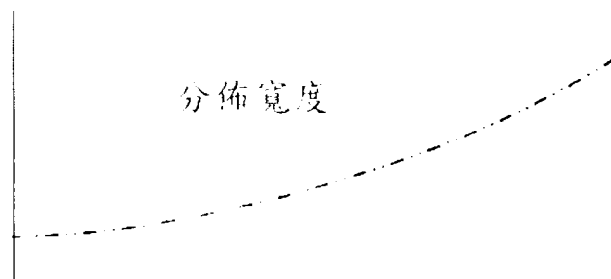


圖 8C

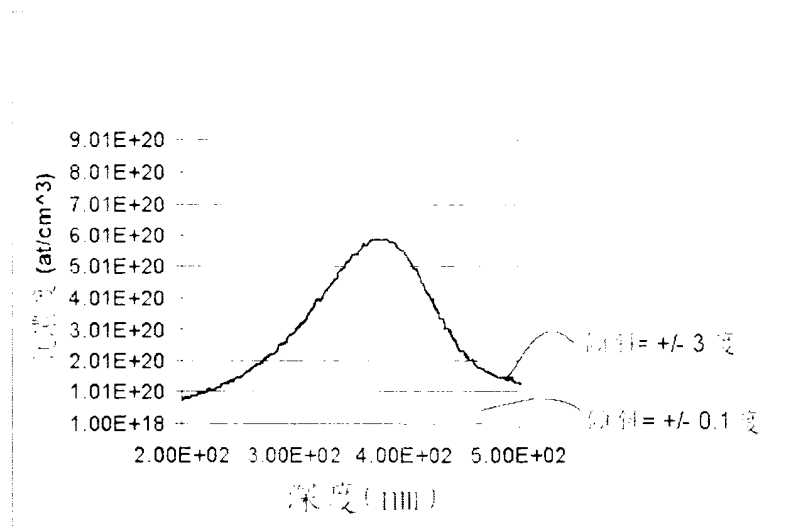


圖 9A

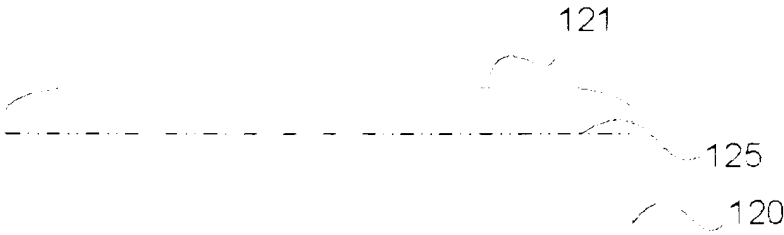


圖 9B

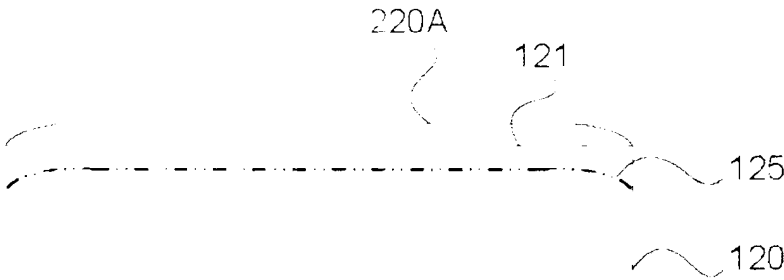


圖 9C

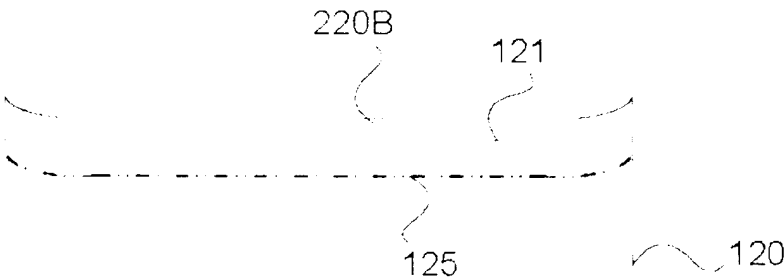


圖 9D



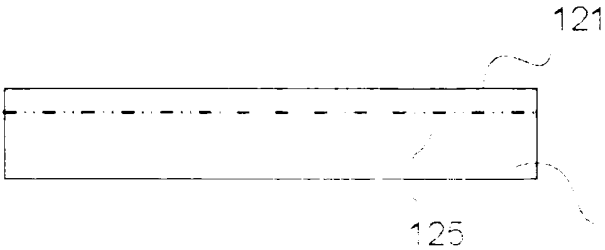


圖 10A

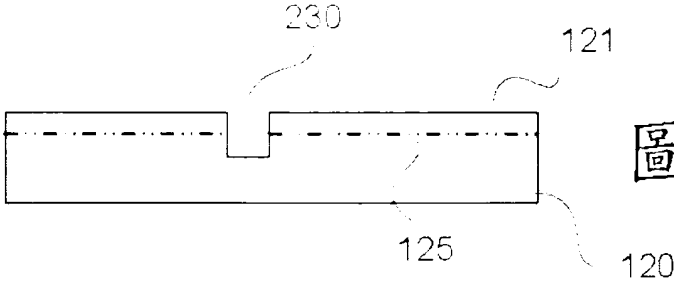


圖 10B

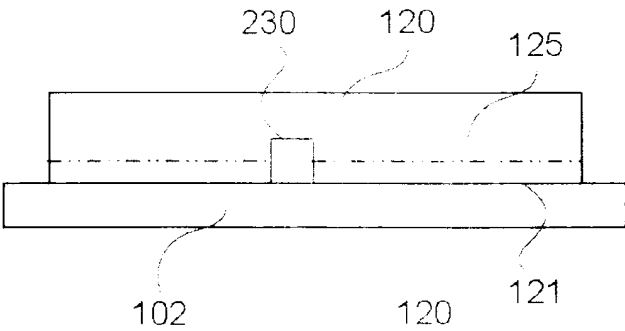


圖 10C

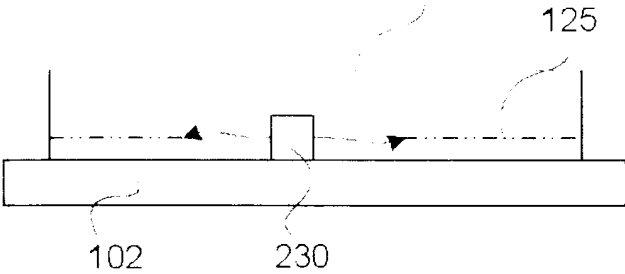


圖 10D

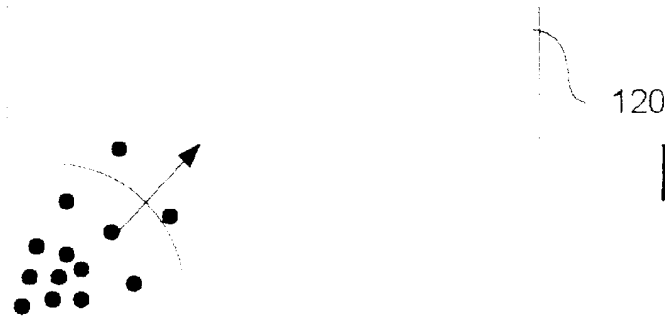


圖 11

圖 12A

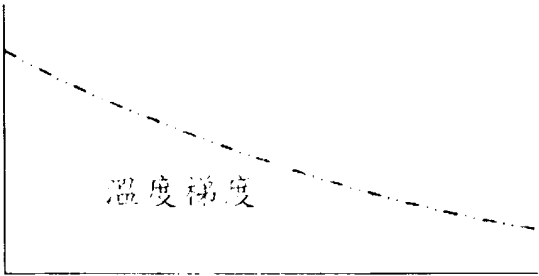
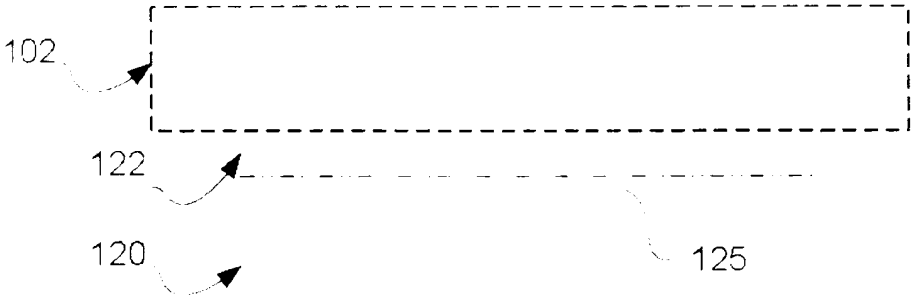
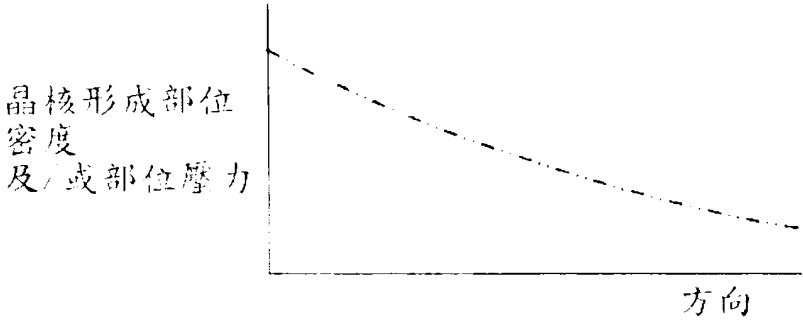


圖 12B



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

使用定向剝離作用製造絕緣體上半導體結構之方法及裝置

METHODS AND APPARATUS FOR PRODUCING
SEMICONDUCTOR ON INSULATOR STRUCTURES
USING DIRECTED EXFOLIATION

【0001】 本申請案主張以 2008 年 10 月 30 日申請之美國專利申請案第 12/290,384 號及 2008 年 10 月 30 日申請之美國專利申請案第 12/290,362 號為優先權，兩者全文皆併入本文中作為參考。

【技術領域】

【0002】 本發明係關於絕緣體上半導體(SOI)結構之製造，例如為非圓形斷面的 SOI 結構及/或相當大的斷面面積的 SOI 結構。

【先前技術】

【0003】 隨著市場需求不斷持續地增加，絕緣體上半導體(SOI)裝置變得越來越重要。SOI 技術對高效能薄膜電晶體(TFT)、太陽能電池、和顯示器而言也變得越來越重要，譬如

主動式矩陣顯示器、有機發光二極體(OLED)顯示器、液晶顯示器(LCD)、積體電路、光伏打裝置等等。SOI 結構可包括絕緣材料上一薄層的半導體材料，譬如矽。

【0004】 取得 SOI 結構的各種方式包括在晶格匹配基板上的矽(Si)磊晶成長，以及黏結單晶矽晶片到另一矽晶片。更進一步的方法包括植入氫或氧離子的離子植入技術，在氧離子植入的情況下於以 Si 覆蓋之矽晶片內形成埋藏的氧化物層，或者在氫離子植入的情況下分離(剝離)薄 Si 層以黏結到另一具有氧化層的 Si 晶片。

【0005】 美國專利第 7,176,528 號說明了一種利用剝離技術產生玻璃上半導體(SOG)結構的處理方式。這些步驟包括：(i) 將矽晶片表面暴露至氫離子植入以產生黏結表面；(ii) 將晶片的黏結表面和玻璃基板接觸；(iii)施加壓力、溫度和電壓到晶片和玻璃基板促進其間的黏結；和(iv)從矽晶片分離玻璃基板和矽薄膜層。

【0006】 上述的方法在一些情況下及/或使用在一些應用時，容易產生令人討厭的效果。請參考圖 1A-1D，以譬如氫離子的離子經由表面 21 植入半導體晶片 20，使得此種植入量在整個半導體晶片 20 的密度和深度是均勻的。

【0007】 參考圖 1A，當譬如矽的半導體材料以譬如氫離子的離子植入時會產生傷害部位。傷害部位層界定出剝離層 22。有些傷害部位以非常高的寬高比形成晶核於薄板內(它們有很大的有效直徑而幾乎沒有高度)。從植入離子產生的氣體，譬如 H₂ 擴散至薄板，形成相當高寬高比的氣泡。這些氣泡中的

氣體壓力非常高，估計可達約 10 千巴。

【0008】 如圖 1B 的雙向箭頭所示，薄板和氣泡在有效直徑內增長，直到它們互相很靠近，而使剩餘的矽太弱而無法抵抗氣體的高壓。由於沒有一個最佳的點開始分離，就會隨機產生多個分離前緣，因而多個裂隙傳播穿過半導體晶片 20。

【0009】 靠近半導體晶片 20 的邊緣，有很多植入的氫可以從富含氫的平面跑出來。這是因為靠近漏口(即晶片 20 的側邊壁板)的關係。更特別的是，在植入期間離子(譬如氫質子)減速通過半導體晶片 20(譬如矽)的結構，並從晶格部位取代一些矽原子而產生缺陷的平面。當氫離子失去動能時，會變成原子氫，並進一步界定出一個原子氫平面。在室溫下，矽晶格內的缺陷平面和原子氫平面都不穩定，因此，缺陷(空隙)和原子氫互相移動形成熱穩定的空隙-氫成分。多種成分集合在一起產生富含氫的平面。(加熱時，矽晶格通常會沿著富含氫的平面分裂)。

【0010】 並不是所有的空隙和氫都會崩解成空隙-氫成分。有些原子氫成分會從空隙平面擴散，最後離開矽晶片 20。因此有些原子氫不會造成剝離層 22 的分裂。靠近矽晶片 20 的邊緣，氫原子有另外從晶格跑出的路徑。因此，矽晶片 20 邊緣區域的氫濃度可能較低。較低的氫濃度會需要更高溫或更長的時間來發展足夠的力量以支援分離。

【0011】 因此，在分離處理期間以沒有分離的邊緣產生帳篷狀的結構 24。在臨界壓力，沿著譬如{111}平面(圖 1C)的相對弱平面會出現其餘半導體材料的裂痕，而完成剝離層 22 自矽

晶片 20 的分離(圖 1D)。然而，邊緣 22A、22B 是來自傷害部位界定出的主要分裂平面。這種非平面的分裂是令人討厭的。分離的其它特徵包括剝離層 22 可以被描述成薄板或氣泡所在的「台地」，被出現裂隙的「峽谷」圍繞著。要注意的是，這些台地和峽谷無法在圖 1D 精確顯示，因為這些細節是超過所示的比例尺可描繪出的可能。

【0012】 不想限制本發明在任何運作理論，本案發明人認為使用前述的技術，從開始發生分離到完成分離的時間大約是數十個微秒。換句話說，分離的隨機開始發生和傳播大約是 3000 公尺/秒。再者，不想限制本發明在任何運作理論，本案發明人認為這種分離速率是前述的剝離層 22 分裂表面令人討厭的特性所造成(圖 1D)。

【0013】 美國專利第 6,010,579 號說明了一種將離子均勻植入半導體基板 10 的技術，其均勻植入深度至 Z0，該技術係將晶片的溫度降到起始分離開始發生的溫度以下，然後在植入深度 Z0 附近的基板 10 邊緣引進多個能量脈衝以達到「控制分裂前緣」。美國專利第 6,010,579 號宣稱，至少就表面粗度而言，前述方式是所謂「隨機」分裂的改良。本發明採取定向的分離方式，和美國專利第 6,010,579 號「控制分裂前緣」的方式有顯著的不同，也和「隨機的」分裂方式不同。

【0014】 當 SOI 結構的大小增加，尤其當半導體晶片的形狀是長方形時，先前討論的與剝離層 22 自半導體晶片 20 分離相關的挑戰加劇。這種長方形半導體晶片可使用在多個半導體鋪片耦合到絕緣體基板的應用上。更進一步有關鋪片式 SOI

結構的製造細節可在美國第 2007/0117354 號專利公開案中找到，其完整的說明在本文也全部併入參考。

【發明內容】

【0015】 爲了方便說明，以下的討論有時將根據 SOI 結構而言。參考這種特定型態的 SOI 結構，使得本發明的說明更加容易，但不希望也不應該被解釋成以任何方式來限制本發明的範疇。本文所使用的 SOI 縮寫一般是指絕緣體上半導體結構，包括但不限定是絕緣體上矽結構。同樣地，所使用的 SOG 縮寫一般是指玻璃上半導體結構包括但不限定是玻璃上矽結構。SOI 縮寫涵蓋了 SOG 結構。

【0016】 依據本發明的一個或多個實施範例，形成絕緣體上半導體(SOI)結構的方法和裝置提供：在施體半導體晶片的植入表面施以離子植入步驟，以在界定出施體半導體晶片剝離層的橫截面上產生一個弱化片層；以及將施體半導體晶片在離子植入步驟之前、期間或之後施以空間性變化步驟，以使弱化片層的一個或多個參數在 X-和 Y-軸的至少一個方向上，在整個所述晶片空間性地變化。

【0017】 空間性變化步驟可促進剝離層自半導體晶片分離的特性，使得分離是可定向及/或時間性控制的。

【0018】 參數可包括一個或多個下列的單一項或組合：(i)由離子植入步驟產生的晶核形成部位密度；(ii)自植入表面(或參考平面)算起之弱化片層的深度；(iii)穿過植入表面至少到弱化片層之人工造成的傷害部位(譬如盲洞)；和(iv)利用溫度梯

102年10月15日修正本

度在整個弱化片層增加缺陷部位的晶核形成及/或壓力。

【0019】 此方法和裝置更進一步提供將施體半導體晶片的溫度提升到足以從弱化片層的一點、邊緣、及/或區域，在弱化片層起始分離。可進一步使施體半導體晶片的溫度足以在實質上定向地沿著弱化片層繼續分離，作為變化參數的函數。

【0020】 當本文的說明配合附圖一起參考時，對熟悉此項技術的人而言，其他態樣、特徵、優點等將會變得顯而易見。

【圖式簡單說明】

【0021】 所示較佳的圖式用於說明本發明之不同態樣，應可理解本發明並不限制於所繪示之精確配置及方法。

【0022】 在所有附圖中，「X」表示 X-軸方向，「Y」表示 Y-軸方向。

【0023】 圖 1A、1B、1C 及 1D 為方塊圖，顯示出依據先前技術之剝離處理過程。

【0024】 圖 2A-2B 為方塊圖，顯示出依據本發明一或多個態樣之剝離處理過程。

【0025】 圖 3A 為依據本發明一或多個態樣之施體半導體晶片的頂視圖，該晶片內具有與弱化層或弱化片層相關之空間性變化參數。

【0026】 圖 3B 為曲線圖，顯示出圖 3A 的空間性變化參數。

【0027】 圖 3C 為曲線圖，顯示出圖 3A 的空間性變化參數為弱化片層之深度。

【0028】 圖 4A、4B 及 4C 為依據本發明之一或多個進一步態

樣之各別施體半導體晶片之頂視圖，該些晶片具有進一步之空間性變化參數。

【0029】 圖 5A、5B 及 5C 為一些離子植入裝置之簡圖，可用來達成施體半導體晶片之空間性變化參數。在圖 5A 中， dX/dt 表示 dX/dt 掃描；以及 dY/Dt 表示 dY/dt 掃描。

【0030】 圖 6A-6B 顯示出離子植入技術，被使用在施體半導體晶片中以達成晶核形成部位之空間性變化密度。

【0031】 圖 7A-7B 顯示出離子植入技術，被使用在施體半導體晶片中以達成空間性變化之植入深度。

【0032】 圖 7C-7D 為曲線圖，顯示出離子植入傾斜角度與植入深度間之關係。

【0033】 圖 8A-8B 顯示出離子植入技術，被使用來在施體半導體晶片中達成空間性變化離子植入分佈寬度。

【0034】 圖 8C 為曲線圖，顯示出離子植入傾斜角度與分散間之關係。

【0035】 圖 9A-9D 顯示出進一步之離子植入技術，被使用在施體半導體晶片中以達成空間性變化離子植入深度。

【0036】 圖 10A-10D 及 11 顯示出進一步之離子植入技術，被使用在施體半導體晶片中以達成缺陷部位之空間性變化分佈。

【0037】 圖 12A-12B 顯示出時間-溫度量變曲線技術，被使用在施體半導體晶片中以達成空間性變化參數量變曲線。

【實施方式】

【0038】 參考附圖，類似的編號代表類似的元件，依據本發明的一個或多個實施範例，圖 2A-2B 顯示的是中間 SOI 結構(尤其是 SOG 結構)。中間 SOI 結構包括譬如玻璃或玻璃陶瓷基板 102 的絕緣體基板，和施體半導體晶片 120。玻璃或玻璃陶瓷基板 102 和施體半導體晶片 120 可使用此項技術任何已知的處理過程耦合在一起，譬如黏結、熔融、黏著等。

【0039】 在玻璃或玻璃陶瓷基板 102 和施體半導體晶片 120 耦合在一起之前，施體半導體晶片 120 包括暴露的植入表面 121。將施體半導體晶片 120 的植入表面 121 施以離子植入步驟，以在界定出剝離層 122 的橫截面上產生一個弱化片層 125。弱化片層 125 實質上平行於 X-Y 正交軸方向界定出的參考平面(可能在任意處，因而未顯示)。X-軸方向在圖 2A 中是從左到右顯示，而 Y-軸方向是正交於 X-軸方向到頁內(因而未顯示)。

【0040】 將半導體晶片 120 在離子植入步驟之前、期間或之後，施以空間性變化步驟以使剝離層 122 自施體半導體晶片 120 分離的特性是可定向及/或時間性控制的。然而不想限制本發明在任何運作理論，我們相信這種可定向及/或時間性控制可能改善分離特性，譬如(分離後)剝離層 122 和施體半導體晶片 120 上較平滑的暴露表面。我們也相信這種可定向及/或時間性之控制可能改善邊緣特性，譬如在弱化片層 125 界定出的主要分裂平面中改善剝離層 122 和施體半導體晶片 120 上暴露表面的邊緣之良率。

【0041】 剝離層 122 自施體半導體晶片 120 分離的可定向及/或時間性控制特性可以數種方式達到，譬如藉由在 X-和 Y-軸的至少一個方向上，在整個弱化片層 125 空間性地改變一個或多個參數。這些參數可包括一個或多個下列項目的單一項或組合：(i)由離子植入步驟產生的晶核形成部位密度；(ii)自植入表面 121(或參考平面)算起的弱化片層 125 深度；(iii)穿過植入表面 121 至少到弱化片層 125 之人工造成的傷害部位(譬如盲洞)；和(iv)利用溫度梯度，在整個弱化片層 125 增加缺陷部位的晶核形成及/或壓力。

【0042】 如圖 2A-2B 的箭頭 A 所示，剝離層 122 自施體半導體晶片 120 可定向及/或時間性控制的分離特性，造成從弱化片層 125 的一點、邊緣及/或區域到其他點、邊緣及/或區域的傳播分離，作為時間的函數。這通常可從下列達成：首先，如以上所討論之空間性地改變整個弱化片層 125 的一個或多個參數，第二，提升施體半導體晶片 120 的溫度到足以在弱化片層 125 的一點、邊緣及/或區域起始分離。因此，進一步提升施體半導體晶片 120 的溫度，使其足以在實質上定向地沿著弱化片層 125 繼續分離，作為整個弱化片層 125 之參數的空間性變化函數。最好建立變化的參數，使得提升溫度的時間-溫度量變曲線圖是大約數秒，沿著弱化片層 125 的分離傳播發生歷經至少一秒。

【0043】 現在請參考圖 3A-3C，進一步顯示關於在空間上在整個弱化片層 125 改變一個或多個參數的細節。圖 3A 是經由植入表面 121 觀看施體半導體晶片 120 的頂視圖。X-軸方向

陰影的變化是代表參數的空間性變化(譬如晶核形成部位密度、部位內壓力、晶核形成的程度、人工產生傷害部位(洞)的分佈、植入深度等)。在所示的例子中，一個或多個的參數以 X-軸方向從施體半導體晶片 120(因而是其弱化片層 125)一個邊緣 130A 變化朝向相反的一個邊緣 130B，反之亦然。

【0044】 參考圖 3B，這是分離參數的圖，顯示的是例如弱化片層 125 內晶核形成部位密度的橫截面量變曲線圖，作為 X-軸方向的函數。或者或此外，分離參數可表示為晶核形成部位內壓力、晶核形成的程度、人工產生傷害部位(洞)的分佈等中的一個或多個，前述參數每個都可作為 X-軸空間性度量的函數。請參考圖 3C，這是分離參數的圖，顯示例如弱化片層 125 深度(對應離子植入的深度)的橫截面量變曲線圖，作為 X-軸方向的函數。

【0045】 不想限制本發明在任何運作理論，咸信當邊緣 130A 的晶核形成部位密度相當高以及朝向邊緣 130B 的空間位置處之晶核形成部位密度降至較低時，會發生從邊緣 130A 朝向邊緣 130B 的分離傳播(以虛線的箭頭表示)。這個理論也被認為是和其他參數保持關聯性，譬如晶核形成部位內的氣體壓力、分離之前晶核形成部位合併的程度、和人工產生傷害部位(洞)的分佈。至於和弱化片層 125 深度相關的參數，咸信當實質上較淺的深度出現在沿著弱化片層 125 的起始邊緣 130B 以及較深的深度出現在連續更遠的距離處朝向邊緣 130A 時，會發生從邊緣 130B 朝向邊緣 130A 的分離傳播(以實線的箭頭表示)。

【0046】 現在參考圖 4A-4C，進一步顯示關於在空間上在整個弱化片層 125 改變一個或多個參數的細節。圖顯示的是經由植入表面 121 觀看施體半導體晶片 120 的頂視圖。X-軸和 Y-軸方向陰影的變化是代表參數的空間性變化，即晶核形成部位密度、部位內壓力、晶核形成的程度、人工產生傷害部位(洞)的分佈、植入深度等。在每個所示的例子中，參數在 X-軸和 Y-軸兩個方向空間性變化。

【0047】 請特別參考圖 4A，陰影是代表空間上從兩個邊緣 130A、130D 開始朝向其他邊緣 130B、130C 的參數變化，以及在連續更遠的距離處，於 X-軸和 Y-軸兩個方向上變化。爲了跟上以上的討論，在考慮晶核形成部位密度的參數時，假使在邊緣 130A、130D 的起始邊緣有較高的密度，則認爲分離的傳播(以虛線箭頭表示)會從邊緣 130A、130D 的角落輻射朝向晶片 120 的中央，並朝向其他邊緣 130B、130C。這個理論也被認爲是和其他參數保持關聯性，譬如晶核形成部位內的氣體壓力、分離之前晶核形成部位合併的程度、和人工產生傷害部位(洞)的分佈。至於和弱化片層 125 深度相關的參數，威信當較低深度沿著邊緣 130B、130C 起始降低深度時，分離的傳播(以實線箭頭表示)從邊緣 130B、130C 的角落輻射朝向晶片 120 中央，並朝向其他邊緣 130A、130D。

【0048】 特別參考圖 4B 和 4C，陰影代表空間上從所有邊緣 130 開始的參數變化，並朝向施體半導體晶片 120 中央的變化，反之亦然。

【0049】 現在提供進一步的細節，參考在整個弱化片層 125

在 X-軸和 Y-軸的一個或兩個方向，由離子植入所產生的晶核形成部位密度空間性變化的特定參數。不管使用什麼技術達到這種空間性變化，晶核形成部位最大密度較佳存在弱化片層 125 的一點、邊緣或區域約 5×10^5 部位/cm²，而晶核形成部位最小密度較佳存在於遠離弱化片層 125 中該點、邊緣或區域約 5×10^4 部位/cm²。以另一種方式看待這種變化，最大晶核形成部位密度和最小晶核形成部位密度之間的差異大約 10 倍。

【0050】 依據本發明的一個或多個態樣，可藉著改變離子植入步驟的劑量，空間性變化弱化片層 125 內晶核形成部位密度。經由先前技術之方式，將植入表面 121 施以一個或多個離子植入步驟，產生弱化片層 125(因而造成剝離層 122)。雖然在這方面可使用很多種離子植入技術、機器等，但一種適合的方法指出施體半導體晶片 120 的植入表面 121 可施以氫離子植入步驟，以至少起始產生施體半導體晶片 120 的剝離層 122。

【0051】 請參考圖 5A，顯示的是 Axcelis NV-10 型態整批植入器的簡圖，藉著改變植入離子的劑量，可修改用於弱化片層 125 內晶核形成部位密度的空間性變化。

【0052】 多個施體半導體晶片 120，在這個例子是長方形鋪片，可在相對於入射離子射束 202(定向到頁內)的平台 200 上以固定半徑呈方位角的分佈。平台 200 的旋轉提供擬-X-掃描(dX/dt)，而整個平台 200 的機械式平移提供 Y-掃描(dY/dt)。使用擬-X-掃描這個詞是因為較小的平台 200 半徑，和大型的

平台 200 半徑比起來，X-掃描比較彎曲，因此在這種平台 200 上不會得到完全筆直的掃描。調整 X-掃描速度及/或 Y-掃描速度會造成劑量中的空間性變化。在過去，當離子射束 202 徑向通過朝向平台 200 中央時，可使用增加的 Y-掃描速度以確保均勻的劑量。的確，此項技術傳統的思考是達到空間上均勻的劑量，當相對於施體半導體晶片 120 的角度速度減少到接近平台 200 中央時，Y-掃描速度必須對應地增加。然而，依據本發明，可以不執著於傳統的掃描協定達到空間性變化的劑量，產生譬如圖 3A 和 4A 的圖案。例如，當離子射束 202 徑向通過朝向平台 200 中央時，可保持 Y-掃描速度均勻。或者，當離子射束 202 徑向通過朝向平台 200 中央時，我們也可以減少 Y-掃描速度。本領域中熟悉此項技術的人，可從本文的揭露得知其他的可能性。另一種方式是改變射束能量，作為掃描速率和位置的函數。這種改變可透過修改軟體中植入器的控制演算法、控制軟體和終端站驅動程式之間的電子介面、或其他機械式的修改。

【0053】 參考圖 5B，顯示的是單一基板 X-Y 植入器的簡圖，藉著改變植入離子的劑量可修改用於弱化片層 125 內晶核形成部位密度的空間性變化。在這個例子中，電子射束 202 掃描比機械式基板掃描更快(圖 5A)。再者，此項技術傳統的思考是達到空間上均勻的劑量，因而設定 X 和 Y 掃描速率和射束能量以達到均勻的劑量。再者，可以不執著於傳統的掃描協定，達到空間性變化的劑量。藉由數種變化的 X 和 Y 掃描速率及/或射束能量組合，可在植入劑量內達到顯著的空間性

變化。可產生垂直或水平，一維或二維的梯度，經由這種變化產生譬如圖 3A、4A、4B 和 4C 的圖案。

【0054】 請參考圖 5C，顯示的是依據離子浴技術的植入器簡圖。條帶射束 204 從延伸的離子來源產生。依據傳統的技術，單一均勻速度掃描(和正交方向的均勻射束能量成比例)可達到傳統的目標，即空間上均勻的劑量。然而，依據本發明的各種態樣，藉著改變施體半導體晶片 120 通過條帶射束 204 的機械式掃描速率可以產生一維的梯度(即圖 3A 旋轉 90 度)。以某個相對於條帶射束 204 的角度扭轉施體半導體晶片 120，以及結合機械式掃描速率的改變，可以類似於圖 4A 的方式產生劑量內的空間性變化。或者或此外，沿著射束來源的空間性變化射束電流會在掃描方向提供正交的梯度，提供額外的自由度以產生受支配的空間性變化劑量。

【0055】 不管用來達到劑量變化的特定植入技術，不管最高劑量的位置(沿著一個或多個起始邊緣、起始點、或起始區域)，實質上最高劑量是在所要範圍內以原子/cm²為單位，而最低劑量是在其他所要範圍內 X-和 Y-軸的至少一個方向以原子/cm²為單位。最高劑量和最低劑量之間的差異可以在約 10-30%之間，最大變化約 3 倍。在一些應用上，至少約 20% 的差異是很重要的。

【0056】 依據本發明的一種或以上進一步之態樣，可藉由實質上均勻的方式植入第一離子成分，空間性變化弱化片層 125 內的晶核形成部位密度以建立實質上均勻分佈的弱化片層 125。之後，可以實質上非均勻的方式植入第二離子成分到施

體半導體晶片 120。建立非均勻的植入使得第二離子成分導致原子遷移到弱化片層 125，產生整個弱化片層 125 上晶核形成部位空間性變化的密度。

【0057】 舉例而言，第一離子成分可以是氫離子，而第二離子成分可以是氦離子。

【0058】 非均勻的植入可以使用上述技術，此說明中稍後的描述，或從其他來源得知而產生。例如，可空間性地變化第二離子成分的劑量。第二離子成分(譬如 He 離子)的劑量變化會導致接下來第二成分非均勻的遷移到第一離子成分的位置，因而建立非均勻的晶核形成部位密度。這種變化可改變薄板內的壓力，這也是有幫助的。

【0059】 或者，第二離子成分非均勻的植入可包括植入第二離子成分到整個施體半導體晶片 120 的空間上不同深度。本領域中熟悉此項技術的人可依據本文的教示修改任何已知的植入離子到均勻深度的技術以達到非均勻深度的量變曲線圖。在先前技術中，我們知道 He 離子可以比氫離子植入的更深，譬如兩倍深度或以上。晶片溫度增加時，很多 He 離子會遷移到較淺氫離子植入的部位，提供稍後分離的氣體壓力。依據本發明的此態樣，植入較深的 He 導致的傷害是位在施體半導體晶片 120 遠離較淺氫離子植入的深度，而且很少這種 He 離子會在一定的時間內抵達。植入較不深的 He 離子的相反的情況也是如此，因而會造成整個弱化片層 125 空間性變化晶核形成部位的密度。

【0060】 雖然理論上不管第一和第二離子成分的順序(譬如

先植入 He 或先植入 H)都可達成晶核形成部位空間性變化的密度，但多個離子植入步驟的順序也可達成所需的結果。的確，根據離子成分，植入的順序可能在密度上有整體效果，甚至密度也會空間性變化。雖然有點反直覺並令很多熟悉此項技術的人很驚訝，我們發現先植入氫離子會產生較多的晶核形成部位。以一定的計量而言，He 被熟悉此項技術的人認為會比氫離子產生 10 倍的傷害。然而，應該要注意的是 He 離子的傷害(空隙和有空隙的半導體原子，或 Frankel 對)，甚至在室溫下會快速自行退火。因此，很多但不是全部的 He 傷害是可以修復的。換句話說，氫離子和譬如 Si 原子的半導體原子黏結(形成 Si-H 鍵)以穩定產生的傷害。如果 H 在 He 植入之前就存在會產生更多的晶核形成部位。

【0061】 現在參考圖 6A-6B，顯示的是適合用來達到晶核形成部位密度空間性變化的更進一步範例。在這個範例中，如圖 6A 所示，可在離子植入步驟期間藉著調整離子射束的射束角度達到晶核形成部位密度空間性變化。雖然射束角度可藉著多種方式調整，其中一種方式是將施體半導體晶片 120 針對離子射束(如點射束 202)傾斜，如圖 6A 所示。施體半導體晶片 120 有一個寬度(如頁面顯示從左到右)，深度(深入頁內)，和高度(如頁面顯示從上到下)。寬度和深度可界定出 X-和 Y-軸方向，而高度可界定出垂直於植入表面 121 的縱向軸 Lo。傾斜施體半導體晶片 120 以使縱向軸 Lo 在離子植入步驟期間是成針對離子植入射束方向軸(以實心箭頭顯示)的角度 Φ 。角度 Φ 可以是在約 1 到 45 度之間。

【0062】 在傾斜的情況下，射束來源從位置 A 掃描到位置 B，射束 202 的寬度 W 在施體半導體晶片 120 的植入表面 121 從寬度 W_a 變化到 W_b ，反之亦然。寬度 W 的變化會造成掃描方向(可設定成沿著 X-和 Y-軸的至少一個方向變化)上由離子植入產生的晶核形成部位密度改變。

【0063】 植入射束 202 可包括具有相同(正)電荷的氫離子。當具有相同電荷的粒子互相驅離時，射束 202 在距離離子來源較遠的距離時較寬(位置 A)，在距離離子來源較近的距離時較窄(位置 B)。位置 B 較聚集(較低的寬度 W_b)的離子射束會比位置 A 較不聚集(較高的寬度 W_a)的離子射束，加熱施體半導體晶片 120 的局部區域到較高的程度。在較高的溫度下，較多氫離子會從這個局部區域擴散，和其他區域比較，會剩下較少的氫離子。如圖 6B 所示，這會在施體半導體晶片 120 的弱化片層 125 內產生側向的氫非均勻分佈(因而是晶核形成部位的密度)。

【0064】 藉著調整射束來源的角度或併入一些已知的用來調整離子射束 202 準直的機制可達到類似的晶核形成部位密度空間性變化。

【0065】 適合用來達到晶核形成部位密度空間性變化的更進一步技術是使用二階段離子植入步驟。第一離子植入步驟是執行具有吸引第二離子成分效果的離子植入。之後，植入第二離子成分。第一離子成分是使用本文中任何適合的前述或稍後描述的技術以空間上非均勻的方式植入。因此，當第二離子成分植入時，會遷移到第一成分，產生的弱化片層 125

會顯示非均勻的晶核形成部位密度。

【0066】 例如，第一離子成分可以根據施體半導體晶片 120 的材料，譬如使用矽離子植入在矽施體半導體晶片 120 內。這種 Si 離子的特性會捕捉第二離子成分譬如氫離子。如以上說明的，氫離子和譬如 Si 原子的一些半導體原子黏結，形成 Si-H 鍵。舉例而言，可在此項技術已知的劑量和能量下，執行矽到矽的植入，譬如美國專利第 7,148,124 號中所說明的，其完整的揭露在本文也全部併入參考。然而，不同於先前的技術，捕捉的離子成分(在這個例子是 Si)空間上密度分佈是非均勻的(譬如在施體半導體晶片 120 的一邊是最高，而在相反一邊是最低，或本文討論的其他變化)。接著，植入譬如氫的第二離子成分，這可能是均勻的分佈。施體半導體晶片 120 的弱化片層 125 內剩餘的氫量取決於兩個因素：(1)可捕捉譬如氫的第二離子成分的集中分佈部位，和(2)可以使用的氫(植入的氫和植入劑量剩餘的氫)。

【0067】 要注意的是，可反轉成分的非均勻空間分佈以達到類似的結果。例如，可均勻植入第一成分，接著非均勻植入第二成分。或者，兩种植入都是空間上非均勻的。弱化片層 125 內第二成分(譬如氫)的非均勻分佈會產生最高氫濃度的一點、邊緣或區域，也就是起始分裂的最低溫度位置。

【0068】 再參考圖 2A-2B，箭頭 A 顯示剝離層 122 自施體半導體晶片 120 可定向和/或時間性控制的分離特性以達到從弱化片層 125 的一點、邊緣及/或區域到其他一點、邊緣及/或區域的傳播分離，作為時間的函數。在晶核形成部位密度空間

性變化的情形中，提升施體半導體晶片 120 的溫度，使其足以從弱化片層 125 最高密度的一點、邊緣及/或區域起始分離。我們發現矽中氫的高濃度可在溫度 350°C 或以下分離，而較低濃度的氫要在較高溫例如 450°C 或更高分離。將施體半導體晶片 120 提升到進一步的溫度使其足以在實質上定向地沿著弱化片層 125 的方向繼續分離，作為整個弱化片層 125 密度空間性變化的函數。

【0069】 現在提供進一步的細節，參考在 X-軸和 Y-軸的一個或兩個方向上離子植入所產生的空間性變化弱化片層 125 深度的特定參數。不管使用什麼技術達到這種空間性變化，實質上低的深度最好在約 200-380 nm 之間，而最高深度在約 400-425 nm 之間。以另一種方式看待這種變化，最大和最小深度之間的差異可以是約 5-200%之間。

【0070】 依據本發明一或多個態樣，可藉著在離子植入步驟期間調整離子射束的射束角度，空間性變化弱化片層 125 的深度。的確，可應用針對圖 6A-6B 所討論的處理過程以調整弱化片層 125 的深度(要注意改變溫度作為射束寬度函數的機制，並不被認為是達到弱化片層 125 深度變化的理由)。

【0071】 參考圖 6A 以及 7A-7B，可藉著改變至少下列一項，達到弱化片層 125 深度的空間性變化：(1)傾斜角度 Φ (請參考圖 6A 的顯示和說明)，(2)針對離子植入射束 202 的方向軸，施體半導體晶片 120 之縱向軸 Lo 的扭轉。調整傾斜及/或扭轉以調整導向通過施體半導體晶片 120 晶格結構的一個角度，使得當離子射束 202 掃描整個植入表面 121 時，通過施

體半導體晶片 120 晶格結構的導向有對齊和不對齊離子射束 202 的傾向。當導向的角度空間性變化時，弱化片層 125 的深度也會隨之改變。

【0072】 角度 Φ 可以在約 1-10 度之間，而扭轉角度可以在約 1-45 度之間。

【0073】 如同以上的推論，請進一步參考圖 7C 和 7D，植入深度會隨著傾斜變大而變小。對相對小的角度而言(譬如 0-10 度)，植入深度和傾斜的關係是由導向來控制。對相對大的角度而言，是由餘弦效應控制。換句話說，所產生的剝離膜厚度是和入射角度的餘弦成正比。

【0074】 或者或此外，空間性變化步驟可包括改變離子射束 202 的能量水準，使得當離子射束 202 掃描施體半導體晶片 120 的整個植入表面 121 時，自植入表面 121 算起的弱化片層 125 深度也會在整個施體半導體晶片 120 空間性地變化。

【0075】 如圖 7B 所示，以上的技術產生施體半導體晶片 120 的弱化片層(或植入深度)側向的非均勻深度。

【0076】 可以使用更進一步的參數和施體半導體晶片 120 的傾斜一起調整，達到離子沉積分佈寬度(或分散)的空間性變化。如圖 8A 所示，經過弱化片層 125(從上到下)的離子分佈寬度改變是施體半導體晶片 120 傾斜角度(更概括而言是射束角度)的函數。因此，可藉著改變傾斜角度，達到弱化片層 125 內空間性變化的分佈寬度(如圖 8B 所示)。然而，不想被限定於任何運作理論，咸信與具有較寬分佈寬度的部分弱化片層 125 比較，具有較窄分佈寬度的部分弱化片層 125 會在較低的

溫度下分離。因此，咸信剝離層 122 自施體半導體晶片 120 可定向及/或時間性控制的分離特性可達到從弱化片層 125 的一點、邊緣及/或區域到其他一點、邊緣及/或區域的傳播分離，作為時間和溫度的函數。

【0077】 請參考圖 8C，有關傾斜在分散效應上的額外資料，又會衝擊植入劑之量變曲線的寬度。圖 8C 所示兩種植入劑的劑量是一樣的。雖然尖峰 H 濃度是不同的，但兩種植入劑都會分離。因此， ± 0.1 度和 ± 3 度傾斜改變之間的差異，對分散而言是很明顯的。

【0078】 參考圖 9C-9D，另一種弱化片層 125 空間性變化深度的技術包括將施體半導體晶片 120 施以植入後的材料移除處理，使得自植入表面 121 算起的弱化片層 125 的深度在整個施體半導體晶片 120 是空間性變化的。如圖 9A 所示，可使施體半導體晶片 120 施以一些決定性的研磨處理過程或電漿輔助化學蝕刻(PACE)。這些技術可局部控制研磨步驟所移除的材料量。其他方法包括反應離子蝕刻(RIE)、化學機械式研磨(CMP)和溼化學蝕刻，也可以有規則且可再現性的在整個暴露表面非均勻的材料移除。可以使用一種或多種這些或其他技術，造成自植入表面 121 算起的弱化片層 125 深度的些微變化，譬如圖 3A、4A、4B、4C 和其他圖所顯示的。在材料移除之前的離子植入步驟可以是空間上均勻或非均勻的。

【0079】 參考圖 9B 和 9C，空間性變化的步驟可包括在施體半導體晶片 120 的植入表面 121 上以空間上非均勻的方式使用遮罩 220A 或 220B，使得當離子射束 202 掃描整個植入表

面 121 時阻止離子的穿透至不同的程度。遮罩薄膜 220 可包括二氧化矽，譬如光阻的有機聚合物和其他。可能的沉積技術包括加強電漿的化學蒸氣沉積(PECVD)、旋轉塗膜、聚二甲基矽氧烷(PDMS)衝壓等。遮罩薄膜 220 的厚度可小於或比擬弱化片層 125 所需的深度。因為植入離子的深度是以入射離子的能量來決定，遮罩 220 的阻擋動作會轉變成施體半導體晶片 120 內主要植入成分深度的空間調變。根據沉積遮罩 220 的特性，可藉著增加離子路徑的長度、擴散離子以更改導向的度數、或其他現象達到所需的特性。

【0080】 如圖 9D 所示(顯示弱化片層 125 所有邊緣的較低深度和朝向中央的較高深度)，施體半導體晶片 120 在黏結到基板 102 之後和期間，提升溫度到足以在弱化片層 125 較低深度的一點、邊緣及/或區域起始分離。進一步提升施體半導體晶片 120 的溫度，使其足以在實質上定向沿著弱化片層 125 繼續分離，作為從最低深度到最高深度空間性變化的函數。

【0081】 參考圖 10A-10D 及 11，空間性變化的步驟可包括鑽一個或多個的盲孔 230 穿過植入表面 121 至少到弱化片層 125，最好是穿過弱化片層 125(圖 10B)。不想限制本發明在任何運作理論，咸信在黏結到基板 102(圖 10C)期間或之後，提升施體半導體晶片 120 到較高的溫度，在不具有盲孔 230 的位置分離之前，在盲孔 230 處(圖 10D)起始分離。如圖 11 所示，穿過植入表面 121 鑽一個盲孔 230 的陣列可以產生這些孔非均勻的空間性分佈。因此，可定向達成提升施體半導體晶片 120 的溫度，使其足以在實質上沿著弱化片層 125 起始

並繼續分離，從最高到最低濃度，作為盲孔 230 陣列分佈的函數。

【0082】 參考圖 12A-12B，空間性變化的步驟可包括將施體半導體晶片 120 施以非均勻的時間-溫度量變曲線，使得穿過弱化片層 125 的各個空間位置的晶核形成部位密度或壓力在整個施體半導體晶片 120 空間性地變化。例如，圖 12A 所示的溫度梯度施加比右邊較高的溫度到晶片 120 的左邊。這種溫度梯度可以在黏結之前，或黏結到基板 102 期間在原地施加。經過一段時間，假使處理時間維持在低於特定處理溫度的分離門檻，晶核形成的缺陷部位和其中的氣體壓力的至少一者在整個弱化片層 125 會以不同的程度增加，在空間上遍及晶片 120 作為溫度梯度的函數(請見圖 12B)。預期特定處理溫度的分離門檻時間是遵循著 Arrhenius 關係，分離門檻時間是和處理溫度的倒數成指數比例。重要的參數是在處理溫度的處理時間和分離門檻時間的比例。本文討論的或需要的任何前述空間性變化參數量變曲線可藉著調整處理時間-分離時間比的量變曲線而達成。接著，施體半導體晶片 120 的溫度提升到足以及在弱化片層 125 處，從最大處理時間-分離時間比的一點、邊緣及/或區域起始分離。在所示的例子中，最大處理時間-分離時間比是在晶片 120 的左邊。接著，更進一步提升施體半導體晶片 120 的溫度，使其足以及在實質上定向地沿著弱化片層 125 繼續分離，從最大處理時間-分離時間比到最小處理時間-分離時間比，作為變化時間-溫度量變曲線的函數。根據材料特徵和其他因素，包括離子成分、劑量和植入

深度，實質上高的處理時間-分離時間比是在約 0.9 和 0.5 之間，而最低的處理時間-分離時間比是在約 0 和 0.5 之間。

【0083】 可以使用各種預先黏結或在原地黏結的機制，達到空間性變化之時間-溫度量變曲線。例如，可以使用一個或多個空間上非均勻的傳導、對流或輻射加熱技術(加熱板、雷射幅照、可見的/紅外燈或其他)，來加熱施體半導體晶片 120。可藉由直接或間接的熱接觸(傳導)達到控制的時間/溫度梯度，以達成任何所需的量變曲線。可根據電腦控制或程式設計，使用加熱板元件的可定址二維陣列，以達到不同的量變曲線。例如，使用快速熱退火的(輻射的)燈局部紅外線輻射，及/或使用可見的或近紅外線雷射輻射來提供局部和空間上非均勻的加熱(輻射)。或者，可透過任何方式使用空間上非均勻的冷卻機制，譬如直接接觸(傳導)、或氣體或流體流噴射(傳導/對流)及使用均勻或非均勻的熱量變曲線，以達到所需的時間-溫度梯度。

【0084】 再者，可以在預先黏結或在原地使用這些加熱/冷卻技術。關於原地黏結技術，黏結裝置說明於例如美國第 11/417,445 號發明名稱爲「HIGH TEMPERATURE ANODIC BONDING APPARATUS」的專利中“，該專利揭露之全文加入於本文中作爲參考，該黏結裝置能夠經修改以使用於本發明。可控制及利用黏結裝置的熱輻射耗損管理達成時間-溫度梯度，經由合併圍繞黏結裝置周圍的紅外線反射元件，以最小化輻射耗損並最大化邊緣溫度。相反地，可控制黏結裝置的熱輻射耗損管理，經由合併冷卻的紅外線吸收器，以最大

化輻射耗損並最小化邊緣溫度。可使用上述主題的多種變化達到所需的時間-溫度梯度。

【0085】 雖然本發明在此已對特定實施例作說明，人們瞭解這些實施例只作為說明本發明原理以及應用。因而人們瞭解數種修飾可做為說明性的實施例，且可在不背離下列申請專利範圍限定之本發明的精神及範疇的情形下設計出其他配置。

● 【符號說明】

● 【0086】

10	基板
20	半導體晶片
21	植入表面
22	剝離層
22A、22B	邊緣
24	結構
102	基板
120	施體半導體晶片
121	植入表面
122	剝離層
125	弱化片層
130A、130B、130C、130D	邊緣
200	平台

202	離子射束
204	條帶射束
220	遮罩薄膜
220A、220B	遮罩
230	盲孔

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

發明摘要

公告本

※ 申請案號：98136605

※ 申請日：2009 年 10 月 28 日

※IPC 分類：H01L 21/265

H01L 21/30

【發明名稱】（中文/英文）

使用定向剝離作用製造絕緣體上半導體結構之方法及裝置

METHODS AND APPARATUS FOR PRODUCING
SEMICONDUCTOR ON INSULATOR STRUCTURES
USING DIRECTED EXFOLIATION

【中文】

本發明揭示一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，以在界定出施體半導體晶片剝離層的橫截面上產生一個弱化片層；以及將施體半導體晶片於離子植入步驟之前、期間或之後施以空間性變化步驟，使得弱化片層之至少一項參數在整個弱化片層至少一個 X-及 Y-軸方向上空間性地變化。

【英文】

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create

a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y-axial directions.

【代表圖】

【本案指定代表圖】：第（ 2A ）圖。

【本代表圖之符號簡單說明】：

102	基板
120	施體半導體晶片
121	植入表面
122	剝離層
125	弱化片層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

102年10月15日修正本

申請專利範圍

1. 一種形成一絕緣體上半導體(SOI)結構之方法，其包含：

提供一施體半導體晶片，該施體半導體晶片具有一寬度、一深度以及一高度，該寬度及該深度界定出 X-及 Y-軸方向，以及該高度界定出一縱向軸；

將該施體半導體晶片的一植入表面施以一離子植入步驟，以在界定出該施體半導體晶片的一剝離層的橫截面上產生一弱化片層；以及

在該離子植入步驟之前、期間或之後，將該施體半導體晶片施以一空間性變化步驟，以使自該植入表面算起的該弱化片層深度在針對垂直於該縱向軸而在該 X-和 Y-軸方向延伸的一參考平面而言的整個該施體半導體晶片上空間性地變化，使得一實質上較低的深度出現在沿著該弱化片層的一起始邊緣、一起始點或一起始區域，以及連續較高的深度出現在該 X-及 Y-軸的至少一個方向上自該起始邊緣、該起始點或該起始區域算起之連續更遠的距離處。

2. 依據請求項 1 所述之方法，其中該弱化片層的一最大深度出現在一第一區域中約 400-425 nm 處，以及一最小深度出現在該弱化片層的一第二區域中約 200-380 nm 處，其中該第二區域在該 X-和 Y-軸方向之至少一個方向上與該第一區域分隔。

3. 依據請求項 1 或 2 所述之方法，其中在一第一區域中該弱

化片層之該最大深度約為在一第二區域中該弱化片層之該最小深度的 1.05 至 2.00 倍。

4. 依據請求項 1 或 2 所述之方法，更進一步包含提昇該施體半導體晶片至一溫度，該溫度足以在該弱化片層處由針對該參考平面而言的該弱化片層最小深度的一點、邊緣及/或區域起始分離。

5. 依據請求項 4 所述之方法，更進一步包含提昇該施體半導體晶片至進一步的溫度，該溫度足以在實質上定向地沿著該弱化片層連續分離，作為該弱化片層由最小深度至最大深度之不同深度的一函數。

6. 依據請求項 5 所述之方法，其中該提升溫度的一時間-溫度量變曲線之規模為數秒，使得沿著該弱化片層由最小深度至最大深度的一分離傳播發生歷經至少一秒。

7. 依據請求項 1 或 2 所述之方法，其中該空間性變化步驟包含傾斜該施體半導體晶片，使得在該離子植入步驟過程中，該施體半導體晶片的縱向軸針對一離子植入射束的一方向軸而言為一非零的角度 Φ ，並使自該植入表面算起的該弱化片層深度於整個該施體半導體晶片空間性地變化。

8. 依據請求項 7 所述之方法，其中該角度 Φ 在約 1 至 45 度

之範圍內。

9. 依據請求項 7 所述之方法，其中該空間性變化步驟更進一步包含變化下列至少一項：

傾斜的該角度 Φ ；以及

該施體半導體晶片的縱向軸針對該離子植入射束之方向軸而言的一扭轉，

使得當該離子植入射束掃描整個該施體半導體晶片之該植入表面時，導向通過該施體半導體晶片的晶格結構有對齊以及不對齊該離子植入射束的傾向。

10. 依據請求項 9 所述之方法，其中當該離子植入射束掃描整個該施體半導體晶片之該植入表面時，該空間性變化步驟更進一步包含變化該離子植入射束的一能量值，使得自該植入表面算起的該弱化片層深度於整個該施體半導體晶片空間性地變化。

11. 依據請求項 7 所述之方法，其中該空間性變化步驟包含以一空間上非均勻的方式遮罩該施體半導體晶片之該植入表面，使得當該離子植入射束掃描整個該植入表面時，阻止該離子的穿透至不同的程度。

12. 依據請求項 1 或 2 所述之方法，其中該空間性變化步驟包含：

將該植入表面施以實質上均勻的離子植入步驟，以在針對該參考平面而言的一實質上均勻的深度產生該弱化片層；以及

將該施體半導體晶片施以一植入後之材料去除處理過程，使得自該植入表面算起的該弱化片層深度於整個該施體半導體晶片空間性地變化。

13. 依據請求項 1 所述之方法，其中該實質上較低的深度在約 200-380 nm 的範圍內，以及一最高深度在約 400-425 nm 的範圍內。

14. 依據請求項 1 所述之方法，其中：

該施體半導體晶片為長方形；以及

該空間性變化步驟包含空間性地變化深度，使得一實質上較低的深度出現在該弱化片層的至少兩個邊緣之每一邊緣處，以及相對較高的深度出現在該弱化片層的至少兩個邊緣朝向該弱化片層中心之連續更遠的距離處。

15. 依據請求項 1 所述之方法，其中該空間性變化步驟包含空間性地變化該深度，使得一實質上較低的深度出現在該弱化片層的所有邊緣處，以及相對較高的深度出現在朝向該弱化片層中心於連續更遠的距離處。

16. 一種形成一絕緣體上半導體(SOI)結構之方法，其包含：

將一施體半導體晶片的一植入表面施以一離子植入步驟，以在界定出該施體半導體晶片的一剝離層的橫截面上產生一弱化片層；以及

將該施體半導體晶片施以一非均勻的時間-溫度量變曲線處理，因而調整一處理過程時間-分離時間之比值量變曲線，使得缺陷部位晶核形成以及壓力增加的至少一者在整個弱化片層的各別空間位置處遍及該 X-及 Y-軸的至少一個方向空間性地變化。

17. 依據請求項 16 所述之方法，其中該時間-溫度量變曲線並不足以自該施體半導體晶片起始分離該剝離層。

18. 依據請求項 16 或 17 所述之方法，其中包含下列一項：

在將該植入表面黏接至一絕緣基板之前，施以該非均勻的時間-溫度量變曲線處理之步驟；以及

在將該植入表面黏接至一絕緣基板之過程中，在原處施以該非均勻的時間-溫度量變曲線處理之步驟。

19. 依據請求項 17 所述之方法，更進一步包含提高該施體半導體晶片的一溫度，該溫度足以在該弱化片層處由該弱化片層之處理時間-分離時間之最大比值的一點、邊緣及/或區域起始分離。

20. 依據請求項 19 所述之方法，更進一步包含提高該施體半

導體晶片至進一步的溫度，該溫度足以在實質上定向地沿著該弱化片層連續分離，作為該弱化片層變化時間-溫度量變曲線的一函數，該函數之範圍由處理時間-分離時間之最大比值至處理時間-分離時間之最小比值。

21. 依據請求項 16 或 17 所述之方法，其中該非均勻的時間-溫度量變曲線使得一實質上高的處理時間-分離時間之比值出現在沿著該弱化片層之一起始邊緣、一起始點或一起始區域，以及相對較低的處理時間-分離時間之比值出現在該 X-及 Y-軸的至少一個方向上自該起始邊緣、該起始點或該起始區域算起之連續更遠的距離處。

22. 依據請求項 21 所述之方法，其中該實質上高的處理時間-分離時間之比值在約 0.5 至 0.9 之範圍內，以及一最低處理時間-分離時間之比值在約 0 至 0.5 之範圍內。

23. 依據請求項 16 或 17 所述之方法，其中一實質上高的處理時間-分離時間之比值出現在沿著該弱化片層之一個或多個邊緣的一一起始點或區域處，以及相對較低的處理時間-分離時間之比值出現在該 X-及 Y-軸之兩個方向上自該起始點或區域算起之連續更遠的距離處。

a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y-axial directions.

【代表圖】

【本案指定代表圖】：第（ 2A ）圖。

【本代表圖之符號簡單說明】：

102	基板
120	施體半導體晶片
121	植入表面
122	剝離層
125	弱化片層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無