



(12)发明专利

(10)授权公告号 CN 104737288 B

(45)授权公告日 2017.09.26

(21)申请号 201380052136.0

(22)申请日 2013.10.03

(65)同一申请的已公布的文献号
申请公布号 CN 104737288 A

(43)申请公布日 2015.06.24

(30)优先权数据
13/646,109 2012.10.05 US

(85)PCT国际申请进入国家阶段日
2015.04.03

(86)PCT国际申请的申请数据
PCT/US2013/063297 2013.10.03

(87)PCT国际申请的公布数据
W02014/055777 EN 2014.04.10

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 B·M·亨德森 C-G·谭
G·A·尤维戈哈拉
R·贾里泽纳里

(74)专利代理机构 上海专利商标事务所有限公
司 311100

代理人 周敏

(51)Int.Cl.
H01L 23/60(2006.01)
H01L 23/525(2006.01)
H01L 25/065(2006.01)
H01L 25/00(2006.01)

审查员 韩冰

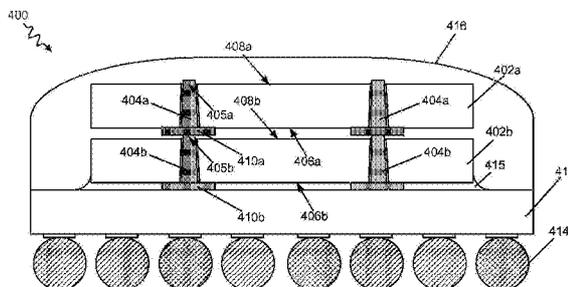
权利要求书3页 说明书10页 附图12页

(54)发明名称

用于堆叠式多芯片集成电路的静电保护

(57)摘要

一个特征涉及至少包括第一集成电路(IC)管芯和第二IC管芯的多芯片模块。第二IC管芯具有通过穿板通孔电耦合至第一IC管芯的输入/输出(I/O)节点。第二管芯的有效表面还包括熔丝,该熔丝电耦合至I/O节点并适配成保护第二IC管芯不受由静电放电(ESD)所导致的损害。具体而言,该熔丝保护第二IC管芯不受可作为在多芯片模块的制造期间将第一管芯电耦合至第二管芯的结果而产生的ESD的损害。一旦将第一管芯耦合至第二管芯,熔丝就可将由ESD生成的ESD电流旁路至地。在封装多芯片模块完成之后,熔丝可被烧断。



1. 一种多芯片模块,包括:

第一集成电路管芯;

第二集成电路管芯,其在相对于所述第一集成电路管芯的堆叠式布置中,具有被配置成通过所述第二集成电路管芯中的穿板通孔电耦合至所述第一集成电路管芯的输入/输出节点;以及

所述第二集成电路管芯的有效表面上的熔丝,所述熔丝被配置成电耦合至所述输入/输出节点,

其中

所述熔丝被配置成允许静电放电电流浪涌直接通往地并且旁路掉所述第二集成电路管芯的放大器电路以保护所述放大器电路不受所述静电放电电流浪涌所导致的损害,并且

所述放大器电路被配置成生成熔丝烧断电流以将所述熔丝从闭合状态转变成断开状态,从而将所述输入/输出节点与地断开电连接并且在所述输入/输出节点处提供输出信号和/或接收输入信号。

2. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝被配置成保护所述第二集成电路管芯不受由响应于将所述第一集成电路管芯电耦合至所述第二集成电路管芯而发生的静电放电所导致的损害。

3. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝包括第一端子和第二端子,所述第一端子耦合至所述输入/输出节点并且所述第二端子耦合至地。

4. 如权利要求1所述的多芯片模块,其特征在于,在所述熔丝处于闭合状态的情况下,所述熔丝提供从所述输入/输出节点至地的短路路径。

5. 如权利要求1所述的多芯片模块,其特征在于,所述放大器电路包括放大器输入端子和/或放大器输出端子,并且所述放大器输出端子和所述放大器输入端子中的一者被配置成电耦合至所述输入/输出节点。

6. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝响应于所述熔丝烧断电流具有1mA到100mA的参数持续50 μ s到200 μ s、或者具有5mA到100mA的参数持续10 μ s到200 μ s而从所述闭合状态转变成所述断开状态。

7. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝响应于所述熔丝烧断电流具有10mA到100mA的参数持续10 μ s到200 μ s而从所述闭合状态转变成所述断开状态。

8. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝响应于所述输入/输出节点处由所述静电放电生成的所述电流浪涌而保持在闭合状态,并且响应于由所述第二集成电路管芯的所述放大器电路生成的所述熔丝烧断电流而转变成断开状态。

9. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝是没有二极管的静电放电保护电路的一部分。

10. 如权利要求1所述的多芯片模块,其特征在于,所述熔丝是金属熔丝或多晶硅熔丝。

11. 如权利要求1所述的多芯片模块,其特征在于,在所述熔丝处于断开状态的情况下,所述熔丝在所述输入/输出节点与地之间提供大于或等于十兆欧的电阻。

12. 如权利要求1所述的多芯片模块,其特征在于,所述多芯片模块被纳入以下至少一者中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、和/或膝上型计算机。

13. 如权利要求1所述的多芯片模块,其特征在于,当所述熔丝处于所述断开状态并且所述输入/输出节点与地电断开时,电耦合至所述输入/输出节点的放大器电路经由所述输入/输出节点提供所述输出信号和/或接收所述输入信号。

14. 如权利要求13所述的多芯片模块,其特征在于,如果当所述第一集成电路管芯电且物理耦合至所述第二集成电路管芯并且所述熔丝保持在所述闭合状态时未发生所述静电放电电流浪涌,则所述输入/输出缓冲器生成将所述熔丝从所述闭合状态转变成所述断开状态的电流。

15. 一种制造多芯片模块的方法,所述方法包括:

提供第一集成电路管芯;

在相对于所述第一集成电路管芯的堆叠式布置中提供第二集成电路管芯;

在所述第二集成电路管芯中提供穿板通孔,并且经由所述穿板通孔从所述第二集成电路管芯的输入/输出节点向所述第一集成电路管芯提供电路路径;以及

在所述第二集成电路管芯的有效表面上形成熔丝,以及

其中所述熔丝电耦合至所述输入/输出节点并且允许静电放电电流浪涌直接通往地并且旁路掉所述第二集成电路管芯的放大器电路以保护所述放大器电路不受所述静电放电电流浪涌所导致的损害,并且

其中所述放大器电路被配置成生成熔丝烧断电流以将所述熔丝从闭合状态转变成断开状态,从而将所述输入/输出节点与地断开电连接并且在所述输入/输出节点处提供输出信号和/或接收输入信号。

16. 如权利要求15所述的方法,其特征在于,所述熔丝保护所述第二集成电路管芯不受由响应于将所述第一集成电路管芯电耦合至所述第二集成电路管芯而发生的静电放电所导致的损害。

17. 如权利要求15所述的方法,其特征在于,进一步包括:

将所述熔丝的第一端子耦合至所述输入/输出节点;以及

将所述熔丝的第二端子耦合至地。

18. 如权利要求15所述的方法,其特征在于,进一步包括:

在所述熔丝处于闭合状态时,提供从所述输入/输出节点至地的短路路径。

19. 如权利要求15所述的方法,其特征在于,所述放大器电路包括放大器输出端子和/或放大器输入端子,并且所述放大器输出端子和所述放大器输入端子中的一者被配置成电耦合至所述输入/输出节点。

20. 如权利要求15所述的方法,其特征在于,所述熔丝烧断电流具有1mA到100mA的参数持续50 μ s到200 μ s、或者具有5mA到100mA的参数持续10 μ s到200 μ s。

21. 如权利要求15所述的方法,其特征在于,所述熔丝烧断电流具有10mA到100mA的参数持续10 μ s到200 μ s。

22. 如权利要求15所述的方法,其特征在于,所述熔丝响应于所述输入/输出节点处由所述静电放电生成的电流浪涌而处于闭合状态;并且所述熔丝响应于由所述第二集成电路管芯的放大器电路生成的熔断电流而处于断开状态。

23. 如权利要求15所述的方法,其特征在于,所述多芯片模块被纳入以下至少一者中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动电话、智能电话、个人数字助

理、固定位置终端、平板计算机、和/或膝上型计算机。

24. 如权利要求15所述的方法,其特征在于,当所述熔丝处于所述断开状态并且所述输入/输出节点与地电断开时,电耦合至所述输入/输出节点的放大器电路经由所述输入/输出节点提供所述输出信号和/或接收所述输入信号。

25. 如权利要求24所述的方法,其特征在于,如果当所述第一集成电路管芯电且物理耦合至所述第二集成电路管芯并且所述熔丝保持在所述闭合状态时未发生所述静电放电电流浪涌,则所述输入/输出缓冲器生成将所述熔丝从所述闭合状态转变成所述断开状态的电流。

26. 一种多芯片模块,包括:

第一集成电路管芯;

第二集成电路管芯,其在相对于所述第一集成电路管芯的堆叠式布置中,具有输入/输出节点;

用于将所述第二集成电路管芯的所述输入/输出节点配置成电耦合至所述第一集成电路管芯的装置;以及

用于通过允许静电放电电流浪涌直接通往地并且旁路掉所述第二集成电路管芯的放大器电路来保护所述放大器电路不受由所述静电放电电流浪涌所导致的损害的熔丝,所述熔丝位于所述第二集成电路管芯的有效表面上,并且

其中所述放大器电路被配置成生成熔丝烧断电流以将所述用于保护的装置从启用状态转变成禁用状态,从而将所述输入/输出节点与地断开电连接并且在所述输入/输出节点处提供输出信号和/或接收输入信号。

27. 如权利要求26所述的多芯片模块,其特征在于,所述用于保护的装置被配置成保护所述第二集成电路管芯的所述放大器电路不受由响应于将所述第一集成电路管芯电耦合至所述第二集成电路管芯而发生的静电放电所导致的损害。

28. 如权利要求26所述的多芯片模块,其特征在于,所述熔丝具有第一端子和第二端子,并且所述第一端子耦合至所述输入/输出节点并且所述第二端子耦合至地。

29. 如权利要求28所述的多芯片模块,其特征在于,在所述熔丝处于闭合状态的情况下,所述熔丝提供从所述输入/输出节点到地的短路路径。

30. 如权利要求28所述的多芯片模块,其特征在于,所述熔丝响应于所述输入/输出节点处由所述静电放电生成的电流浪涌而保持在闭合状态,并且响应于由所述放大器电路生成的熔断电流而转变成断开状态。

31. 如权利要求26所述的多芯片模块,其特征在于,当所述熔丝处于所述断开状态并且所述输入/输出节点与地电断开时,电耦合至所述输入/输出节点的放大器电路经由所述输入/输出节点提供所述输出信号和/或接收所述输入信号。

32. 如权利要求31所述的多芯片模块,其特征在于,如果当所述第一集成电路管芯电且物理耦合至所述第二集成电路管芯并且所述熔丝保持在闭合状态时未发生所述静电放电电流浪涌,则所述输入/输出缓冲器生成将所述熔丝从所述闭合状态转变成所述断开状态的电流。

用于堆叠式多芯片集成电路的静电保护

背景技术

[0001] 领域

[0002] 各个特征涉及集成电路 (IC), 尤其涉及用于堆叠式多芯片集成电路的静电保护。

背景技术

[0003] 对于更小、更轻且更快速的便携式电子设备 (诸如, 移动电话和膝上型计算机) 的不断增长的需求鼓励了电子行业创建具有更大容量、性能和更小尺寸的电路组件。例如, 便携式设备现在可包含集成电路 (IC) 封装, 该 IC 封装具有垂直堆叠且装入在该 IC 封装的同一模制料内的两个或更多个半导体管芯。此类多芯片 IC 封装可常常被称为“芯片堆叠多芯片模块” (MCM)。根据一种被称为“穿硅堆叠” (TSS) 的技术, 垂直堆叠的多个半导体管芯使用穿板通孔 (TSV) 来彼此电耦合。TSV 是通常由金属制成的电导体, 其垂直穿过管芯基板的厚度, 以使得一端暴露在管芯基板的背侧表面, 而另一个相对端被电耦合至管芯的有效表面。

[0004] 图1解说了现有技术中所见的 TSS MCM 100 的示意剖面侧视图。MCM 100 包括多个半导体管芯 102a、102b、102c, 这些半导体管芯使用 TSV 104a、104b、104c 彼此电耦合。顶部管芯 102a 具有有效表面 106a 和背侧表面 108a, 有效表面 106a 包括多个集成电路组件 (例如, 晶体管、电容器、电感器、电阻器等)。TSV 104a 电耦合至有效表面 106a 并穿过管芯 102a 基板的厚度。类似地, 中间和底部的管芯 102b、102c 各自具有有效表面 106b、106c 和背侧表面 108b、108c。中间管芯的 TSV 104b 电耦合至中间管芯的有效表面 106b, 并且底部管芯的 TSV 104c 电耦合至底部管芯的有效表面 106c。

[0005] TSV 104a、104b、104c 在一端具有接触焊盘 110a、110b、110c, 且在相对端具有接触焊盘接纳器 105a、105b、105c。每个管芯的有效表面 106a、106b、106c 可电耦合至其相应 TSV 104a、104b、104c。接触焊盘 110a、110b、110c 暴露在管芯的正侧有效表面 106a、106b、106c, 而接触焊盘接纳器 105a、105b、105c 暴露在管芯的背侧表面 108a、108b、108c。接触焊盘 110a、110b、110c 是金属“微凸起”, 并且接触焊盘接纳器 105a、105b、105c 可以是管芯上的金属凹槽, 其具有相应的弯曲以接纳微凸起 110a、110b、110c 并与其相配。

[0006] 顶部管芯的接触焊盘 110a 物理且电耦合至中间管芯的接触焊盘接纳器 105b, 并且中间管芯的接触焊盘 110b 物理且电耦合至底部管芯的接触焊盘接纳器 105c。以此方式, 管芯的有效表面 106a、106b、106c 通过通孔 104a、104b、104c 彼此电耦合。

[0007] 底部管芯 102c 以倒装片方式使用底填剂和/或环氧树脂 115 物理且电耦合至封装基板 112 (例如, 层压基板, 基于金属的基板, 诸如基于铜的基板等)。封装基板 112 可包括多层, 这多层之间具有多个互连 (未示出)。这些互连进而可电耦合至形成球栅阵列 (BGA) 的多个焊球 114, MCM 100 使用该 BGA 来电耦合至印刷电路板 (未示出)。MCM 100 的组件 (包括管芯 102a、102b、102c, TSV 104a、104b、104c)、以及基板 112 的至少一部分可被装入模制料 116 里。

[0008] 图2解说了在 MCM 100 的制造期间将顶部管芯 102a 电且物理耦合至中间管芯 102b 的过程。在所解说的示例中, 模制料 116 (见图1) 已被移除以示出顶部管芯 102a 如何放置到

中间管芯102b上(图2中的三个定向箭头解说了顶部管芯102a朝向中间管芯102b的运动)。在此过程期间,顶部管芯102a被移至靠近中间管芯102b,并且堆叠在上面,以使得顶部管芯102a的接触焊盘110a与中间管芯102b的接触焊盘接纳器105b相配。然而,有时顶部管芯102a可具有与中间管芯102b(其可接地)显著不同(例如,大很多或小很多)的静电电位。当两个管芯102a、102b足够靠近时(例如,在接触之际),静电放电(ESD)事件(即,静电)可被触发,以使得相对大量的电流即刻流经中间管芯102b的TSV 104b。在不具有适当的ESD保护电路系统的情况下,位于中间管芯的有效表面106b上的被电耦合至TSV 104b的敏感IC组件(诸如,缓冲器电路晶体管)可因ESD事件而被损害。在一些情形中,位于顶部管芯102a的有效表面106a上的电路系统也可被损害。类似地,当中间管芯102b电且物理耦合至底部管芯102c时,MCM 100内的其他管芯(包括底部管芯102c)也易于遭受此类ESD危害。

[0009] 图3解说了现有技术中所见的ESD保护电路300的示意图,ESD保护电路300可耦合至中间管芯的TSV 104b以保护中间管芯102b的电路系统310不受ESD损害。ESD保护电路300以二极管302、304为特征,二极管302、304形成使ESD电流绕开敏感电路系统310的分流器,电路系统310可以例如是输出信号缓冲器。

[0010] 尽管ESD保护电路300在保护输出信号缓冲器310不受ESD损害方面可能是有效的,但ESD保护电路300具有显著缺点。例如,二极管302、304可占据相当大的硅/管芯面积,这是因为它们的容纳高ESD电流所需的相对较大的尺寸。此外,二极管302、304在TSV 104输出节点306处创生了寄生效应,包括寄生电容和/或电感。为了补偿这些寄生效应,缓冲器310尺寸可能必须较大,从而它能充分驱动输出节点306处的输出信号。较大的缓冲器310消耗较多功率并且还占据更大的有效硅/管芯面积。因此,专用于ESD保护电路系统300的硅/管芯面积直接地(例如,二极管302、304组件面积)和间接地(例如,较大的缓冲器310)使用了原本可被用于其他IC组件的有效表面积。

[0011] 因此,需要充分地保护MCM的管芯而不遭受到前述尺寸和功耗问题的高级ESD保护电路。

[0012] 概述

[0013] 一个特征提供一种多芯片模块,包括:第一集成电路(IC)管芯,第二IC管芯,其具有通过穿板通孔(TSV)电耦合至第一IC管芯的输入/输出(I/O)节点,以及第二IC管芯的有效表面上的熔丝,该熔丝电耦合至I/O节点,其中该熔丝适配成保护第二IC管芯不受由静电放电(ESD)所导致的损害。根据一个方面,该熔丝适配成保护第二IC管芯不受由响应于将第一IC管芯电耦合至第二IC管芯而发生的ESD所导致的损害。根据另一方面,该熔丝包括第一端子和第二端子,其中第一端子耦合至I/O节点并且第二端子耦合至地。根据又一方面,在该熔丝处于闭合状态的情况下,该熔丝提供从I/O节点到地的短路路径,并且在该熔丝处于断开状态的情况下,该熔丝将I/O节点与地断开电连接。

[0014] 根据一个方面,该多芯片模块进一步包括放大器电路,其具有电耦合至I/O节点的放大器输入端子和/或放大器输出端子中的至少一者。该熔丝可适配成保护放大器电路不受ESD所导致的损害。根据一个方面,放大器电路生成使该熔丝从闭合状态转变成断开状态的熔断电流。根据另一方面,该熔丝响应于熔断电流具有1毫安(mA)到100mA的参数持续50微秒(μs)到200 μs 、具有5mA到100mA的参数持续10 μs 到200 μs 、或者具有10mA到100mA的参数持续10 μs 到200 μs 而从闭合状态转变成断开状态。根据一个方面,熔断电路被电耦合至I/O

节点,生成使该熔丝从闭合状态转变成断开状态的熔断电流。根据另一方面,该熔丝响应于I/O节点处由ESD生成的电流浪涌而保持在闭合状态,并且响应于由放大器电路或熔断电路生成的熔断电流而转变成断开状态。

[0015] 根据一个方面,该熔丝是没有二极管的ESD保护电路的一部分。根据另一方面,该熔丝是金属熔丝或多晶硅熔丝。在该熔丝处于断开状态的情况下,该熔丝可在I/O节点与地之间提供大于或等于十(10)兆欧的电阻。根据一个示例,该多芯片模块可以被纳入以下至少一者中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、和/或膝上型计算机。

[0016] 另一特征提供一种制造多芯片模块的方法,该方法包括:提供第一IC管芯,提供第二IC管芯,提供穿板通孔(TSV),其将第二IC管芯的I/O节点电耦合至第一IC管芯,在第二IC管芯的有效表面上形成熔丝,以及将该熔丝电耦合至I/O节点,其中该熔丝适配成保护第二IC管芯不受由ESD所导致的损害。根据一个方面,该方法进一步包括:将该熔丝的第一端子耦合至I/O节点,以及将该熔丝的第二端子耦合至地。根据另一方面,该方法进一步包括:通过将该熔丝维持在闭合状态来提供从I/O节点至地的短路路径。根据又一方面,该方法进一步包括:通过使该熔丝从闭合状态转变成断开状态来将I/O节点与地断开电连接。根据又一方面,该方法进一步包括:将放大器电路的放大器输出端子和/或放大器输入端子中的至少一者电耦合至I/O节点。根据又一方面,该方法进一步包括:在放大器电路处生成使该熔丝从闭合状态转变成断开状态的熔断电流。根据又一方面,该方法进一步包括:响应于I/O节点处由ESD生成的电流浪涌而将该熔丝维持在闭合状态,以及响应于由放大器电路或熔断电路生成的熔断电流而使该熔丝转变成断开状态。

[0017] 另一个特征提供一种多芯片模块,包括:第一IC管芯,具有I/O节点的第二IC管芯,用于将第二IC管芯的I/O节点电耦合至第一IC管芯的装置,以及用于保护第二IC管芯不受由静电放电(ESD)所导致的损害的装置,其中用于保护第二IC管芯的装置位于第二IC管芯的有效表面上。根据一个方面,用于保护第二IC管芯的装置适配成保护第二IC管芯不受由响应于将第一IC管芯电耦合至第二IC管芯而发生的ESD所导致的损害。根据另一方面,用于保护第二IC管芯的装置是具有第一端子和第二端子的熔丝,其中第一端子耦合至I/O节点并且第二端子耦合至地。根据又一方面,该熔丝响应于I/O节点处由ESD生成的电流浪涌而保持在闭合状态,并且响应于由放大器电路或熔断电路生成的熔断电流而转变成断开状态。根据又一方面,该熔丝适配成保护ESD敏感电路不受ESD所导致的损害。ESD敏感电路可生成使该熔丝从闭合状态转变成断开状态的熔断电流。

[0018] 附图简述

[0019] 图1解说了现有技术中所见的穿硅堆叠(TSS)多芯片模块(MCM)的示意剖面侧视图。

[0020] 图2解说了现有技术中所见的在MCM的制造期间将顶部管芯电且物理耦合至中间管芯的过程。

[0021] 图3解说了现有技术中所见的静电放电(ESD)保护电路的示意图,ESD保护电路可耦合至中间管芯的穿板通孔(TSV)以保护中间管芯的电路系统不受ESD损害。

[0022] 图4解说了以ESD保护电路系统为特征的堆叠式MCM的示意剖面侧视图。

[0023] 图5解说了在MCM的制造期间将第一管芯电且物理耦合至第二管芯(见定向箭头)

的过程。

[0024] 图6解说了保护MCM的管芯不受ESD损害的ESD保护电路的示意图。

[0025] 图7解说了还电耦合至熔断电路的ESD保护电路的示意图。

[0026] 图8解说了熔丝表格,其具有在给定各种电流量达各种时间段的情况下与使熔丝从闭合状态转变成断开状态相关联的特性。

[0027] 图9解说了包括两个管芯的MCM,其中第一管芯导线接合至封装基板,而第二管芯以倒装片方式不耦合至封装基板。

[0028] 图10解说了在MCM的制造期间将第一管芯电且物理耦合至第二管芯的过程。

[0029] 图11解说了制造多芯片模块的方法的流程图。

[0030] 图12解说了可集成有MCM的各种电子设备。

[0031] 详细描述

[0032] 在以下描述中,给出了具体细节以提供对本公开的各方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免使本公开的这些方面不明朗。

[0033] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实现或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要要求本公开的所有方面都包括所讨论的特征、优点或操作模式。如本文所使用的,术语“电耦合”在本文中被用于指代两个对象之间的、允许电流流动发生于这两个对象之间的直接或间接耦合。例如,若对象A物理地接触对象B,且对象B物理地接触对象C,则在对象B是允许电流流动发生于从对象A流向对象C和/或从对象C流向对象A的导体的情况下,对象A和C仍可被认为是彼此电耦合的,即便它们并非彼此直接物理地接触。如本文所使用的,术语“输入/输出节点”和“I/O节点”指代电路和/或管芯的输入和/或输出电路端子。因此,I/O节点可充当电路和/或管芯的输出端子或输入端子中任一者、或者输入端子和输出端子两者。如本文所使用的,术语“通孔”是“垂直互连通路”,其是物理电子电路中不同导体层之间的垂直电连接,并且也可以是MCM中不同IC管芯之间的垂直电连接。

[0034] 综览

[0035] 提供了用于保护多芯片模块(MCM)管芯上的ESD敏感电路系统不受ESD事件损害的方法和装置。例如,一个特征涉及包括第一IC管芯和第二IC管芯的多芯片模块。第二IC管芯具有通过穿板通孔电耦合至第一IC管芯的I/O节点。第二管芯的有效表面还包括熔丝,该熔丝电耦合至I/O节点并适配成保护第二IC管芯不受由ESD事件所导致的损害。具体而言,该熔丝保护第二IC管芯不受可作为在多芯片模块的制造期间将第一管芯电耦合至第二管芯的结果而产生的ESD事件的损害。一旦将第一管芯耦合至第二管芯,熔丝就可将由ESD生成的ESD电流旁路至地。在封装多芯片模块完成之后,熔丝可被烧断。

[0036] 利用如本文所描述的具有熔丝的ESD保护电路是有利的,这尤其是因为它与现有技术解决方案相比可显著减小保护管芯不受ESD损害所需的有效表面积。例如,相比于与现有技术ESD保护电路相关联的二极管,该熔丝可在管芯上占据较小的有效表面积。此外,通过代替地使用本文所描述的ESD保护电路系统来消除对基于较大二极管的ESD保护电路系统的需要可进一步节省有效表面积,这是因为用来驱动耦合至该新颖ESD保护电路系统的

I/O节点或被该I/O节点驱动的任何输入和/或输出缓冲器电路自身可被设计得较小。例如,比二极管占据更小面积的熔丝可减小I/O节点处的寄生效应,这进而允许较小的I/O缓冲器电路来驱动I/O节点。

[0037] ESD保护电路系统

[0038] 图4解说了根据本公开的一个方面的以ESD保护电路系统为特征的堆叠式多芯片模块(MCM)400的示意剖面侧视图。MCM 400包括第一半导体管芯402a和第二半导体管芯402b,这两个半导体管芯使用一个或多个导电TSV404a、404b彼此电耦合。第一管芯402a具有有效表面406a和背侧表面408a,有效表面406a包括多个集成电路组件(例如,晶体管、电容器、电感器、电阻器等)。TSV 404a电耦合至第一管芯的有效表面406a并穿过第一管芯402a的厚度(例如,穿过第一管芯402a的基板的厚度)。类似地,第二半导体管芯402b具有有效表面406b和背侧表面408b。第二管芯的TSV 404b电耦合至第二管芯的有效表面406b并穿过第二管芯402b的基板的厚度。例如,第一管芯的TSV 404a可电耦合至与第一管芯402a相关联的输入/输出节点,而第二管芯的TSV 404b可电耦合至与第二管芯402b相关联的输入/输出节点。这些输入/输出节点充当管芯402a、402b的输入和/或输出端子。

[0039] TSV 404a、404b在一端具有接触焊盘410a、410b,且在相对端具有接触焊盘接纳器405a、405b。每个管芯的有效表面406a、406b可电耦合至其相应的TSV 404a、404b。接触焊盘410a、410b暴露在管芯的正侧有效表面406a、406b,而接触焊盘接纳器405a、405b暴露在管芯的背侧表面408a、408b。在一个方面,接触焊盘410a、410b可以是金属“微凸起”并且接触焊盘接纳器405a、405b可以是管芯上的金属凹槽,其具有相应的弯曲以接纳微凸起并与其相配。然而,一般而言,接触焊盘410a、410b以及相应的接触焊盘接纳器405a、405b是适配成彼此相配且将管芯402a、402b彼此电耦合的导体。

[0040] 第一管芯的接触焊盘410a物理且电耦合至第二管芯的接触焊盘接纳器405b。以此方式,这些管芯的有效表面406a、406b通过TSV 404a、404b彼此电耦合。

[0041] 第二管芯402b以倒装片方式使用底填剂和/或环氧树脂415物理且电耦合至封装基板412(例如,层压基板,基于金属的基板,诸如基于铜的基板等)。封装基板412可包括多层,这多层之间具有多个互连(未示出)。这些互连进而可电耦合至形成球栅阵列(BGA)的多个焊球414,该BGA被用来将MCM 400电耦合至印刷电路板(未示出)。MCM 400的组件(包括管芯402a、402b,TSV 404a、404b)、以及基板412的至少一部分可被装入模制料416里。尽管示出的MCM 400具有两个管芯402a、402b,但MCM 400可具有等于或大于2的任何数量的管芯,这些管芯堆叠在彼此之上并使用TSV彼此电耦合,这些TSV具有与以上关于第一和第二管芯402a、402b描述的那些相似的接触焊盘和接触焊盘接纳器。

[0042] 图5解说了在MCM 400的制造期间将第一管芯402a电且物理耦合至第二管芯402b(见定向箭头)的过程。(为简洁起见,封装基板412、焊球414和模制料416已被省略)在此过程期间,第一管芯402a被移至靠近第二管芯402b,并且堆叠在上面,以使得第一管芯402a的接触焊盘410a物理且电耦合至第二管芯402b的接触焊盘接纳器405b。在一些情形中,第一管芯402a可具有与第二管芯402b(其可接地)显著不同(例如,大很多或小很多)的静电电位。当两个管芯402a、402b足够靠近时(例如,在接触之际),可发生静电放电(ESD)事件(即,静电),并且相对大量的电流即刻流经第二管芯402b的TSV 404b。如以下所述,ESD保护电路电耦合至TSV 404b以保护第二管芯402b的输入/输出节点处的敏感电路系统不受ESD事件

损害。

[0043] 图6解说了根据本公开的一个方面的保护MCM的管芯不受ESD损害的ESD保护电路600的示意图。参照图4-6,ESD电路600电耦合至第二管芯的TSV 404b之一。第二管芯402b的每一个TSV 404b可电耦合至与第二管芯402b相关联的一个或多个输入/输出(I/O)节点604。每一个I/O节点604充当管芯402b的输入和/或输出端子。I/O节点604电耦合至ESD电路600并且还可电耦合至I/O信号缓冲器电路610(在本文中也称为“放大器电路”)。

[0044] I/O信号缓冲器电路610可包括一个或多个输出放大器612,其可处理(例如,放大)并提供输出信号给I/O节点604。这些输出信号随后可被提供给MCM 400中的其他点,包括第一管芯402a的输入节点。替换或附加地,I/O信号缓冲器电路610可包括一个或多个输入放大器614,其可接收来自I/O节点604的输入信号。这些输入信号随后可被I/O信号缓冲器电路610处理(例如,放大)并提供给第二管芯402b的其他电路组件。因此,放大器电路610可具有电耦合至I/O节点604的放大器输入端子和/或放大器输出端子中的至少一者。

[0045] 所使用的放大器612、614的具体设计取决于MCM 400的应用,并且可由本领域普通技术人员来选择。然而,不管I/O缓冲器电路610的具体设计如何,电路610可包括可易于被I/O节点604处的ESD事件损害的敏感电路组件,诸如但不限于输入和/或输出放大器612、614。此外,除了或代替I/O缓冲器电路610,也易于受到ESD损害的其他ESD敏感电路可电耦合至I/O节点604。ESD事件可由以上关于图5描述的过程引起。也就是说,将另一半导体管芯(例如,第一管芯402a)电耦合至第二管芯402b可导致I/O节点604处穿过TSV 404b的ESD事件。

[0046] ESD保护电路600包括熔丝602。熔丝通常是两端子元件,其理想情况下在其以“闭合状态”(在本文中也可称为“未烧断状态”和“短路状态”)操作时具有零电阻并且就像其端子间的短路那样起作用。相反,当熔丝以“断开状态”(在本文中也可称为“烧断状态”和“开路状态”)操作时,它理想情况下具有无限的电阻并且就像其端子间的开路那样起作用。当大于预定量的电荷穿过其两个端子达预定时间段时,熔丝从闭合状态转变成断开状态(即,熔丝被“烧断开”)。例如,熔丝可被设计成若超过1安培的电流穿过它达大于20毫秒,则从闭合状态转变成断开状态。

[0047] 图6中所解说的熔丝602是形成在第二管芯402b的有效表面406b上的集成电路组件。熔丝602的第一端子620耦合至I/O节点604,而熔丝602的第二端子622耦合至地。在其初始状态,熔丝602处于闭合、短路状态,从而在I/O节点604与地之间存在低电阻、短路路径。随后,如果在将第一管芯402a电耦合至第二管芯402b之际触发了ESD事件以使得电流浪涌(被示为弯曲的虚线定向箭头606)穿过TSV 404b和I/O节点604,则熔丝602允许ESD电流606浪涌直接通往地,由此旁路掉I/O缓冲器电路610和/或电耦合至I/O节点604的其他敏感电路系统。因此,熔丝602的闭合状态(即,短路状态)保护I/O缓冲器电路610和/或电耦合至I/O节点604的其他敏感电路系统不受在第一管芯402a电耦合至第二管芯402b时可能导致的ESD损害。

[0048] 熔丝602可以是金属熔丝,诸如铜、铝、金属合金、或其他金属材料。熔丝602也可以是多晶硅熔丝(即,聚合物熔丝(polyfuse))。当然,熔丝602不限于由这些材料组成,并且其他材料或其组合也可被用来构造熔丝602。在本公开的一个方面,MCM的多个管芯上的多个TSV可各自按图6中所示的方式电耦合至分开的ESD保护电路600,从而这些管芯的每一个I/

0节点在MCM制造期间被保护不受ESD损害。这包括但不限于可从包括将MCM的两个管芯电耦合在一起的制造步骤产生的ESD损害。

[0049] 一旦第一管芯402a被电且物理耦合至第二管芯402b, MCM 400就可用模制料416来封装。然而, 如果熔丝602保持在闭合状态, 则其可能不期望地改变I/O缓冲器电路610的操作。例如, 在此类情形中, I/O节点604将保持电耦合至地, 由此, 不论I/O缓冲器电路610所提供的输出信号和/或所接收的输入信号如何, I/O节点604处的信号电平将为地。因此, 在MCM 400的正常操作可开始之前, 如果熔丝602尚未被ESD事件自身烧断开, 则熔丝602应经历“熔丝烧断状态”, 其中熔丝602被故意地烧断。根据一个方面, 当MCM 400进入熔丝烧断状态时, I/O缓冲器电路610生成穿过熔丝602的电流(被示为弯曲的虚线定向箭头608), 该电流足够大且维持足够久以烧断熔丝602。一旦熔丝602被烧断成开路状态, MCM 400的正常操作(即, I/O缓冲器电路610可在I/O节点604处提供输出信号和/或接收输入信号)就可开始, 因为I/O节点604不再电耦合至地。

[0050] 图7解说了根据本公开的一个方面的还电耦合至熔断电路710的ESD保护电路600的示意图。熔断电路710可包括放大器电路系统(例如, 晶体管), 其被适配成生成熔断电流608。在所示出的示例中, 熔断电路710被示为与I/O缓冲器电路610分开的电路。因此, 尽管图6中的I/O缓冲器电路610可兼任I/O节点604的输出信号生成器和被适配成生成足以烧断熔丝602的电流608的熔断电路, 但图7中的熔断电路710可以是与缓冲器610分开的不同电路。

[0051] 根据本公开的一个方面, 熔丝602被设计和选择成使得由典型ESD事件(例如, 将第一管芯402a电耦合至第二管芯402b)生成的电流606不会烧断熔丝602, 但熔丝602会响应于由缓冲器电路和/或熔断电路710生成的熔断电流608而烧断。一般而言, ESD事件生成相对较高的电流电平达非常短的历时, 这可产生低于烧断熔丝602所必需的阈值的总电荷流。作为对比, 由缓冲器电路610和/或熔断电路710生成的熔断电流608可以是持续达相对较长时间段的相对适度的电流, 这产生足以烧断熔丝602的总电荷流。例如, 熔断电流608所生成的总电荷流可以是比由ESD事件生成的总电荷流大的数量级。

[0052] 图8解说了熔丝表格800, 其具有在给定各种电流量达各种时间段的情况下与使熔丝602从闭合状态转变成断开状态相关联的特性。图6和7中所示的熔丝602可具有表格800中所示的熔丝A、B、C、D、E、F、G、H和I的特性中的任一个特性。参照图8, 熔丝A可响应于范围从1微安(μA)到1安培(A)的ESD事件电流持续1皮秒(ps)到10纳秒(ns)而保持闭合。这些值导致范围从1微微库仑(aC)到10纳库仑(nC)的总电荷流经熔丝A。作为对比, 响应于I/O缓冲器电路610和/或熔断电路710所生成的范围从1毫安(mA)到500mA的熔断电流持续50微秒(μs)到10毫秒(ms), 熔丝A可烧断开(即, 转变成断开状态)。这些值导致范围从50nC到5毫库仑(mC)的总电荷流经熔丝A。熔丝B和C也可响应于范围从1 μA 到1A的ESD事件电流持续1ps到10ns(其导致范围从1aC到10nC的总电荷流)而保持闭合。然而, 熔丝B可响应于范围从5mA到500mA的熔断电流持续10 μs 到10ms而烧断开, 而熔丝C可响应于范围从10mA到500mA的熔断电流持续5 μs 到10ms而烧断开。这些值导致范围从50nC到5mC的总电荷流经熔丝B和C。

[0053] 熔丝D、E和F响应于范围从1 μA 到10A的ESD事件电流持续1ps到1ns(其导致范围从1aC到10nC的总电荷流)而保持闭合。然而, 熔丝D、E和F可分别响应于范围从1mA到500mA的熔断电流持续50 μs 到10ms、范围从5mA到500mA的熔断电流持续10 μs 到10ms、以及范围从

10mA到500mA的熔断电流持续5 μ s到10ms而烧断开。这些值导致范围从50nC到5mC的总电荷流经熔丝D、E和F。熔丝G、H和I响应于范围从1 μ A到0.1A的ESD事件电流持续1ps到100ns(其导致范围从1nC到10nC的总电荷流)而保持闭合。然而,熔丝G、H和I可分别响应于范围从1mA到500mA的熔断电流持续50 μ s到10ms、范围从5mA到500mA的熔断电流持续10 μ s到10ms、以及范围从10mA到500mA的熔断电流持续5 μ s到10ms而烧断开。这些值导致范围从50nC到5mC的总电荷流经熔丝G、H和I。

[0054] 在以上给出的示例中,熔丝602可在ESD事件期间不烧断开,但可在由I/O缓冲器电路610和/或熔断电路710生成的熔断电流产生了足以使熔丝602从闭合状态转变成断开状态的电流条件之后烧断开。因此,熔丝602可被设计成使得它能耐受ESD事件通常可具有的电流浪涌,诸如在将MCM 400的第一管芯402a电耦合至第二管芯402b时可触发的电流浪涌。

[0055] 然而,在一些情形中,ESD电流浪涌自身仍然可使得熔丝602在ESD事件期间烧断开。在此情形中,MCM 400仍可被保护不受ESD事件损害,并且以后在标准操作期间也正常运作。例如,尽管ESD电流浪涌可导致熔丝602烧断开,但足够的电流量可能已绕开了ESD敏感电路系统,诸如I/O缓冲器电路610,从而这些敏感电路仍不被ESD事件危害。此外,在MCM 400的制造完成(即,它已用模制料416封装等)之后,可测试MCM 400以查看MCM中的一个或多个熔丝602是处于断开状态还是闭合状态。也就是说,一旦MCM 400的制造完成,I/O节点604就可被直接或间接测试以查看它们是否被短路至地(即,熔丝602仍处于闭合状态)。仍处于闭合状态的那些熔丝602可能需要通过使用上述I/O缓冲器电路610和/或熔断电路710使熔断电流穿过它们来被编程为断开。然而,因ESD事件自身已被烧断开的那些熔丝602不需要使用I/O缓冲器电路610和/或熔断电路710来被编程为断开,因为它们已处于断开状态。一旦熔丝602已转变成断开状态,无论是通过ESD事件自身还是熔断电流编程,I/O缓冲器电路610就可正常操作(即,从I/O节点604提供输出信号或接收输入信号)。

[0056] 在熔丝602被烧断开之后,它将具有与其相关联的非常高的(尽管是有限的)电阻。根据一个方面,在其断开状态中,熔丝602在I/O节点604与地之间创建等于或大于1兆欧的电阻。根据另一方面,在其断开状态中,熔丝602创建等于或大于10兆欧的电阻。在又一实施例中,该电阻等于或大于100兆欧。这些有限的电阻值将导致少量的泄漏电流流经熔丝602。然而,取决于管芯402b的电源电压,此泄漏电流可以是相对低的且范围从1nA到1 μ A。

[0057] 利用本文所描述的具有熔丝602的ESD保护电路600是有利的,这尤其是因为它与现有技术解决方案(参照图3描述的)相比可显著减小保护管芯402b不受ESD损害所需的有效表面积。例如,相比于与现有技术ESD保护电路300相关联的二极管302、304,熔丝602可在管芯602b上占据更小的有效表面积。此外,消除对基于较大二极管302、304的ESD保护电路系统300的需要并且代替地使用本文所描述的ESD保护电路系统600可进一步节省管芯402b上的有效表面积,这是因为耦合至I/O节点604的I/O缓冲器电路610自身可被设计得较小。例如,比二极管302、304占据更小面积的熔丝602可减小I/O节点604处的寄生效应,这进而允许较小的I/O缓冲器电路610来驱动I/O节点604。

[0058] 上述ESD保护电路600不限于与以倒装片方式(见图4)安装到封装基板412的管芯(诸如402b)联用。另外,ESD保护电路600可被用来保护未以其中管芯的有效表面背朝封装基板的此类倒装片方式耦合至封装基板的MCM管芯的电路组件。

[0059] 例如,图9解说了包括两个管芯902a、902b的MCM 900,其中第一管芯902a导线接合

903至封装基板912,而第二管芯902b以倒装片方式不耦合至封装基板912。第一管芯902a和第二管芯902b都使用一个或多个导电TSV 904a、904b彼此电耦合。第一管芯902a具有有效表面906a和背侧表面908a,有效表面906a包括背朝封装基板912的多个集成电路组件(例如,晶体管、电容器、电感器、电阻器等),背侧表面908a面朝封装基板912。TSV 904a电耦合至第一管芯的有效表面906a并穿过第一管芯902a的基板的厚度。类似地,第二管芯902b具有有效表面906b和背侧表面908b。第二管芯的TSV 904b电耦合至第二管芯的有效表面906b并穿过第二管芯902b的基板的厚度。例如,第一管芯的TSV 904a可电耦合至与第一管芯902a相关联的输入/输出节点,而第二管芯的TSV 904b可电耦合至与第二管芯902b相关联的输入/输出节点。这些输入/输出节点充当管芯902a、902b的输入和/或输出端子。

[0060] TSV 904a、904b在一端具有接触焊盘910a、910b,且在相对端具有接触焊盘接纳器905a、905b。每个管芯的有效表面906a、906b可电耦合至其相应TSV 904a、904b。接触焊盘910a、910b暴露在管芯的正侧有效表面906a、906b,而接触焊盘接纳器905a、905b暴露在管芯的背侧表面908a、908b。

[0061] 第一管芯的接触焊盘接纳器905a物理且电耦合至第二管芯的接触焊盘910b。以此方式,管芯的有效表面906a、906b通过通孔904a、904b彼此电耦合。第二管芯902b物理且电耦合至封装基板912。例如,第二管芯902b可直接使用导线接合(未示出)和/或间接通过被导线接合903至封装基板912的第一管芯902a来电耦合至封装基板912。封装基板912可包括多层,这多层之间具有多个互连(未示出)。这些互连进而可电耦合至形成球栅阵列(BGA)的多个焊球914,该BGA被用来将MCM 900电耦合至印刷电路板(未示出)。MCM 900的组件(包括管芯902a、902b,TSV 904a、904b)、以及基板912的至少一部分可被装入模制料916里。尽管示出的MCM 900具有两个管芯902a、902b,但MCM 900可具有等于或大于2的任何数量的管芯,这些管芯堆叠在彼此之上并使用TSV彼此电耦合,这些TSV具有与以上关于第一和第二管芯902a、902b描述的那些相似的接触焊盘和接触焊盘接纳器。

[0062] 图10解说了在MCM 900的制造期间将第一管芯902a电且物理耦合至第二管芯902b(见定向箭头)的过程。(为简洁起见,导线接合903、封装基板912、焊球914和模制料916已被省略)在此过程期间,第一管芯902a被移至靠近第二管芯902b,并且堆叠在上面,以使得第一管芯902a的接触焊盘接纳器905a物理且电耦合至第二管芯902b的接触焊盘910b。就像以上关于图4和5描述的MCM 400一样,图10中的第一管芯902a可具有与第二管芯902b(其可接地)显著不同(例如,大很多或小很多)的静电电位。当两个管芯902a、902b足够靠近时(例如,在接触之际),可发生ESD事件,并且相对大量的电流即刻流经第二管芯902b的TSV 904b。

[0063] ESD电路600可耦合至与第二管芯的有效表面906b相关联的I/O节点以防止损害位于其上的敏感电路系统。因此,ESD电路600、其熔丝602的操作模式、连同使用I/O缓冲器电路和/或熔断电路710来烧断熔丝602的技术均可按与以上关于图6-8描述的相同方式来与图9和10中所解说的MCM 900联用。

[0064] 图11解说了根据本公开的一个方面的制造多芯片模块的方法的流程图1100。在步骤1102,提供第一集成电路(IC)管芯。在步骤1104,提供第二集成电路管芯。在一个示例中,第一和第二IC管芯可堆叠。在步骤1106,提供穿板通孔(TSV),其将第二IC管芯的输入/输出(I/O)节点电耦合至第一IC管芯。在步骤1108,在第二IC管芯的有效表面上形成熔丝。在步

骤1110,将该熔丝电耦合至该I/O节点,并且该熔丝适配成保护第二IC管芯不受由静电放电(ESD)导致的损害。

[0065] 图12解说了可集成有多芯片模块(MCM) 1200的各种电子设备。MCM1200可以是以上关于图4和/或9描述的MCM 400和/或900中的任一个。例如,移动电话1202、膝上型计算机1204以及固定位置终端1206可包括MCM 1200。图12中所解说的设备1202、1204、1206仅是示例性的。其它电子设备也可以MCM 1200为其特征,此类电子设备包括但不限于手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理)、有GPS能力的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单位(诸如仪表读数装备)、或者存储或检索数据或计算机指令的任何其它设备,或者其任何组合。

[0066] 还应注意,本公开的各方面可作为被描绘为流程图、流图、结构图、或框图的过程来描述。尽管流程图可能会把诸操作描述为顺序过程,但是这些操作中有许多操作能够并行或并发地执行。另外,这些操作的次序可以被重新安排。过程在其操作完成时终止。过程可以对应于方法、函数、规程、子例程、子程序等。

[0067] 本文所述的本发明的各种特征可实现于不同系统中而不脱离本发明。应注意,本公开的以上各方面仅是示例,且不应被解释成限定本发明。对本公开的各方面的描述旨在是解说性的,而非限定所附权利要求的范围。由此,本发明的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。

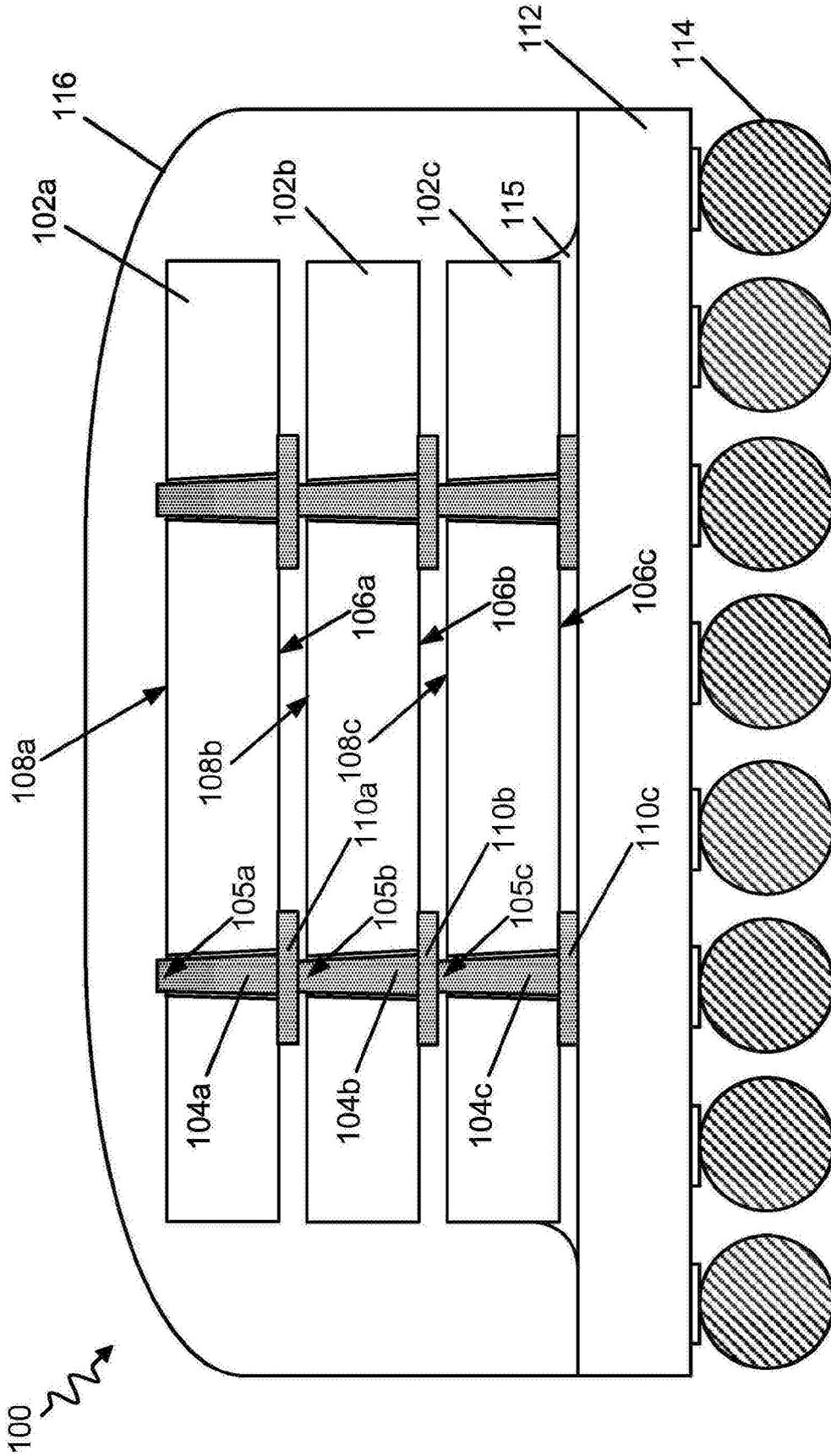


图1 (现有技术)

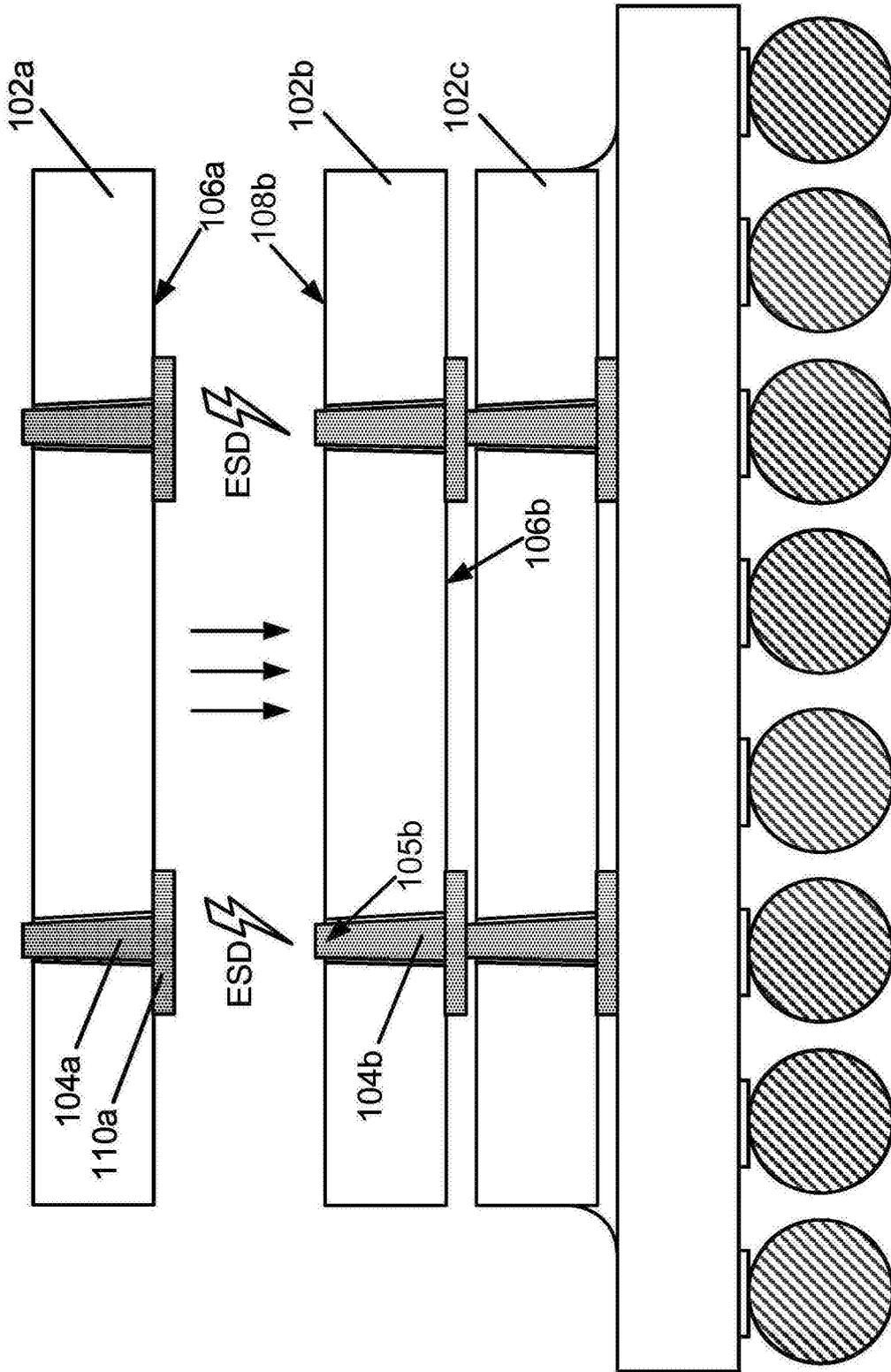


图2 (现有技术)

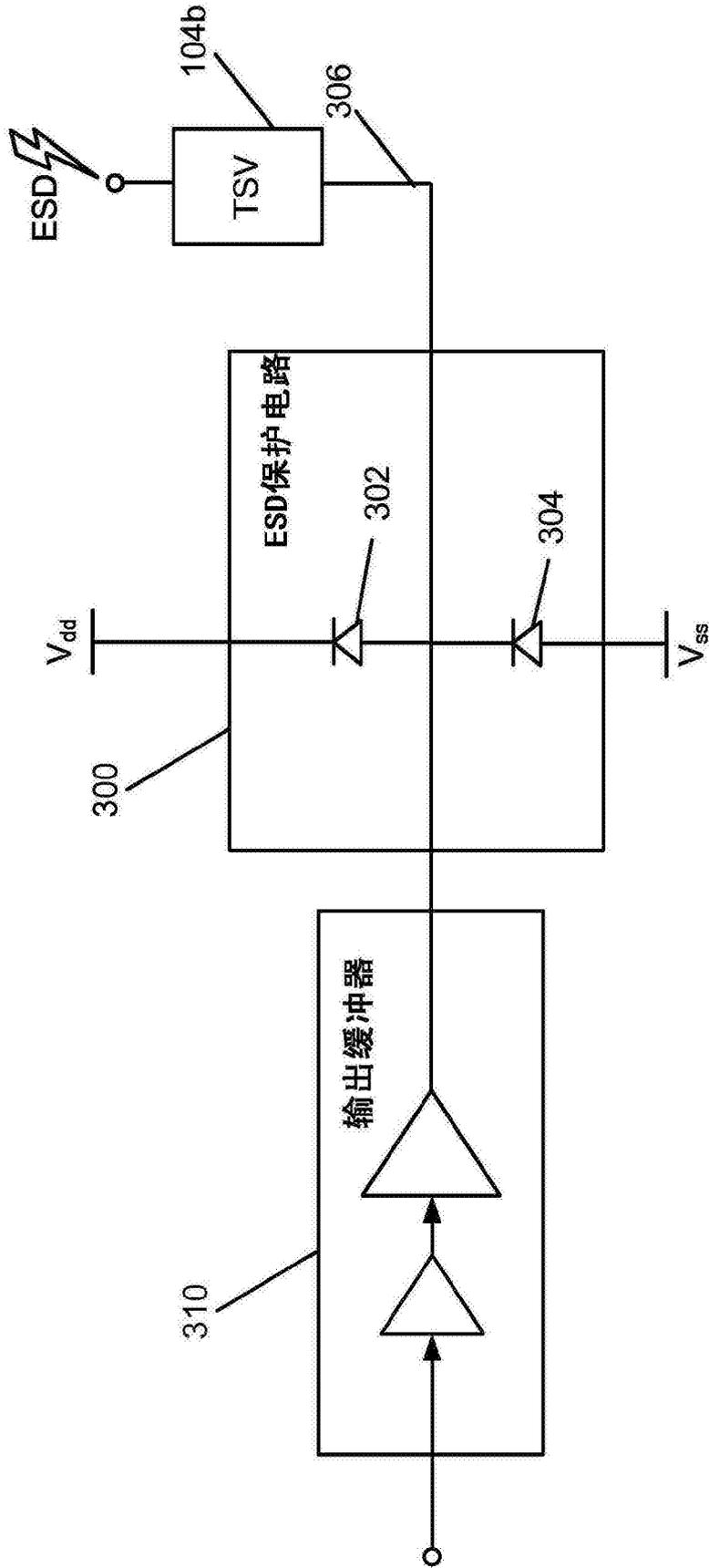


图3 (现有技术)

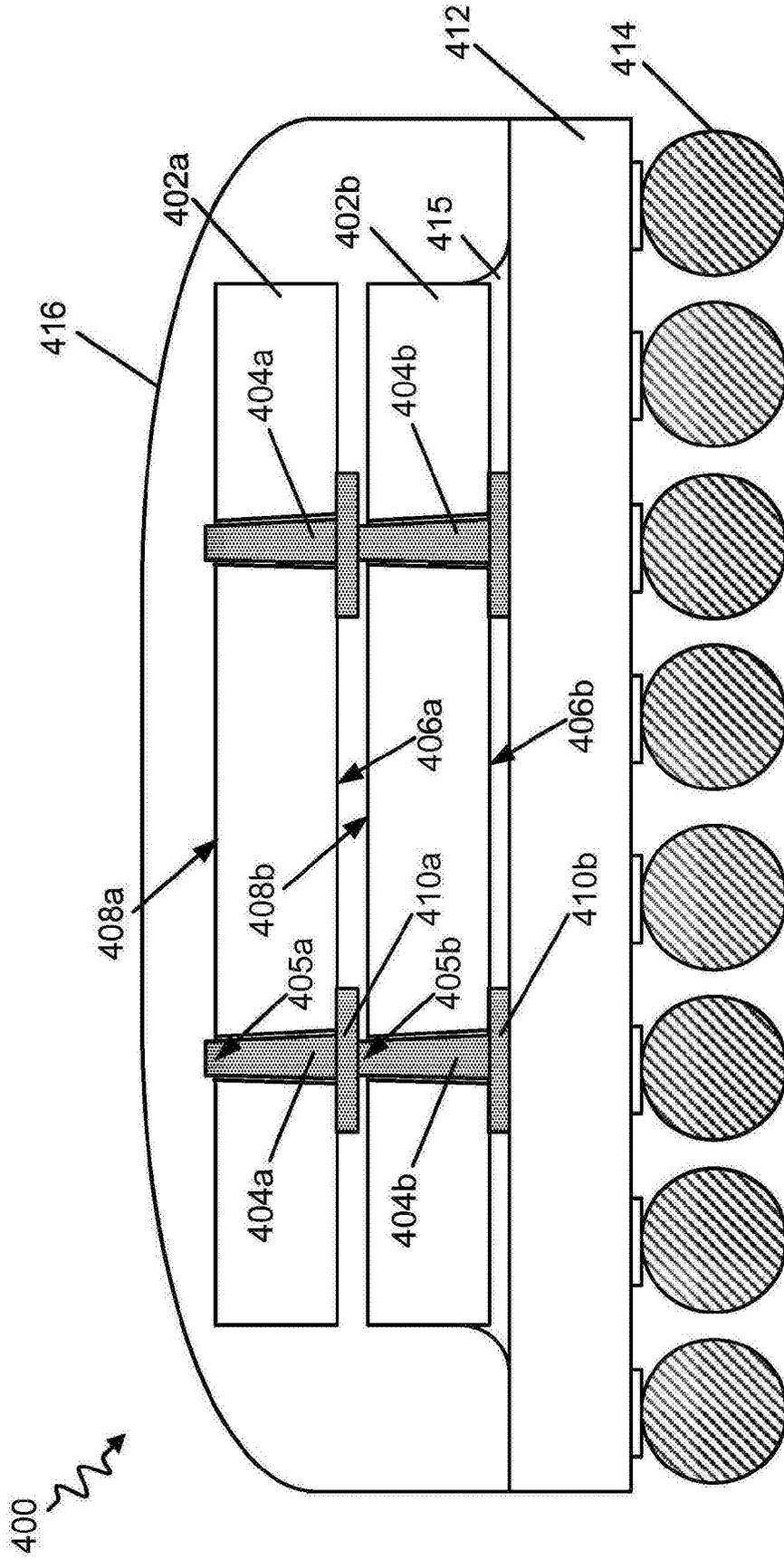


图4

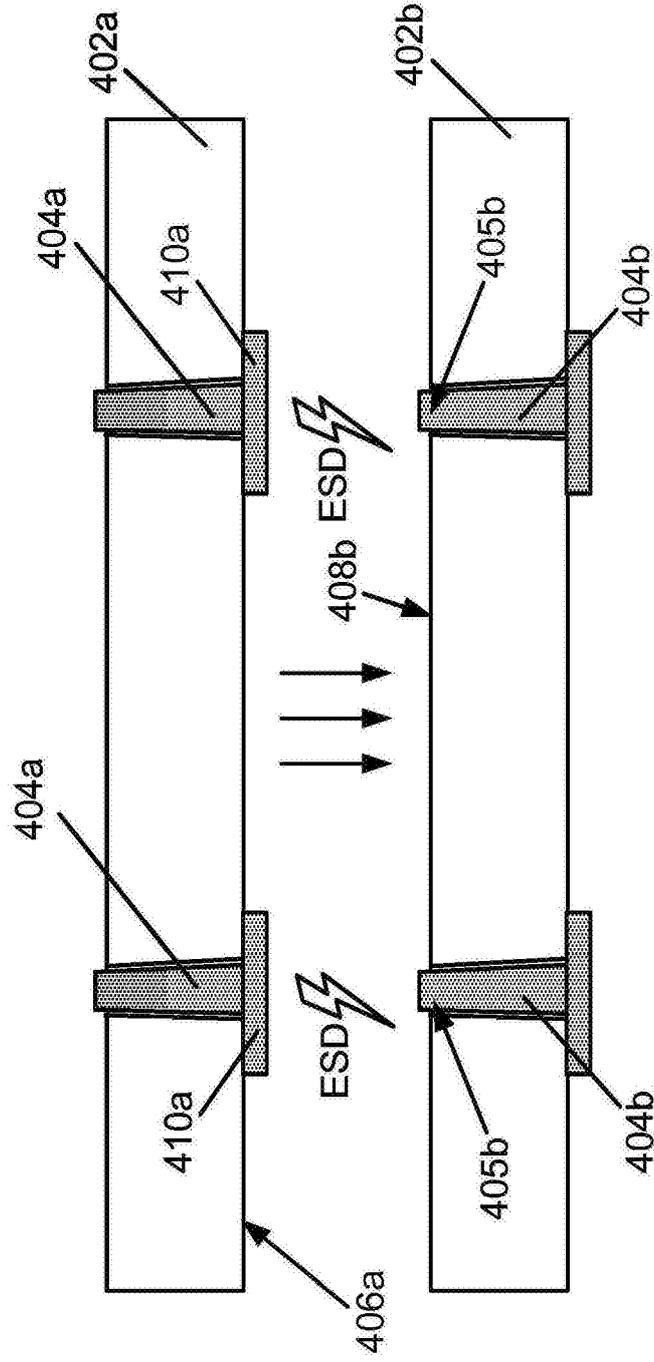


图5

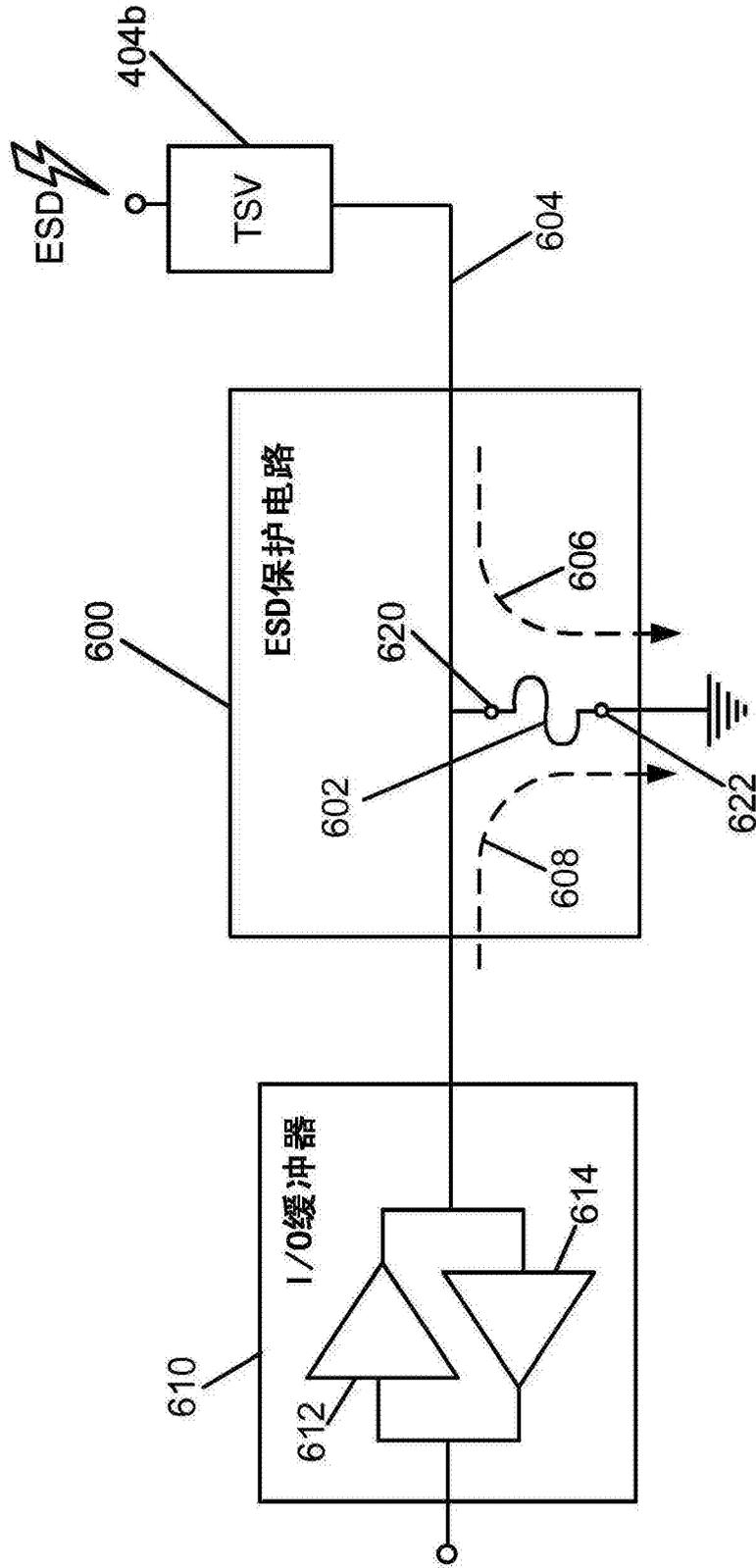


图6

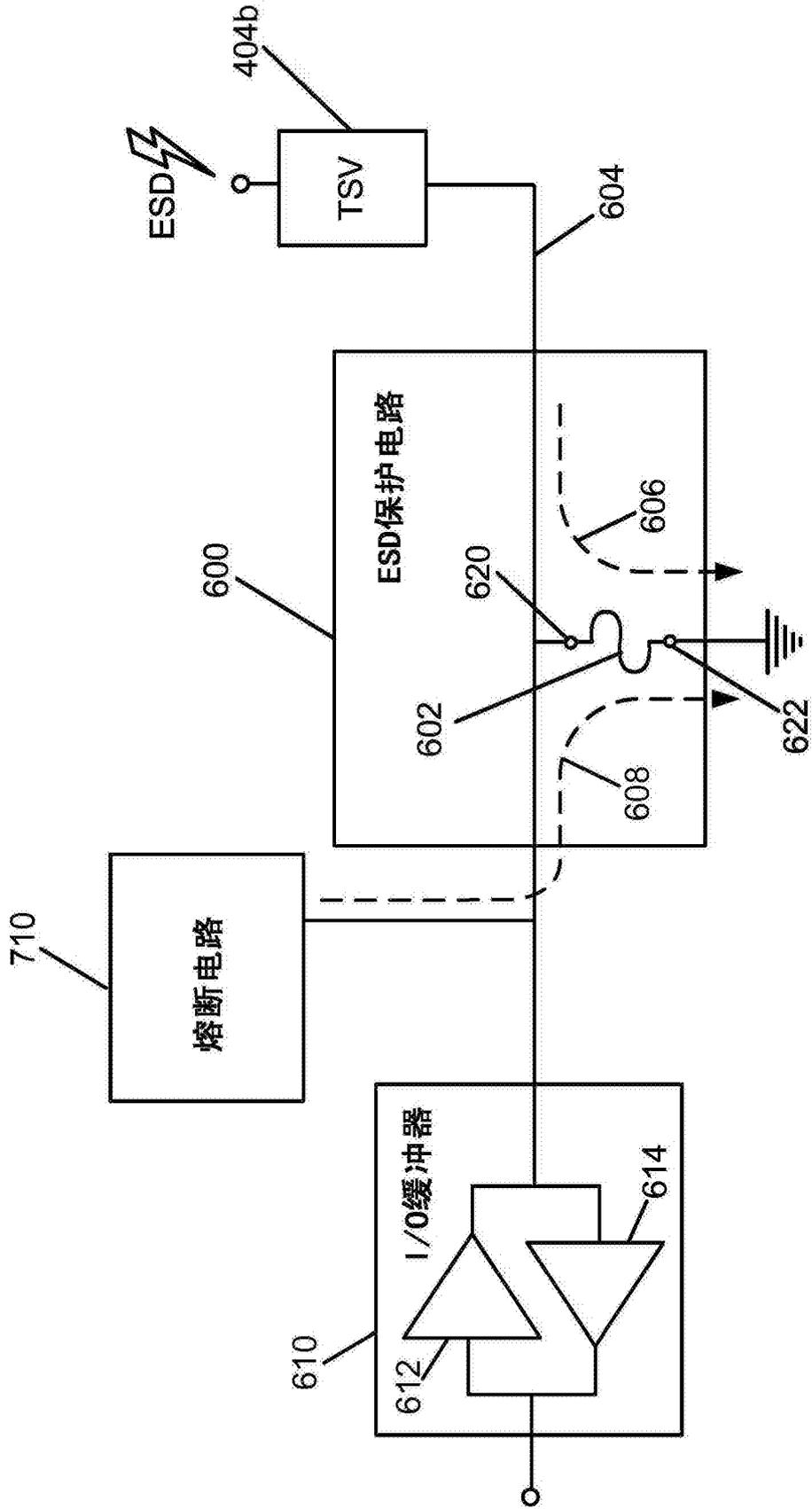


图7

800 

熔丝 #	ESD事件：保持闭合			熔断状态：烧断开		
	电流	时间	总Q	电流	时间	总Q
熔丝 A	1 μ A - 1 A	1 ps - 10 ns	1 aC - 10 nC	1 mA - 500 mA	50 μ s - 10 ms	50 nC - 5 mC
熔丝 B	1 μ A - 1 A	1 ps - 10 ns	1 aC - 10 nC	5 mA - 500 mA	10 μ s - 10 ms	50 nC - 5 mC
熔丝 C	1 μ A - 1 A	1 ps - 10 ns	1 aC - 10 nC	10 mA - 500 mA	5 μ s - 10 ms	50 nC - 5 mC
熔丝 D	1 μ A - 10 A	1 ps - 1 ns	1 aC - 10 nC	1 mA - 500 mA	50 μ s - 10 ms	50 nC - 5 mC
熔丝 E	1 μ A - 10 A	1 ps - 1 ns	1 aC - 10 nC	5 mA - 500 mA	10 μ s - 10 ms	50 nC - 5 mC
熔丝 F	1 μ A - 10 A	1 ps - 1 ns	1 aC - 10 nC	10 mA - 500 mA	5 μ s - 10 ms	50 nC - 5 mC
熔丝 G	1 μ A - 0.1A	1 ps - 100 ns	1 aC - 10 nC	1 mA - 500 mA	50 μ s - 10 ms	50 nC - 5 mC
熔丝 H	1 μ A - 0.1A	1 ps - 100 ns	1 aC - 10 nC	5 mA - 500 mA	10 μ s - 10 ms	50 nC - 5 mC
熔丝 I	1 μ A - 0.1A	1 ps - 100 ns	1 aC - 10 nC	10 mA - 500 mA	5 μ s - 10 ms	50 nC - 5 mC

图8

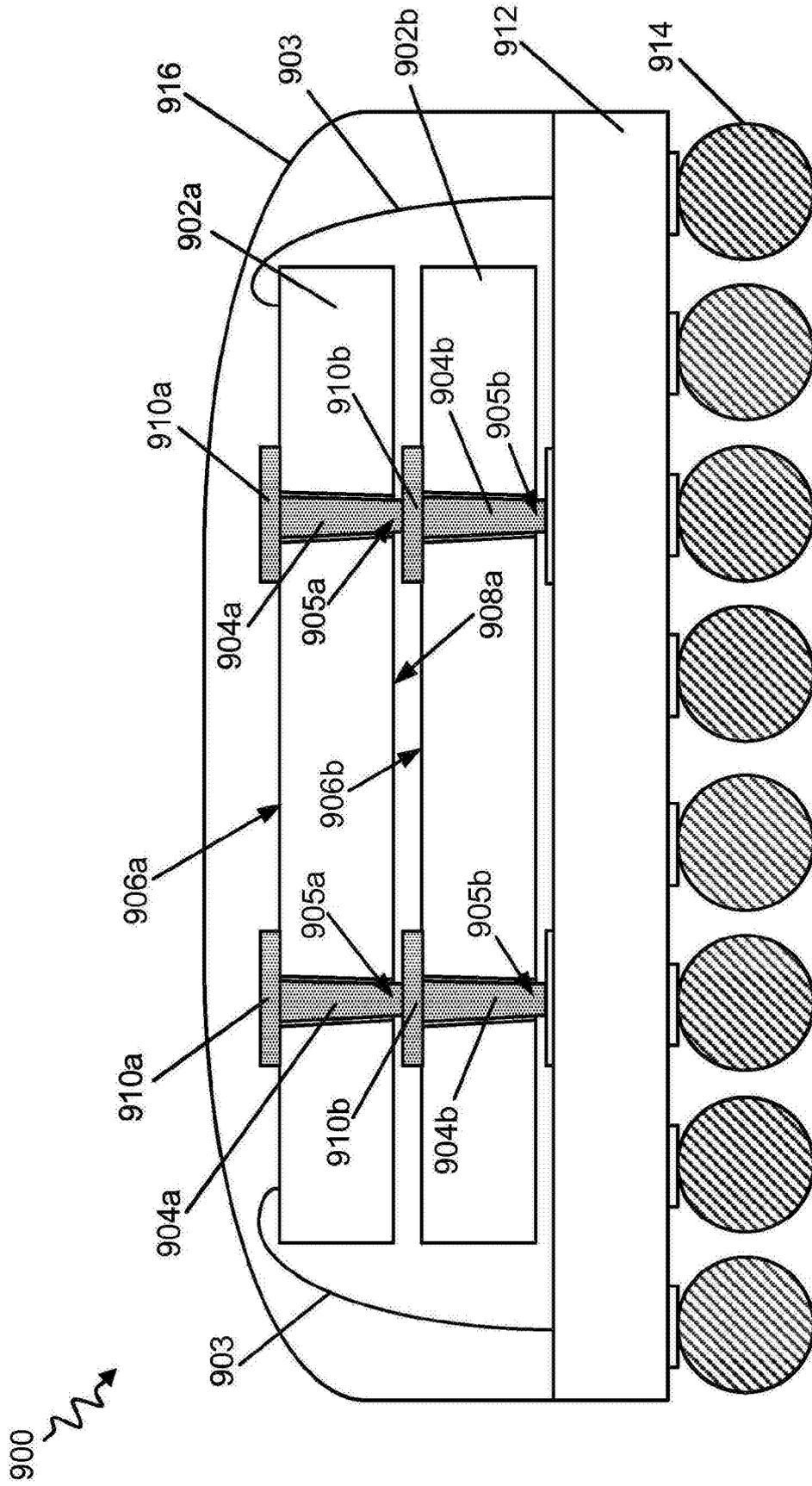


图9

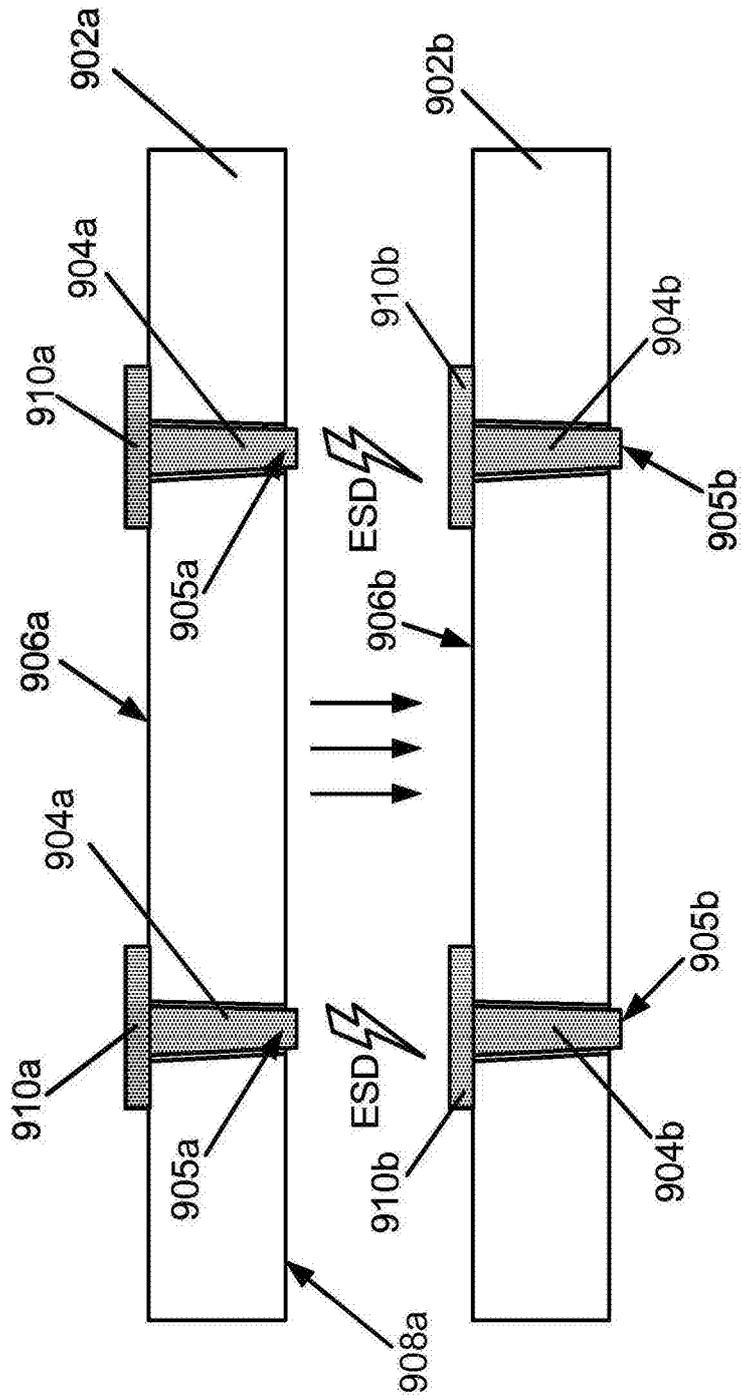


图10

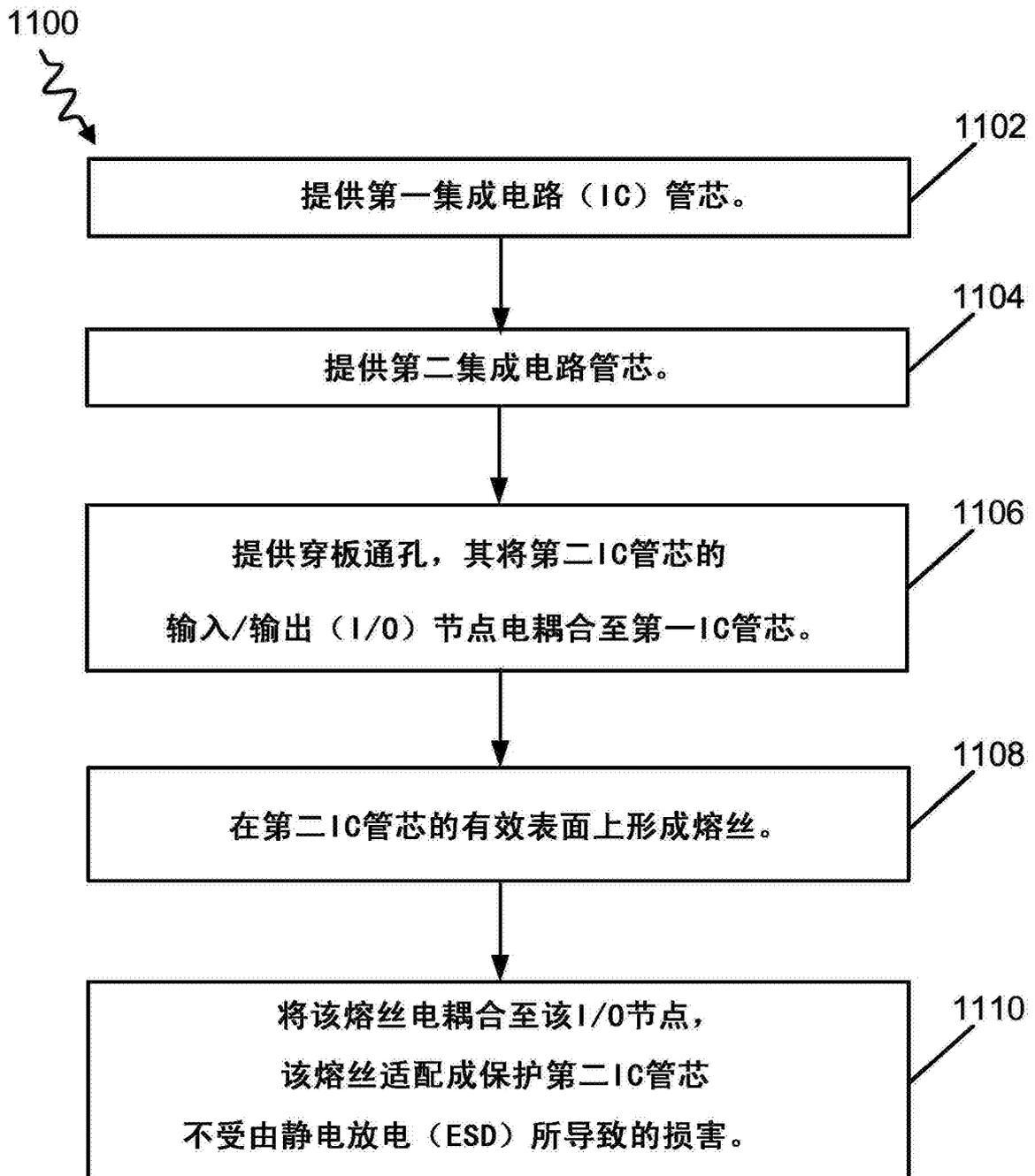


图11

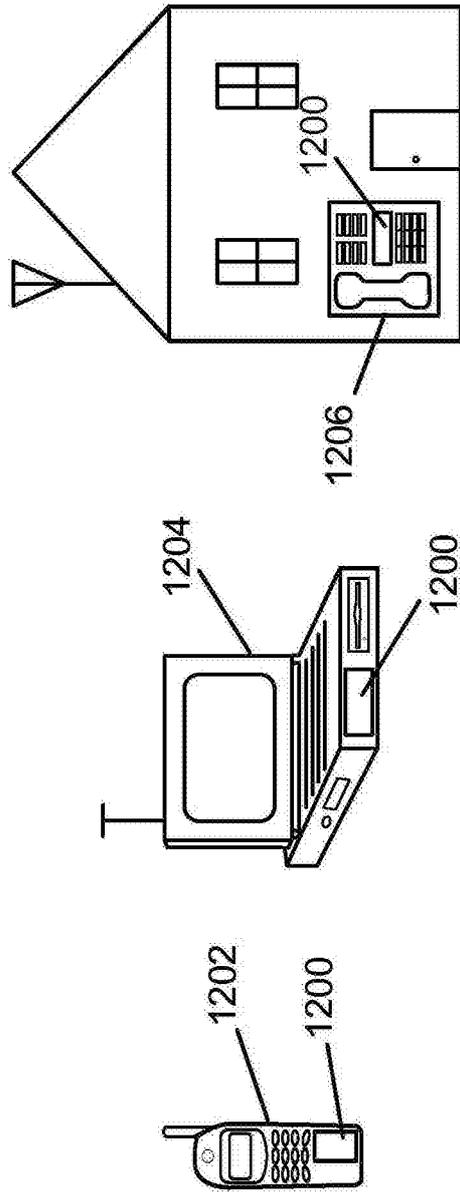


图12