(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月25日(25.04.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/078029 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 23/522* (2006.01)
H01L 21/3205 (2006.01) *H01L 23/532* (2006.01)
H01L 21/768 (2006.01) *H04N 5/374* (2011.01)

(21) 国際出願番号： PCT/JP2018/037324

(22) 国際出願日： 2018年10月5日(05.10.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-202384 2017年10月19日(19.10.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 庄子 礼二郎 (**SHOHJI Reijiroh**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

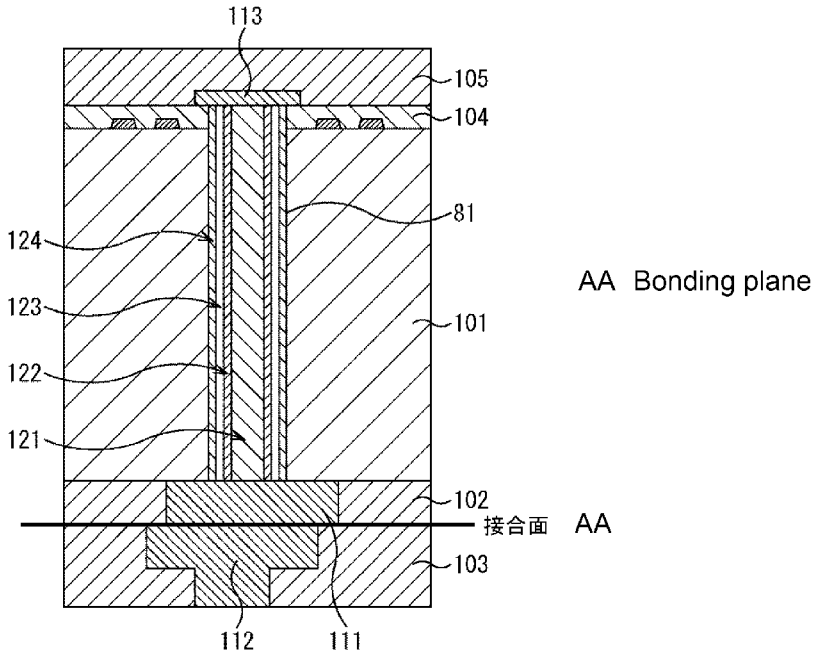
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SEMICONDUCTOR DEVICE, IMAGE PICKUP APPARATUS, AND MANUFACTURING APPARATUS

(54) 発明の名称： 半導体装置、撮像装置、製造装置

FIG. 4



(57) **Abstract:** The present technology relates to: a semiconductor device that makes it possible to provide a semiconductor substrate wherein insulating performance is maintained and improved; an image pickup apparatus; and a manufacturing apparatus. This semiconductor device is provided with: a through hole penetrating a semiconductor substrate; an electrode at the center of the through hole; and a space around the electrode. The through hole also penetrates an insulating film formed on the semiconductor substrate. A barrier metal is also provided around the electrode. Furthermore, an insulating

WO 2019/078029 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

film is provided on the semiconductor substrate and the space. The semiconductor device has a multilayer structure, and the electrode connects to each other wiring lines formed in different layers. The present technology can be applied to, for instance, an image sensor wherein a logic circuit and a sensor circuit are laminated.

(57) 要約:本技術は、絶縁性能を維持、向上させた半導体基板を提供することができるようにする半導体装置、撮像装置、製造装置に関する。 半導体基板を貫通する貫通孔と、貫通孔の中心に電極と、電極の周りに空間とを備える。貫通孔は、半導体基板上に形成された絶縁膜も貫通している。電極の周りにバリアメタルをさらに備える。半導体基板と空間に絶縁膜をさらに備える。多層構造の半導体装置であり、電極は、異なる層に形成されている配線を接続する。本技術は、例えば、ロジック回路とセンサ回路が積層されたイメージセンサに適用できる。

明　細　書

発明の名称 ： 半導体装置、撮像装置、製造装置

技術分野

[0001] 本技術は半導体装置、撮像装置、製造装置に関し、例えば、積層されている各層に形成されている配線を接続する電極に適用して好適な半導体装置、撮像装置、製造装置に関する。

背景技術

[0002] 近年、半導体装置の微細化、高速化の要求が高まるにつれて、配線の微細化および多層化が進められている。例えば、固体撮像装置において、複数の画素が配列された画素領域が形成された半導体チップと、信号処理を行うロジック回路が形成された半導体チップを電気的に接続して１つのデバイスとして構成した固体撮像装置が提案されている。

[0003] 例えば、特許文献１では、画素セル毎にパッドを有する裏面照射型のイメージセンサチップと、信号処理回路が形成されパッドを有する信号処理チップとを、バンプによって接続した半導体モジュールが開示されている。

[0004] こうした多層配線プロセスを有する半導体装置では、配線遅延が半導体装置の信号遅延の要因となる可能性があった。そこで、特許文献２では、配線間容量を低減させた半導体装置についての提案がなされている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００６－４９３６１号公報

特許文献2：特開２００３－１６３２６６号公報

発明の概要

発明が解決しようとする課題

[0006] 積層配線プロセスを有する半導体装置では、上下基板間接続用の電極は、レイアウトの制約により径を小さくする必要がある。また小型化するためには、電極とシリコン基板との間に形成する絶縁膜の膜厚を薄くする必要もあ

る。しかしながら、絶縁膜を薄くすることで、必要とされる絶縁性能を維持できない可能性があるため、絶縁性能を落とさずに、小型化できることが望まれている。

[0007] 本技術は、このような状況に鑑みてなされたものであり、上下基板間接続用の電極の絶縁性能が維持された基板を提供することができるようにするものである。

課題を解決するための手段

[0008] 本技術の一側面の半導体装置は、半導体基板を貫通する貫通孔と、前記貫通孔の中心に電極と、前記電極の周りに空間とを備える。

[0009] 本技術の一側面の撮像装置は、光電変換を行う光電変換部と、半導体基板を深さ方向に貫き、隣接する画素にそれぞれ形成されている前記光電変換部の間に形成された画素間遮光部とを備え、前記画素間遮光部は、中心に遮光部材を有し、前記遮光部材と前記半導体基板との間に、空間を有する。

[0010] 本技術の一側面の製造装置は、半導体基板を貫通する貫通孔と、前記貫通孔の中心に電極と、前記電極の周りに空間とを備える半導体装置を製造する。

[0011] 本技術の一側面の半導体装置においては、半導体基板を貫通する貫通孔と、貫通孔の中心に電極と、電極の周りに空間とが備えられる。

[0012] 本技術の一側面の撮像装置においては、光電変換を行う光電変換部と、半導体基板を深さ方向に貫き、隣接する画素にそれぞれ形成されている光電変換部の間に形成された画素間遮光部とが備えられる。前記画素間遮光部は、中心に遮光部材を有し、遮光部材と半導体基板との間に、空間を有する。

[0013] 本技術の一側面の製造装置においては、半導体基板を貫通する貫通孔と、貫通孔の中心に電極と、電極の周りに空間とを備える半導体装置が製造される。

発明の効果

[0014] 本技術の一側面によれば、上下基板間接続用の電極の絶縁性能が維持された基板を提供することができる。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本開示を適用した半導体装置の一実施の形態の構成を示す図である。

[図2]基板の積層について説明するための図である。

[図3]貫通電極について説明するための図である。

[図4]貫通電極の第１の構成について説明するための断面図である。

[図5]貫通電極の第１の構成について説明するための平面図である。

[図6]貫通電極の製造について説明するための図である。

[図7]貫通電極の製造について説明するための図である。

[図8]貫通電極の製造について説明するための図である。

[図9]貫通電極の製造について説明するための図である。

[図10]貫通電極の製造について説明するための図である。

[図11]貫通電極の第２の構成について説明するための断面図である。

[図12]貫通電極の第２の構成について説明するための平面図である。

[図13]貫通電極の製造について説明するための図である。

[図14]貫通電極の製造について説明するための図である。

[図15]貫通電極の製造について説明するための図である。

[図16]貫通電極の第３の構成について説明するための断面図である。

[図17]貫通電極の第４の構成について説明するための断面図である。

[図18]貫通電極の第４の構成について説明するための平面図である。

[図19]貫通電極の第５の構成について説明するための断面図である。

[図20]貫通電極の第６の構成について説明するための断面図である。

[図21]貫通電極の第７の構成について説明するための断面図である。

[図22]内視鏡手術システムの概略的な構成の一例を示す図である。

[図23]カメラヘッド及びＣＣＵの機能構成の一例を示すブロック図である。

[図24]車両制御システムの概略的な構成の一例を示すブロック図である。

[図25]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0017] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0018] ＜CMOSイメージセンサの構成例＞

図１は、本開示を適用した半導体装置としてのCMOSイメージセンサの一実施の形態の構成例を示す図である。

[0019] 本技術は、積層する基板の信号線や電極線を接続する電極(以下の説明では貫通電極と記述する)に適用できる。そこで、そのような貫通電極を備える半導体装置として、CMOSイメージセンサを一例としてあげ、説明を行う。

[0020] 本技術は、CMOSイメージセンサに適用範囲が限定されるわけではなく、複数の基板を積層するときの、各基板(半導体基板)に適用できる。

[0021] CMOSイメージセンサ１０は、画素領域１１、制御回路１２、ロジック回路１３、画素駆動線１４、および垂直信号線１５が、図示せぬシリコン基板等の半導体基板(チップ)に形成されたものである。CMOSイメージセンサ１０は、被写体の画像を撮像し、各画素の画素信号を出力する。

[0022] 具体的には、画素領域１１には、入射光の光量に応じた電荷量の電荷を発生して内部に蓄積する光電変換素子を有する画素が行列状に２次元配置され、画素領域１１は撮像を行う。また、画素領域１１には、行列状の画素に対して行ごとに画素駆動線１４が図の左右方向（行方向）に形成され、列ごとに垂直信号線１５が図の上下方向（列方向）に形成される。

[0023] また、制御回路１２は、垂直駆動部２１、カラム処理部２２、水平駆動部２３、およびシステム制御部２４により構成され、画素信号の読み出しを制御する。

[0024] 具体的には、垂直駆動部２１は、シフトレジスタやアドレスデコーダなどによって構成され、画素領域１１の各画素を行単位等で駆動する。垂直駆動部２１の各行に対応した図示せぬ出力端には、画素駆動線１４の一端が接続されている。垂直駆動部２１の具体的な構成について図示は省略するが、垂直駆動部２１は、読み出し走査系および掃き出し走査系の２つの走査系を有

する構成となっている。

[0025] 読み出し走査系は、各画素からの画素信号を行単位で順に読み出すように、各行を順に選択し、選択行の画素駆動線１４と接続する出力端から選択パルス等を出力する。

[0026] 掃き出し走査系は、光電変換素子から不要な電荷を掃き出す(リセットする)ために、読み出し系の走査よりもシャッタスピードの時間分だけ先行して、各行の画素駆動線１４と接続する出力端から制御パルスを出力する。この掃き出し走査系による走査により、いわゆる電子シャッタ動作が行ごとに順に行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことをいう。

[0027] 垂直駆動部２１の読み出し走査系によって選択された行の各画素から出力される画素信号は、垂直信号線１５の各々を通してカラム処理部２２に供給される。

[0028] カラム処理部２２は、画素領域１１の列ごとに信号処理回路を有する。カラム処理部２２の各信号処理回路は、選択行の各画素から垂直信号線１５を通して出力される画素信号に対して、CDS(Correlated Double Sampling)（相関二重サンプリング）処理等のノイズ除去処理、A/D変換処理等の信号処理を行う。CDS処理により、リセットノイズやアンプトランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部２２は、信号処理後の画素信号を一時的に保持する。

[0029] 水平駆動部２３は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部２２の信号処理回路を順番に選択する。この水平駆動部２３による選択走査により、カラム処理部２２の各信号処理回路で信号処理された画素信号が順番にロジック回路１３に出力される。

[0030] システム制御部２４は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部２１、カラム処理部２２、および水平駆動部２３を制御する。

[0031] ロジック回路１３は、信号処理部３１とメモリ部３２により構成され、制御回路１２から供給される画素信号に対して所定の信号処理を行う。

[0032] 具体的には、信号処理部３１は、少なくとも加算処理機能を有する。信号処理部３１は、カラム処理部２２から出力される画素信号に対して加算処理等の種々の信号処理を行う。このとき、信号処理部３１は、必要に応じて、信号処理の途中結果などをメモリ部３２に格納し、必要なタイミングで参照する。信号処理部３１は、信号処理後の画素信号を出力する。

[0033] メモリ部３２は、DRAM（Dynamic Random Access Memory）やSRAM（Static Random Access Memory）などにより構成される。

[0034] 以上のように構成されるCMOSイメージセンサ１０の画素領域１１の各画素、制御回路１２、およびロジック回路１３は、各種の能動素子により構成される。例えば、画素領域の各画素は、フォトダイオードやトランジスタなどにより構成される。

[0035] ＜CMOSイメージセンサの配置例＞

図２は、図１のCMOSイメージセンサ１０の配置例を示す図である。

[0036] CMOSイメージセンサ１０の画素領域１１、制御回路１２、およびロジック回路１３の配置は、例えば、図２のＡ乃至図２のＣに示す第１乃至第３の配置のいずれかにすることができる。

[0037] 即ち、CMOSイメージセンサ１０の画素領域１１、制御回路１２、およびロジック回路１３の配置は、図２のＡに示すように、全てを１つの半導体基板５１に配置する第１の配置にすることができる。

[0038] また、CMOSイメージセンサ１０の画素領域１１、制御回路１２、およびロジック回路１３の配置は、図２のＢに示すように、積層される２つの半導体基板５２と半導体基板５３のうちの一方に画素領域１１と制御回路１２を配置し、他方にロジック回路１３を配置する第２の配置にすることができる。図２のＢの例では、画素領域１１と制御回路１２は半導体基板５２に配置され、ロジック回路１３は半導体基板５３に配置されている。

[0039] さらに、CMOSイメージセンサ１０の画素領域１１、制御回路１２、および

ロジック回路１３の配置は、図２のＣに示すように、積層される２つの半導体基板５４と半導体基板５５のうちの一方に画素領域１１を配置し、他方に制御回路１２とロジック回路１３を配置する第３の配置にすることができる。図２のＣの例では、画素領域１１は半導体基板５４に配置され、制御回路１２とロジック回路１３は半導体基板５５に配置されている。

[0040] 図２のＢや図２のＣのように、CMOSイメージセンサ１０が、積層構造のイメージセンサである場合、半導体基板５２（５４）と半導体基板５３（５５）は、貫通電極が用いられて接続される。ここで、貫通電極について説明を加える。

[0041] 図３は、ロジック回路チップ７１、メモリチップ７２、およびＣＩＳ（CIS：CMOS Image Sensor）チップ７３が積層されている半導体装置を示している。ロジック回路チップ７１には、例えば、入出力部、回路部、保護回路などが搭載されている。

[0042] メモリチップ７２は、DRAMなどのメモリチップである。メモリチップ７２には、メモリセル（不図示）と、そのメモリセルからデータを読み出すデコーダ（不図示）が搭載されている。メモリチップ７２のデータおよび制御信号の書き込み・読み出し線は、貫通電極を介して外部のチップから引き込まれている。

[0043] ＣＩＳチップ７３は、CMOSイメージセンサ１０を含むチップである。ＣＩＳチップ７３の裏面には、バンプ（不図示）が設けられている。バンプは、裏面に複数設けられている。このバンプを介して、図示していない処理部と接続されているようにすることもできる。

[0044] 図３を再度参照するに、複数のチップを積層した場合、貫通電極が設けられ、各チップは、貫通電極を介して電気的に接続される。

[0045] メモリチップ７２とＣＩＳチップ７３には、それぞれ貫通電極８１と貫通電極８２が設けられている。貫通電極８１と貫通電極８２が接続されることで、ロジック回路チップ７１、メモリチップ７２、およびＣＩＳチップ７３は互いにデータや電力の授受が行えるように接続されている。

[0046] なお、貫通電極は、データの授受用、電力の授受用などと、それぞれ機能が割り当てられている。ここでは、特に断りがない場合、データの授受用の貫通電極であるとして説明を続ける。

[0047] メモリチップ７２には、メモリチップ７２からの出力をロジック回路チップ７１に出力するためや、ロジック回路チップ７１からの出力をメモリチップ７２に出力するために、貫通電極８１が設けられている。

[0048] 同様に、ＣＩＳチップ７３には、ＣＩＳチップ７３からの出力をロジック回路チップ７１に出力するためや、ロジック回路チップ７１からの出力をＣＩＳチップ７３に出力するために、貫通電極８２が設けられている。

[0049] このような貫通電極は、メモリチップ７２やＣＩＳチップ７３に、それぞれ複数設けられ、積層されているチップ間でのデータの授受などが行えるように構成されている。

[0050] ＜貫通電極の第１の構成＞

図４は、貫通電極８１，８２（以下、貫通電極８１を例に挙げる）の詳細な第１の構成を示す垂直方向における断面図であり、図５は、水平方向における平面図である。

[0051] 貫通電極８１は、Ｓｉ（シリコン）基板１０１を貫通して形成されている。Ｓｉ基板１０１の図中下側には、ＳｉＯ（酸化シリコン）層１０２とＳｉＯ層１０３が積層されている。ＳｉＯ層１０２とＳｉＯ層１０３は、異なる基板であり、例えば図３におけるロジック回路チップ７１とメモリチップ７２に該当する基板であり、接合面で接合されている。

[0052] ＳｉＯ層１０２には、配線１１１が形成され、ＳｉＯ層１０３には、配線１１２が形成されている。この配線１１１と配線１１２は接続されている。配線１１１は、貫通電極８１内に形成されている電極１２１と接続されている。電極１２１は、ＡＬパッド１１３とも接続されている。配線１１１、配線１１２、ＡＬパッド１１３は、銅（Ｃｕ）、アルミニウム（Ａｌ）、タングステン（Ｗ）などが用いられて形成されている。

[0053] ＡＬパッド１１３は、Ｓｉ基板１０１の図中上側に積層されているＳｉＯ

層１０５に形成されている。Ｓｉ基板１０１とＳｉＯ層１０５との間には、ＰＭＤ（Pre-Metal Dielectric）１０４が成膜されている。

[0054] 貫通電極８１は、半導体基板、この場合、Ｓｉ基板１０１を貫通する貫通孔とされ、その貫通孔の中心部に、電極１２１が形成され、その周りにバリアメタル１２２が成膜されている。また貫通孔は、Ｓｉ基板１０１上に形成されているＰＭＤ１０４も貫通する貫通孔として形成されている。

[0055] バリアメタル１２２は、例えば電極１２１に銅（Ｃｕ）を用いた場合、その銅が、酸化膜に拡散しないように設けられた金属膜である。電極１２１に用いる材料や、貫通電極８１の信頼性などにより、バリアメタル１２２を形成しない構成とすることも可能である。バリアメタル１２２を形成する場合、その材料には、タンタル（Ｔａ）、チタン（Ｔｉ）、タングステン（W）、ジルコニウム（Ｚｒ）、または、その窒化膜、炭化膜等を用いることができる。

[0056] バリアメタル１２２の外側は、中空溝１２３が形成されている。中空溝１２３は、所定の幅を有する空間であり、固体や液体などの所定の物質が充填されていない空間である。

[0057] 中空溝１２３とＳｉ基板１０１の間には、ＳｉＣ（炭化シリコン）膜１２４が形成されている。

[0058] 配線１１１、配線１１２、ＡＬパッド１１３、および電極１２１は、同一の材料、例えば、銅（Ｃｕ）で形成されていても良いし、異なる材料で形成されていても良い。異なる材料で形成される場合、例えば、配線１１１、配線１１２、ＡＬパッド１１３は、銅（Ｃｕ）で形成され、電極１２１は、タングステン（W）で形成するといった構成にすることができる。

[0059] 例えば、貫通電極８１は、画素領域１１（図１）にアレイ状に配置されている画素毎に設けられているように形成しても良い。

[0060] 貫通電極８１は、電極１２１と、Ｓｉ基板１０１との間に、中空溝１２３を有する構造とされている。例えば、貫通電極８１の製造時や、製造後に、熱が加わったような場合、貫通電極８１を構成する各部の熱膨張率が異なる

と、不要な応力が発生する可能性がある。

[0061] 例えば、図４に示した貫通電極８１において、仮に、中空溝１２３が形成されておらず、中空溝１２３に該当する部分も、ＳｉＣ膜１２４で形成されていた場合、換言すれば、バリアメタル１２２とＳｉＣ膜１２４が接するような構成とされていた場合、貫通電極８１は、電極１２１、バリアメタル１２２、ＳｉＣ膜１２４で形成される。

[0062] このような構造の場合、電極１２１、バリアメタル１２２、ＳｉＣ膜１２４、およびＳｉ基板１０１の熱膨張係数が異なり、不要な応力が発生する可能性があり、形状に不具合が発生する可能性がある。

[0063] 図４に示した貫通電極８１によれば、中空溝１２３が形成されているため、中空溝１２３により、電極１２１、バリアメタル１２２、ＳｉＣ膜１２４、およびＳｉ基板１０１の熱膨張係数が異なることによる発生する可能性のある応力を吸収し、緩和させることができる。よって、不要な応力の発生により、形状に不具合が発生するようなことを防ぐことが可能となる。

[0064] また、ＳｉＣ膜１２４は、絶縁膜として用いられているが、中空溝１２３も、絶縁膜として用いることができるため、絶縁性能を維持、向上させることが可能となる。絶縁性能が向上されることで、例えば、貫通電極８１に接続されているトランジスタなどへの貫通電極８１からの電界による影響を低減させることができる。

[0065] また、不要な応力の発生により、形状に不具合が発生するようなことを防ぐことができるチップを積層することができる。積層することで、小型化を図ることができる。

[0066] ＜第１の構成の貫通電極の製造について＞

図４、図５に示した貫通電極８１の製造について、図６乃至８を参照して説明する。

[0067] 工程Ｓ１１（図６）において、Ｓｉ基板１０１上に、ＰＭＤ１０４とＡＬパッド１１３が埋め込まれたＳｉＯ層１０５が形成されたＳｉ基板１０１が形成される。

[0068] 工程Ｓ１２において、貫通電極８１を形成する部分にビア（Ｖｉａ）を形成するために、ＳｉＯ層１０５と逆面（図中下側）に、レジストとして、ＳｉＯ膜１５１が形成され、工程Ｓ１３において、ビアが形成される部分が開口されたパターニングが行われる。

[0069] 工程Ｓ１４において、Ｓｉ基板１０１とＰＭＤ１０４をエッチングし、ＡＬパッド１１３を露出させる。この工程で、ビア１５３が形成される。工程Ｓ１５において、レジスト膜、この場合、ＳｉＯ膜１５１が除去される。

[0070] 工程Ｓ１６において、ビア１５３の側面、ＡＬパッド１１３の露出された面、およびＳｉ基板１０１の底面のビア１５３が開口されている部分以外の面に、ＳｉＣ膜１５５が成膜される。このＳｉＣ膜１５５は、ＳｉＣ膜１２４になる膜であり、貫通電極８１の絶縁膜として形成される。

[0071] 工程Ｓ１７（図７）において、さらに、ＳｉＣ膜１５５上に、ＳｉＯ膜１５７が成膜される。この工程により、図７の工程Ｓ１７のところに示したように、ビア１５３内に、ＳｉＣ膜１５５とＳｉＯ膜１５７の２層が形成された状態となる。

[0072] 工程Ｓ１８において、ビア１５３内に成膜されているＳｉＣ膜１５５とＳｉＯ膜１５７の２層に対して、エッチバックが実行される。この工程Ｓ１８において、ビア１５３内の側面以外の部分に形成されているＳｉＣ膜１５５とＳｉＯ膜１５７が除去される。換言すれば、ビア１５３の底部（ＡＬパッド１１３がある側）と、Ｓｉ基板１０１の底面（図中下側であり、ＳｉＯ層１０５の逆面）に形成されているＳｉＣ膜１５５とＳｉＯ膜１５７が除去される。

[0073] 工程Ｓ１８における処理が実行されることで、ＡＬパッド１１３が露出した状態となる。また、ＡＬパッド１１３の一部(開口部の端部側)には、ＳｉＣ膜１５５とＳｉＯ膜１５７の２層が形成されている状態となる。

[0074] ビア１５３の側面に形成されているＳｉＣ膜１５５とＳｉＯ膜１５７の膜厚は、例えば、１μｍとすることができる。例えば、１μｍとしたとき、ＳｉＣ膜１５５とＳｉＯ膜１５７の膜厚は、それぞれ同じ膜厚、すなわちこの

場合、０．５μｍとしても良いし、異なる膜厚としても良い。

[0075] 工程Ｓ１９において、バリアメタル１５９が成膜される。バリアメタル１５９は、ビア１５３の側面、ＡＬパッド１１３の露出された面、およびＳｉ基板１０１の底面のビア１５３が開口されている部分以外の面に成膜される。このバリアメタル１５９は、バリアメタル１２２になる膜である。

[0076] 工程Ｓ２０において、ビア１５３内に電極となる金属材１６１、例えば、タングステン（Ｗ）や銅（Ｃｕ）が充填される。工程Ｓ２１において、不要な金属材１６１や、バリアメタル１５９が除去される。例えば、ＣＭＰ（Chemical Mechanical Polishing）法により、Ｓｉ基板１０１上に形成されている金属材１６１やバリアメタル１５９が除去され、平坦化されることで工程Ｓ２０の処理が行われる。

[0077] ここまでの工程で、貫通電極８１を構成する電極１２１、バリアメタル１２２、およびＳｉＣ膜１２４が形成される。次の工程Ｓ２２において、中空溝１２３が形成される。すなわち、工程Ｓ２２において、ＳｉＯ膜１５７がエッチングされることで、ＳｉＯ膜１５７が除去され、中空溝１２３が形成される。このエッチングには、ＳｉＯを選択的に溶かすことができる溶剤を用い、ウェットエッチングにより行うことができる。

[0078] このように中空溝１２３が形成されると、工程Ｓ２３（図８）に工程は進められる。工程Ｓ２３において、Ｓｉ基板１０１の底面（図中下側であり、ＳｉＯ層１０５の逆面）に、ＳｉＯ膜１６３が成膜される。このＳｉＯ膜１６３は、ＳｉＯ層１０２になる膜である。

[0079] 工程Ｓ２４において、配線１１１（図４）に該当する部分を作成するために、ＳｉＯ膜１６３が加工され、配線１１１となる部分（穴１６５）が形作られる。ＳｉＯ膜１６３の加工は、レジストの塗布、パターニング、エッチングなどの処理により行われる。

[0080] 工程Ｓ２４において、バリアメタル１６７が、穴１６５内に成膜される。また、Ｓｉ基板１０１の穴１６５以外の部分にも、バリアメタル１６７の膜が成膜される。

[0081] 工程Ｓ２６において、穴１６５に銅１６９が充填されることで、配線１１１に該当する部分が作成される。工程Ｓ２７において、不要な銅１６９や、バリアメタル１６７が除去される。この除去は、工程Ｓ２１と同じく、ＣＭＰ法により、Ｓｉ基板１０１上に形成されているバリアメタル１６７と銅１６９が除去され、平坦化されることで行われるようにすることができる。

[0082] このような工程で、中空溝１２３を有する貫通電極８１を形成することができる。

[0083] ＜第１の構成の貫通電極の他の製造について＞

中空溝１２３を有する貫通電極８１は、他の製造工程で製造することも可能である。例えば、図６乃至図８を参照して説明した製造工程においては、ＡＬパッド１１３が形成されている基板に対してビア１５３を形成した。換言すれば、ＡＬパッド１１３が形成されているＳｉ基板１０１面を上面とした場合、上面側の加工が終わった後、下面側から、ビア１５３を形成する場合を例にして説明した。

[0084] Ｓｉ基板１０１の上面側（ＡＬパッド１１３が形成される側）から掘り込みを行い、ビア１５３が形成されるようにして貫通電極８１が形成されるようにすることもできる。このように、Ｓｉ基板１０１の上面側から加工することで貫通電極８１を形成する場合について、図９、図１０を参照して説明する。なお、図６乃至図８を参照して説明した工程と同様である部分は、適宜説明を省略する。

[0085] 工程Ｓ５１において、Ｓｉ基板１０１上に、ＰＭＤ１０４が形成されたＳｉ基板１０１が形成される。

[0086] 工程Ｓ５２において、貫通電極８１を形成する部分にビア（Ｖｉａ）を形成するために、レジストの塗布、パターニング、エッチングといった処理が行われることで、ビア１５３が形成される。ビア１５３は、ＰＭＤ１０４を貫通し、Ｓｉ基板１０１の所定の深さまで掘り込まれた穴である。

[0087] 工程Ｓ５３において、ビア１５３の側面と底面、およびＰＭＤ１０４の上面のビア１５３が開口されている部分以外の面に、ＳｉＣ膜１５５が成膜さ

れる。さらに、工程Ｓ５４において、ＳｉＣ膜１５５上に、ＳｉＯ膜１５７が成膜される。この工程により、図９の工程Ｓ５４のところに示したように、ビア１５３内に、ＳｉＣ膜１５５とＳｉＯ膜１５７の２層が形成された状態となる。

[0088] 工程Ｓ５５において、ビア１５３内に成膜されているＳｉＣ膜１５５とＳｉＯ膜１５７の２層に対して、エッチバックが実行されることで、ビア１５３内の側面以外の部分に形成されているＳｉＣ膜１５５とＳｉＯ膜１５７が除去される。

[0089] 工程Ｓ５６において、バリアメタル１５９が成膜される。バリアメタル１５９は、ビア１５３の側面と底面、およびＰＭＤ１０４の上面のビア１５３が開口されている部分以外の面に成膜される。このバリアメタル１５９は、バリアメタル１２２になる膜である。

[0090] 工程Ｓ５７において、ビア１５３内に電極となる金属材１６１が充填される。工程Ｓ５８において、不要な金属材１６１や、バリアメタル１５９が除去される。次の工程Ｓ５９において、ＰＭＤ１０４上に、ＡＬパッド１１３が形成され、ＳｉＯ層１０５が成膜される。

[0091] 工程Ｓ６０において、Ｓｉ基板１０１が薄肉化されることで、Ｓｉ基板１０１内に形成されていたビア１５３が露出する状態にされる。なお、工程Ｓ５９と工程Ｓ６０との間に、ＳｉＯ層１０５上に配線層が形成されるなど、他の部分が形成される処理が行われるようにしても良い。

[0092] 工程Ｓ６０における処理が施されたＳｉ基板１０１は、工程Ｓ２１（図７）における処理が施されたＳｉ基板１０１と同様の構成とされている。すなわち、ここまでの工程で、貫通電極８１を構成する電極１２１、バリアメタル１２２、およびＳｉＣ膜１２４が形成されている。次の工程において、中空溝１２３が形成される。

[0093] すなわち工程Ｓ６０以降の処理は、工程Ｓ２１以降の処理と同様に行うことが可能であるため、ここではその説明を省略する。

[0094] このような工程によっても、中空溝１２３を有する貫通電極８１を形成す

ることができる。

[0095] ＜貫通電極の第２の構成＞

図１１は、貫通電極８１（ここでは、貫通電極８１ｂとする）の詳細な第２の構成を示す垂直方向における断面図であり、図１２は、水平方向における平面図である。

[0096] 図１１に示した貫通電極８１ｂは、図４に示した貫通電極８１から、ＳｉＣ膜１２４を削除した構成とされている点で異なり、他の部分は同様である。

[0097] 図４に示した貫通電極８１は、ＳｉＣ膜１２４を備え、ＳｉＣ膜１２４を絶縁膜として機能させる構成とされている。本技術が適用された貫通電極８１は、中空溝１２３を備えるため、この中空溝１２３を絶縁膜として機能させることができる。よって、図１１に示したように、ＳｉＣ膜１２４を備えない貫通電極８１ｂとした場合も、絶縁性能を維持した貫通電極とすることができる。

[0098] 図１１、図１２に示した貫通電極８１ｂは、バリアメタル１２２ｂ（電極１２１ｂ）と、Ｓｉ基板１０１ｂとの間には、中空溝１２３ｂのみが形成されている。

[0099] 図１１に示した貫通電極８１ｂによれば、中空溝１２３ｂが形成されているため、中空溝１２３ｂにより、電極１２１ｂ、バリアメタル１２２ｂ、およびＳｉ基板１０１ｂの熱膨張係数が異なることにより発生する可能性のある応力を吸収し、緩和させることができる。よって、不要な応力の発生により、形状に不具合が発生するようなことを防ぐことが可能となる。

[0100] また、中空溝１２３ｂは、絶縁膜としても機能するため、絶縁性能を維持、向上させることが可能となる。絶縁性能が向上されることで、例えば、貫通電極８１ｂに接続されているトランジスタなどへの貫通電極８１ｂからの電界による影響を低減させることができる。

[0101] ＜第２の構成の貫通電極の製造について＞

図１１、図１２に示した貫通電極８１ｂの製造について、図１３乃至図１

５を参照して説明する。図１３乃至図１５を参照して説明する製造工程は、図６乃至図８を参照して説明した製造工程と同様の工程を含むため、同様の工程については説明を省略する。

[0102] 工程Ｓ１０１乃至Ｓ１０５は、Ｓｉ基板１０１ｂに、ビア１５３を形成する工程であり、工程Ｓ１１乃至Ｓ１５（図６）と同様に行われる。

[0103] 工程Ｓ１０６（図１４）において、ＳｉＯ膜１５７ｂが成膜される。貫通電極８１ｂの製造においては、ＳｉＣ膜１２４を形成する必要がないため、ＳｉＣ膜１２４に該当するＳｉＣ膜１５５を成膜する工程Ｓ１７（図７）を省略することができる。

[0104] 工程Ｓ１０６において、ビア１５３の側面、ＡＬパッド１１３の露出された面、およびＳｉ基板１０１ｂの底面のビア１５３が開口されている部分以外の面に、ＳｉＯ膜１５７ｂが成膜される。このＳｉＯ膜１５７ｂは、後の工程で除去されることで、中空溝１２３ｂとなる部分である。

[0105] 工程Ｓ１０６乃至Ｓ１１６（図１５）の各工程は、ＳｉＣ膜１５５が形成されていていない状態で行われる点以外は、工程Ｓ１７乃至Ｓ２７（図７，８）と同様に行うことが可能なため、その説明は省略する。

[0106] このようにして、中空溝１２３ｂを有する貫通電極８１ｂを形成することができる。

[0107] 中空溝１２３ｂを有する貫通電極８１ｂは、図９，１０を参照して説明したＳｉ基板１０１の上面から加工する工程を適用しても、製造することができる。この場合も、ＳｉＣ膜１２４に該当するＳｉＣ膜１５５を成膜する工程を省略する以外は、同様の工程で製造することができる。

[0108] ＜貫通電極の第３の構成について＞

貫通電極８１の他の構成について説明を加える。

[0109] 図１６は、貫通電極８１の第３の構成について説明するための図である。図１６に示した貫通電極８１ｃは、図４に示した貫通電極８１と比較し、中空溝１２３ｃに、ＳｉＯ膜２１１がある点で異なり、他の部分は同様であるため、同様の部分には同一の符号を付し、その説明は省略する。

[0110] 図４に示した貫通電極８１は、中空溝１２３が、ＰＭＤ１０４まで形成されているが、図１６に示した貫通電極８１ｃは、中空溝１２３ｃが、ＰＭＤ１０４の手前まで形成され、ＰＭＤ１０４のところには、ＳｉＯ膜２１１が形成されている。

[0111] 換言すれば、中空溝１２３ｃは、Ｓｉ基板１０１部分の側面にのみ設けられている構造とされている。さらに換言すると、貫通電極８１ｃが形成されている貫通孔と、ＰＭＤ１０４との間は、ＳｉＯという絶縁物質で充填されている。

[0112] このように、貫通電極８１ｃの構成を、ＰＭＤ１０４にＳｉＯ膜２１１があるような構成とする場合、基本的な製造工程は、第１の構成の貫通電極８１の製造工程、例えば、図６乃至図８を参照して説明した製造工程と同様に行うことで、製造することができる。

[0113] 貫通電極８１ｃを製造する場合、工程Ｓ２２（図７）において、ＳｉＯ膜１５７を除去するとき、ＳｉＯ膜１５７が、ＰＭＤ１０４のところには残るようなエッチング、換言すれば、中空溝１２３ｃとなる部分のＳｉＯ膜１５７だけが除去されるエッチングが施される。

[0114] 例えば、工程Ｓ２２（図７）において、ＳｉＯ膜１５７の除去をウェットエッチングで行う場合、そのエッチングに用いる溶剤の濃度を調整したり、エッチングの時間を調整したりすることで、所望の部分に、ＳｉＯ膜１５７を残したエッチングを行うことができる。

[0115] また、製造工程として、図９、図１０を参照して説明した製造工程を適用しても、第３の構成の貫通電極８１ｃを製造することはできる。

[0116] また、第２の構成の貫通電極８１ｂと同じく、第３の構成の貫通電極８１ｃにおいても、ＳｉＣ膜１２４が形成されていない構成としても良い。この場合には、図１３乃至図１５に示した製造工程を適用して、ＳｉＣ膜１２４が形成されていない貫通電極８１ｃを製造することができる。

[0117] ＜貫通電極の第４の構成について＞

貫通電極８１の第４の構成について説明を加える。

[0118] 図１７、図１８は、貫通電極８１の第４の構成について説明するための図であり、図１７は、垂直方向の断面図を示し、図１８は、水平方向の平面図を示す。図１７（図１８）に示した貫通電極８１ｄは、図４（図５）に示した貫通電極８１と比較し、電極１２１内（電極１２１の中心部）に、柱が形成されている点で異なり、他の部分は同様であるため、同様の部分には同一の符号を付し、その説明は省略する。

[0119] 図４に示した貫通電極８１は、電極１２１が、貫通電極８１の中心部に形成されているが、さらに図１７、図１８に示した貫通電極８１ｄにおいては、電極１２１ｄの中心に柱２３１が形成されている。換言すれば、図１７、図１８に示した貫通電極８１ｄの中心には、柱２３１が形成され、その柱２３１の周りに電極１２１ｄが形成されている。

[0120] 電極１２１ｄの周りには、第１乃至第３の構成と同じく、バリアメタル１２２が形成され、そのバリアメタル１２２の周りには、中空溝１２３が形成され、その中空溝１２３の周りには、ＳｉＣ膜１２４が形成されていることで、貫通電極８１ｄが形成されている。すなわち、この場合、貫通電極８１ｄは、柱２３１を中心としてリング状に、電極１２１ｄ、バリアメタル１２２、中空溝１２３、およびＳｉＣ膜１２４が形成されている。

[0121] 柱２３１は、シリコン（Ｓｉ）で形成されている。すなわち、柱２３１は、Ｓｉ基板１０１と同一の材料で形成されており、一体構造とされている。

[0122] このように、貫通電極８１ｄの構成を、柱２３１を中心としたリング状に形成する場合、基本的な製造工程は、第１の構成の貫通電極８１の製造工程、例えば、図６乃至図８を参照して説明した製造工程と同様に行うことで、製造することができる。

[0123] 例えば、工程Ｓ１４（図６）において、ビア１５３を形成するとき、ビア１５３の中心部分にＳｉ基板１０１が残るようなパターニングやエッチングが行われることで、柱２３１に該当する部分が形成される。その後、その柱２３１の周りに電極１２１ｄとなる金属材が充填される。

[0124] このように、柱２３１を形成し（Ｓｉ基板１０１をビア１５３に残し）、

その後の工程を行うことで、製造時に不具合が発生する可能性を低減させることができる。

[0125] 例えば、工程Ｓ２２（図７）を再度参照するに、図７に示した第１の構造における貫通電極８１を製造時に、ＳｉＯ膜１５７を除去し、中空溝１２３を形成するが、このときに、電極１２１が、傾く可能性がある。

[0126] 工程Ｓ２２における電極１２１は、周りが中空状態であり、上部のみが、ＳｉＯ層１０５（ＡＬパッド１１３）と接続されている状態である。このような状態は、電極１２１が不安定な状態であり、例えば、外力が加わると、電極１２１は中空溝１２３側に傾く可能性がある。

[0127] 柱２３１を形成しておくことで、すなわち、Ｓｉ基板１０１を残しておくことで、例えば、外力が加えられたとしても、電極１２１ｃが中空溝１２３側に傾くようなことを防ぐことが可能な構成とすることができる。

[0128] 貫通電極８１ｄも、製造工程として、図９、図１０を参照して説明した製造工程を適用して製造することはできる。

[0129] また、第２の構成の貫通電極８１ｂと同じく、第４の構成の貫通電極８１ｄにおいても、ＳｉＣ膜１２４が形成されていない構成としても良い。この場合には、図１３乃至図１５に示した製造工程を適用して、ＳｉＣ膜１２４が形成されていない貫通電極８１ｄを製造することができる。

[0130] ＜貫通電極の第５の構成について＞

貫通電極８１の第５の構成について説明を加える。

[0131] 図１９は、貫通電極８１の第５の構成について説明するための図である。本技術は、裏面側に形成されているバンプ取り出しの貫通電極構造にも適用でき、図１９は、そのようなバンプ取り出しの貫通電極構造に本技術を適用した場合の貫通電極８１ｅの構成例示している。

[0132] バンプ取り出しの貫通電極構造に本技術を適用した場合も、基本的な構成は、例えば、図４に示した貫通電極８１と同様であるため、同様の部分には同様の符号を付し、その詳細な説明は省略する。

[0133] Ｓｉ基板１０１に形成された貫通電極８１ｅは、中心部から順に、電極１

２１ｅ、バリアメタル１２２ｅ、中空溝１２３ｅ、およびＳｉＣ膜１２４ｅが形成されている。電極１２１ｅの上面にはＡＬパッド１１３が接続され、下面には配線２５１が接続されている。そして、配線２５１は、バンプ２５６と接続されている。

[0134] このように、バンプ２５６と接続される電極に対して、中空溝１２３ｅを備える貫通電極８１ｅを適用することもできる。

[0135] ＜貫通電極の第６の構成について＞

貫通電極８１の第６の構成について説明を加える。

[0136] 本技術は、画素間の遮光のために形成されている画素分離部にも適用でき、図１９は、そのような画素分離部に本技術を適用した場合の構成例示している。画素分離部に本技術が適用された場合、電極としての機能は無くても良いため、ここでは、上記した実施の形態における貫通電極８１に該当する部分は、画素分離部８１ｆと記述する。

[0137] 図２０は、本技術を適用した画素分離部８１ｆを含む画素の構成例を示す画素の断面図である。図２０に示した画素は、画素領域１１（図１）にアレイ状に配置されている画素である。

[0138] また上記した貫通電極８１を備える構成とし、他の層(基板)と貫通電極８１で接続される画素とすることもできる。貫通電極８１を備える構成とした場合、その貫通電極８１に、上記した第１乃至第５の構成の貫通電極８１を適用することができる。

[0139] 画素３１０を構成するＰＤ（フォトダイオード）３１９が、半導体基板３１８の裏面（図では上面）側から入射する入射光３０１を受光する。ＰＤ３１９の上方には、平坦化膜３１３，ＣＦ（カラーフィルタ）３１２、及び、マイクロレンズ３１１が設けられており、ＰＤ３１９では、各部を順次介して入射した入射光３０１を、受光面３１７で受光して光電変換が行われる。

[0140] 例えば、ＰＤ３１９は、ｎ型半導体領域３２０が、電荷（電子）を蓄積する電荷蓄積領域として形成されている。ＰＤ３１９においては、ｎ型半導体領域３２０は、半導体基板３１８のｐ型半導体領域３１６，３４１の内部に

設けられている。ｎ型半導体領域３２０の、半導体基板３１８の表面（下面）側には、裏面（上面）側よりも不純物濃度が高いｐ型半導体領域３４１が設けられている。つまり、ＰＤ３１９は、ＨＡＤ（Ｈｏｌｅ－Ａｃｃｕｍｕｌａｔｉｏｎ　Ｄｉｏｄｅ）構造になっており、ｎ型半導体領域３２０の上面側と下面側との各界面において、暗電流が発生することを抑制するように、ｐ型半導体領域３１６，３４１が形成されている。

[0141] 半導体基板３１８の内部には、複数の画素３１０の間を電気的に分離する画素分離部８１ｆが設けられており、この画素分離部８１ｆで区画された領域に、ＰＤ３１９が設けられている。図中、上面側から、画素領域１１に配置されている画素を見た場合、画素分離部８１ｆは、例えば、複数の画素３１０の間に介在するように格子状に形成されており、ＰＤ３１９は、この画素分離部８１ｆで区画された領域内に形成されている。

[0142] 各ＰＤ３１９では、アノードが接地されており、ＰＤ３１９が蓄積した信号電荷（例えば、電子）は、図示せぬ転送Ｔｒ（ＭＯＳ　ＦＥＴ）等を介して読み出され、電気信号として、図示せぬＶＳＬ（垂直信号線）へ出力される。

[0143] 配線層３５０は、半導体基板３１８のうち、遮光膜３１４，ＣＦ３１２、マイクロレンズ３１１等の各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられている。

[0144] 配線層３５０は、配線３５１と絶縁層３５２とを含み、絶縁層３５２内において、配線３５１が各素子に電気的に接続するように形成されている。配線層３５０は、いわゆる多層配線の層になっており、絶縁層３５２を構成する層間絶縁膜と配線３５１とが交互に複数回積層されて形成されている。ここでは、配線３５１としては、転送Ｔｒ等のＰＤ３１９から電荷を読み出すためのＴｒへの配線や、ＶＳＬ等の各配線が、絶縁層３５２を介して積層されている。

[0145] この配線層３５０において、配線３５１を接続する貫通電極として、上記した貫通電極８１を適用することができる。

[0146] 配線層３５０の、ＰＤ３１９が設けられている側に対して反対側の面には、支持基板３６１が設けられている。例えば、厚みが数百μｍのシリコン半導体からなる基板が、支持基板３６１として設けられている。

[0147] 遮光膜３１４は、半導体基板３１８の裏面（図では上面）の側に設けられている。

[0148] 遮光膜３１４は、半導体基板３１８の上方から半導体基板３１８の下方へ向かう入射光３０１の一部を、遮光するように構成されている。

[0149] 遮光膜３１４は、半導体基板３１８の内部に設けられた画素分離部８１ｆの上方に設けられている。ここでは、遮光膜３１４は、半導体基板３１８の裏面（上面）上において、シリコン酸化膜等の絶縁膜３１５を介して、凸形状に突き出るように設けられている。これに対して、半導体基板３１８の内部に設けられたＰＤ３１９の上方においては、ＰＤ３１９に入射光３０１が入射するように、遮光膜３１４は、設けられておらず、開口している。

[0150] すなわち、図中、上面側から、画素領域１１内の画素を見た場合、遮光膜３１４の平面形状は、格子状になっており、入射光３０１が受光面３１７へ通過する開口が形成されている。

[0151] 遮光膜３１４は、光を遮光する遮光材料で形成されている。例えば、チタン（Ｔｉ）膜とタングステン（Ｗ）膜とを、順次、積層することで、遮光膜３１４が形成されている。この他に、遮光膜３１４は、例えば、窒化チタン（ＴｉＮ）膜とタングステン（Ｗ）膜とを、順次、積層することで形成することができる。また、遮光膜３１４は、ナイトライド（Ｎ）などで被覆されていても良い。

[0152] 遮光膜３１４は、平坦化膜３１３によって被覆されている。平坦化膜３１３は、光を透過する絶縁材料を用いて形成されている。

[0153] 画素分離部８１ｆは、上記した貫通電極８１と同様の構成とすることができる。すなわちこの場合、画素分離部８１ｆの中心部には、電極１２１に該当する金属材１２１ｆが形成されている。

[0154] 画素分離部８１ｆは、分離する機能だけでなく、隣接する画素からの迷光

を遮光する機能を持たせるために、遮光部材、例えば金属材が充填されている構成とすることができる。

[0155] ここでは、金属材などの遮光部材が充填されているとして説明を続け、その金属材を、金属材１２１ｆとして記述する。画素分離部８１ｆの中心部に形成されている金属材１２１ｆの周りには、バリアメタル１２２ｆ、中空溝１２３ｆ、およびＳｉＣ膜１２４ｆが、この順で形成されている。

[0156] 画素分離部８１ｆは、バリアメタル１２２ｆが形成されていない構成とすることもできる。また、画素分離部８１ｆは、ＳｉＣ膜１２４ｆが形成されていない構成とすることもできる。

[0157] 金属材１２１ｆは、遮光膜３１４と接続されている、換言すれば、一体化されて形成されているようにしても良い。金属材１２１ｆと遮光膜３１４を、同一の金属材、例えば、銅やタングステンなどの材料で形成し、製造時に、同タイミングで形成されるようにすることができる。

[0158] このように、中空溝１２３ｆを有する画素分離部８１ｆに対しても、本技術を適用することができる。

[0159] ＜貫通電極の第７の構成について＞

貫通電極８１の第７の構成について説明を加える。

[0160] 図２１は、貫通電極８１の第７の構成について説明するための図である。図２１に示した貫通電極８１ｇは、図４に示した貫通電極８１と比較し、中空溝１２３が形成されていた部分に、緩和層４０１が形成されている点で異なり、他の部分は同様であるため、同様の部分には同一の符号を付し、その説明は省略する。

[0161] 図２１に示した貫通電極８１ｇは、中心部から順に、電極１２１、バリアメタル１２２、緩和層４０１、ＳｉＣ膜１２４が形成されている。緩和層４０１は、熱膨張率の違いにより発生する可能性のある応力を緩和するための層として設けられており、上述した中空溝１２３に該当する層である。

[0162] 緩和層４０１は、応力を緩和することができる材料で形成されている。緩和層４０１を形成する材料としては、例えば、応力が加わったときに、その

応力を吸収し、応力が無くなったときには形状が元に戻るような材料（例えば、弾性体である材料）が用いられる。

[0163] また、緩和層４０１に、絶縁性能を持たせるために、低誘電体で形成されるようにしても良い。緩和層４０１は、例えば、ポーラスシリカを材料として用いた層とすることができる。

[0164] 上記した第１乃至第７の構成は、単独で適用することはもちろんのこと、組み合わせて適用することも可能である。

[0165] 本技術によれば、シリコン基板に、中空溝を設けることで、シリコンから隔離された電極を形成することができる。このことにより、応力が発生したときに、その応力による影響を低減させることができる。

[0166] 応力による影響を低減できることで、応力による形状の変形を防ぐことができ、例えば、チップを積層するときに、チップの配線位置がずれるようなことを防ぐことができる。また、応力による影響を低減できることで、デバイス特性への影響も低減され、ＫＯＺ（Keep Out Zone）を緩和することも可能となる。

[0167] また、絶縁を必要とする部分の絶縁性能を向上させることもできる。よって、貫通電極間（配線間）の容量を低減させることができる。また中空溝の近傍に配置されるトランジスタなどへの影響を低減することも可能となり、デバイスとしての性能を向上させることも可能となる。

[0168] ＜内視鏡手術システムへの応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0169] 図２２は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0170] 図２２では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１

２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0171] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0172] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0173] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、ＲＡＷデータとしてカメラコントロールユニット（ＣＣＵ: Camera Control Unit）１１２０１に送信される。

[0174] ＣＣＵ１１２０１は、ＣＰＵ（Central Processing Unit）やＧＰＵ（Graphics Processing Unit）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、ＣＣＵ１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0175] 表示装置１１２０２は、ＣＣＵ１１２０１からの制御により、当該ＣＣＵ１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0176] 光源装置１１２０３は、例えばＬＥＤ（light emitting diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡１１１００に供給する。

[0177] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0178] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0179] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、ＲＧＢレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御することにより、ＲＧＢそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0180] また、光源装置１１２０３は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0181] また、光源装置１１２０３は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニングリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置１１２０３は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0182] 図２３は、図２２に示すカメラヘッド１１１０２及びＣＣＵ１１２０１の機能構成の一例を示すブロック図である。

[0183] カメラヘッド１１１０２は、レンズユニット１１４０１と、撮像部１１４０２と、駆動部１１４０３と、通信部１１４０４と、カメラヘッド制御部１１４０５と、を有する。ＣＣＵ１１２０１は、通信部１１４１１と、画像処理部１１４１２と、制御部１１４１３と、を有する。カメラヘッド１１１０２とＣＣＵ１１２０１とは、伝送ケーブル１１４００によって互いに通信可能に接続されている。

[0184] レンズユニット１１４０１は、鏡筒１１１０１との接続部に設けられる光学系である。鏡筒１１１０１の先端から取り込まれた観察光は、カメラヘッ

ド１１１０２まで導光され、当該レンズユニット１１４０１に入射する。レンズユニット１１４０１は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0185] 撮像部１１４０２を構成する撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってＲＧＢそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0186] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0187] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0188] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0189] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを

指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0190] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Auto Exposure）機能、ＡＦ（Auto Focus）機能及びＡＷＢ（Auto White Balance）機能が内視鏡１１１００に搭載されていることになる。

[0191] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

[0192] 通信部１１４１１は、カメラヘッド１１１０２との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４１１は、カメラヘッド１１１０２から、伝送ケーブル１１４００を介して送信される画像信号を受信する。

[0193] また、通信部１１４１１は、カメラヘッド１１１０２に対して、カメラヘッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0194] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたＲＡＷデータである画像信号に対して各種の画像処理を施す。

[0195] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0196] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて

撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0197] カメラヘッド１１１０２及びＣＣＵ１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0198] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とＣＣＵ１１２０１との間の通信は無線で行われてもよい。

[0199] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0200] ＜移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0201] 図２４は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0202] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図２４に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユ

ニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0203] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0204] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0205] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0206] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0207] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0208] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0209] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0210] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向

車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0211] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２４の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0212] 図２５は、撮像部１２０３１の設置位置の例を示す図である。

[0213] 図２５では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

[0214] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0215] なお、図２５には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像

部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0216] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0217] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0218] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回

避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0219] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0220] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0221] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0222] なお、本技術は以下のような構成も取ることができる。

（１）

半導体基板を貫通する貫通孔と、

前記貫通孔の中心に電極と、

前記電極の周りに空間と

を備える半導体装置。

（２）

前記貫通孔は、前記半導体基板上に形成された絶縁膜も貫通している

前記（１）に記載の半導体装置。

（３）

前記電極の周りにバリアメタルをさらに備える

前記（１）または（２）に記載の半導体装置。

（４）

前記半導体基板と前記空間に絶縁膜をさらに備える

前記（１）乃至（３）のいずれかに記載の半導体装置。

（５）

多層構造の半導体装置であり、

前記電極は、異なる層に形成されている配線を接続する

前記（１）乃至（４）のいずれかに記載の半導体装置。

（６）

前記電極と前記配線は、同一の材料で形成されている

前記（１）乃至（５）のいずれかに記載の半導体装置。

（７）

前記電極は、前記貫通孔の中心に残された前記半導体基板の周りに形成されている

前記（１）乃至（６）のいずれかに記載の半導体装置。

（８）

前記貫通孔は、前記半導体基板上に形成された絶縁膜も貫通し、

前記貫通孔と前記絶縁膜との間には、絶縁物質が充填されている

前記（１）乃至（７）のいずれかに記載の半導体装置。

（９）

前記電極は、バンプと接続されている

前記（１）乃至（８）のいずれかに記載の半導体装置。

（１０）

光電変換を行う光電変換部と、

半導体基板を深さ方向に貫き、隣接する画素にそれぞれ形成されている前記光電変換部の間に形成された画素間遮光部と

を備え、

前記画素間遮光部は、中心に遮光部材を有し、前記遮光部材と前記半導体基板との間に、空間を有する

撮像装置。

（１１）

前記光電変換部の入射面側に形成されている遮光膜をさらに備え、

前記遮光膜と、前記画素間遮光部の遮光部材は、同一材料で一体化形成されている

前記（１０）に記載の撮像装置。

（１２）

半導体基板を貫通する貫通孔と、

前記貫通孔の中心に電極と、

前記電極の周りに空間と

を備える半導体装置を製造する製造装置。

（１３）

前記半導体基板に前記貫通孔を形成し、

前記貫通孔の側面に、所定の材料で膜を形成し、

前記膜が形成された前記貫通孔内に、前記電極を形成し、

前記膜を除去することで、前記空間を形成する

前記（１２）に記載の製造装置。

（１４）

前記膜は異なる材料の２層の膜で形成され、

前記２層の膜のうち、１層の膜が除去されることで、前記空間が形成される

前記（１３）に記載の製造装置。

（１５）

前記２層の膜は、ＳｉＣ膜とＳｉＯ膜であり、前記ＳｉＯ膜が除去される

前記（１４）に記載に製造装置。

（１６）

前記貫通孔、前記膜、前記電極が形成された後、前記半導体基板を薄肉化し、前記薄肉化された前記半導体基板から、前記膜を除去する

前記（１３）乃至（１５）のいずれかに記載の製造装置。

符号の説明

[0223] １０ CMOSイメージセンサ, １１ 画素領域, １２ 制御回路, １３ ロジック回路, １４ 画素駆動線, １５ 垂直信号線, ２１ 垂直駆動部, ２２ カラム処理部, ２３ 水平駆動部, ２４ システム制御部, ３１ 信号処理部, ３２ メモリ部, ５１ 半導体基板, ５２ 半導体基板, ５３ 半導体基板, ５４ 半導体基板, ５５ 半導体基板, ７１ ロジック回路チップ, ７２ メモリチップ, ７３ ＣＩＳチップ, ８１ 貫通電極, １０１ Ｓｉ基板, １０２ ＳｉＯ層, １０３ ＳｉＯ層, １０５ ＳｉＯ層, １１１ 配線, １１２ 配線, １１３ ＡＬパッド, １２１ 電極, １２２ バリアメタル, １２３ 中空溝, １２４ ＳｉＯ膜, １５１ ＳｉＯ膜, １５３ ビア, １５５ ＳｉＣ膜, １５７ ＳｉＯ膜, １５９ バリアメタル, １６１ 金属材, １６３ ＳｉＯ膜, １６５ 穴, １６７ バリアメタル, １６９ 銅, ２１１ ＳｉＯ膜, ２３１ 柱, ２５１ 配線, ２５６ バンプ, ３０１ 入射光, ３１０ 画素, ３１１ マイクロレンズ, ３１３ 平坦化膜, ３１４ 遮光膜, ３１５ 絶縁膜, ３１６ ｐ型半導体領域, ３１７ 受光面, ３１８ 半導体基板, ３２０ ｎ型半導体領域, ３４１ ｐ型半導体領域, ３５０ 配線層, ３５１ 配線, ３５２ 絶縁層, ３６１ 支持基板, ４０１ 緩和層

請求の範囲

[請求項1] 半導体基板を貫通する貫通孔と、

前記貫通孔の中心に電極と、

前記電極の周りに空間と

を備える半導体装置。

[請求項2] 前記貫通孔は、前記半導体基板上に形成された絶縁膜も貫通している

請求項１に記載の半導体装置。

[請求項3] 前記電極の周りにバリアメタルをさらに備える

請求項１に記載の半導体装置。

[請求項4] 前記半導体基板と前記空間に絶縁膜をさらに備える

請求項１に記載の半導体装置。

[請求項5] 多層構造の半導体装置であり、

前記電極は、異なる層に形成されている配線を接続する

請求項１に記載の半導体装置。

[請求項6] 前記電極と前記配線は、同一の材料で形成されている

請求項１に記載の半導体装置。

[請求項7] 前記電極は、前記貫通孔の中心に残された前記半導体基板の周りに形成されている

請求項１に記載の半導体装置。

[請求項8] 前記貫通孔は、前記半導体基板上に形成された絶縁膜も貫通し、

前記貫通孔と前記絶縁膜との間には、絶縁物質が充填されている

請求項１に記載の半導体装置。

[請求項9] 前記電極は、バンプと接続されている

請求項１に記載の半導体装置。

[請求項10] 光電変換を行う光電変換部と、

半導体基板を深さ方向に貫き、隣接する画素にそれぞれ形成されている前記光電変換部の間に形成された画素間遮光部と

を備え、

前記画素間遮光部は、中心に遮光部材を有し、前記遮光部材と前記半導体基板との間に、空間を有する

撮像装置。

[請求項11] 前記光電変換部の入射面側に形成されている遮光膜をさらに備え、

前記遮光膜と、前記画素間遮光部の遮光部材は、同一材料で一体化形成されている

請求項１０に記載の撮像装置。

[請求項12] 半導体基板を貫通する貫通孔と、

前記貫通孔の中心に電極と、

前記電極の周りに空間と

を備える半導体装置を製造する製造装置。

[請求項13] 前記半導体基板に前記貫通孔を形成し、

前記貫通孔の側面に、所定の材料で膜を形成し、

前記膜が形成された前記貫通孔内に、前記電極を形成し、

前記膜を除去することで、前記空間を形成する

請求項１２に記載の製造装置。

[請求項14] 前記膜は異なる材料の２層の膜で形成され、

前記２層の膜のうち、１層の膜が除去されることで、前記空間が形成される

請求項１３に記載の製造装置。

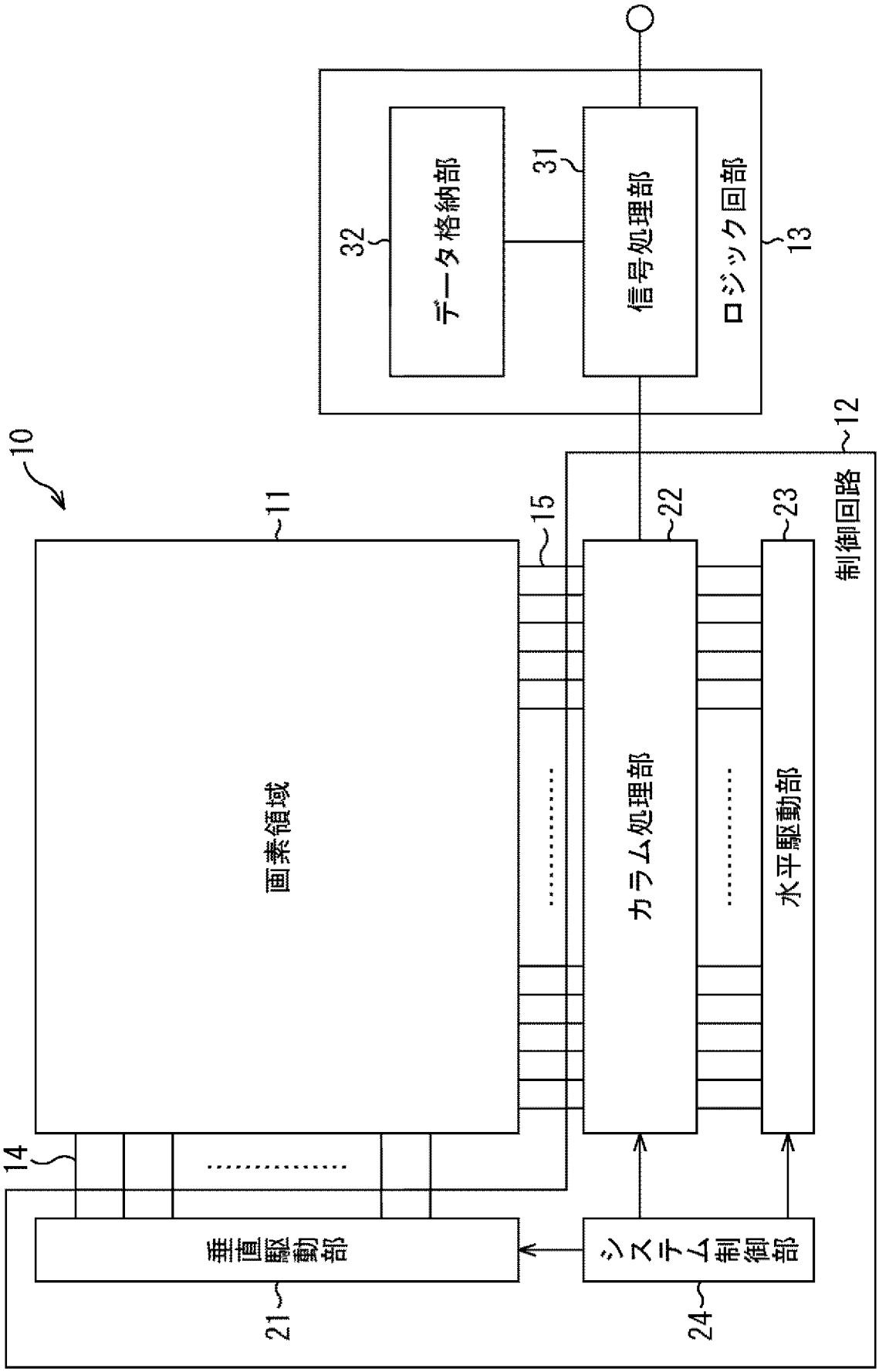
[請求項15] 前記２層の膜は、ＳｉＣ膜とＳｉＯ膜であり、前記ＳｉＯ膜が除去される

請求項１４に記載に製造装置。

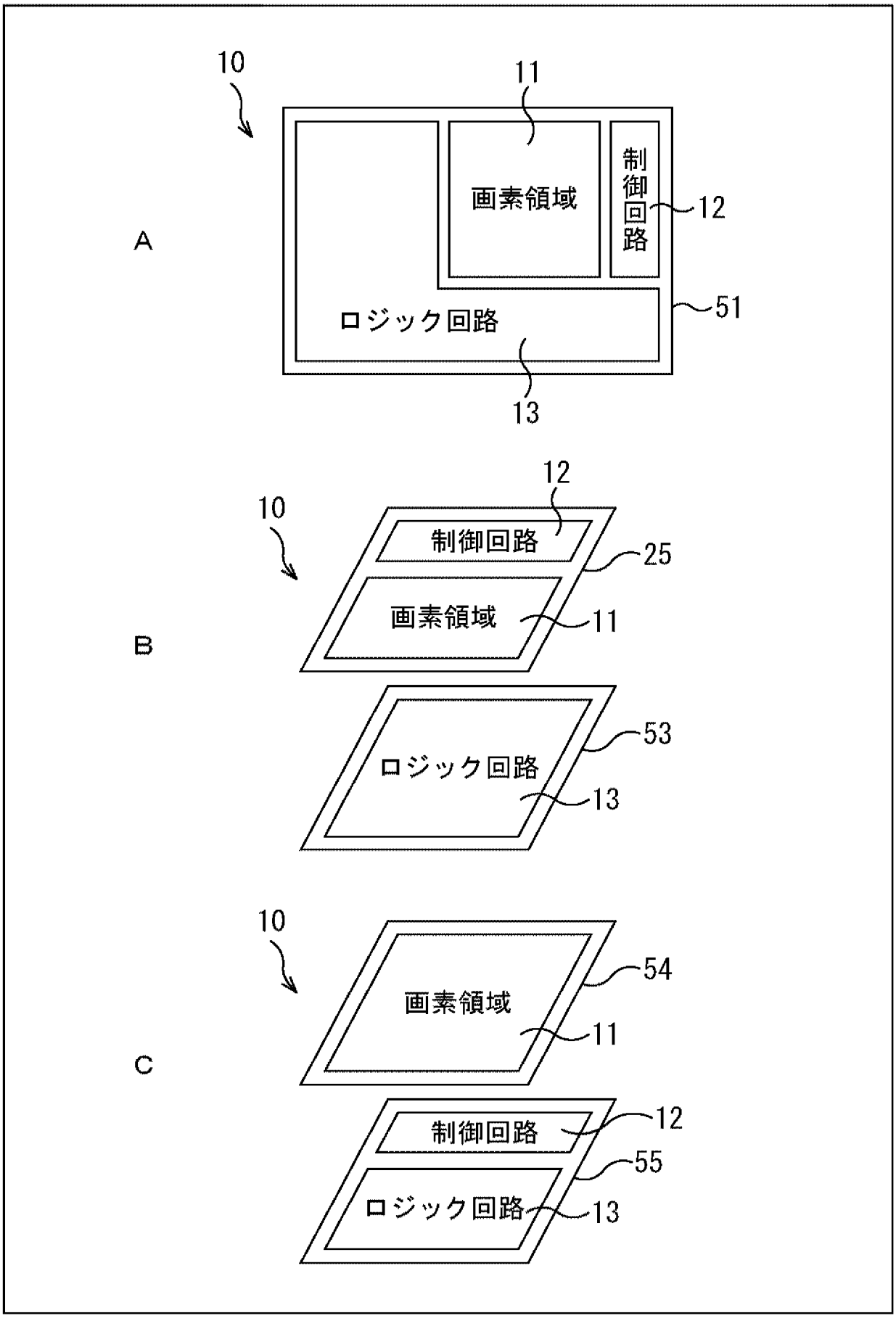
[請求項16] 前記貫通孔、前記膜、前記電極が形成された後、前記半導体基板を薄肉化し、前記薄肉化された前記半導体基板から、前記膜を除去する

請求項１３に記載の製造装置。

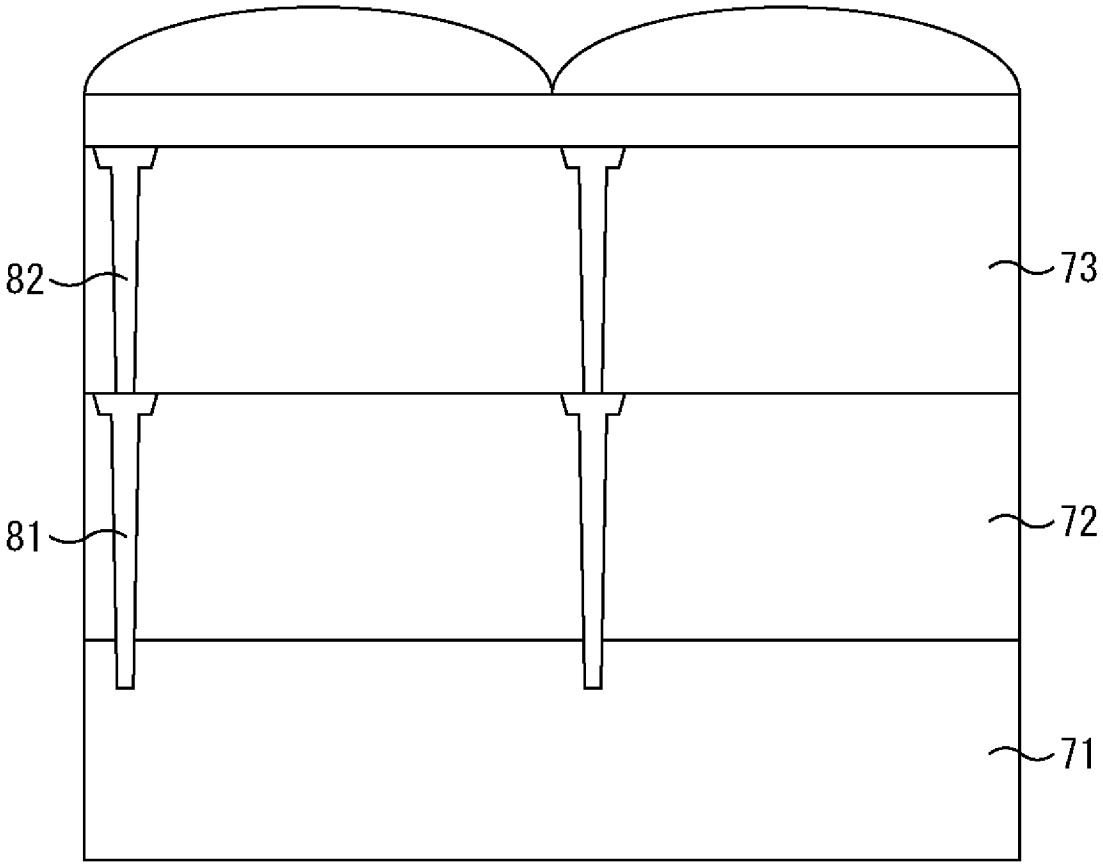
[図1]
FIG. 1


10
11
画素領域
12
制御回路
13
ロジック回路
31
信号処理部
32
データ格納部
14
15
21
垂直駆動部
22
カラム処理部
23
水平駆動部
24
システム制御部

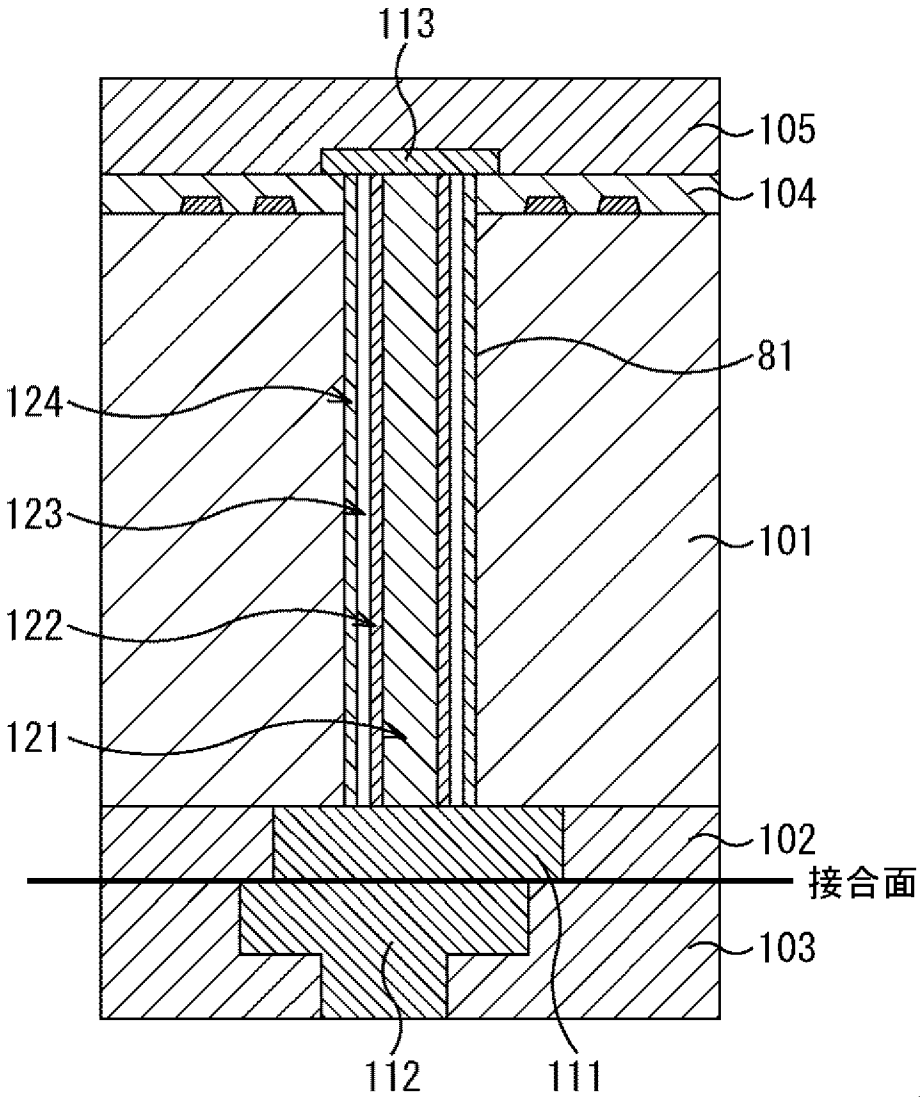
[図2]
FIG. 2


A
10
11
画素領域
制御回路
12
ロジック回路
51
13
B
10
12
制御回路
25
画素領域
11
ロジック回路
53
13
C
10
画素領域
54
11
制御回路
12
55
ロジック回路
13

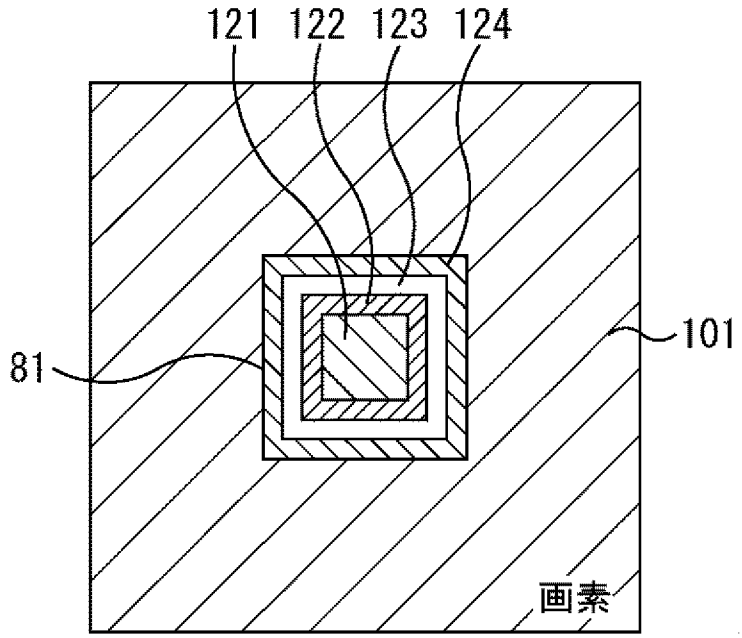
[図3]
FIG. 3



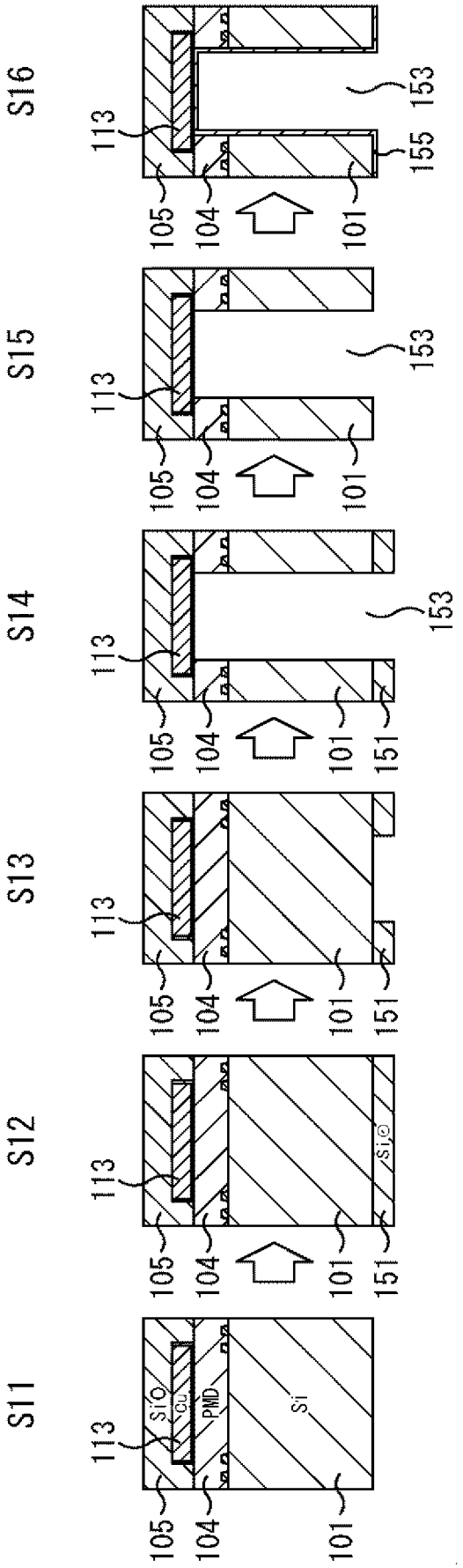
[図4]
FIG. 4



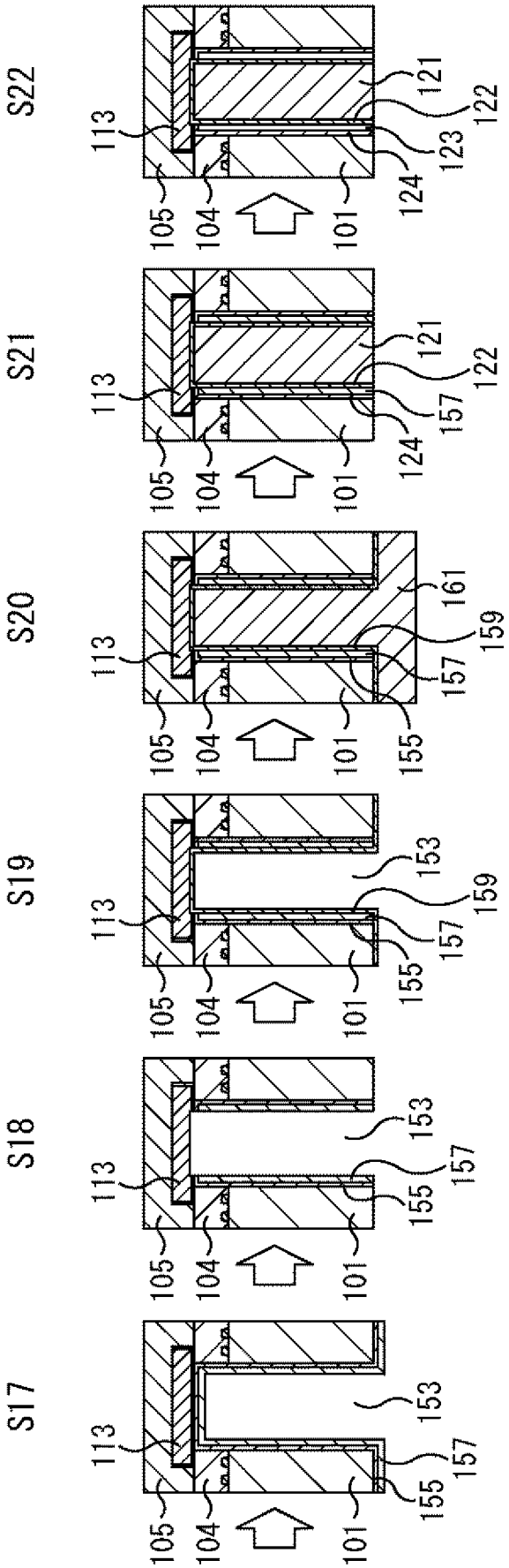
[図5]
FIG. 5



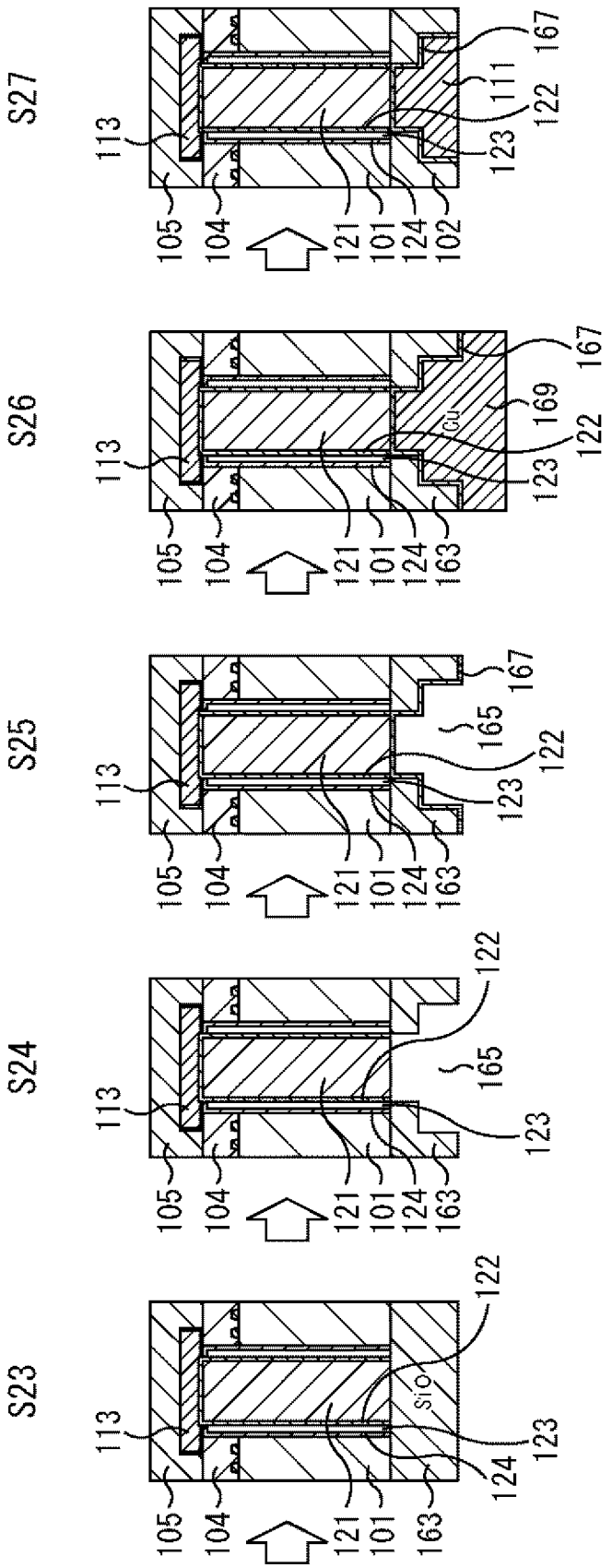
[図6]
FIG. 6



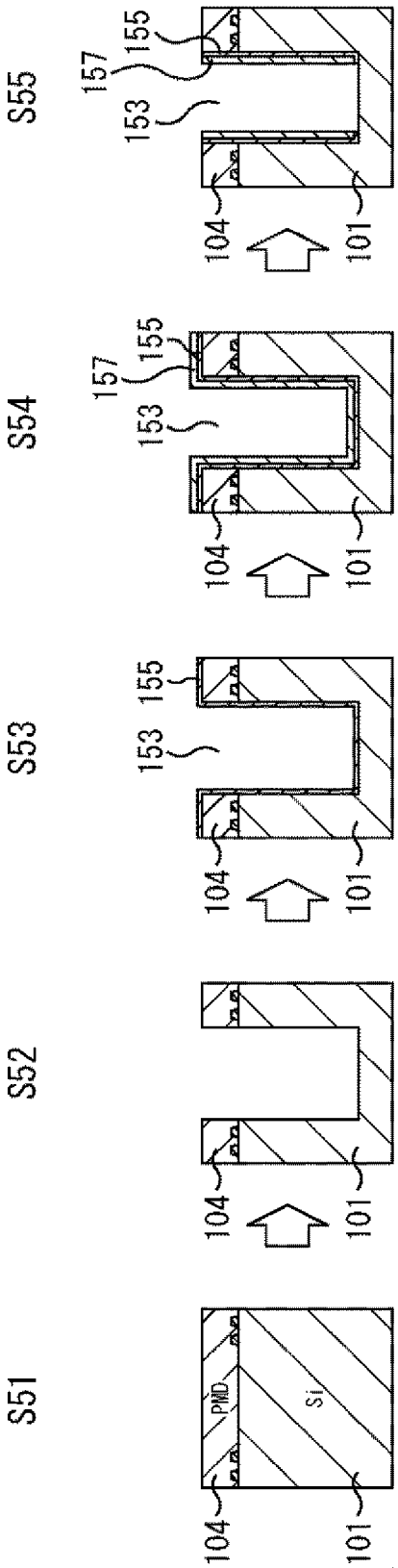
[図7]
FIG. 7


S22
S21
S20
S19
S18
S17
113
105
104
101
121
122
123
124
157
161
159
155
153

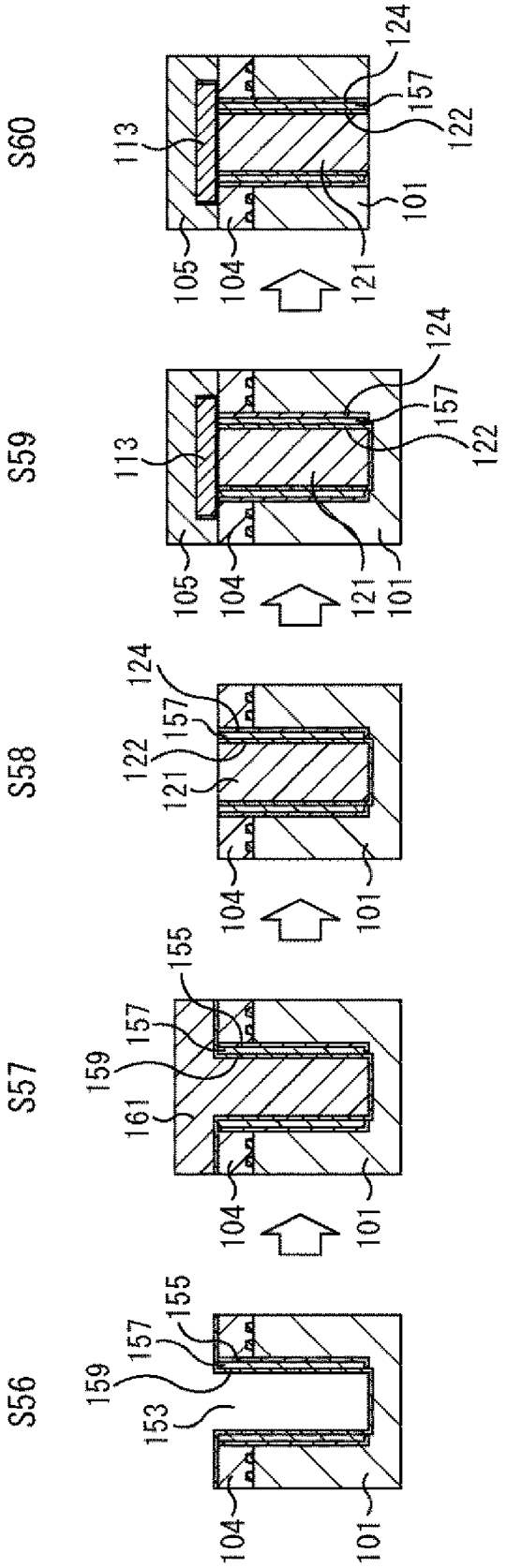
[図8]
FIG. 8


S27
113
105
104
121
101
124
102
123
122
111
167
S26
113
105
104
121
101
124
163
123
122
Cu
169
167
S25
113
105
104
121
101
124
163
123
122
165
167
S24
113
105
104
121
101
124
163
123
165
122
S23
113
105
104
121
101
163
124
123
SiO
122

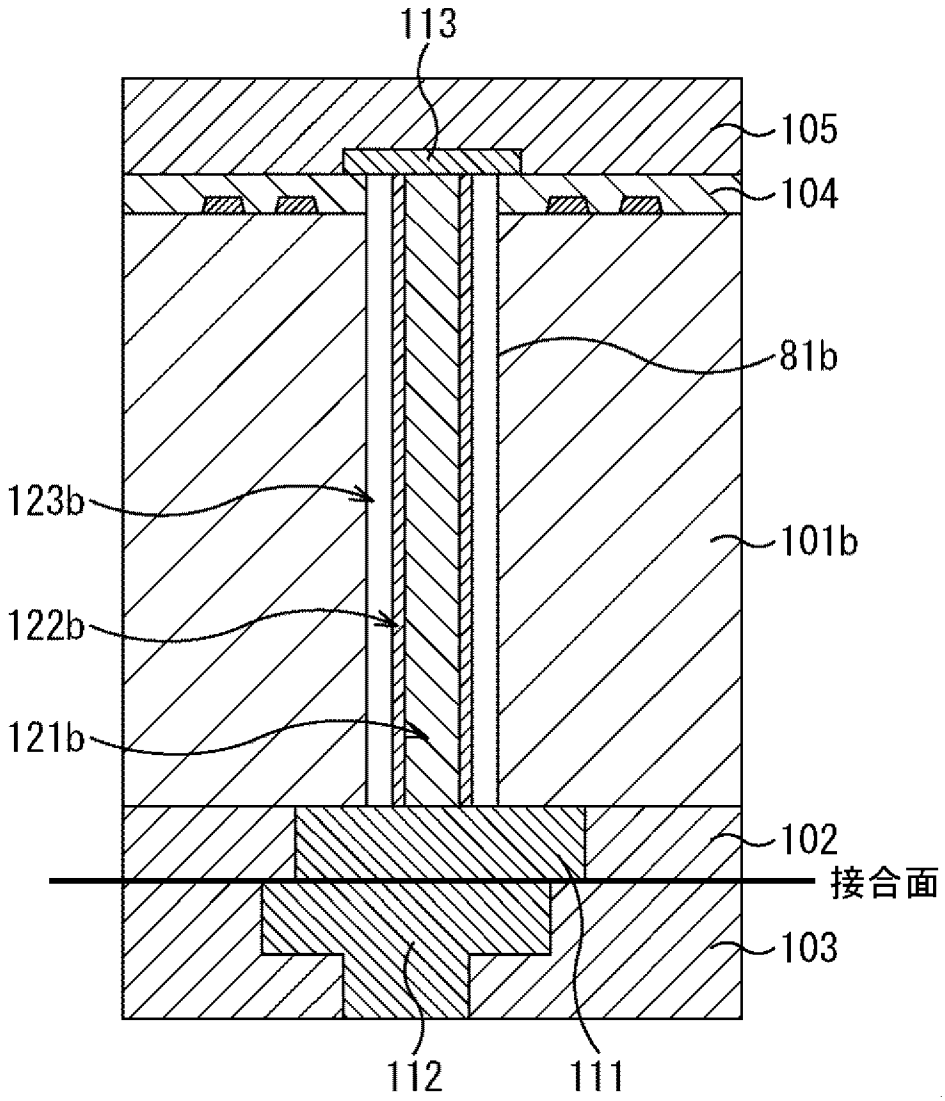
[図9]
FIG. 9



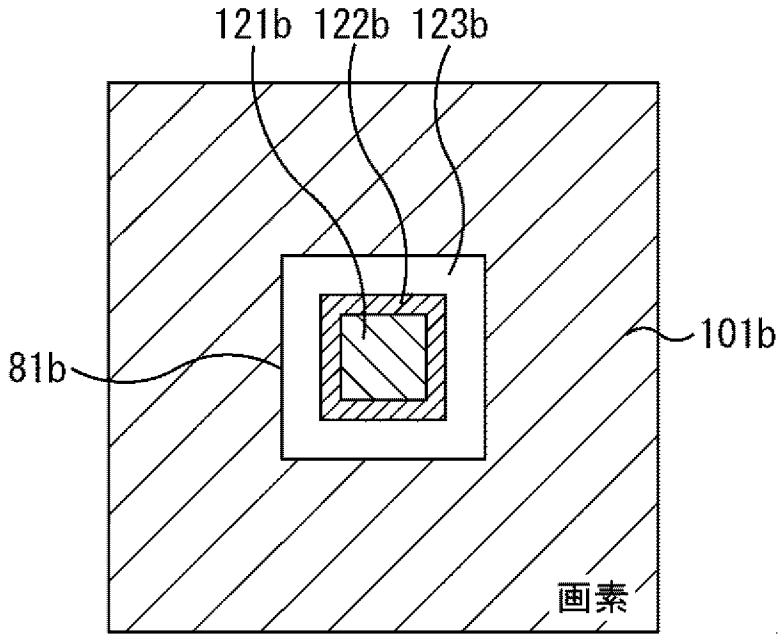
[図10]
FIG. 10


S60
S59
S58
S57
S56
101
104
105
113
121
122
124
153
155
157
159
161

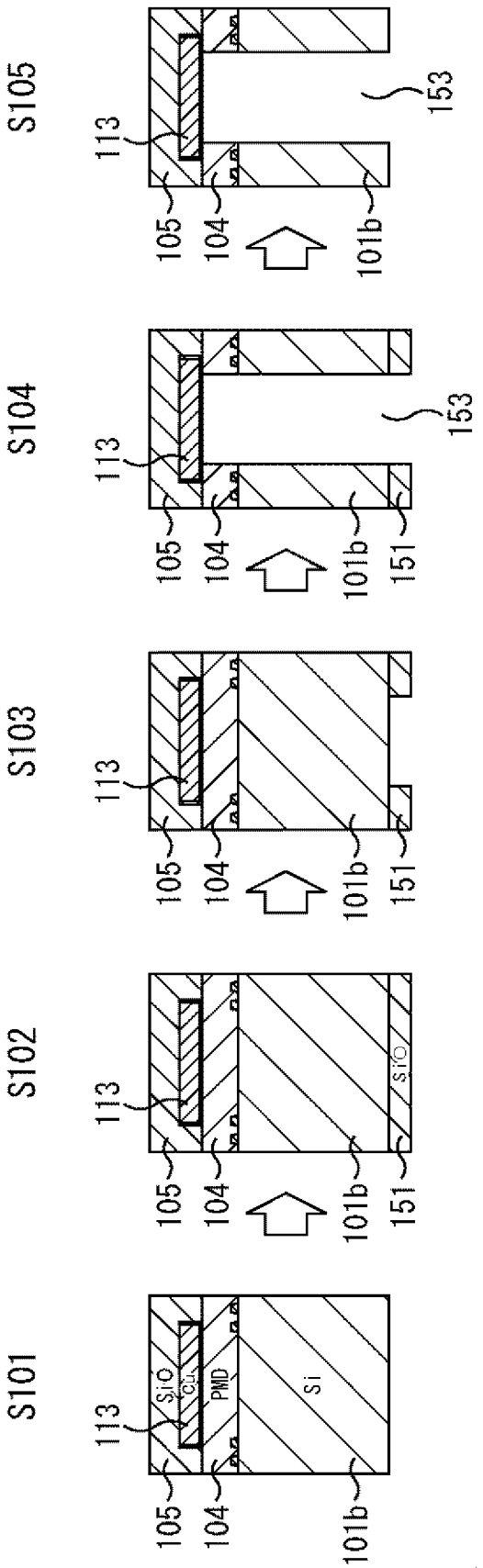
[図11]
FIG. 11



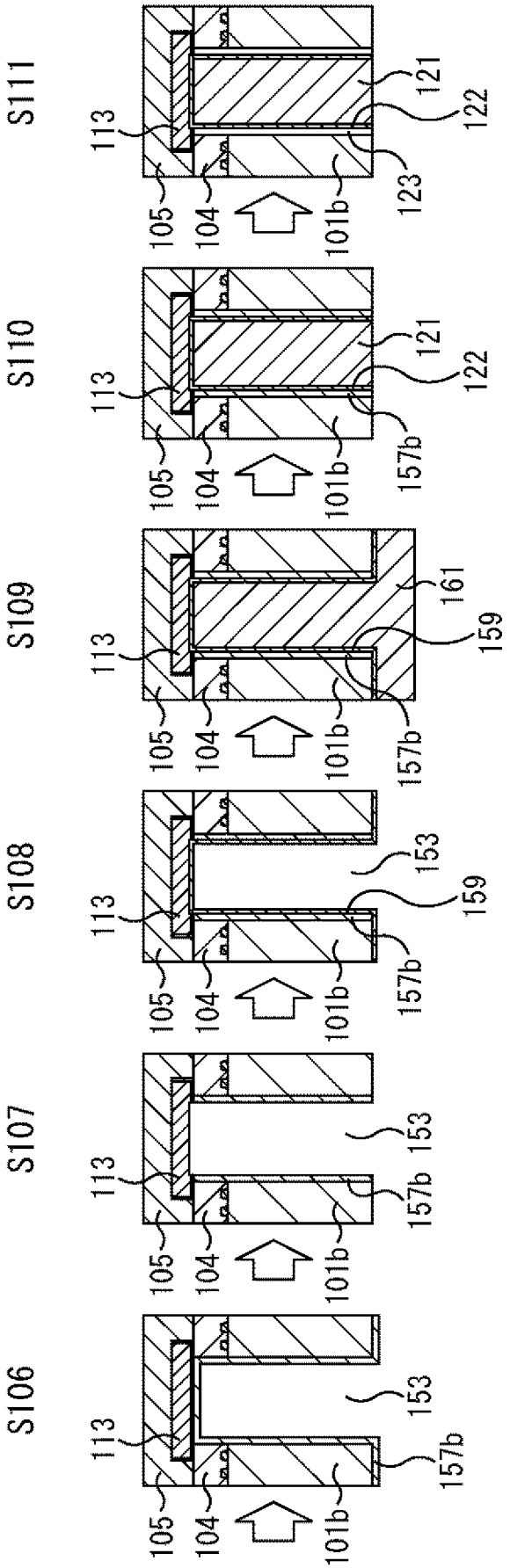
[図12]
FIG. 12



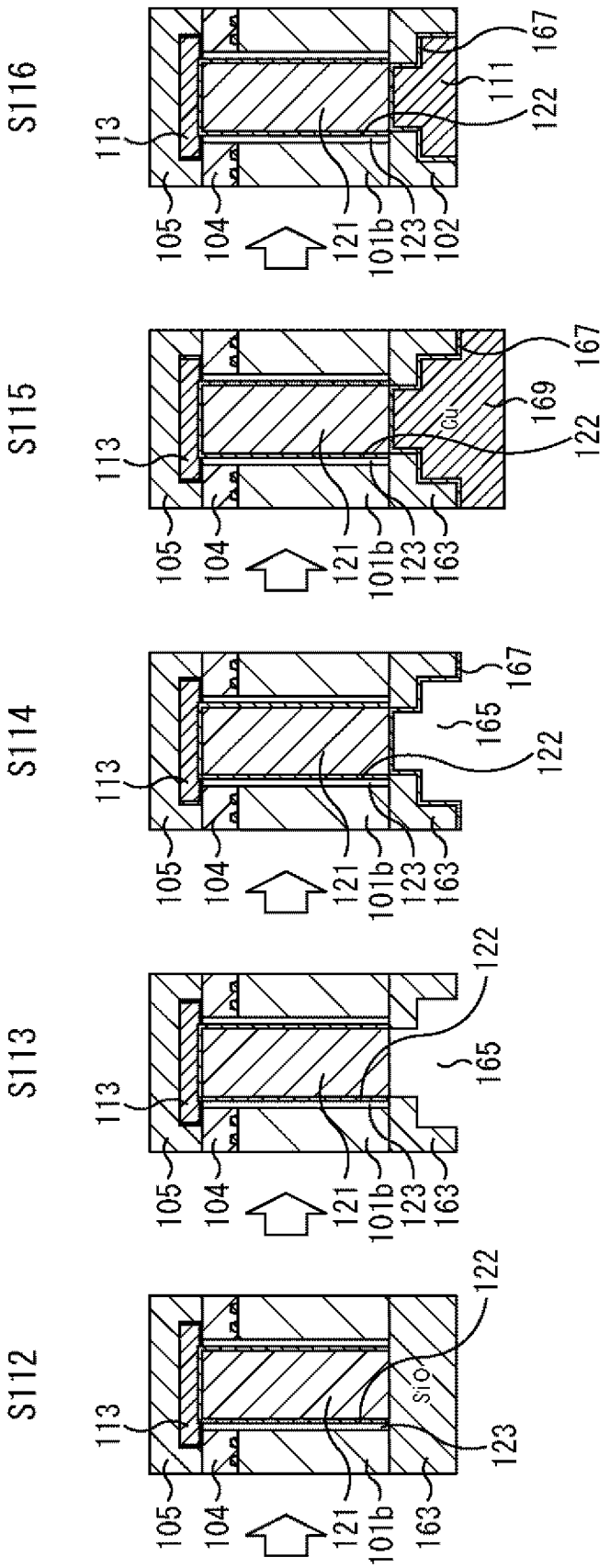
[図13]
FIG. 13



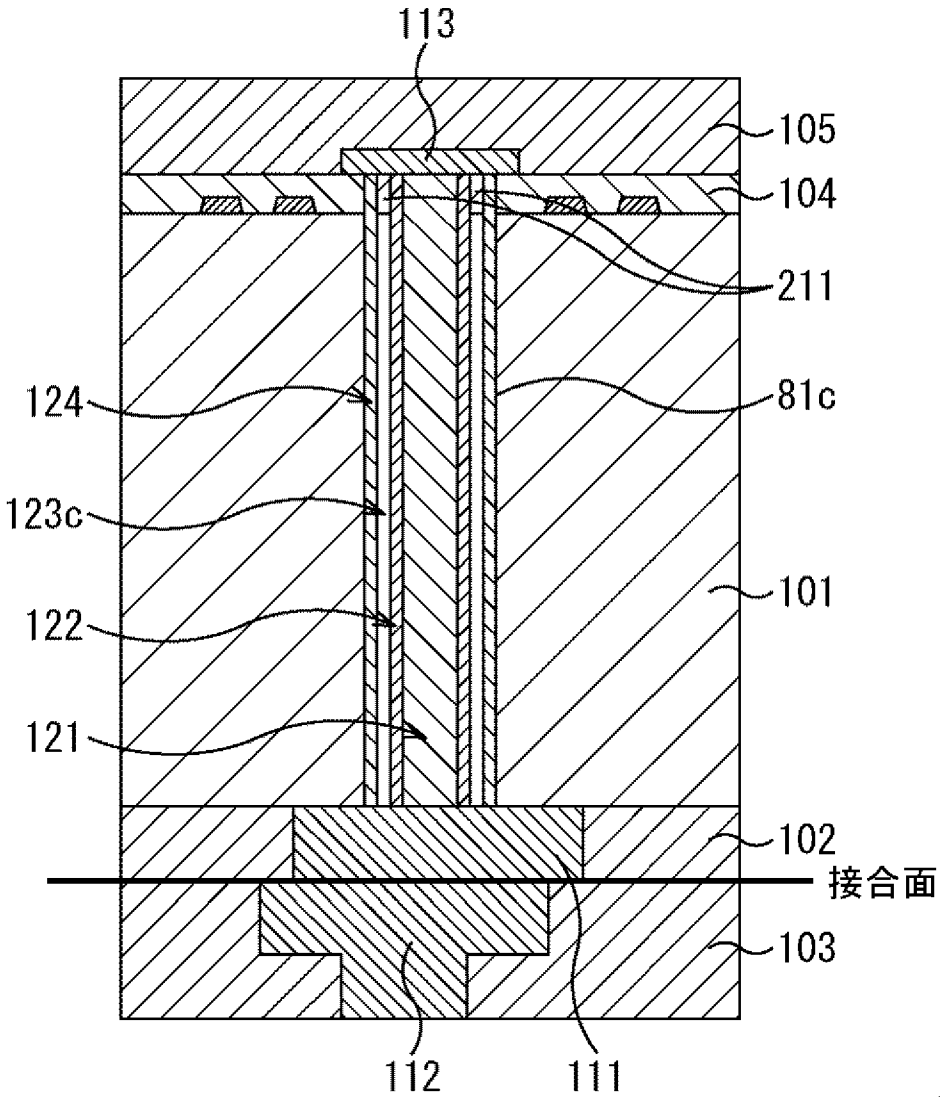
[図14]
FIG. 14


S111
S110
S109
S108
S107
S106
113
105
104
101b
121
122
123
157b
161
159
153

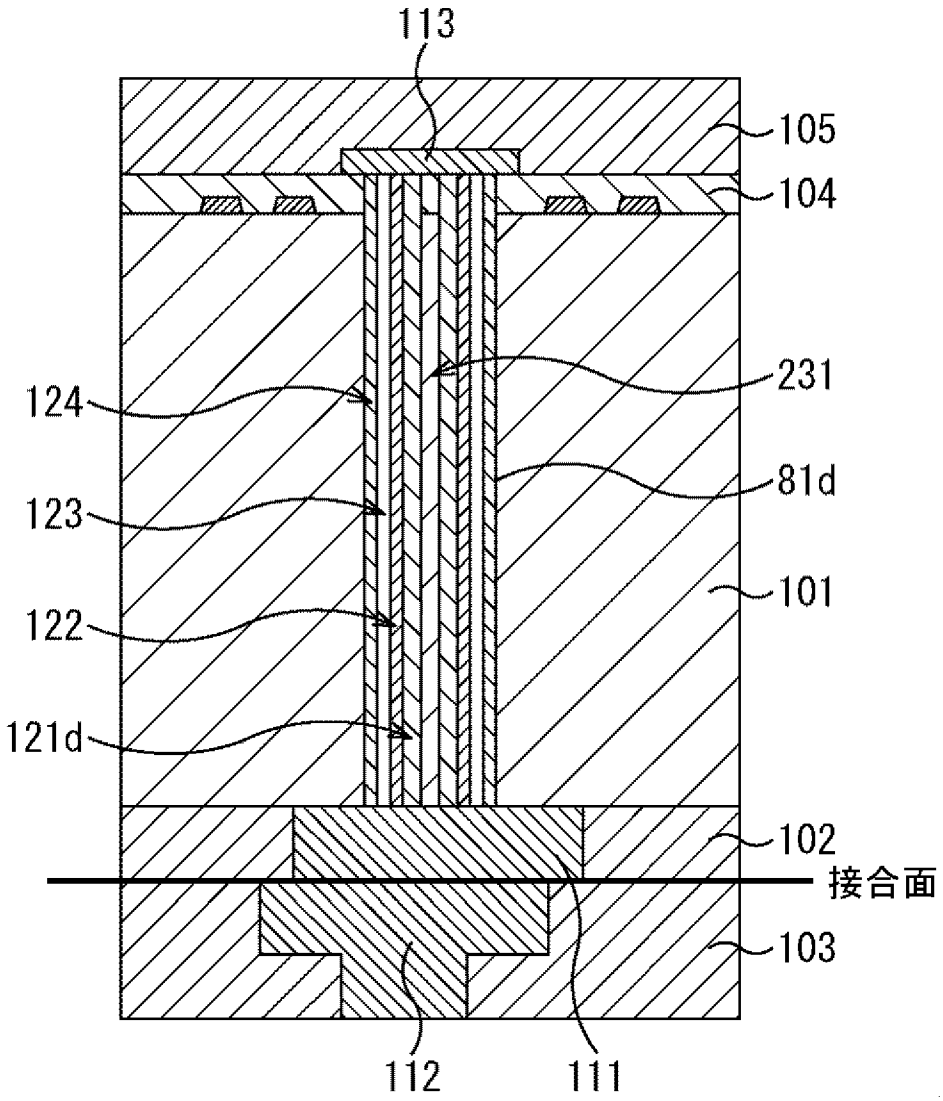
[図15]
FIG. 15


S116
113
105
104
121
101b
123
102
111
122
167
S115
113
105
104
121
101b
123
163
Cu
169
122
167
S114
113
105
104
121
101b
123
163
165
122
167
S113
113
105
104
121
101b
123
163
165
122
S112
113
105
104
121
101b
163
SiO
123
122

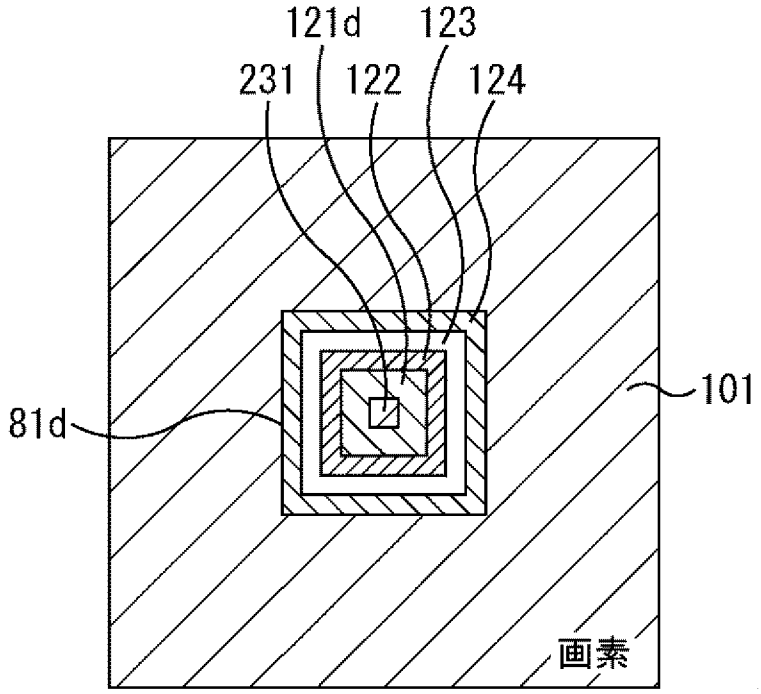
[図16]
FIG. 16



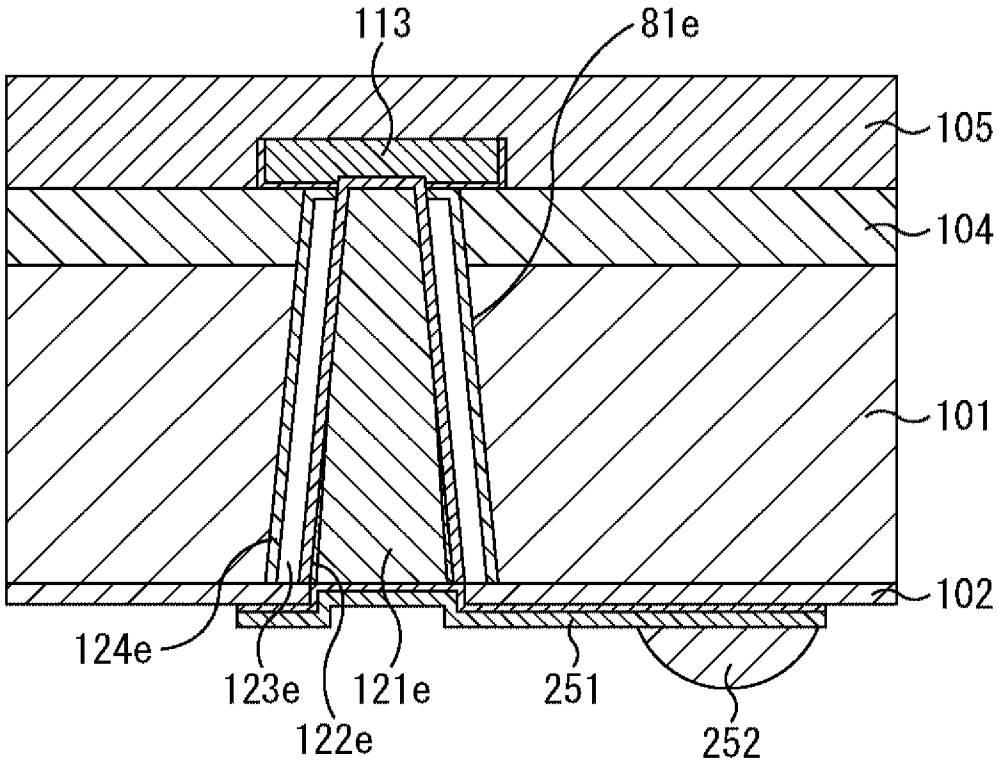
[図17]
FIG. 17



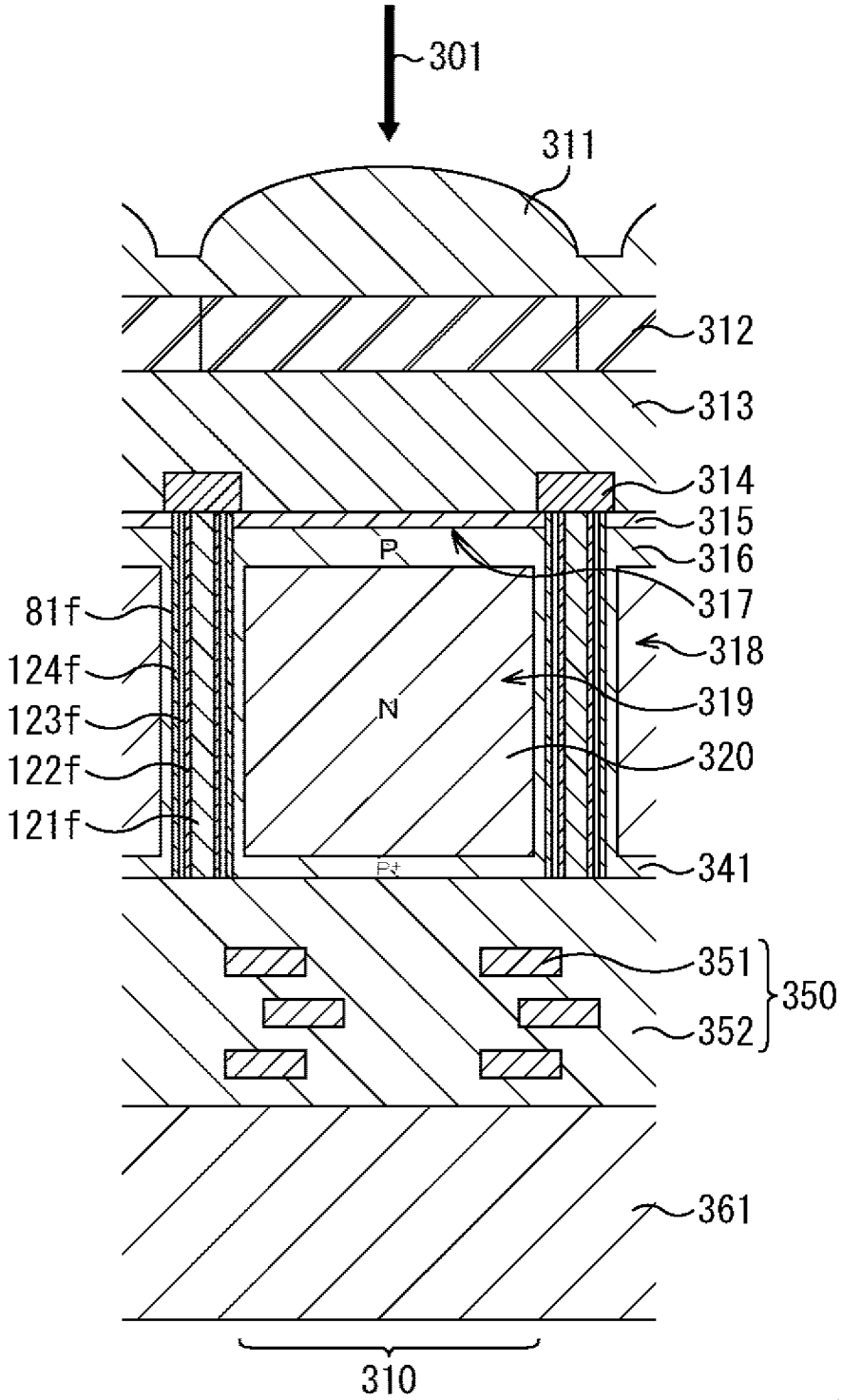
[図18]
FIG. 18



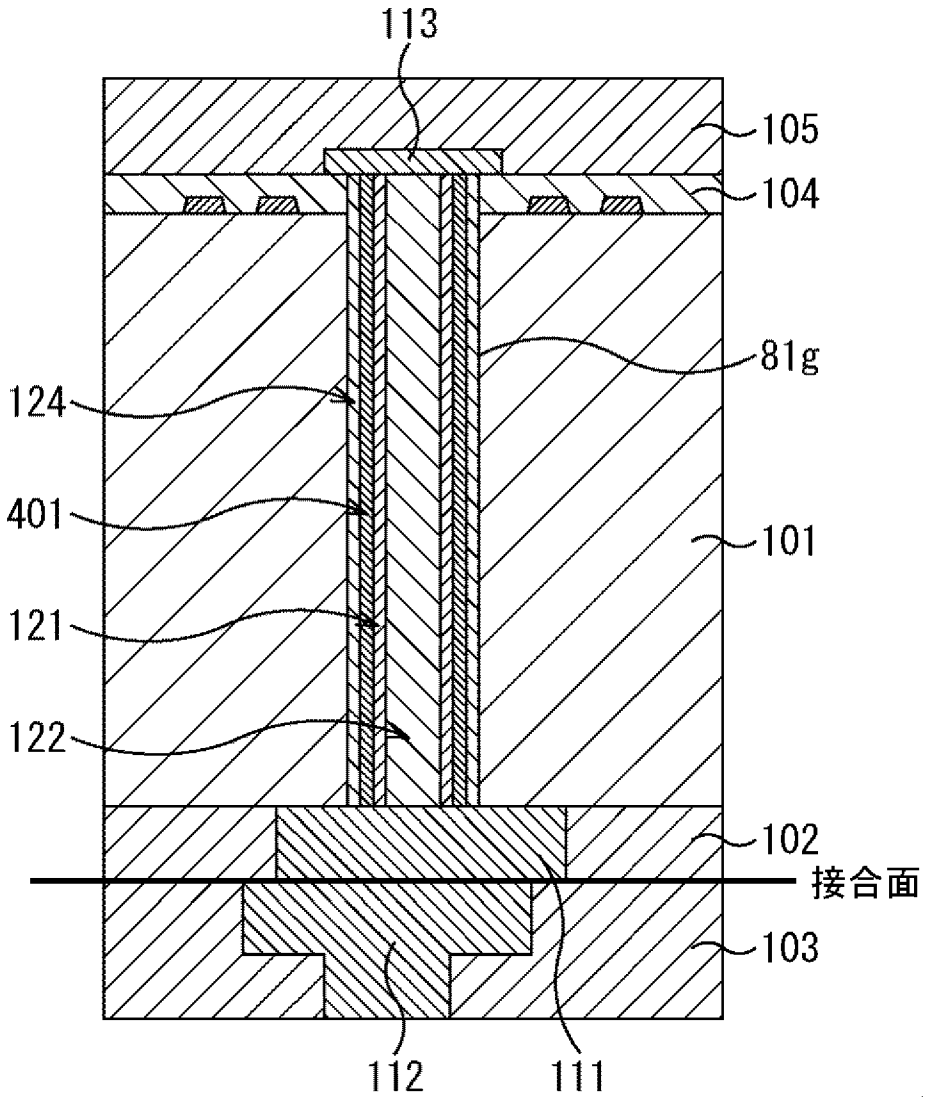
[図19]
FIG. 19



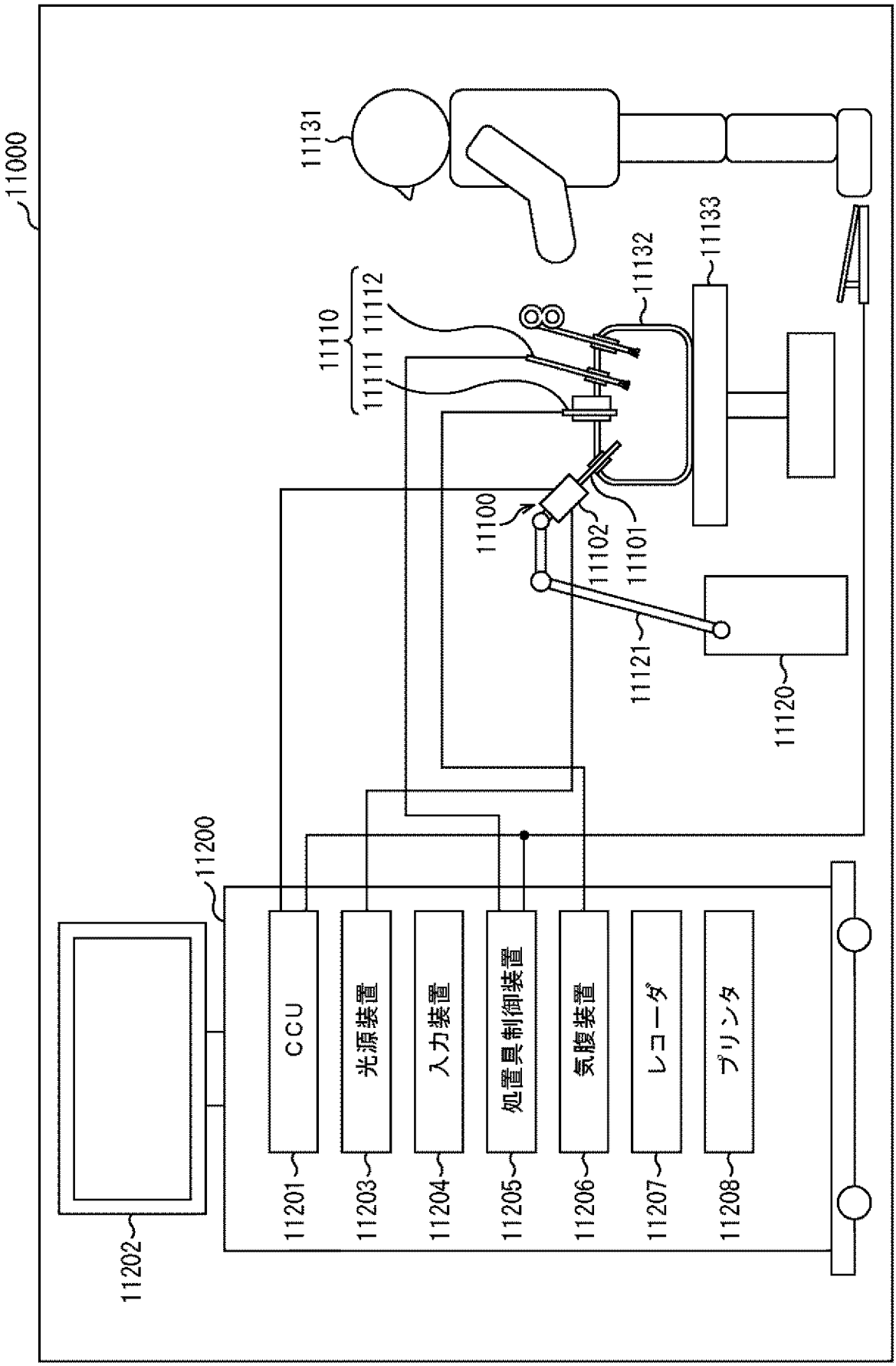
[図20]
FIG. 20


301
311
312
313
314
315
316
317
318
319
320
341
350
351
352
361
310
81f
124f
123f
122f
121f
P
N
P+

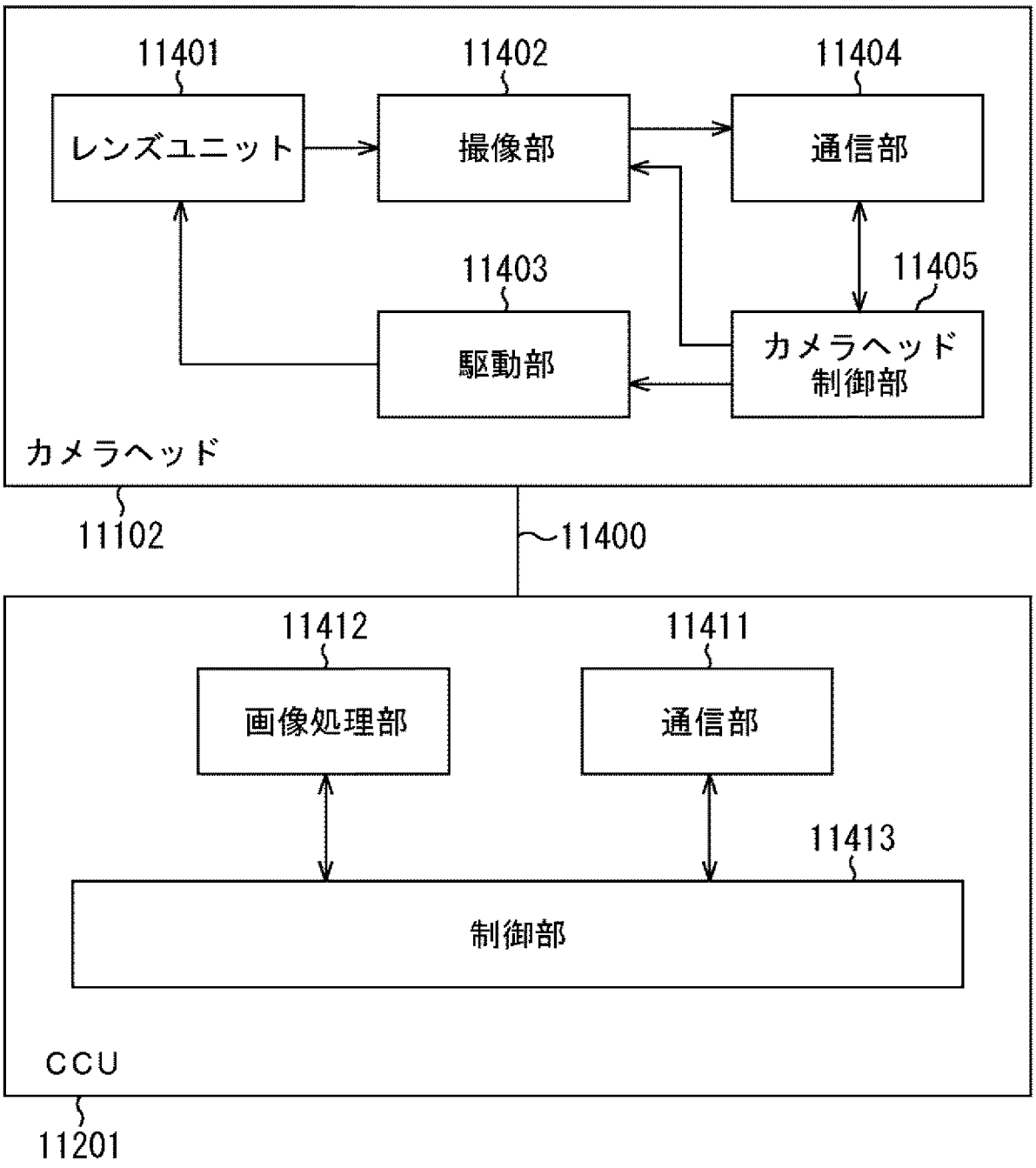
[図21]
FIG. 21



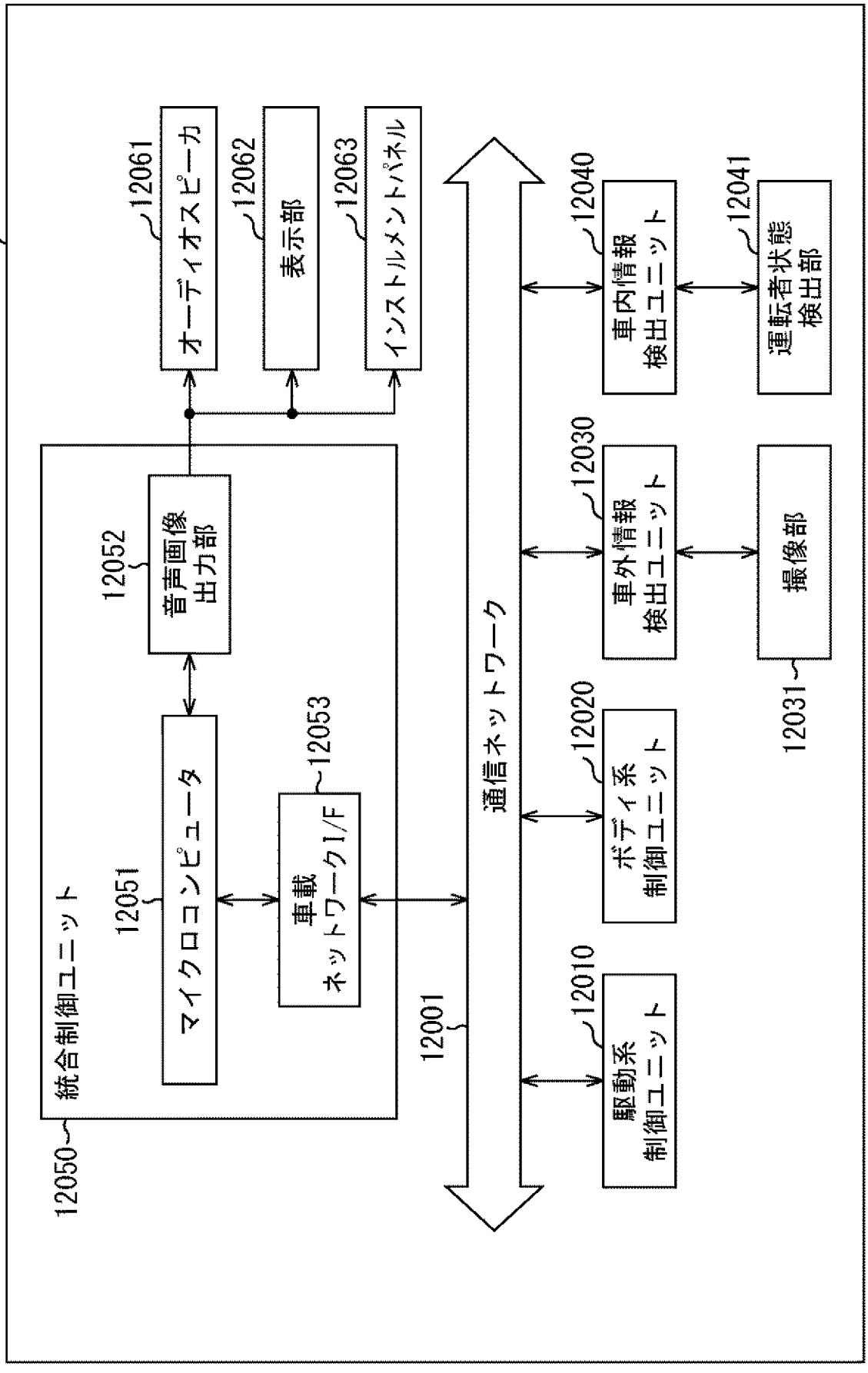
[図22]


11000
11131
11133
11132
11110
11112
11111
11100
11102
11101
11121
11120
11200
CCU
光源装置
入力装置
処置具制御装置
気腹装置
レコーダ
プリンタ
11201
11203
11204
11205
11206
11207
11208
11202

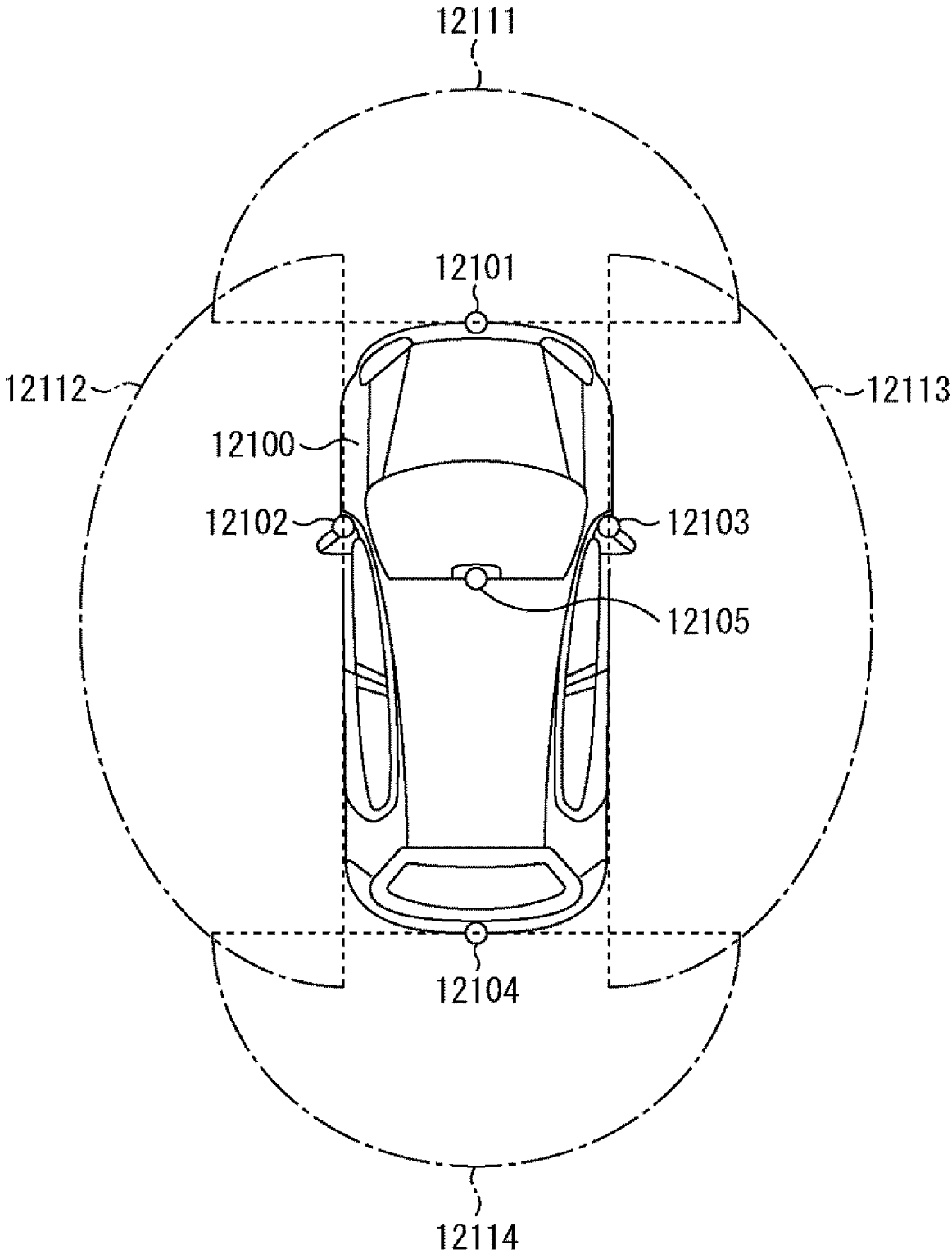
[図23]


11401
レンズユニット
11402
撮像部
11404
通信部
11403
駆動部
11405
カメラヘッド
制御部
カメラヘッド
11102
11400
11412
画像処理部
11411
通信部
11413
制御部
CCU
11201

[図24]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
通信ネットワーク
12020
ボディ系
制御ユニット
12001
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図25]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/037324

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i, H04N5/374(2011.01)i,

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L27/146, H01L21/3205, H01L21/768, H01L23/522, H01L23/532, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2015-038931 A (SONY CORP.) 26 February 2015, paragraphs [0034]-[0040], [0078]-[0085], [0090]-[0107], fig. 1, 9-18 & US 2016/0204156 A1, paragraphs [0068]-[0074], [0112]-[0119], [0124]-[0141], fig. 1, 9-18 & US 2018/0006073 A1 & WO 2015/025723 A1 & CN 105409002 A & KR 10-2016-0045054 A	1-2, 4-6, 8, 12-13 3, 9-11, 16 7, 14-15
Y A	JP 2016-225478 A (TOSHIBA CORP.) 28 December 2016, paragraph [0030], fig. 7 & US 2016/0351492 A1, paragraph [0053], fig. 7B & CN 106206337 A & TW 201642365 A & TW 201735204 A	3, 9 7, 14-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28.11.2018	11.12.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/037324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-228419 A (RENESAS ELECTRONICS CORP.) 10 November 2011, paragraphs [0055]-[0060], fig. 2, 3 & US 2011/0254165 A1, paragraphs [0102]-[0107], fig. 2, 3	3, 9 7, 14-15
Y A	WO 2017/169314 A1 (SONY CORP.) 05 October 2017, paragraphs [0076]-[0095], fig. 15-18 (Family: none)	10-11 7, 14-15
Y A	JP 2013-175494 A (SONY CORP.) 05 September 2013, paragraphs [0094]-[0098], fig. 15 & US 2014/0054662 A1, paragraphs [0135]-[0140], fig. 15 & US 2016/0211288 A1 & US 2016/0336372 A1 & US 2017/0170217 A1 & US 2017/0271385 A1 & WO 2012/117931 A1 & CN 103403869 A & KR 10-2014-0015326 A & CN 105405856 A & CN 106067468 A & CN 106229323 A	11 7, 14-15
Y A	JP 2014-041951 A (RENESAS ELECTRONICS CORP.) 06 March 2014, paragraphs [0053]-[0072], fig. 4-10 (Family: none)	16 7, 14-15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０３７３２４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H01L21/3205, H01L21/768, H01L23/522, H01L23/532, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2015-038931 A (ソニー株式会社) 2015.02.26, 段落[0034]-[0040], [0078]-[0085], [0090]-[0107], [図1], [図9]-[図18] & US 2016/0204156 A1, 段落 [0068] - [0074], [0112] - [0119], [0124] - [0141], 図1, 9-18 & US 2018/0006073 A1 & WO 2015/025723 A1 & CN 105409002 A & KR 10-2016-0045054 A	1-2, 4-6, 8, 12-13 3, 9-11, 16 7, 14-15

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２８．１１．２０１８	国際調査報告の発送日 １１．１２．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　５８９４ 田邊　顕人 電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2016-225478 A (株式会社東芝) 2016.12.28, 段落 [0030], [図 7] & US 2016/0351492 A1, 段落 [0053], 図 7B & CN 106206337 A & TW 201642365 A & TW 201735204 A	3, 9 7, 14-15
Y A	JP 2011-228419 A (ルネサスエレクトロニクス株式会社) 2011.11.10, 段落 [0055] - [0060], [図 2] - [図 3] & US 2011/0254165 A1, 段落 [0102] - [0107], 図 2-3	3, 9 7, 14-15
Y A	WO 2017/169314 A1 (ソニー株式会社) 2017.10.05, 段落 [0076] - [0095], [図 15] - [図 18] (ファミリーなし)	10-11 7, 14-15
Y A	JP 2013-175494 A (ソニー株式会社) 2013.09.05, 段落 [0094] - [0098], [図 15] & US 2014/0054662 A1, 段落 [0135] - [0140], 図 15 & US 2016/0211288 A1 & US 2016/0336372 A1 & US 2017/0170217 A1 & US 2017/0271385 A1 & WO 2012/117931 A1 & CN 103403869 A & KR 10-2014-0015326 A & CN 105405856 A & CN 106067468 A & CN 106229323 A	11 7, 14-15
Y A	JP 2014-041951 A (ルネサスエレクトロニクス株式会社) 2014.03.06, 段落 [0053] - [0072], [図 4] - [図 10] (ファミリーなし)	16 7, 14-15