



(12) 发明专利申请

(10) 申请公布号 CN 102024776 A

(43) 申请公布日 2011.04.20

(21) 申请号 201010151858.X

(22) 申请日 2010.04.19

(30) 优先权数据

61/243,610 2009.09.18 US

12/623,925 2009.11.23 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市新竹科学工业园区力
行六路八号

(72) 发明人 沈文维 陈承先 郭正铮 陈志华
萧景文

(74) 专利代理机构 北京律诚同业知识产权代理
有限公司 11006

代理人 陈红

(51) Int. Cl.

H01L 23/488 (2006.01)

H01L 23/482 (2006.01)

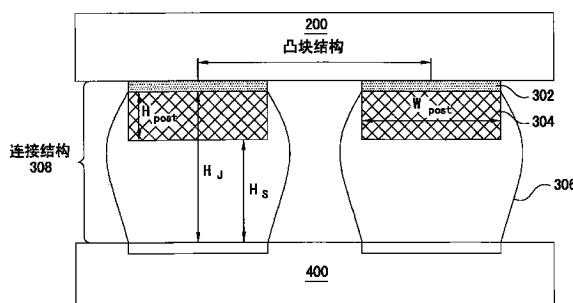
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 发明名称

封装组合与应用此封装组合的集成电路装置

(57) 摘要

本发明为一种封装组合与应用此封装组合的集成电路装置。例示性的封装组合包含第一基材、第二基材以及设置于第一基材与第二基材间的连接结构。每一连接结构包含位于第一基材和第二基材间的内连接柱体以及位于此内连接柱体与第二基材间的焊料，其中内连接柱体具有一宽度和一第一高度。每两相邻的连接结构间的距离是以间隙来表示。前述的第一高度小于此间隙的一半。



1. 一种覆晶封装组合，其特征在于，包含：

—第一基材；

—第二基材；以及

多个连接结构，设置于该第一基材和该第二基材之间，其中每两相邻的该些连接结构之间的距离以一间隙来定义；

其中每一该些连接结构包含位于该第一基材与该第二基材间的一内连接柱体以及位于该内连接柱体与该第二基材间的一连接焊料；

其中该内连接柱体具有一宽度和一第一高度；

其中该第一高度与该间隙彼此之间的关系以下列关系式来表示：

该第一高度 $< 0.5 \times$ 该间隙。

2. 根据权利要求 1 所述的覆晶封装组合，其特征在于，该宽度与该间隙彼此之间的关系是以下列关系式来表示：

该宽度 $> 0.6 \times$ 该间隙。

3. 根据权利要求 2 所述的覆晶封装组合，其特征在于，该第一高度与该间隙彼此之间的关系式是以下列关系式来表示：

$0.21 \times$ 该间隙 $<$ 该第一高度 $< 0.24 \times$ 该间隙。

4. 根据权利要求 1 所述的覆晶封装组合，其特征在于，该连接结构具有一第二高度，而该连接焊料具有一第三高度，其中该第二高度和该第三高度的一比值是以下式来表示：

该第三高度 / 该第二高度 > 0.44 。

5. 一种集成电路，其特征在于，包含：

一半导体基材，包含多个接合垫；以及

多个凸块结构，形成于该半导体基材上方并电性连接至该些接合垫，其中每两相邻的该些凸块结构之间的距离是以一间隙来定义；

其中，每一该些凸块结构包含一铜柱，该铜柱具有一宽度和一高度，且该高度小于该间隙的一半。

6. 根据权利要求 5 所述的集成电路，其特征在于，该宽度与该间隙的比值大于 0.6。

7. 根据权利要求 5 所述的集成电路，其特征在于，该高度与该间隙的比值介于 0.24 和 0.21 之间。

8. 一种封装组合，其特征在于，包含：

—第一基材和—第二基材；以及

多个连接结构，耦接于该第一基材和该第二基材之间，该些连接结构包含一内连接柱体和一连接焊料，其中每两相邻的该些连接结构之间的距离是以一间隙来定义；

其中，该连接结构具有一第一高度，该内连接柱体具有一第二高度，而该焊料具有一第三高度，该第二高度小于该间隙的一半。

9. 根据权利要求 8 所述的封装组合，其特征在于，该第三高度和该第一高度的比值大于 0.44。

10. 根据权利要求 8 所述的封装组合，其特征在于，该第一高度和该间隙的比值的范围介于 0.21 至 0.24 之间。

封装组合与应用此封装组合的集成电路装置

技术领域

[0001] 本发明是有关于一种封装组合与应用此封装组合的集成电路装置。

背景技术

[0002] 半导体集成电路 (IC) 工业经历了快速的成长。 在集成电路技术产生变革的期间，当几何尺寸（例如：运用一制程可制造获得的最小元件（或线））变小时，功能密度（例如：每一芯片区域的内连接装置的数量）一般都会增加。此小型化制程一般是通过增加生产效率和降低相关的成本来提供益处。此缩小化也增加了 IC 制造与加工的复杂度，而且为了这些欲实现的发展，在 IC 加工和制造中需要有类似的发展。

[0003] 例如，内连接和封装问题所引起的需求不仅包含对快速且高效率的 IC 的需求，也包含对同样高速且可靠的封装的需求。例示性的芯片封装系统被称为“覆晶 (flip-chip)”技术，一种将 IC 设置在封装体上的系统。此系统牵涉到将焊接凸块置放在晶粒或 IC 上；翻转 IC；将 IC 与基材上的接触垫对准；以及回焊焊球来建立 IC 和基材间的连接。焊球是做为 IC 和基板间的内连接体。在已知的内连接几何中，可观察到已知内连接几何展现出凸块疲劳以及不受欢迎的连接可靠度。因此，出现一种解决这些内连接几何问题的需求。

发明内容

[0004] 本发明的目的在于提供一种覆晶封装组合、集成电路、及封装组合，解决现有技术中的内连接几何问题。

[0005] 本发明准备了多个实施例。例示性的覆晶封装组合包含第一基材、第二基材和设置于第一基材与第二基材间的多个连接结构。每一连接结构包含位于第一基材与第二基材间的内连接柱体以及位于内连接柱体和第二基材间的焊料，其中内连接柱体具有宽度和第一高度。每两相邻连接结构之间的距离是以间隙 (pitch) 来定义。第一高度小于间隙的一半。

[0006] 例示性的集成电路装置包含有接合垫的半导体基材以及形成于半导体基材上方且电性连接至接合垫的凸块结构，其中每两相邻连接结构之间的距离是以间隙来定义。每一凸块结构包含铜柱，此铜柱具有宽度和高度，其中高度小于间隙的一半。

[0007] 例示性的封装组合包含：一第一基材和一第二基材；以及多个连接结构，耦接于该第一基材和该第二基材之间，该些连接结构包含一内连接柱体和一连接焊料，其中每两相邻的该些连接结构之间的距离是以一间隙来定义；其中，该连接结构具有一第一高度，该内连接柱体具有一第二高度，而该焊料具有一第三高度，该第二高度小于该间隙的一半。

[0008] 本发明的实施例的连接结构几何有益地增加连接可靠度和减轻凸块疲劳问题。

附图说明

[0009] 为让本发明的上述和其它目的、特征、和优点能更明显易懂，上文特举一较佳实施例，并配合所附附图，作详细说明如下：

[0010] 图 1 是绘示根据本发明的一方面的用以封装集成电路装置的方法的流程示意图；

[0011] 图 2 是绘示根据本发明的一方面的上方设置有凸块结构的集成电路装置的实施例的剖面示意图；

[0012] 图 3A-3B 是绘示根据图 1 的方法的集成电路装置封装制程的实施例的各种不同剖面示意图。

【主要元件符号说明】

[0014] 100：方法 102：方块

[0015] 104：方块 106：方块

[0016] 200：第一基材 204：接合垫

[0017] 206：钝化层 300：凸块结构

[0018] 302：底层凸块金属化层 304：内连接柱体

[0019] 306：焊料 306a：焊料层

[0020] 306b：焊料层 308：连接结构

[0021] 400：第二基材 H_J ：连接结构高度

[0022] H_{Post} ：内连接柱体高度 H_s ：连接焊料高度

[0023] W_{Post} ：内连接柱体宽度

具体实施方式

[0024] 本发明一般是有关于集成电路封装制程，特别是有关于应用于覆晶封装制程的内连接结构。

[0025] 可以理解的是，在本说明中提供了许多不同的实施例或范例，以完成本发明的不同特征。以下所讨论的元件和配置的特定实施例仅用以简化本发明。当然，这些仅为实施例，而并非用以限定本发明的范围。例如，在说明中提到第一特征形成在第二特征的上方或之上时，此说明包含第一特征与第二特征直接接触的实施例，也包含额外特征形成于第一特征与第二特征间的实施例，所以第一特征与第二特征是非直接接触。另外，为了简化及清楚说明起见，重复使用参考数字及 / 或符号于本发明的各实施例中，然而此重复本身并非规定所讨论的各实施例及 / 或配置之间必须有任何的关联。

[0026] 参照图 1、2 和 3A-3B，方法 100、集成电路装置 200（亦可选择性地称为半导体装置）、凸块结构 300 以及封装基材 400 整体叙述如下。可了解到，在方法 100 之前、之间和之后，可提供额外的步骤，而且以下所描述的一些步骤可因为额外的实施例而被置换或移除。可以理解的是，在集成电路装置 200、凸块结构 300 和封装结构 400 中，可加入额外的特征，而且以下所描述的一些特征可因为集成电路装置 200、凸块结构 300 和封装结构 400 的额外实施例而被置换或移除。

[0027] 参照图 1 和图 2，在方法 100 的方块 102 中，提供其内形成有微电子元件的第一基材 200。在本实施例中，第一基材 200 为集成电路装置。第一基材 200 为包含硅的半

导体基材。第一基材 200 可选择性地包含基本半导体，包含结晶硅和 / 或结晶锗；化合物半导体，包含碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或锑化铟；合金半导体，包含硅锗 (SiGe)、磷砷化镓 (GaAsP)、砷化铟铝 (AlInAs)、砷化铝镓 (AlGaAs)、砷化铟镓 (GaInAs)、磷化铟镓 (GaInP) 和 / 或磷砷化铟镓 (GaInAsP)；或是其组合物。合金半导体基材可具有梯度性的硅锗特征，在此梯度性硅锗特征中，硅锗合成物的成分比值是从梯度性硅锗特征中的一个位置的值变化至梯度性硅锗特征中的另一个位置的值。此合金硅锗可形成于硅基材上。硅锗基材可受到应变作用。再者，半导体基材可为绝缘层上覆硅 (semiconductor on insulator；SOI)。在一些范例中，半导体基材可包含被掺杂的磊晶层。在其它的范例中，硅基材可包含多层化合物半导体结构。

[0028] 第一基材 200 可根据本领域公知的设计要求（例如：P 形井或 N 型井）来包含各种不同的掺杂区域。这些掺杂区域掺杂有 P 型掺杂物，例如硼或二氟化硼 (BF₂)；N 型掺杂物，例如：磷或砷；或是其组合物。掺杂区域可以 P 型井结构、N 型井结构；双井结构或使用成长结构，来直接形成于第一基材 200 上。第一基材 200 可还包含各种不同的主动区域，例如为 N 型金属氧化半导体 (NMOS) 晶体管装置所设计的区域以及为 P 型金属氧化半导体 (PMOS) 晶体管装置设计的区域。

[0029] 第一基材 200 可还包含多个隔离特征（未绘示），例如：浅沟渠隔离 (shallow trench isolation；STI) 特征或区域性硅氧化 (local oxidation of silicon；LOCOS) 特征。隔离特征可定义及隔离各种不同的微电子元件（未绘示）。可形成于第一基材 200 上的各种微电子元件的例子包含晶体管（例如：金属氧化半导体场效晶体管 (metal oxide semiconductor field effect transistors；MOSFET)，互补金属氧化半导体 (complementary metal oxide semiconductor；CMOS) 晶体管，双载子接面晶体管 (bipolar junction transistors；BJT)、高电压晶体管、高频率晶体管、P 信道和 / 或 n 信道场效晶体管；电阻；二极管；电容；电感；保险丝以及其它合适的元件。执行各种不同的制程来形成各种不同的微电子元件，这些制程包含沉积、蚀刻、植入、微影、退火以及其它合适的制程。微电子元件彼此互相内连接来形成集成电路装置，例如：逻辑装置、内存装置（例如：SRAM）、RF 装置、输入 / 输出装置 (I/O)、系统单芯片 (system-on-chip；SOC)、上述装置的组合物以及其它合适的装置。

[0030] 集成电路装置可还包含形成于第一基材 200 上的内连接结构。例如，此内连接结构可包含内层介电 (inter-layer dielectric；ILD) 层、内金属介电 (inter-metaldielectric；IMD) 层和金属化层。内连接结构中的内层介电层和内层金属介电层包含低介电常数 (low-k) 材料、未掺杂硅玻璃 (un-doped silicate glass；USG)、氮化硅、氮氧化硅或其它合适的材料。低介电常数材料的介电常数 (k 值) 可实质小于 3.9 或实质小于 2.8。金属化层可形成金属线于内连接结构中，此内连接结构可用铜或铜合金来形成。本领域已知技艺者可了解内连接结构的详细信息。

[0031] 第一基材 200 还包含接合垫 204。接合垫 204 为形成于上层内层介电层中的上部金属化层，此上部金属化层为导线的一部分且具有露出的表面，此露出表面如果有必要，可以平坦化制程，例如：化学机械研磨 (chemical mechanical polishing；CMP)，来处理。用于接合垫 204 的合适材料包含如铜、铝、铜合金、移动导电材料，但不受限于此，然而接合垫 204 也可包含其它材料，例如：铜、银、金、镍、钨、上述材料的合金

和 / 或上述材料的多层结构，或利用这些材料来形成。接合垫 204 的外形可具有任何合适的步进高度，以实现适合的接合特性。提供钝化层 206 于第一基材 200 上，并图案化来露出接合垫 204 的一部分。钝化层 206 可用无机材料来形成，这些无机材料选自未掺杂硅玻璃、氮化硅、氮氧化硅、氧化硅及其组合物。钝化层 206 可选择性地以聚合物层来形成，此聚合物层可例如为环氧化物、聚亚酰胺、苯环丁烯 (BCB)、聚苯恶唑 (PBO) 或者如此类的材料。其它相对较软的介电材料（通常是有机的）也可以被使用。

[0032] 在方块 104 中，凸块结构 300 形成于第一基材 200 上。如图 2 所绘示，凸块结构 300 形成于接合垫 204 的露出部分上。凸块结构 300 为覆晶组合结构，其可将面朝下的集成电路装置（例如：第一基材 200）的直接电性连接提供至另一基材上，此另一基材是例如板或电路板 (PCB)。在本实施例中，凸块结构 300 包含可利用任何合适制程来形成的底层凸块金属化 (under bump metallization；UBM) 层 302、内连接柱体 304 以及焊料层 306a。

[0033] 底层凸块金属化层 302 形成于钝化层 206 和接合垫 204 的露出部分上。在一实施例中，底层凸块金属化层 302 包含扩散阻障层和 / 或种子层。扩散阻障层也可称为粘着层。虽然扩散阻障层可利用钛来形成，但扩散阻障层亦可利用其它材料，例如氮化钛、钽、氮化钽或诸如此类的材料。形成的方法包含物理气相沉积 (physical vapor deposition；PVD) 或溅镀。种子层可为利用物理气相沉积或溅镀来形成于扩散阻障层上的铜种子层。种子层可利用包含银、铬、镍、锡、金或其组合物的铜合金来形成。在一实施例中，底层凸块金属化层 302 为铜 / 钛层。

[0034] 类似地，内连接柱体 304 和焊料 306 可包含任何适合的材料。在本例中，内连接柱体 304 为金属柱体，此金属柱体可利用具有焊接湿润性 (solderwettability) 的已知材料来形成。例如，内连接柱体 304 是由铜形成，此内连接柱体 304 被称为铜柱（或铜凸块）。焊料层 306a 形成于内连接柱体 304 上。焊料层 306a 可包含锡 (Sn)、锡银 (SnAg)、锡铅 (Sn-Pb)、锡银锌 (SnAgZn)、锡锌 (SnZn)、锡铋铟 (SnBi-In)、锡铟 (Sn-In)、锡金 (Sn-Au)、锡铜 (SnCu)、锡锌铟 (SnZnIn) 或锡银锑 (SnAgSb) 等。

[0035] 参照图 1 和图 3A-3B，在方块 106 中，凸块结构耦接至第二基材，并形成连接结构于第一基材和第二基材之间。更明确地来说，凸块结构 300 是耦接至第二基材 400，并形成连接结构 308 于第一基材 200 和第二基材 400。如图所示，上方形成有凸块结构 300 的第一基材 200 被由上往下翻覆，并使第一基材 200 与第二基材 400 接触。第二基材 400 可为封装基材、板材（例如：印刷电路板）或其它合适的基材。

[0036] 凸块结构 300 是利用形成连接结构 308 于第一基材 200 和第二基材 400 间的各种不同导电接点，来与第二基材 400 接触，例如，位于接触垫和 / 或导电路径上的另一焊料层 306b。当凸块结构 300 耦接至第二基材 400 时，连接在一起的焊料层 306a 和 306b 可被称为连接焊料 306。例示性的耦接制程包含焊剂施加、芯片配置、芯片接点回焊以及残余焊剂清除。第一基材 200、连接结构 308 和第二基材 400 可被称为封装组合结构，在本实施例中，或可称为覆晶封装组合结构。

[0037] 图 3A-3B 标示了多种尺寸 / 特征来定义封装组合结构的几何，特别是凸块结构 300 和连接结构 308 的几何。连接结构 308 包含内连接柱体 304 以及焊料层 306a 和 306b（被称为焊料层 306）。前述的尺寸 / 特征包含连接结构 308 的高度 H_J 、内连接柱体

304 的高度 H_{Post} 、内连接柱体 304 的宽度 W_{Post} 和连接焊料 306 的高度 H_S 。这些尺寸 / 特征还包含用以定义第一连接结构 308 和第二连接结构 308 间距离的间隙（或凸块间隙）。在本实施例中，间隙宽度是由连接结构的中心开始量测，然而，其它的设定也可以考虑，例如，由连接结构的末端开始量测。连接结构 308 可具有任何合适的连接结构高度 H_J 、内连接柱体高度 H_{Post} 、内连接柱体宽度 W_{Post} 以及连接焊料高度 H_S 。

[0038] 在已知的连接结构中，可观察到已知连接结构展现了凸块疲劳，特别是当连接结构的高度太高时。因此，本实施例展示出可提供较佳连接可靠度以及可减轻凸块疲劳的尺寸 / 特征。例如，内连接柱体高度 H_{Post} 与间隙之间的关系可用下式来表示：

[0039] 内连接柱体高度 $< 0.5 \times$ 间隙。

[0040] 确定内连接柱体高度小于间隙的一半，可提供较佳的连接可靠度以及减轻凸块疲劳。内连接柱体高度 H_{Post} 可以下式来进一步定义：

[0041] $0.21 \times$ 间隙 $<$ 内连接柱体高度 $H_{Post} < 0.24 \times$ 间隙。

[0042] 因此，内连接柱体高度与间隙的比值可介于 0.24 和 0.21 之间。

[0043] 再者，几何规格包含内连接柱体宽度 W_{Post} 和间隙，而内连接柱体宽度 W_{Post} 和间隙彼此之间的关系可用下列关系式来表示：

[0044] 内连接柱体宽度 $> 0.6 \times$ 间隙。

[0045] 连接结构 308 的连接焊料高度 H_S 和连接结构高度 H_J 也可调整，其中连接结构高度和连接焊料高度的比值如下：

[0046] 连接结构高度 / 连接焊料高度 > 0.44 。

[0047] 例示性的连接结构几何包含范围实质介于 $120 \mu m$ 至 $180 \mu m$ 之间的间隙；范围实质介于 $30 \mu m$ 至 $90 \mu m$ 之间的连接结构高度 H_J ；范围实质介于 $30 \mu m$ 至 $50 \mu m$ 之间的内连接柱体高度 H_{Post} ；范围实质介于 $40 \mu m$ 至 $60 \mu m$ 之间的连接焊料高度 H_S ；以及范围实质介于 $60 \mu m$ 至 $100 \mu m$ 之间的内连接柱体宽度 W_{Post} 。内连接柱体高度 H_{Post} 、连接结构高度 H_J 和连接焊料高度 H_S 可选择性地被称为第一高度、第二高度和第三高度。例示性的连接结构几何有益地增加连接可靠度和减轻凸块疲劳问题。可以理解的是，不同的实施例可以有不同的优点，而且没有一个特定的优点是所有实施例都必须具备的。

[0048] 虽然本发明已以数个实施例揭露如上，然其并非用以限定本发明，在本发明所属技术领域中任何具有通常知识者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰，因此本发明的保护范围当视权利要求书所界定的范围为准。

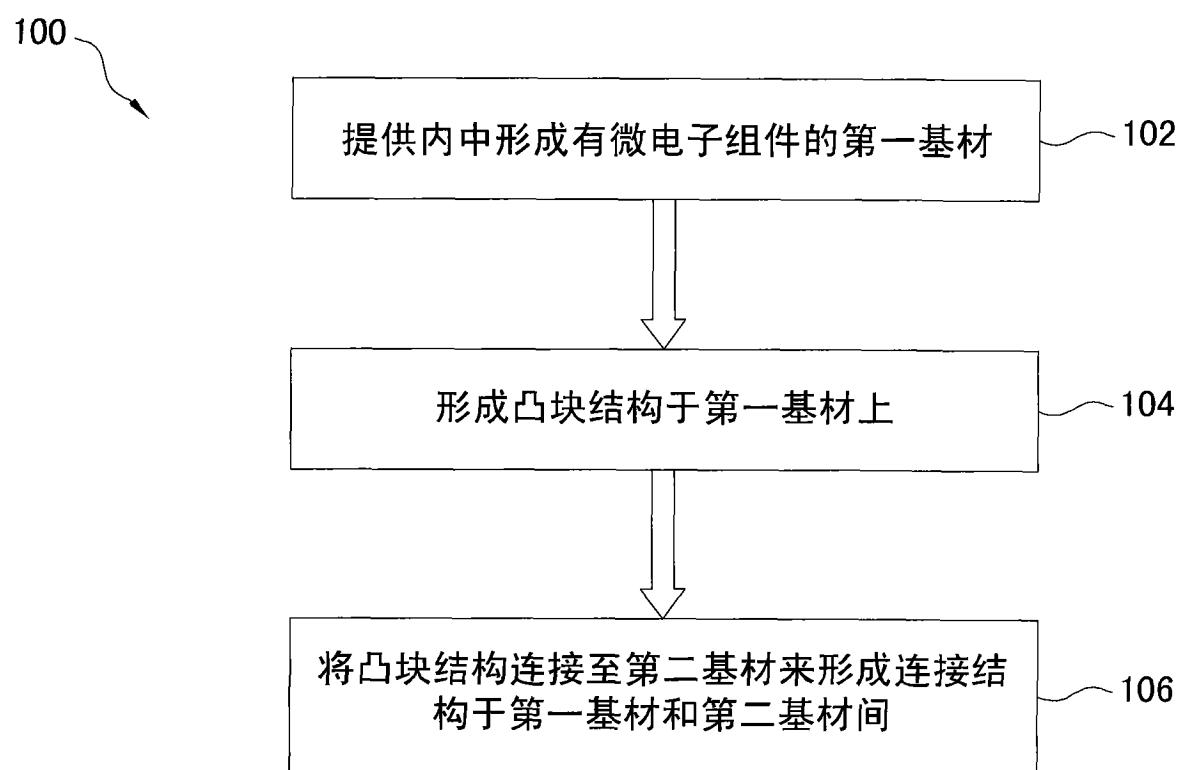


图 1

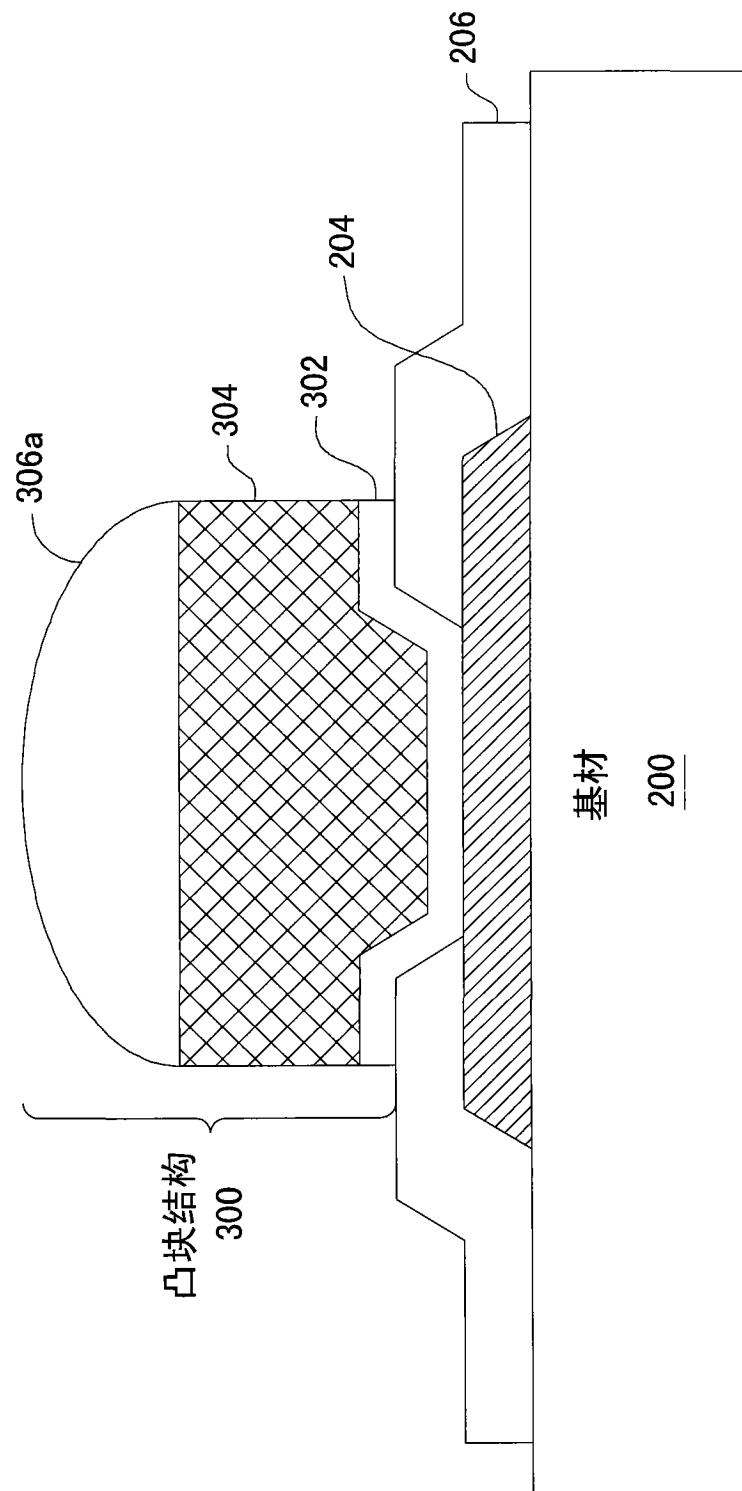


图 2

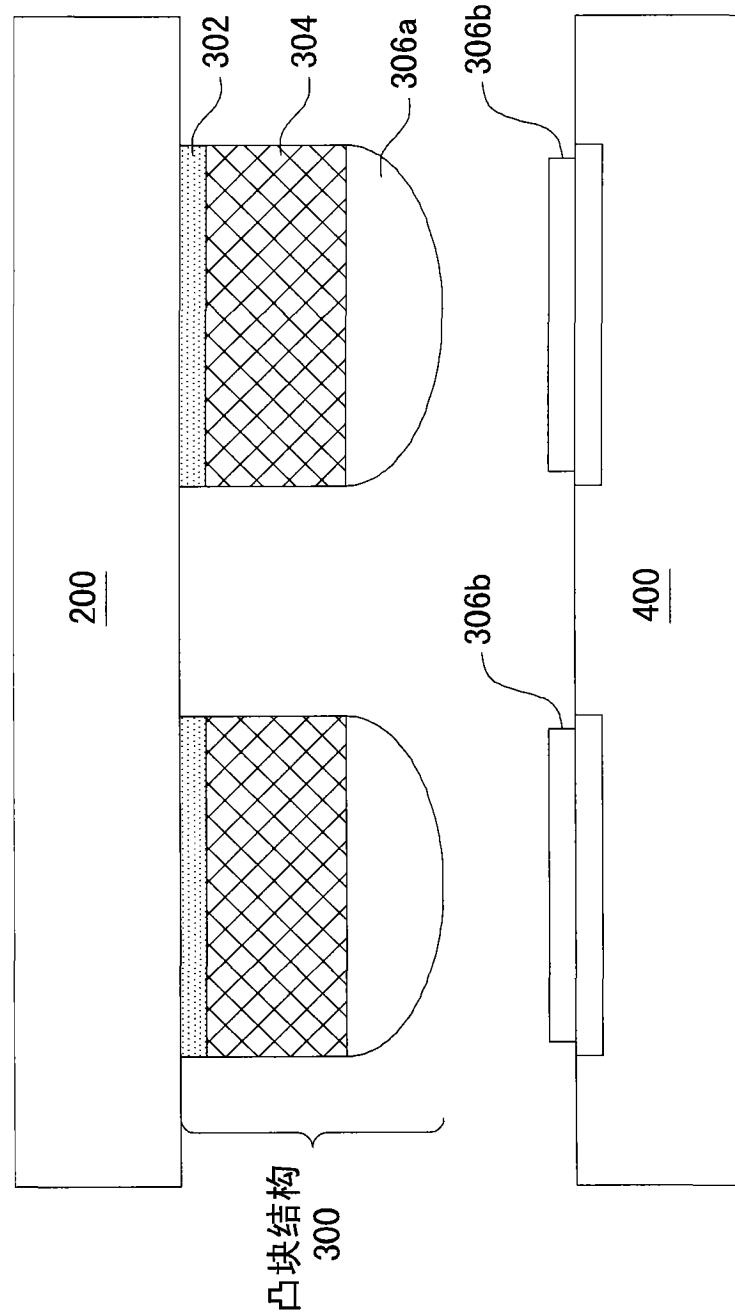


图 3A

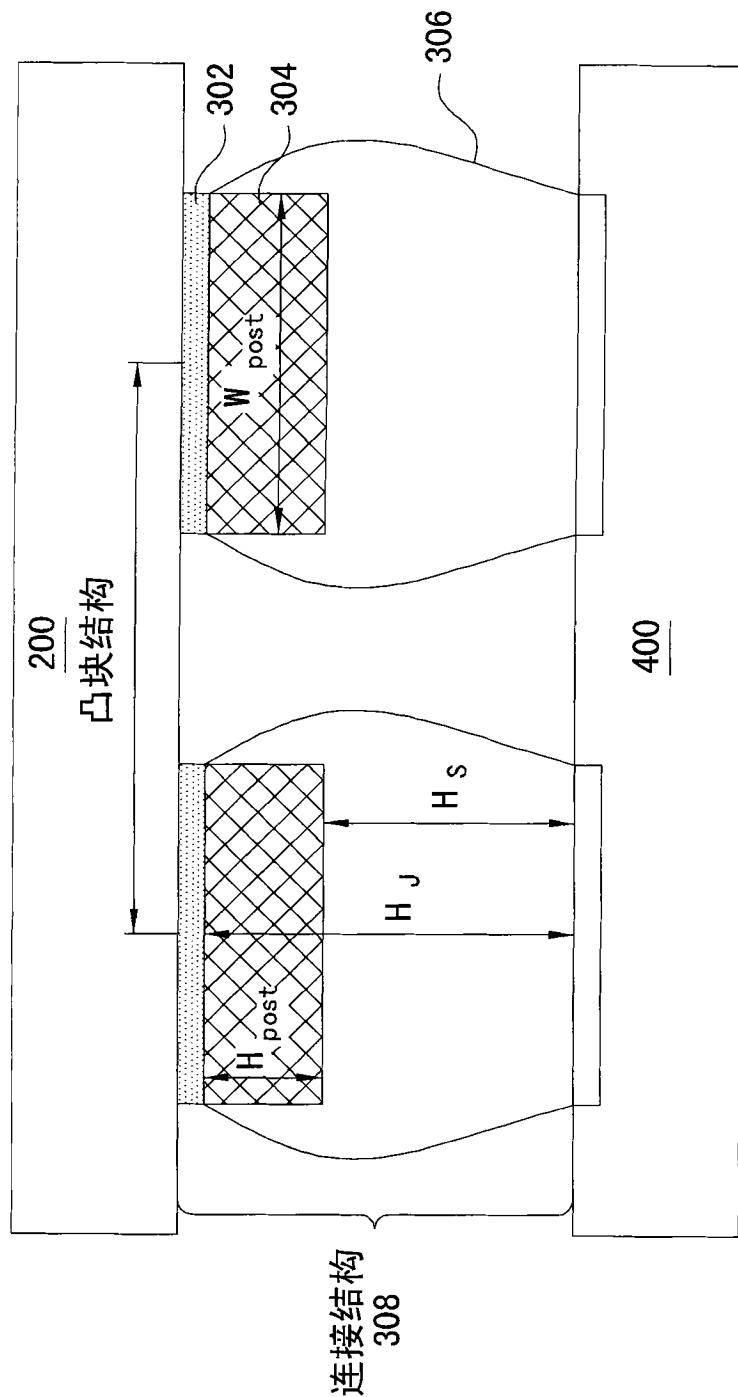


图 3B