



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201820190 A

(43) 公開日：中華民國 107 (2018) 年 06 月 01 日

(21) 申請案號：107106380

(22) 申請日：中華民國 97 (2008) 年 03 月 05 日

(51) Int. Cl. : G06F17/50 (2006.01)

(30) 優先權：2007/03/05 美國 60/892,982

(71) 申請人：美商泰拉創新股份有限公司 (美國) TELA INNOVATIONS, INC. (US)
美國

(72) 發明人：史麥林麥克 C SMAYLING, MICHAEL C. (US) ; 貝克史考特 T BECKER, SCOTT T. (US)

(74) 代理人：許峻榮

申請實體審查：有 申請專利範圍項數：13 項 圖式數：9 共 50 頁

(54) 名稱

半導體晶片

SEMICONDUCTOR CHIP

(57) 摘要

揭露一種用以定義於積體電路設計中所使用之多重圖形化元件佈局之方法。用於元件層次之佈局係按照動態陣列結構加以定義，以期包括若干佈局特徵部。此若干佈局特徵部係線形且具有共同位向的。元件層次之佈局係分割成元件層次用之若干次佈局。於佈局中的此若干佈局特徵部中之每一個，係分配至此若干次佈局中之任一個。又，佈局係以使每一次佈局均可獨立製作的方式加以分割。元件層次用之次佈局係儲存於電腦可讀媒體上。

A method is disclosed for defining a multiple patterned cell layout for use in an integrated circuit design. A layout is defined for a level of a cell in accordance with a dynamic array architecture so as to include a number of layout features. The number of layout features are linear-shaped and commonly oriented. The layout is split into a number of sub-layouts for the level of the cell. Each of the number of layout features in the layout is allocated to any one of the number of sub-layouts. Also, the layout is split such that each sub-layout is independently fabricatable. The sub-layouts for the level of the cell are stored on a computer readable medium.

指定代表圖：

符號簡單說明：

101 . . . 元件

103 . . . 虛擬柵欄之
虛線

105A . . . 次佈局特
徵部

105B . . . 次佈局特
徵部

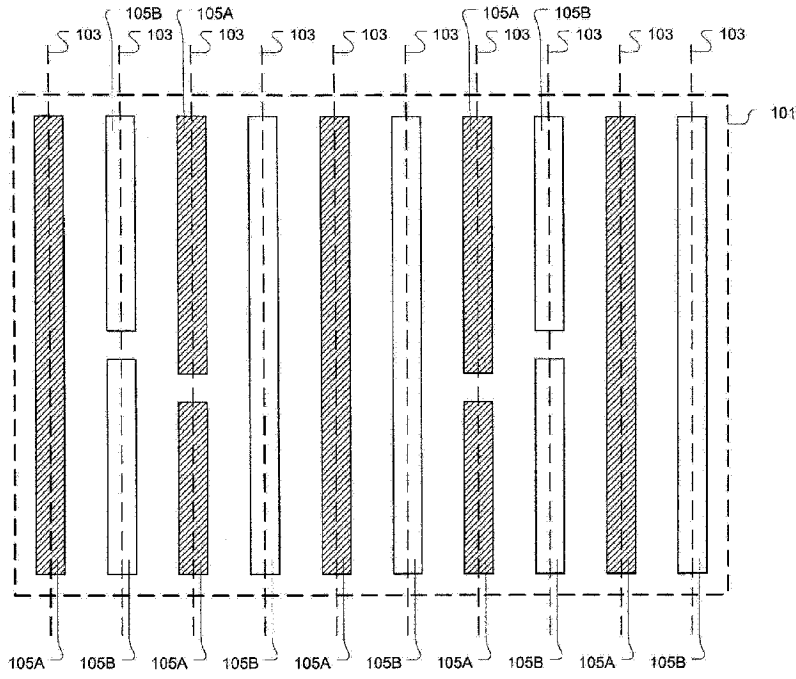


圖 2A

【發明說明書】

【中文發明名稱】 半導體晶片

【英文發明名稱】 SEMICONDUCTOR CHIP

【技術領域】

【0001】 本發明係關於半導體製程中之佈局特徵部的圖形化，尤有關於在積體電路設計上所使用之多重圖形化元件庫的定義方法。

【先前技術】

【0002】 於現今半導體製造中，係利用光學微影技術在半導體晶片上將佈局特徵部圖形化。目前的步進重複式(step-and-repeat)光學微影系統與步進掃描重複式(step-scan-and-repeat)光學微影系統，係使用具有 365 奈米(nm)(汞燈 I 線)(Hg I-line)、248 nm(氟化氬準分子雷射)(KrF B-X excimer laser)、與 193 nm(氟化氬準分子雷射)(ArF B-X excimer laser)之波長作為光源。以歷史觀點來看，使用大於佈局特徵部尺寸之發光波長以進行圖形化是可能的。然而，當佈局特徵部尺寸繼續縮小但有效發光波長並未相對應地降低時，最小波長與最小佈局特徵部尺寸之間的差異變得太大，以致於無法成功地達到特徵部之微影描繪。例如，微影人員極不易採用 193 nm 發光光源而將 65nm 佈局特徵部尺寸圖形化。再者，吾人預期佈局特徵部尺寸將由 65 nm 繼續降低至 45 nm、甚至到 32 nm。

【0003】 微影人員使用來自 Lord Rayleigh 之下列公式以估計光學系統能力：解析度(半節距)= $k_1 \lambda / NA$ ，其中 k_1 為適配變數，大約對應於製程窗範圍(process window)； λ 為發光波長；而 NA 為微影系統之數值孔徑。當波長 λ 大於半節距(half-pitch)時， k_1 之標準值(typical value)為大於 0.50。因為每個技術節點(technology node)之特徵部尺寸係以因子 0.7 降低，所以每個技術節點之 k_1 值

係穩定地降低，然而波長 λ 卻維持不變，且每技術節點步驟之數值孔徑僅以 1.1 至 1.2 的因子增加。此外，就大於約 0.93 的數值孔徑而言，則需要一種浸潤系統 (immersion systems)，以水取代空氣來作為最終鏡片與晶圓上的光阻之間的媒介。之後這些浸潤系統被期望以非透明、具經濟效益的溶液，以支持高達約 1.35 的數值孔徑。

【0004】 鑒於上面所述，需要有不需更降低發光波長 λ 與/或更增加數值孔徑 NA，而能夠將奈米級特徵部尺寸圖形化的解決方法。

【發明內容】

【0005】 於一實施例中，揭露一種用以定義於積體電路設計中所使用之多重圖形化元件佈局之方法。此方法包括一操作，用以定義元件層次用之佈局。此佈局係按照動態陣列結構所定義，以包括若干佈局特徵部。此若干佈局特徵部為線形且具有共同位向。此方法亦包括一操作，用以分割佈局以成元件層次用之若干次佈局，以使在佈局中的此若干佈局特徵部中之每一個，被分配至此若干次佈局中之任何一個。分割佈局以使每一次佈局可獨立地製作。此方法更包括一操作，用以儲存元件層次用之此若干次佈局於電腦可讀媒體上。

【0006】 於另一實施例中，揭露一種用以製造晶片佈局之多重圖形化用之元件庫之方法。此方法包括一操作，用以定義元件，以包括具有按照動態陣列結構所定義之個別線形佈局之若干層次。此動態陣列結構係由線形且具共同位向的佈局特徵部所定義。元件，係代表邏輯功能之抽象名稱，並係囊括用以執行此邏輯功能之較低層次的積體電路佈局。對元件之一個或多個選擇層次，此方法包括一操作，用以分割個別線形佈局以成若干次佈局，俾將在個別線形佈局中的此佈局特徵部中之每一個分配至此若干次佈局中之任何一個，並以使每一次佈局係可獨立製造的。此方法更包括一操作，用以儲存元件庫中之元件之

定義於電腦可讀媒體上。元件之定義係包括與元件之每一選擇層次有關的若干次佈局。

【0007】於另一實施例中，揭露一種製造用之積體電路之設計方法。在此方法中，複數個元件係一同設置於晶片佈局上，以滿足積體電路之網路連線表。此複數個元件係選擇自晶片佈局之多重圖形化用之元件庫。此複數個元件之每一個，係包括具有按照動態陣列結構所定義之個別線形佈局的共同層次。此動態陣列結構係由線形且共同定位的佈局特徵部所定義。每個線形佈局係分割成若干次佈局，以使在每個線形佈局中的每個佈局特徵部係分配至此若干次佈局之任何一個。分配至既定次佈局之佈局特徵部係在既定元件之共同層次內形成一致圖形。此複數個元件係一同設置，以使由共同層次內之既定次佈局所形成之佈局特徵部的一致圖形，以一連續方式延伸跨越此複數個元件。由跨越此複數個元件之既定次佈局所形成之佈局特徵部的一致圖形之延伸部分，定義了共同層次用之晶片寬的光罩佈局的一部份。此方法亦包括一操作，用以儲存共同層次用之晶片寬的光罩佈局於電腦可讀取媒體上。

【0008】於另一實施例中，揭露用以製作共同層次之半導體晶片之光罩組。此光罩組包括第一光罩，具有按照動態陣列結構所定義之區域，以包括第一數目之線形佈局特徵部。此第一數目之線形佈局特徵部係具有共同位向。又，此第一數目之線形佈局特徵部中之每一個，在跨越第一光罩之橫貫方向上不具有實質的改變。此第一數目之線形佈局特徵部形成定義一或多個元件之第一部份的第一次佈局。此一或多個元件中之每一個，係代表邏輯功能之抽象名稱，且係囊括用以執行此邏輯功能之較低層次的積體電路佈局。此光罩組亦包括第二光罩，具有按照動態陣列結構加以定義以包括第二數目之線形佈局特徵部之區域。此第二數目之線形佈局特徵部與第一數目之線形佈局特徵部具有共同位向。又，此第二數目之線形佈局特徵部中之每一個，在跨越第二光罩之橫貫方

向上不具有實質的改變。按照動態陣列結構所定義之第二光罩之區域，係對準於按照動態陣列結構所定義之第一光罩之區域。此第二數目之線形佈局特徵部形成定義該一或多個元件之第二部分的第二次佈局。

【0009】 本發明之其他實施樣態及優點，可由隨後之詳細說明、隨附之圖示以及本發明之實施例而更顯清楚明白。

【圖式簡單說明】

【0010】 圖1係根據本發明之一實施例，顯示按照動態陣列結構所定義之元件之層次用的例示式佈局之示意圖；

【0011】 圖2A係根據本發明之一實施例，顯示圖1之佈局分割成二個次佈局之示意圖；

【0012】 圖2B係根據本發明之一實施例，顯示如圖2A之分割佈局中所定義之第一次佈局之示意圖；

【0013】 圖2C係根據本發明之一實施例，顯示如圖2A之分割佈局中所定義的第二次佈局之示意圖；

【0014】 圖2D係根據本發明之一實施例，顯示如圖2A之佈局分割成三個次佈局之示意圖；

【0015】 圖3係顯示根據本發明之一實施例，顯示圖2C之次佈局的PCT處理樣式之示意圖；

【0016】 圖4A至4C，係根據本發明之一實施例，顯示將佈局分割成三個次佈局之可能的次佈局序列之示意圖；

【0017】 圖5A係根據本發明之一實施例，顯示元件之間極層次佈局以及金屬2層次佈局之示意圖；

【0018】圖5B至5E係根據本發明之一實施例，顯示圖5A之元件的不同變形體之示意圖；

【0019】圖5F至5G係根據本發明之一實施例之示意圖，顯示元件變形體係彼此緊鄰設置，以使多重層次之次佈局圖形延伸跨越元件邊界；

【0020】圖6A係根據本發明之一實施例，顯示元件之層次的非分段佈局之示意圖；

【0021】圖6B係根據本發明之一實施例之示意圖，顯示於圖6A中標示為符號A的具有線形佈局特徵部之第一非分段次佈局；

【0022】圖6C係根據本發明之一實施例之示意圖，顯示於圖6A中標示為符號B的具有線形佈局特徵部之第二非分段次佈局；

【0023】圖6D係根據本發明之一實施例，顯示用以切割如同圖6B及圖6C之第一與第二非分段次佈局所製作的線形特徵部之佈局之示意圖；

【0024】圖6E係根據本發明之一實施例，顯示圖6D之佈局經線切割後的元件之層次之示意圖；

【0025】圖7係根據本發明之一實施例，顯示在積體電路設計中所用以定義多重圖形化元件佈局之方法的流程圖之示意圖；

【0026】圖8係根據本發明之一實施例，顯示用以創造晶片佈局之多重圖形化用之元件庫之方法的流程圖之示意圖；以及

【0027】圖9係根據本發明之一實施例，顯示用以設計製造用之積體電路之方法的流程圖之示意圖。

【實施方式】

【0028】於下面敘述中，會提出數個具體實施例，以使本發明能被完全理解。顯然地，熟悉本技藝者可以在全部或部分的這些具體實施例之外來實施本

發明。在其他情況下，為了避免不必要地混淆本發明，將不會詳細描述眾所周知的程序操作。

【0029】 在沒有更降低發光波長(illumination wavelength)以及沒有更增加數值孔徑NA(numerical aperture NA)下，利用多重圖形化(multiple patterning)技術，用以處理奈米級佈局特徵部(nano-scale layout features)。具體而言，於多重圖形化中，既定佈局(given layout)係分割成二個或多個次佈局(sub-layouts)，每一次佈局係利用光學微影製程(optical lithography process)，在晶片(chip)的相同區域上分別地曝光(exposed)。儘管在每一個次佈局中的個別特徵部尺寸(feature sizes)可以是小小的，例如奈米刻度(nano-scale)，但是在既定次佈局中的相鄰佈局特徵部之間的空間(spacing)，係足夠大以賦予這些小小的佈局特徵部解析度。

【0030】 應理解的是，因為多重圖形化之二維變化的本質，例如具有彎曲及分叉之佈局特徵部，多重圖形化在習知的隨機邏輯圖形(random logic patterns)與相關之元件庫(cell libraries)中，能是非常困難的。此外，關於二維變化圖形(two-dimensionally varying patterns)之分割存有複雜問題，例如相移衝突(phase shifting conflicts)。然而，使用按照動態陣列結構(dynamic array architecture)所定義之元件庫，能將佈局明確的分割成多重次佈局以用於微影曝光(lithographic exposure)。

【0031】 於此所提及之元件(cell)，係代表邏輯功能(logic function)之抽象名稱(abstraction)，並囊括用以執行此邏輯功能之較低層次(lower-level)的積體電路佈局。應理解的是，既定之邏輯功能可以多重元件變化(multiple cell variations)來代表，其中該多重元件變化可以特徵部尺寸、性能以及製程補償技術(PCT)(process compensation technique)處理加以區分。例如，既定邏輯功能用之多重元件變化，係可以藉由功率消耗(power consumption)、訊號時序(signal timing)、漏電流(current leakage)、晶片面積、OPC、RET等等加以區分。此外，

多重元件變化可藉由於此所描述之次佈局序列組合(sub-layout sequence combination)加以區分。也應明瞭的是，每個元件的描述係包括在晶片之每個層次中的元件用之佈局，此為執行元件之邏輯功能所需要的。具體而言，元件之描述係包括，由基板層次(substrate level)往上延伸至特定之內連線層次(interconnect level)的每一晶片層次中的元件佈局。

【0032】動態陣列結構係代表半導體元件設計範例(paradigm)，其中線形(linear-shaped)佈局特徵部係沿著在元件之若干層次中的等間隔虛擬柵欄(regular-spaced virtual grate)(或等間隔虛擬網柵)(regular-spaced virtual grid)所定義，例如在半導體晶片之若干層次中。虛擬柵欄係由一組等距、平行而延伸跨越既定晶片區域中的既定層次之虛線所定義。虛擬網柵係由等距、平行的第一組虛線與等距、平行的第二組虛線所定義，第一組虛線係以第一方向延伸跨越既定晶片區域中的既定層次，第二組虛線係以第二方向延伸跨越既定晶片區域中的既定層次，其中，第二方向係與第一方向垂直。於一實施例中，既定層次之虛擬柵欄係定位以與相鄰層次之虛擬柵欄大致上垂直。然而，於其他實施例中，既定層次的虛擬柵欄係定位為，不是垂直，就是平行於相鄰層次之虛擬柵欄。

【0033】於一實施例中，既定層次之每個線形佈局特徵部，係大致上集中於與既定層次相關聯的虛擬柵欄之虛線上。當線形佈局特徵部之中心線與虛擬柵欄之特定線間的對位偏差係足夠小，以期不減少利用線形佈局特徵部之中心線與虛擬柵欄之特定線之間的真實對準所能夠達到的製造程序窗(manufacturing process window)時，則將線形佈局特徵部視為大致上集中於虛擬柵欄之特定線上。

【0034】於一實施例中，上述之製造程序窗，係由產出可接受的佈局特徵部之保真度(fidelity)的焦距(focus)與曝光之微影領域所定義。於一實施例中，佈

局特徵部之保真度係由佈局特徵部之特性範圍(characteristic dimension)所定義。又，應理解的是，既定之線形佈局特徵部之中心線被定義成：在沿著其長度之所有點上，通過線形佈局特徵部的截面質量中心(cross-sectional centroid)之虛線，其中在沿著其長度之任何既定點上的線形佈局特徵部之截面質量中心，為其在該既定點上之垂直橫截面區域之質量中心。

【0035】於另一實施例中，既定層次中的某些線形佈局特徵部可不集中在與既定層次相關聯的虛擬柵欄之虛線上。然而，於此實施例中，線形佈局特徵部係與虛擬柵欄之虛線保持平行，並因此平行於既定層次中的其他線形佈局特徵部。因此，應理解的是，定義於既定層次之佈局中的各種線形佈局特徵部被定位成以平行方式延伸跨越該既定層次。

【0036】又，於動態陣列結構中，將每一線形佈局特徵部定義成在沿其長度之方向上缺乏實質上的改變。在線形佈局特徵部之方向上缺乏實質上的改變，係考慮到線形佈局特徵部係沿著相關的虛擬柵欄之線所定義。於一實施例中，當線形佈局特徵部之寬度在任何點上之變化超過沿著其全長之線形佈局特徵部之名義上的寬度之50%時，則在線形佈局特徵部之方向上存有實質上的改變。於另一實施例中，當由線形佈局特徵部上的任何第一位置至線形佈局特徵部上的任何第二位置的線形佈局特徵部之寬度，係改變超過在第一位置的線形佈局特徵部寬度之50%時，則在線形佈局特徵部之方向上存有實質上的改變。因此，應明瞭的是，動態陣列結構特別地避免使用非線形佈局特徵部，其中非線形佈局特徵部係在相關層次之平面中包括一個或多個彎曲。

【0037】於動態陣列結構中，可容忍在製成(as-fabricated)線形佈局特徵部之垂直的橫截面形狀中的變化至一範圍，只要在垂直的橫截面形狀中的變化可由製造觀點預測，並且對既定線形佈局特徵部或其鄰近區域佈局特徵部的製造無不利衝擊。就這一點而言，垂直的橫截面形狀係對應至與線形佈局特徵部之

中心線垂直之平面中的製成線形佈局特徵部之切面。應明瞭的是，在沿著製成線形佈局特徵部長度之垂直的橫截面中的變化，係能在沿著其長度上相對應到一寬度變化程度。因此，動態陣列結構也提供沿著製成線形佈局特徵部長度之寬度變化程度，只要寬度變化程度係可以由製造觀點預測，並且對線形佈局特徵部或其鄰近區域佈局特徵部的製造無不利衝擊。

【0038】此外，既定層次中的不同線形佈局特徵部，係能設計以具有相同寬度或不同寬度。又，沿著既定虛擬柵欄之相鄰虛線所定義之若干線形佈局特徵部的寬度，係能設計以使此若干線形佈局特徵部彼此接觸，俾能形成具有與此若干線形佈局特徵部之寬度總和相等之寬度的單一線形佈局特徵部。

【0039】在根據動態陣列結構所定義之既定層次中，相鄰、共對準之線形佈局特徵部之最接近的末端(*proximate ends*)係可以大致上均勻的間隙(*gap*)彼此分隔。具體而言，沿著虛擬柵欄之共同線(*common line*)所定義之線形佈局特徵部之相鄰末端，係以末端間隙(*end gap*)分隔，並且在與虛擬柵欄相關之層次中的這樣的末端間隙，係可定義以延伸一大致上均勻的距離。此外，於一實施例中，末端間隙之尺寸係能在製造程序能力範圍內縮到最小，俾能以線形佈局特徵部完美填補(*optimize filling*)既定層次。

【0040】又，於動態陣列結構中，層次，係能定義為具有由任何數目之線形佈局特徵部所佔據的任何數目之虛擬柵欄線。於一範例中，既定層次係能定義以使其虛擬柵欄之所有線係由至少一線形佈局特徵部所佔據。於另一範例中，既定層次係定義以使其虛擬柵欄之某些線係由至少一線形佈局特徵部所佔據，並且其虛擬柵欄之其他線係空著的(*vacant*)，例如，未被任何線形佈局特徵部所佔據。再者，於既定層次中，任何數目之依次相鄰的虛擬柵欄線係能空著的。又，既定層次中由線形佈局特徵部所佔據的對空著的虛擬柵欄線，係可根據跨越既定層次之圖形或重複圖形而定義。

【0041】此外，在動態陣列結構之內，接觸孔與接觸部(contacts)係定義連接在各種層次中的若干線形佈局特徵部，俾能形成若干功能性的電子元件，例如，電晶體、以及電子電路。接觸孔與接觸部用之佈局特徵部係能對準於虛擬柵網，其中這個虛擬柵網之規格，係與接觸孔與接觸部將連接之各種層次有關的虛擬柵欄之規格的函數。因此，在各種不同層次中的若干線形佈局特徵部形成了電子電路之功能性元件。此外，某些在各種不同層次內的線形佈局特徵部相對於電子電路可為非功能性(non-functional)，但是仍然被製造來強化鄰近的線形佈局特徵部之製造。應理解的是，動態陣列結構被定義成：能夠以高機率準確地預測半導體元件之可製造性。

【0042】有鑒於上述，應理解的是：動態陣列結構係藉由在元件之若干層次中的等間隔柵欄(或等間隔柵網)上的線形佈局特徵部之設置所定義，以使元件之既定層次中的線形佈局特徵部係定位以在其跨越元件之橫貫方向上大致上彼此平行。又，於動態陣列結構中，PCT處理之前，每個線形佈局特徵部係定義為，在有關於其跨越元件橫貫方向之方向上，不具有實質上的改變。

【0043】圖1係根據本發明之一實施例，顯示按照動態陣列結構所定義之元件 101之層次用的例示式佈局之示意圖。若干線形佈局特徵部 105係沿著與元件 101之層次相關的虛擬柵欄之虛線 103設置。虛擬柵欄係由代表相鄰虛線 103間之垂直距離的間隔 107所定義。於此例示性實施例中，每一個線形佈局特徵部 105係定義為具有寬度 109。然而，應理解的是，於其他實施例中，元件之既定層次中的各種線形佈局特徵部，係可定義成具有若干不同的寬度。

【0044】為說明之目的，應考慮將虛擬柵欄之間隔 107、線形佈局特徵部 105之寬度 109、以及由線形佈局特徵部 105所佔據的虛擬柵欄予以組合，以使元件 101之層次之佈局係在既定之半導體製造程序的製造能力範圍之外。因此，為使元件 101之層次易於製作，能將佈局分割成若干次佈局，以使佈局中之此若

干線形佈局特徵部 105之每一個係分配至此若干次佈局之任何一個，並使每一次佈局係在既定之半導體製造程序的製造能力範圍內，係可獨立地製作的 (fabricatable)。

【0045】於一實施例中，佈局，係包含按照動態陣列結構所定義之線形佈局特徵部，係藉由橫向分配相鄰之佈局特徵部以分割成不同的次佈局。應理解的是，橫向分配相鄰之佈局特徵部以成不同之次佈局，係能應用於任何數目之次佈局。例如，於採用二個次佈局的雙重圖形化(double patterning)例子中，元件之層次用之佈局中的每隔一佈局特徵部(every other layout feature)係分配至一共同次佈局(common sub-layout)。於此例中，每隔一佈局特徵部之識別，係根據跨越元件之佈局特徵部橫貫方向(traversal direction)的垂直方向所建立。

【0046】圖2A係根據本發明之一實施例，顯示圖1之佈局分割成二個次佈局之示意圖。因而，圖2A係一雙重圖形化的例子。圖2A中的第一次佈局(first sub-layout)包含佈局特徵部 105A。圖2A中的第二次佈局(second sub-layout)包含佈局特徵部 105B。因此，佈局分割以使側向相鄰佈局特徵部係分配至不同的次佈局。具體而言，每隔一側向相鄰佈局特徵部係分配至共同次佈局。此外，應理解的是，當多重線形佈局特徵部以一共對準方式(co-aligned manner)設置於一共同虛擬柵欄線(common virtual grate line)上時，例如，虛擬柵欄之虛線 103，每一個多重線形佈局特徵部係分配至相同的次佈局。換句話說，既定之虛擬柵欄線上的每個佈局特徵部係分配至相同的次佈局。

【0047】圖2B係顯示如圖2A之分割佈局中所定義的第一次佈局之示意圖。圖2C係顯示如圖2A之分割佈局中所定義的第二次佈局之示意圖。應理解的是，圖2B與圖2C之每一個第一與第二次佈局係於晶片上分別地製作。於圖2B的次佈局中，相鄰之線形佈局特徵部 105A係分隔一距離 111。同樣地，圖2C的次佈局中，相鄰之線形佈局特徵部 105B也分隔此距離 111。假如距離 111係足夠大

到使每一個第一與第二次佈局，係在既定之半導體製造程序的製造能力範圍內而可獨立地製作，那麼採用二個次佈局是適當的。然而，假如距離 111 並不足夠大到使第一與第二次佈局獨立地製作，則圖2A之佈局可能須分割成超過二個的次佈局。

【0048】 圖2D係顯示圖2A之佈局分割成三個次佈局之示意圖。圖2D中的第一次佈局包括佈局特徵部 105A。圖2D中的第二次佈局包括佈局特徵部105B。圖2D中的第三次佈局包括佈局特徵部105C。應瞭解的是，每一個圖2D之三個次佈局中的相鄰佈局特徵部間之距離115，係大於圖2B與圖2C之二個次佈局中的距離111。因此，相較於具有佈局特徵部分隔距離111的二個次佈局，每一個具有佈局特徵部分隔距離115的三個次佈局，應更可能落在既定之半導體製造程序的製造能力範圍內。因而，藉由分割元件之既定層次佈局成多重次佈局，是有可能處理(resolve)較小的佈局特徵部尺寸。

【0049】 應理解的是，既定之佈局基本上係能分割成任何數目的次佈局，其中，元件之既定層次用之每一次佈局係分別地製作。又，在各種實施例中，元件之既定層次佈局能根據佈局特徵部功能、佈局特徵部位置、或其組合，而分割成若干(a number of)次佈局。於一實施例中，分擔共同電性功能(common electrical function)之佈局特徵部，能分配至共同次佈局。例如，主動區域接觸部(active region contacts)用之佈局特徵部能共同地分配至一次佈局，而閘極接觸部(gate contacts)用之佈局特徵部能共同地分配至另一次佈局。同樣地，於一實施例中，接觸孔(vias)用之佈局特徵部，係能根據虛擬網柵之交替的行與/或列而分配至次佈局，其中接觸佈局特徵部係設置於此虛擬網柵上。

【0050】 一旦既定之佈局分割成多重次佈局，因為每一次佈局將在微影製程期間分別曝光，故每一次佈局能以製程補償技術(process compensation technique)(PCT)分別處理。如同於此所使用的，製程補償技術(PCT)，本質上係

有關於積體電路(IC)佈局的任何一種處理或調整，以達改善或確保由IC佈局所定義之特徵部能成功製作的目的。各種PCTs的例子包括光學鄰近修正術(optical proximity correction)(OPC)、解析度增強技術(resolution enhancement techniques)(RET)、蝕刻接近補償法(etch proximity compensation)、孔隙填入補償法(gap fill compensation)(例如使用介電質或金屬以填補孔隙)、化學機械研磨(CMP)補償法(chemical mechanical planarization compensation)等這些中。應理解的是，與此所使用之PCT處理用語，係指關於任何用以改善或確保由IC佈局所定義之特徵部能成功製造的IC佈局處理之既存或未來形式。

【0051】圖3係顯示根據本發明之一實施例，顯示圖2C之次佈局的PCT處理樣式之示意圖。若干OPC形狀 117係設置於線形佈局特徵部 105B之各種末端，以作為次佈局之PCT處理的一部份。於既定之次佈局上進行PCT處理時，微影緩衝區域 (lithographic buffer region)(以下簡稱『微影緩衝』(litho-buffer))119係環繞著元件 101定義，用以模擬元件 101之層次用之次佈局係可設置並製作於其中的晶片環境。一般而言，與元件層次用之既定次佈局有關的微影緩衝，係定義為包括若干特徵部，此特徵部係用以模擬在晶片上進行製作期間，元件層次用之次佈局將設置於其中的鄰近區域。既定元件層次之微影緩衝的尺寸，係由自元件開始的微影緩衝向外的範圍所定義。例如，圖3中，微影緩衝 119係自元件 101向外延伸至邊界 121。既定元件層次之微影緩衝尺寸，係設定以使微影緩衝覆蓋能對在既定元件層次內的次佈局之製作具有微影上影響的區域。

【0052】於一實施例中，按照動態陣列結構所定義之元件層次用的微影緩衝，係能藉由以其自身之重複說明來環繞元件層次而加以定義。然而，於另一實施例中，按照動態陣列結構所定義之元件層次用的微影緩衝，係能以更一般的手法來定義，以包括近似於存在元件層次中的線形特徵部之『總括』(blanket)。例如，線形特徵部之總括，能定義為包括根據元件層次中所使用的虛擬柵欄/虛

擬網柵之延伸部分以及根據元件層次之次佈局的延伸部分所設置的若干線形特徵部。此外，於動態陣列結構中，應理解的是，PCT修正可主要用以維持在臨界區域中之各線形佈局特徵部的線寬。因此，PCT修正能是相當簡單，例如與那些於圖3中所設置之OPC形狀 117類似的一維修正(one-dimensional corrections)。

【0053】 對分割成若干次佈局的每個佈局，詳細說明一特定的次佈局序列。次佈局序列，係由分配佈局之邊緣佈局特徵部(edge layout feature)至特定次佈局以及分配側向相鄰佈局特徵部來定義，係有關於自邊緣佈局特徵部所延伸跨越佈局的方向，係根據次佈局號碼的固定排序。因為每一次佈局序列係根據分配邊緣佈局特徵部至特定次佈局，故可能的次佈局序列之數目係等於佈局分割成次佈局之數目。

【0054】 圖4A至4C，係根據本發明之一實施例，顯示一佈局分割成三個次佈局之可能的次佈局序列之示意圖。於圖4A至4C的每一圖中，此三個次佈局係分別設定為字母A、B、C。又，於圖4A至4C的每一圖中，次佈局號碼的固定排序係指定為A-B-C。因此，圖4A係顯示第一次佈局序列，其中左邊緣佈局特徵部 401係分配至次佈局 A，且次佈局的固定排序(A-B-C)係採用基於分配左邊緣佈局特徵部 401至次佈局 A的側向相鄰特徵部。圖4B係顯示第二次佈局序列，其中左邊緣佈局特徵部 401係分配至次佈局 B，且次佈局的固定排序(A-B-C)係採用基於分配左邊緣佈局特徵部 401至次佈局 B的側向相鄰特徵部。圖4C係顯示第三次佈局序列，其中左邊緣佈局特徵部 401係分配至次佈局 C，且次佈局的固定排序(A-B-C)係採用基於分配左邊緣佈局特徵部 401至次佈局 C的側向相鄰特徵部。

【0055】 元件之若干變形體(variants)，係能藉由指定跨越元件之各種層次之次佈局序列的不同組合而產生。舉例來說，圖5A係根據本發明之一實施例，顯示元件 501之閘極層次佈局以及金屬2層次(metal 2 level)佈局之示意圖。為易

於圖示，將閘極層次佈局特徵部 503 與金屬2 層次佈局特徵部 505 係在其跨越元件501橫貫方向上予以縮短，以避免彼此混淆。然而，應理解的是，每個閘極層次特徵部 503與每個金屬2 層次特徵部 505，係延伸跨越元件 501，如箭號 507 所示。

【0056】 於本例中，閘極層次佈局係分割成二個次佈局。同樣地，金屬2 層次佈局係分割成二個次佈局。為易於描述，假設元件 501之其他層次並未分割成次佈局。圖5B至5E係顯示元件 501之不同變形體之示意圖。閘極層次佈局係分割成二個次佈局，分別以503A與503B作識別。金屬2層次佈局係分割成二個次佈局，分別以505A與505B作識別。因為閘極層次佈局係分割成二個次佈局，所以閘極層次有二種可能的次佈局序列，例如503A-503B以及503B-503A。同樣的，因為金屬2層次佈局係分割成二個次佈局，所以金屬2層次有二種可能的次佈局序列，例如505A-505B以及505B-505A。因此，在考慮了跨越元件501之層次的次佈局序列組合，於唯一的次佈局序列組合的基礎上，能產生四種元件 501 之變形體。

【0057】 圖5B係顯示元件變形體501A，其中用以跨越元件501之層次的次佈局序列組合，係由閘極層次503A-503B與金屬2層次 505A-505B所定義。圖5C係顯示元件變形體501B，其中用以跨越元件501之層次的次佈局序列組合，係由閘極層次503B-503A與金屬2層次505A-505B所定義。圖5D係顯示元件變形體 501C，其中用以跨越元件501之層次的次佈局序列組合，係由閘極層次 503A-503B與金屬2層次505B-505A所定義。圖5E係顯示元件變形體501D，其中用以跨越元件501之層次的次佈局序列組合，係由閘極層次 503B-503A與金屬2 層次 505B-505A所定義。

【0058】 因為晶片寬的光罩(chip-wide mask)係用以製作元件之集合體 (conglomeration)，所以既定次佈局圖形應延伸跨越元件邊界。因此，當晶片寬

的佈局在設置並安排路線時，於其每個層次中具有適當次佈局序列之元件變形體，應緊鄰另一個元件設置，以使既定層次之次佈局圖形延伸跨越元件邊界。例如，圖5F為一示意圖，顯示元件變形體 501B緊鄰元件變形體501A設置，以使閘極層次與金屬2層次之次佈局圖形延伸跨越元件邊界。又，圖5G為一示意圖，顯示元件變形體 501D緊鄰元件變形體501C設置，以使閘極層次與金屬2層次之次佈局圖形延伸跨越元件邊界。

【0059】 元件之各種佈局成為多重次佈局的分割，係能建置成元件庫(cell library)。透過動態陣列結構的使用，當元件庫建成時，是可能將既定元件層次之佈局分割成多重次佈局。又，既定元件之每一變形體能被儲存於此元件庫中，其中每一元件變形體係對應至次佈局序列之唯一組合，用以跨越既定元件之層次。因而，在晶片之配置並安排路線期間，能自元件庫選擇適當的元件變形體而設置於晶片上，以確保晶片層次(chip-level)佈局圖形係維持跨越晶片。於一實施例中，用以對晶片進行設置並安排路線的路由器(router)，係定義為懂得如何分割晶片之每個層次的各種佈局，從而能夠進行元件設置，以使既定層次之次佈局對準並延伸跨越元件邊界。

【0060】 於一實施例中，既定層次之晶片寬的佈局分割，係藉由在晶片設置並安排路線的程序中設置適當的元件變形體以完成，並未考慮整個晶片寬的佈局。於另一實施例中，既定層次之晶片寬的佈局分割，係能在晶片設置與安排路線的程序過後進行。應瞭解的是，在這實施例中，按照動態陣列結構之各種元件的定義，可以顯著地增進分割晶片寬的佈局之容易度。既定層次用之每個晶片寬的次佈局，係定義在各別的光罩上。晶片之每個層次的各種次佈局用的光罩，係以佈局資料檔案(layout data files)儲存以傳送至光罩製作場(mask fabrication facility)。佈局資料檔案能以如同GSD II(圖形資料系統)(Graphic Data System)資料庫檔案、OASIS(開放式插圖系統互換標準)(Open Artwork System

Interchange Standard)資料庫檔案、或是任何他類能被光罩製作場理解的資料檔案格式。

【0061】於另一實施例中，多重圖形化能用以執行線切技術(line cutting technique)，以將按照動態陣列結構所定義之佈局分段。圖6A為一示意圖，其顯示根據本發明一實施例之元件 601之層次的非分段佈局(non-segmented layout)，元件601被定義於元件邊界602, 603, 605及607之內。於非分段佈局中，每個線形佈局特徵部係定義為連續地延伸跨越佈局，包括跨越元件邊界。非分段佈局能被分割成若干次佈局。於圖6A的範例中，非分段佈局係分割成二個次佈局，分別標示為符號A與B。圖6B為一示意圖，顯示具有線形佈局特徵部之第一非分段次佈局，標示以符號A。圖6C為一示意圖，顯示具有線形佈局特徵部之第二非分段次佈局，標示以符號B。每一個第一與第二非分段次佈局係分別製作於晶片的相同層次上。

【0062】圖6D係顯示用以切割如同圖6B及圖6C之第一與第二非分段次佈局所製作的線形特徵部之佈局之示意圖。圖6D之佈局包括佈局特徵部609-1與609-2，用以在元件601邊界作線切割。又，佈局特徵部609-3至609-6，係設置以對元件601內的線特徵部分割。圖6D之佈局係定義為切割如同圖6B及圖6C之第一與第二非分段次佈局所製作的線形特徵部，以使元件601能具有邏輯功能所必需的電連接性。圖6E係顯示圖6D之佈局經線切割後的元件601之層次之示意圖。

【0063】於一實施例中，一組光罩，係依照圖6A至6E所列舉之線切技術所產生，用以製作半導體晶片之共同層次(common level)。這組光罩包括第一光罩(first mask)，係具有按照動態陣列結構所定義之區域，係用以包含定義為連續地延伸跨越第一光罩之區域的第一數目之線形佈局特徵部，其係定義為連續地延伸跨越第一光罩之區域。第一數目之線形佈局特徵部係具有共同位向。又，每一個第一數目之線形佈局特徵部之，在跨越第一光罩的橫貫方向上沒有實質的

改變。第一數目之線形佈局特徵部形成第一次佈局，其中第一次佈局定義一個或多個元件的第一部份。

【0064】這組光罩也包括一第二光罩，係具有按照動態陣列結構所定義之區域，係用以包含定義為連續地延伸跨越第二光罩之區域的第二數目之線形佈局特徵部。第二數目之線形佈局特徵部係與第一光罩的第一數目之線形佈局特徵部具有共同位向。各第二數目之線形佈局特徵部，在跨越第二光罩的橫貫方向上沒有實質的改變。按照動態陣列結構所定義的第二光罩之區域，係對準於按照動態陣列結構所定義的第一光罩之區域，從而導致第二數目之線形佈局特徵部與第一數目之線形佈局特徵部交叉。第二數目之線形佈局特徵部形成第二次佈局，其中第二次佈局定義一或多個元件的第二部分。

【0065】這組光罩也包括第三光罩，係具有定義為包括第三數目之線形佈局特徵部之區域。當第三光罩之區域與第一及第二光罩之區域對準時，第三數目之線形佈局特徵部係定位為與第一及第二數目之線形佈局特徵部二者大致上垂直。第三數目之線形佈局特徵部係定義為提供切割第一及第二數目之線形佈局特徵部之一部份，以便分割第一及第二數目之線形佈局特徵部之，賦予此一或多個元件中之每一個能具有邏輯功能所必需的電連接性。應理解的是，上述的光罩計數，如『第一』、『第二』與『第三』，係設置以達到光罩區別之目的，並不是企圖表達既定光罩之絕對數目。

【0066】又，於另一實施例中，圖6A之此非分段佈局能使用自我對準雙重圖形化(SADP)製程(self-aligned double patterning process)來形成，當使用圖6B與6C之個別的次佈局光罩時。於此實施例中，圖6D之切割佈局，如切割光罩，能用以切割利用SADP製程所形成之非分段佈局，以便產生如圖6E所示之佈局。又，應瞭解的是，於此實施例中的SADP製程，能擴展成自我對準四倍圖形化(SAQP)製程，以及更高倍之自我對準圖形化製程(and beyond)。

【0067】於一實施例中，如同於此所描述之多重圖形化，係藉由分別將既定層次之不同的次佈局裝載入步進機來實施。於此實施例中，不同次佈局之佈局特徵部之間的對準應該要準確地執行，以確保既定層次之佈局特徵部之間具有適當的間隔。於另一實施例中，多重圖形化係利用雙重曝光技術(double exposure technique)來實施，其中多重次佈局係利用晶片對掃描器光柱(scanner optical column)之單次對準(single alignment)而曝光至晶片上。於一實施例中，雙重曝光技術能利用在個別光罩上的每一個多重次佈局來實施。於另一實施例中，假若晶片尺寸允許，雙重曝光技術能利用在相同光罩上的每一個多重次佈局以及利用次佈局之間的補償(offset)來實施。

【0068】再者，應瞭解的是，當製作品片之既定層次時，動態陣列結構的使用幫助了次佈局的對準。例如，在一實施例中，相較於在延伸於佈局特徵部間之垂直方向上的對準，在沿著線形佈局特徵部長度之方向上的對準係可以更隨意(more relaxed)。同樣地，給定既定層次中之線形佈局特徵部的平行結構(parallelism)，使既定層次用之次佈局之適當的旋轉對準可以更容易定義。

【0069】圖7係根據本發明之一實施例，顯示在積體電路設計中所用以定義多重圖形化元件佈局之方法的流程圖之示意圖。此方法包括用以定義元件之層次用之佈局的操作 701，其中佈局係按照動態陣列結構所定義以包含若干佈局特徵部。此若干佈局特徵部係線形並共同定位。此方法也包括用以分割佈局以成元件之層次用之若干次佈局的操作 703，以使佈局中的若干佈局特徵部之每一個係分配至若干次佈局之任何一個，並以使每一次佈局係可獨立地製作。

【0070】於一實施例中，在進行操作703之分割前，在元件之層次用之佈局中的佈局特徵部之尺寸與相鄰佈局特徵部間之間隔，係在既定半導體製造程序的製作能力範圍之外。然而，在進行操作 703之分割後，在元件之層次用之每

一次佈局中的佈局特徵部之尺寸與相鄰佈局特徵部間之間隔，係在既定半導體製造程序的製作能力範圍之內。

【0071】於一實施例中，在元件之層次用之佈局中的側向相鄰佈局特徵部，係分配至不同的次佈局。於一實施例中，在元件之層次用之佈局中分擔共同電性功能之佈局特徵部，係分配至共同次佈局。於一實施例中，主動區域接觸部用之佈局特徵部係共同分配至一次佈局，且閘極接觸部用之佈局特徵部係共同分配至另一次佈局。於一實施例中，在元件之層次用之佈局中的每隔一佈局特徵部，係分配至共同次佈局，其中每隔一佈局特徵部之識別，係根據跨越元件之佈局特徵部橫貫方向之垂直方向而建立。

【0072】此方法更包括操作705，用以儲存元件之層次用之若干次佈局於電腦可讀媒體(computer readable medium)上。應理解的是，元件之層次用之每一次佈局，係在晶片之共同區域內分別地製作。此外，對元件之若干層次，操作701至705係重複進行。

【0073】於一實施例中，此方法亦能包括一操作，係藉由分配元件之層次之邊緣佈局特徵部至特定次佈局，以及藉由分配依據元件之層次用之若干次佈局的固定排序之側向相鄰佈局特徵部(係有關於自邊緣佈局特徵部延伸跨越元件之層次的方向)，以定義元件之層次用之次佈局序列。於此實施例中，此方法能更包括一操作，用以產生元件之若干變形體，其中元件之每個變形體係藉由用以跨越元件之層次之次佈局序列的唯一組合所定義。元件之每一變形體能被儲存於電腦可讀媒體之元件庫中。

【0074】此外，於此方法之一實施例中，PCT處理能在每一次佈局上實施以產生每一次佈局之PCT處理樣式。每一次佈局之PCT處理樣式能被儲存於電腦可讀媒體之元件庫中。於此實施例中，PCT處理係藉由定義環繞既定次佈局之微

影緩衝區域以實施於既定次佈局上。當設置於晶片上時，微影緩衝區域係定義為包括模擬環繞元件之既定次佈局之鄰近區域的若干特徵部。

【0075】圖8係根據本發明之一實施例，顯示用以創造晶片佈局之多重圖形化用之元件庫之方法的流程圖之示意圖。此方法包括用以定義包含若干層次之元件的操作801，此層次具有按照動態陣列結構所定義之個別線形佈局。此方法也包括操作803，其中，對元件之一個或多個選擇層次(select levels)，分割個別線形佈局以成若干次佈局，以使在個別線形佈局中的若干佈局特徵部中之每一個，被分配至若干次佈局之任一個，並以使每一次佈局可獨立地被製作。此方法更包括操作805，用以儲存元件之定義於電腦可讀媒體上的元件庫中。元件之定義包括與元件之每一選擇層次有關的若干次佈局。

【0076】於一實施例中，圖8之方法更包括用以產生元件之若干變形體的操作。元件之每個變形體係藉由用以跨越元件之選擇層次之次佈局序列之唯一組合所定義。元件之既定層次用之次佈局序列，係藉由分配元件之既定層次之邊緣佈局特徵部至特定次佈局，以及藉由分配依據元件之既定層次用之若干次佈局的固定排序之側向相鄰佈局特徵部(係關於自邊緣佈局特徵部延伸跨越元件之既定層次的方向)以定義。於此實施例中，元件之每一變形體係儲存於電腦可讀媒體之元件庫中。

【0077】同樣地，於一實施例中，圖8之方法能包括利用PCT處理每一次佈局，以產生每一次佈局之PCT處理樣式之操作。於此實施例中，每一次佈局之PCT處理樣式係儲存於電腦可讀媒體之元件庫中。此外，於一實施例中，在以操作803分割成次佈局之號碼前，每個線形佈局係在既定半導體製造程序的製作能力範圍之外。然而，於此實施例中，在以操作803之分割線形佈局後，若干次佈局之每一個係在既定半導體製造程序的製作能力範圍之內。

【0078】圖9係根據本發明之一實施例，顯示用以設計生產用之積體電路之方法的流程圖之示意圖。此方法包括操作901，用以一同放置複數個元件於晶片佈局上，以滿足積體電路之網路連線表(netlist)。於操作901中，複數個元件係選擇自晶片佈局之多重圖形化用之元件庫。複數個元件之每一個，係包括具有按照動態陣列結構所定義之個別線形佈局的共同層次。又，每個線形佈局係分割成若干次佈局，以使在每個線形佈局中的每個佈局特徵部係分配至若干次佈局之任一個，並以使分配至既定次佈局之佈局特徵部在既定元件之共同層次內形成一致圖形(consistent pattern)。

【0079】又，複數個元件係一同設置於操作901中，以使由共同層次內之既定次佈局所形成的佈局特徵部之一致圖形(consistent pattern)，以一連續方式延伸跨越複數個元件。再者，由跨越複數個元件之既定次佈局所形成的佈局特徵部之一致圖形之延伸部分，定義了共同層次用之晶片寬的光罩佈局的一部份。此外，每一次佈局係定義在共同層次用之個別晶片寬的光罩佈局上，其中每個晶片寬的光罩佈局係以共對準的方法獨立地製作在共同層次上。此方法更包括操作903，用以儲存共同層次用之晶片寬的光罩佈局於電腦可讀媒體上。

【0080】於此所描述之發明能以電腦可讀碼(computer readable code)在電腦可讀媒體上實施。電腦可讀媒體係任何能儲存電腦系統能讀取之資料的資料儲存元件(data storage device)。電腦可讀媒體之例子包括硬式磁碟機(hard drives)、網路附加儲存設備(network attached storage)(NAS)、唯讀記憶體(read-only memory)、隨機存取記憶體(random-access memory)、唯讀型光碟機(CD-ROMs)、可錄式光碟(CD-Rs)、可重寫式光碟(CD-RWs)、磁帶(magnetic tapes)、以及光學式與非光學式資料儲存元件。電腦可讀媒體能亦分布於網路耦合電腦系統(network coupled computer systems)，以便於以分散式方式(distributed fashion)儲存及執行電腦可讀碼。此外，能開發用以在電腦可讀媒體上執行電腦可讀碼的

圖形使用者界面(graphical user interface)(GUI)，以提供實施本發明之任何實施例的使用者介面。

【0081】雖然本發明已就數個實施例敘述，但應瞭解的是，熟知本技藝者在閱讀前面的說明書與研究附圖之後，當可對其實施各種修改、添加、排列、以及等效設計。因此，意思是本發明係包括落入本發明之真諦及範圍內的所有上述之修改、添加、排列、以及等效設計。

【符號說明】

【0082】

100	電漿反應器
101	元件
103	虛擬柵欄之虛線
105	線形佈局特徵部
105A	次佈局特徵部
105B	次佈局特徵部
105C	次佈局特徵部
107	間隔
109	寬度
111	距離
115	距離
117	OPC形狀
119	微影緩衝區域
121	邊界
401	左邊緣佈局特徵部

501	元件
501A	元件變形體
501B	元件變形體
501C	元件變形體
501D	元件變形體
503	閘極層次佈局特徵部
503A	次佈局
503B	次佈局
505	金屬2層次佈局特徵部
505A	次佈局
505B	次佈局
507	箭號
601	元件
602	元件邊界
603	元件邊界
605	元件邊界
607	元件邊界
609-1	佈局特徵部
609-2	佈局特徵部
609-3	佈局特徵部
609-4	佈局特徵部
609-5	佈局特徵部
609-6	佈局特徵部
701	操作

703	操作
705	操作
801	操作
803	操作
805	操作
901	操作
903	操作
A	次佈局
B	次佈局
C	次佈局



【發明摘要】

【中文發明名稱】半導體晶片

【英文發明名稱】SEMICONDUCTOR CHIP

【中文】揭露一種用以定義於積體電路設計中所使用之多重圖形化元件佈局之方法。用於元件層次之佈局係按照動態陣列結構加以定義，以期包括若干佈局特徵部。此若干佈局特徵部係線形且具有共同位向的。元件層次之佈局係分割成元件層次用之若干次佈局。於佈局中的此若干佈局特徵部中之每一個，係分配至此若干次佈局中之任一個。又，佈局係以使每一次佈局均可獨立製作的方式加以分割。元件層次用之次佈局係儲存於電腦可讀媒體上。

【英文】 A method is disclosed for defining a multiple patterned cell layout for use in an integrated circuit design. A layout is defined for a level of a cell in accordance with a dynamic array architecture so as to include a number of layout features. The number of layout features are linear-shaped and commonly oriented. The layout is split into a number of sub-layouts for the level of the cell. Each of the number of layout features in the layout is allocated to any one of the number of sub-layouts. Also, the layout is split such that each sub-layout is independently fabricatable. The sub-layouts for the level of the cell are stored on a computer readable medium.

【指定代表圖】 圖2A

【代表圖之符號簡單說明】

101 元件

103 虛擬柵欄之虛線

105A 次佈局特徵部

105B 次佈局特徵部

【發明申請專利範圍】

【第1項】 一種半導體晶片，包含：

一間極電極層，包含定義成在一第一方向縱向延伸的複數線形傳導結構，該複數線形傳導結構係按照一固定節距加以配置，使得在該複數線形傳導結構其中任二者之第一方向定向的縱向中心線之間在垂直於該第一方向的第一第二方向上所測得的距離係實質上等於該固定節距的一整數倍數，其中該固定節距的該整數倍數係等於該固定節距乘以選自包含零之一組整數的一整數，

其中該複數線形傳導結構包含對應至一第一次佈局的第一組線形傳導結構、及對應至一第二次佈局的第二組線形傳導結構，該第二組線形傳導結構係與該第一組線形傳導結構交錯，使得該第二組線形傳導結構之每一線形傳導結構與該第一組線形傳導結構之至少一相鄰配置線形傳導結構以其第一方向定向的縱向中心線之間在該第二方向上所測得的該固定節距分隔，

其中該第一組線形傳導結構係利用一第一光罩製造，且其中該第二組線形傳導結構係利用不同於該第一光罩之一第二光罩製造，且其中該第一組線形傳導結構係與該第二組線形傳導結構分別製造，其中該複數線形傳導結構其中若干係實質共對準俾使其第一方向定向的縱向中心線之間在該第二方向上所測得的該距離係實質等於零，其中該複數線形傳導結構的相鄰配置之各對實質共對準者係以在該第一方向上所測得的一末端到末端間隔彼此分隔。

【第2項】 如申請專利範圍第1項之半導體晶片，其中該第一組線形傳導結構其中若干係實質共對準，俾使其第一方向定向的縱向中心線之間在垂直於該第一方向的該第二方向上所測得的該距離係實質等於零，其中該第一組

線形傳導結構的相鄰配置之各對實質共對準者係以在該第一方向上所測得的一固定末端到末端間隔彼此分隔，

其中該第二組線形傳導結構其中若干係實質共對準，俾使其第一方向定向的縱向中心線之間在垂直於該第一方向的該第二方向上所測得的該距離係實質等於零，其中該第二組線形傳導結構的相鄰配置之各對實質共對準者係以在該第一方向上所測得的該固定末端到末端間隔彼此分隔。

【第3項】 如申請專利範圍第2項之半導體晶片，該第一組線形傳導結構的相鄰配置之一對實質共對準者係以一第一末端到末端間隔彼此分隔，其中該第一組線形傳導結構的相鄰配置之該對實質共對準者之第一方向定向的縱向中心線配置在該第一方向上的一第一延長線上，

其中該第二組線形傳導結構的相鄰配置之一對實質共對準者係以一第二末端到末端間隔彼此分隔，其中該第二組線形傳導結構的相鄰配置之該對實質共對準者之第一方向定向的縱向中心線配置在該第一方向上的一第二延長線上，

其中在該第一方向上的該第一延長線係與在該第一方向上的該第二延長線以在該第二方向上所測得的該固定節距加以分隔。

【第4項】 如申請專利範圍第3項之半導體晶片，其中該第一末端到末端間隔係與該第二末端到末端間隔在該第一方向上偏置。

【第5項】 如申請專利範圍第3項之半導體晶片，其中該第一組線形傳導結構其中若干具有在該第一方向上所測得的一第一長度，且其中該第一組線形傳導結構的相鄰配置之該對實質共對準者在該第一方向上所測得的一組合長度係等於在該第一方向上所測得的一第二長度，且其中該第一末端到末端間隔具有在該第一方向上所測得的一第三長度，其中在該第一方向上所測得的該第二與第三長度的和係實質等於在該第一方向上所測得的該第一長度。

【第6項】 如申請專利範圍第5項之半導體晶片，其中該第二組線形傳導結構其中若干具有在該第一方向上所測得的一第四長度，且其中該第二組線形傳導結構的相鄰配置之該對實質共對準者在該第一方向上所測得的一組合長度係等於在該第一方向上所測得的一第五長度，且其中該第二末端到末端間隔具有在該第一方向上所測得的該第三長度，其中在該第一方向上所測得的該第五與第三長度的和係實質等於在該第一方向上所測得的該第四長度。

【第7項】 如申請專利範圍第6項之半導體晶片，其中在該第一方向上所測得的該第四長度係實質等於在該第一方向上所測得的該第一長度。

【第8項】 如申請專利範圍第7項之半導體晶片，其中，具有在該第一方向上所測得的該第一長度的該第一組線形傳導結構的其中至少一者係相對於該第二方向配置在該第二組線形傳導結構其中二者之間，該第二組線形傳導結構的該其中二者之每一者具有在該第一方向上所測得的該第四長度。

【第9項】 如申請專利範圍第1項之半導體晶片，其中該複數線形傳導結構包含對應至一第三次佈局的第三組線形傳導結構，該第三組線形傳導結構係與該第一組及第二組線形傳導結構交錯，使得該第三組線形傳導結構之每一線形傳導結構與該第一組線形傳導結構之至少一相鄰配置線形傳導結構以其第一方向定向的縱向中心線之間在該第二方向上所測得的該固定節距分隔，且使得該第三組線形傳導結構之每一線形傳導結構與該第二組線形傳導結構之至少一相鄰配置線形傳導結構以其第一方向定向的縱向中心線之間在該第二方向上所測得的該固定節距分隔。

【第10項】 如申請專利範圍第9項之半導體晶片，其中該第三組線形傳導結構係利用不同於該第一光罩及該第二光罩每一者之一第三光罩製造，且其中該第三組線形傳導結構係與該第一組及第二組線形傳導結構二者分別製造。

【第11項】 如申請專利範圍第10項之半導體晶片，其中該固定節距的該整數倍數係等於該固定節距乘以選自包含零之一組整數的一整數。

【第12項】 如申請專利範圍第11項之半導體晶片，其中該複數線形傳導結構其中若干係實質共對準，俾使其第一方向定向的縱向中心線之間在該第二方向上所測得的該距離係實質等於零。

【第13項】 如申請專利範圍第12項之半導體晶片，其中該複數線形傳導結構的相鄰配置之各對實質共對準者係以在該第一方向上所測得的一固定末端到末端間隔彼此分隔。

