

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4817510号
(P4817510)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月9日(2011.9.9)

| | | | | | |
|-------------------|------------------|-----|------------|------|--|
| (51) Int. Cl. | | F I | | | |
| G06F 12/00 | (2006.01) | | G06F 12/00 | 550B | |
| G06F 12/16 | (2006.01) | | G06F 12/00 | 550E | |
| | | | G06F 12/16 | 340H | |

請求項の数 3 (全 14 頁)

| | | | |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2001-47504 (P2001-47504) | (73) 特許権者 | 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 |
| (22) 出願日 | 平成13年2月23日(2001.2.23) | (74) 代理人 | 100126240 弁理士 阿部 琢磨 |
| (65) 公開番号 | 特開2002-251316 (P2002-251316A) | (74) 代理人 | 100124442 弁理士 黒岩 創吾 |
| (43) 公開日 | 平成14年9月6日(2002.9.6) | (72) 発明者 | 前田 忠昭 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内 |
| 審査請求日 | 平成20年2月25日(2008.2.25) | 審査官 | 上嶋 裕樹 |

最終頁に続く

(54) 【発明の名称】 メモリコントローラ及びメモリ制御装置

(57) 【特許請求の範囲】

【請求項1】

D R A Mの動作を制御するメモリコントローラと、該 D R A Mに対するメイン電源またはバックアップ用のバッテリー電源による電源供給を制御するパワーコントローラとを有し、通常の動作中でのメイン電源の停電時、前記パワーコントローラはメイン電源の電圧低下に応じて前記 D R A Mの電源を前記メイン電源から前記バッテリー電源に切り替えるとともに、前記メモリコントローラに対して出力するセルフリフレッシュモードの指示信号をアクティブにし、該指示信号に応じて前記メモリコントローラは前記 D R A Mをセルフリフレッシュモードにするよう制御するメモリ制御装置において、

前記メモリコントローラから前記 D R A Mへ出力され、該 D R A Mの前記セルフリフレッシュモードを維持するためにローレベルにするクロックイネーブル信号を、前記セルフリフレッシュモードでローレベルにされた状態から前記メモリコントローラへの電源供給が停止されてもローレベルにプルダウンするプルダウン抵抗を設け、

前記メイン電源の停電時に、前記パワーコントローラは、前記メイン電源の電圧低下に応じて前記メモリコントローラの電源を前記メイン電源から前記バッテリー電源に切り替え、前記メモリコントローラは、前記 D R A Mを前記セルフリフレッシュモードにした後に、該セルフリフレッシュモードに入ったことを前記パワーコントローラに通知し、前記パワーコントローラは、該通知を受けると、前記メモリコントローラの電源を前記バッテリー電源から停電している前記メイン電源に切り替えて、前記メモリコントローラに対する電源供給が前記メイン電源の復活まで停止されるようにしたことを特徴とするメモリ制御装

10

20

置。

【請求項 2】

前記パワーコントローラは、前記通常の動作中でのメイン電源の停電時にメイン電源の電圧低下に応じて前記セルフリフレッシュモードの指示信号をアクティブにした後、前記メイン電源が復活してシステムリセットが解除される直後まで前記指示信号をアクティブに保持するものとし、

前記メモリコントローラは、前記メイン電源の復活時に前記指示信号がアクティブである間は前記クロックイネーブル信号をローレベルに保って前記DRAMの前記セルフリフレッシュモードを維持することを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 3】

前記メモリコントローラは、通常のメイン電源オン時は、システムリセット解除後に、前記DRAMに対してパワーオンイニシャルシーケンスを行なって通常動作に入り、

前記メモリコントローラは、前記メイン電源の停電後の復活時は、システムリセット解除後に、前記DRAMに対してパワーオンイニシャルシーケンスを行わずにオートリフレッシュコマンドを発行して通常動作に入ることを特徴とする請求項 1 または 2 に記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SDRAM（シンクロナス・ダイナミック・ランダム・アクセス・メモリ）などのメモリの動作を制御するメモリコントローラ、及びこれとメモリの電源の制御を行なうパワーコントローラとからなるメモリ制御装置に関するものである。

【0002】

【従来の技術】

SDRAMは半導体プロセスの進歩に伴って、その動作周波数を高めてきた。しかし、SDRAMの動作周波数が高くなるということは、SDRAMを制御するメモリコントローラやメモリコントローラとSDRAMを接続するプリント基板の設計の観点からみると、メモリリード時のセットアップマージン、すなわちリードデータを取り込むためのクロック信号のエッジ例えば立ち上がり以前にリードデータの信号を安定させていなければならない準備時間のマージンがますます厳しくなるということである。

【0003】

例えば、100MHzで動作するSDRAMのクロック信号からのリードデータのアクセスタイムは大抵6nsであり、リードデータを受け取るためにはプリント基板とメモリコントローラのセットアップを含めて4ns以下でメモリコントローラのリードデータを取り込むフリップフロップまで信号が到達しなければならない。このような状況下で正確に動作させるため、従来では、

(1) 基板上的配線長を可能な限り短くし、基板上的配線による信号ディレイをできるだけ小さくする。あるいは、

(2) 高価なクロックドライバ素子等を用いてSDRAMへの供給クロックとメモリコントローラへの供給クロックに意図的にスキューすなわちタイミングずれを生じさせ、セットアップマージンを稼ぐ。

といった手法がとられてきた。

【0004】

一方、従来、コンピュータなどの電子回路において、停電時など外部より電源供給が停止した時、SDRAMをバッテリーバックアップする必要のあるシステムにおいては、

(3) 停電時においてもメモリコントローラ自体はバッテリーにより電源供給され、バックアップすべきSDRAMへのインターフェイスを制御し続ける。あるいは、

(4) メモリコントローラ自体の電源供給を停止する場合は、メモリコントローラとSDRAMの間の制御信号をスイッチ等で切り替え、メモリコントローラ以外のコントローラがバックアップすべきSDRAMを制御する。

といった手法がとられていた。

【 0 0 0 5 】

【 発明が解決しようとする課題 】

しかしながら、上述したセットアップマージンの問題に関して、最近では S D R A M の動作周波数は 1 3 3 M H z (クロックサイクルタイム 7 . 5 nsec) にまで高くなり、ますますセットアップマージンを確保するのは難しくなっており、上記従来の (1) の手法のように基板上の配線長だけでは対処することが難しくなってきた。また従来の (2) の手法のように特殊なクロックドライバを使用すると、その分コストアップにつながるという欠点がある。

【 0 0 0 6 】

また、バッテリーバックアップに関して、従来の (3) の手法では、バックアップすべき S D R A M に加えメモリコントローラ自体によりバッテリーが消費されるのでバックアップ可能時間が短いという欠点があった。特に、システム・オン・シリコンのような大規模 A S I C にメモリコントローラが内蔵される場合は、A S I C 全体にバッテリー電源が供給されることになり、バックアップ可能時間がますます短くなる。

【 0 0 0 7 】

また、従来の (4) の手法においては、メモリコントローラの電源を停止することができるので (3) の手法のような問題は解消されるが、メモリコントローラと S D R A M の間にスイッチ等の付加回路が必要なので、その分だけ制御信号のディレイが生じ、S D R A M の動作周波数を上げることが非常に難しくなるという欠点がある。なお、この問題は S D R A M に限らず D R A M に共通することは勿論である。

【 0 0 0 8 】

そこで本発明の課題は、S D R M などのメモリを制御するメモリコントローラにおいて、簡単安価な構成により、リード時にメモリの動作周波数が高くてもリードデータを確実に取り込んで出力できるようにすること、及びメモリコントローラと D R A M 間にスイッチ等の付加回路を設けずに、D R A M のバッテリーバックアップ時にメモリコントローラへの電源供給を停止してメモリコントローラの消費電力を最小にできるようにすることにある。

【 0 0 0 9 】

【 課題を解決するための手段 】

上記課題を解決するために、本発明によれば、

D R A M の動作を制御するメモリコントローラと、該 D R A M に対するメイン電源またはバックアップ用のバッテリー電源による電源供給を制御するパワーコントローラとを有し、通常の動作中でのメイン電源の停電時、前記パワーコントローラはメイン電源の電圧低下に応じて前記 D R A M の電源を前記メイン電源から前記バッテリー電源に切り替えるとともに、前記メモリコントローラに対して出力するセルフリフレッシュモードの指示信号をアクティブにし、該指示信号に応じて前記メモリコントローラは前記 D R A M をセルフリフレッシュモードにするよう制御するメモリ制御装置において、

前記メモリコントローラから前記 D R A M へ出力され、該 D R A M の前記セルフリフレッシュモードを維持するためにローレベルにするクロックイネーブル信号を、前記セルフリフレッシュモードでローレベルにされた状態から前記メモリコントローラへの電源供給が停止されてもローレベルにプルダウンするプルダウン抵抗を設け、

前記メイン電源の停電時に、前記パワーコントローラは、前記メイン電源の電圧低下に応じて前記メモリコントローラの電源を前記メイン電源から前記バッテリー電源に切り替え、前記メモリコントローラは、前記 D R A M を前記セルフリフレッシュモードにした後に、該セルフリフレッシュモードに入ったことを前記パワーコントローラに通知し、前記パワーコントローラは、該通知を受けると、前記メモリコントローラの電源を前記バッテリー電源から停電している前記メイン電源に切り替えて、前記メモリコントローラに対する電源供給が前記メイン電源の復活まで停止されるようにした。

【 0 0 1 1 】

10

20

30

40

50

【発明の実施の形態】

以下、図を参照して本発明の実施の形態を説明する。

【0012】

[第1の実施形態]

図1は、本発明の第1の実施形態におけるメモリコントローラのSDRAMからのリードデータの取り込みに関わる構成を示している。同図において、1はメモリコントローラ、2はメモリコントローラ1により制御されるSDRAM、3はメモリコントローラ1とSDRAM2にクロック信号を供給するクロックドライバである。4以下はメモリコントローラ1の構成であり、4はI/O（入出力）端子、5はI/Oバッファ、6はクロック信号CLK_Aにより動作してSDRAM2からのリードデータRamDataを取り込むフリップフロップ、7はクロック信号CLK_Bにより動作してSDRAM2からのリードデータRamDataを取り込むフリップフロップ、8はセレクト信号RdSelにより切り替えられるセクタ、9はクロック信号CLK_Aにより動作してセクタ8の出力を取り込むフリップフロップ、10はクロック信号CLK_Aを遅延させてクロック信号CLK_Aと同一周期で変化（立ち上がり、立ち下り）のタイミングが異なるクロック信号CLK_Bを形成するためのディレイ素子である。

【0013】

この構成において、SDRAM2からのリードデータRamDataの信号はI/O端子4とI/Oバッファ5を経由して、クロック信号CLK_Aで動作するフリップフロップ6と、クロック信号CLK_Bで動作するフリップフロップ7のD入力に到達する。フリップフロップ6はクロック信号CLK_Aの立ち上がり時のD入力を取り込んでDataIn_Aとして出力し、フリップフロップ7はクロック信号CLK_Bの立ち上がり時のD入力を取り込んでDataIn_Bとして出力するよう動作する。セクタ8はメモリコントローラ1の内部あるいは外部で設定されたセレクト信号RdSelによりDataIn_AとDataIn_Bのいずれか一方を選択してフリップフロップ9のD入力へ出力する。そしてそれを取り込んだフリップフロップ9の出力信号がリードデータRdDataとして、メモリコントローラ1が接続された不図示のCPUバスに出力される。

【0014】

次に、図2と図3のタイミングチャートにより上記動作の詳細を説明する。

【0015】

図2のタイミングチャートは、SDRAM2から4ビットのリードを行なった場合の動作を示し、RdData1, RdData2, RdData3, RdData4はそれぞれ1から4ビット目のリードデータであり、セクタ8によりDataIn_Bを選択した場合に有効な動作を示したものである。

【0016】

1ビット目のリード動作を説明する。SDRAM2から出力されるリードデータRamDataは、本来はクロック信号CLK_Aが立ちあがるT201Aの時点でメモリコントローラ1内で取り込まなくてはならない。しかしながら、メモリコントローラ1とSDRAM2が実装された基板上の配線によるディレイやメモリコントローラ1内部のI/Oバッファ5等でのディレイにより、I/Oバッファ5を介して入力されたリードデータの信号がDataInとして示すようにT201Aの時点ではまだ確定していないとする。

【0017】

この場合、クロック信号CLK_Aで動作するフリップフロップ6はT201Aの時点で不定値Xを取り込んでDataIn_Aとして出力する。これに対し、DataInはクロック信号CLK_Bが立ちあがるT201Bの時点ではRdData1に確定しているため、CLK_Bで動作するフリップフロップ7はT201B時点でRdData1を取り込んでDataIn_Bとして出力する。このときセクタ8のセレクト信号RdSelがDataIn_Bを選択する（すなわちフリップフロップ7を選択する）よう設定してあれば、フリップフロップ9のD入力に正しくRdData1が入力されることになり、その結果、1ビット目のリードデータとしてRdData1が正しくリードされ、フリップフロップ9から不図示のCPUバスに出力される。2から4ビット目も同様である。

10

20

30

40

50

【 0 0 1 8 】

一方、図3のタイミングチャートは、SDRAM2から4ビートのリードをおこなった場合で、上記と逆にセクタ8によりDataIn_Aを選択した場合に有効な動作を示したものである。

【 0 0 1 9 】

1ビート目のリード動作を説明する。SDRAM2から出力されるリードデータRamDataは基板上の配線によるディレイやメモリコントローラ1内部のIOバッファ5等でのディレイにより、IOバッファ5の後段にDataInとして図示するようにあらわれるとする。

【 0 0 2 0 】

この場合、T301Aの時点で立ち上がるクロック信号CLK_Aで動作するフリップフロップ6はT301Aの時点で確定しているRdData1を取り込んでDataIn_Aとして出力する。これに対し、DataInはT301Bの時点ではすでに不定値Xになっており、T301Bの時点で立ち上がるCLK_Bで動作するフリップフロップ7はT301B時点で不定値Xを取り込んでDataIn_Bとして出力する。このときセクタ8のセレクト信号RdDSelがDataIn_Aを選択する(すなわちフリップフロップ6を選択する)よう設定してあれば、フリップフロップ9のD入力に正しくRdData1が入力されることになり、その結果、1ビート目のリードデータとしてRdData1が正しくリードされ、フリップフロップ9から不図示のCPUバスに出力される。2から4ビート目も同様である。

10

【 0 0 2 1 】

以上のように、本実施形態のメモリコントローラ1によれば、SDRAM2からのリード時に、それぞれ同一周期で変化のタイミングが異なるクロック信号CLK_A, CLK_Bで動作するフリップフロップ6, 7により異なるタイミングでSDRAM2からのリードデータを取り込み、セクタ8によりフリップフロップ6, 7のいずれか一方の出力を選択してリードデータとしてCPUバスに出力する。したがって、SDRAM2からリードデータを取り込むタイミングを最適なタイミングに選択して確実にリードデータを取り込むことができ、SDRAM2の動作周波数が高くても確実にリードデータを取り込むことができる。またメモリコントローラ1とSDRAM2を実装したプリント基板上の配線などによるリードデータ信号のディレイに対して、メモリコントローラ1内でリードデータを取り込むタイミングを変更して対応することができるので、プリント基板の設計が容易になり、その設計の日程の短縮及びコスト低減が図れる。さらに、フリップフロップ6, 7, 9、セクタ8、ディレイ素子10を設ける構成は簡単で安価に実現することができる。

20

30

【 0 0 2 2 】

ところで、以上説明した実施形態では、2つのフリップフロップ6, 7と1つのディレイ素子10を用いて2種類のタイミングでリードデータを取り込むものとしたが、3つ以上のフリップフロップと2つ以上のディレイ素子を用いて3種類以上のタイミングでリードデータを取り込み、いずれか1つを選択して出力することも可能である。

【 0 0 2 3 】

[第2の実施形態]

次に、本発明の第2の実施形態を図4及び図5により説明する。

【 0 0 2 4 】

図4は第2の実施形態におけるメモリコントローラのSDRAMからのリードデータの取り込みに関わる構成を示している。同図において、第1の実施形態の図1中と共通の部分には共通の符号を付してあり、その共通部分の説明は省略する。

40

【 0 0 2 5 】

図4に示すように、本実施形態のメモリコントローラ1では、インバータ11が第1の実施形態のディレイ素子10の代わりに設けられている。このインバータ11はクロックドライバ3からのクロック信号CLK_Aを反転して反転クロック信号CLK_Iを形成する。フリップフロップ7は、この反転クロック信号CLK_Iにより動作する。これ以外の部分の構成は第1の実施形態と共通とする。

【 0 0 2 6 】

50

次に、本実施形態の動作を図5のタイミングチャートにより説明する。図5は、SDRAM2から4ビットのリードを行なった場合の動作を示し、RdData1, RdData2, RdData3, RdData4はそれぞれ1から4ビット目のリードデータであり、セクタ8によりフリップフロップ7の出力DataIn_1を選択した場合に有効な動作を示したものである。

【0027】

1ビット目のリード動作を説明する。SDRAM2から出力されるリードデータRamDataは、本来ならばクロック信号CLK_Aが立ち上がるT501Aの時点で取り込まれなくてはならない。しかしながら、基板上の配線によるディレイやメモリコントローラ1内部のIOバッファ5等でのディレイにより、IOバッファ5を介して入力されたリードデータの信号がDataInとして示すようにT501Aの時点ではまだ確定していないとする。

10

【0028】

この場合、クロック信号CLK_Aで動作するフリップフロップ6はT501Aの時点で不定値Xを取り込んでDataIn_Aとして出力する。これに対し、DataInは反転クロック信号CLK_Iが立ち上がるT501Bの時点ではRdData1に確定しているので、反転クロック信号CLK_Iで動作するフリップフロップ7はT501Bの時点でRdData1を取り込んでDataIn_1として出力する。このときセクタ8のセレクト信号RdSelがDataIn_1を選択する(すなわちフリップフロップ7を選択する)よう設定していればフリップフロップ9のD入力に正しくRdData1が入力されることになり、その結果、1ビット目のリードデータとしてRdData1が正しくリードされる。2から4ビット目も同様である。

20

【0029】

このような本実施形態によれば、第1の実施形態と同様にSDRAM1からリードデータを取り込むタイミングを最適に選択することができ、同様の効果が得られる。

【0030】

ところで、以上に説明した本発明に係るリードデータを取り込むタイミングを選択できるようにしたメモリコントローラの構成は、メモリからリードデータを取り込んで外部に出力する機能を有するメモリコントローラならばSDRAMのメモリコントローラに限らず、SDRAM以外のDRAMのメモリコントローラ、さらにはDRAM以外の半導体メモリのメモリコントローラにも適用できることは勿論である。

【0031】

[第3の実施形態]

次に、本発明の第3の実施形態を図6及び図7により説明する。まず、図6は、第3の実施形態におけるSDRAMのメモリコントローラとパワーコントローラからなるメモリ制御装置の構成を示している。

30

【0032】

図6において、21はメモリ(SDRAM22)の動作を制御するメモリコントローラ、22はSDRAM、23はメモリコントローラ21とSDRAM22の電源VccとVbattの監視と制御を行うパワーコントローラ、24はパワーコントローラ23の制御によりメモリコントローラ21への電源をVccまたはVbattに切り替えるスイッチ、25はパワーコントローラ23の制御によりSDRAM22への電源をVccまたはVbattに切り替えるスイッチ、26はメモリコントローラ21からSDRAM22に印加されるClkE(クロックイネーブル)信号をプルダウンするプルダウン抵抗である。なお、電源Vccは家庭用商用電源の100Vの交流を不図示の電源ユニットにより所定電圧の直流に変換したメイン電源であり、電源Vbattはバックアップ用のバッテリーより供給されるバッテリー電源である。

40

【0033】

Cs_L, Ras_L, Cas_L, We_L, addr, ClkEは、メモリコントローラ21からSDRAM22に対して出力されるSDRAM22を制御するコントロール信号であり、Cs_Lはチップセレクト信号、Ras_Lはローアドレスストロブ信号、Cas_Lはコラムアドレスストロブ信号、We_Lはライトイネーブル信号、addrはアドレス信号、ClkEは上記のクロックイネーブル信号である。なお、_Lの符号を付した信号は勿論ローアクティブ、すなわちローレベルでアクティブ(有効)な信号である。ClkEはハイアクティブの信号である。また、メモリ

50

コントローラ 2 1 と S D R A M 2 2 間でやり取りされるDataは勿論データ信号である。

【 0 0 3 4 】

また、Clkはメモリコントローラ 2 1 と S D R A M 2 2 に供給されるクロック信号であり、Reset_Lはシステムリセット信号である。RamBackUpはパワーコントローラ 2 3 から出力されるメモリコントローラ 2 1 に対してメモリバックアップのために S D R A M 2 2 をセルフリフレッシュモードにすることを指示するハイアクティブの信号であり、SelfRefOKは、メモリコントローラ 2 1 からパワーコントローラ 2 3 に対して出力される S D R A M 2 2 がセルフリフレッシュモードに入ったことを知らせるハイアクティブの信号である。

【 0 0 3 5 】

次に、図 6 の構成の動作について説明する。まず、通常のパワーアップ（バックアップ無し）の場合の動作を説明する。

10

【 0 0 3 6 】

メイン電源Vccがオンされると、システムリセット信号Reset_Lがローレベルになる。メモリコントローラ 2 1 はReset_Lがローレベル時にRamBackUpがローレベルであるので、Cs_L、Ras_L、Cas_L、We_L、ClkEの各信号をハイレベルに保持する。そしてReset_Lの解除後、RamBackUpがローレベルであるので S D R A M 2 2 のパワーオンイニシャルシーケンス（Pre-Charge All Commandを発行し、その後Auto Refresh Commandを 8 回発行し、Mode Set Commandを発行する）を行い、その後通常動作に入り、要求があれば S D R A M 2 2 のリード/ライトを行う。

【 0 0 3 7 】

20

次に、通常動作中にメイン電源Vccの供給が停止（停電）し、バッテリー電源Vbattによって S D R A M 2 2 の内容をバックアップする動作を説明する。

【 0 0 3 8 】

図 6 において、パワーコントローラ 2 3 は、不図示の電源ユニットから供給されるメイン電源Vccの電圧を常に監視しており、通常動作中にメイン電源Vccの電圧があらかじめ規定された電圧よりも低くなった場合、メモリコントローラ 2 1 に対してRamBackUp信号をアクティブ（ハイレベル）にして、 S D R A M 2 2 をセルフリフレッシュモードに入れるよう指示を出す。同時に、スイッチ 2 4、2 5 を切り替えることにより、メモリコントローラ 2 1 への電源と S D R A M 2 2 への電源をメイン電源Vccからバッテリー電源Vbattへ切り替える。

30

【 0 0 3 9 】

メモリコントローラ 2 1 は、RamBackUp信号を受け取ると、ただちに、ClkE、Cs_L、Ras_L、及びCas_Lをローレベル、We_Lをハイレベルにし、 S D R A M 2 2 に対してSelf Refresh Entry Commandを発行し、 S D R A M 2 2 をセルフリフレッシュモードに入れ、その後もClkEをローレベルに保つことによりセルフリフレッシュモードを継続させる。また同時にSelfRefOK信号をアクティブにし、パワーコントローラ 2 3 に対して S D R A M 2 2 がセルフリフレッシュモードに入ったことを知らせる。

【 0 0 4 0 】

SelfRefOKを受け取ったパワーコントローラ 2 3 は、スイッチ 2 4 を切り替える事によってメモリコントローラ 2 1 の電源をバッテリー電源Vbattから停止（停電）しているメイン電源Vccに戻す。すなわちメモリコントローラ 2 1 への電源供給を停止する。ここでメモリコントローラ 2 1 から出力される S D R A M 2 2 の制御信号Cs_L、Ras_L、Cas_L、We_Lは不定となるが、クロックイネーブル信号ClkEだけは、プルダウン抵抗 2 6 を通じてプルダウンされているのでローレベルを保持される。したがって S D R A M 2 2 はセルフリフレッシュモードのままとなり、バッテリーの容量が続く限り最小消費電力で S D R A M 2 2 の内容をバックアップし続けることができる。

40

【 0 0 4 1 】

次に、メイン電源Vccの停電後、メイン電源Vccの供給が復活してバックアップから通常動作に戻る場合の動作を説明する。

【 0 0 4 2 】

50

メイン電源Vccの供給が復活し、その電圧がある決められた電圧より高くなると、パワーコントローラ23はSDRAM22の電源をバッテリー電源Vbattからメイン電源Vccへ切り替える。メモリコントローラ21へのRamBackUp信号は、システムリセット信号Reset_Lが解除(ハイレベル)されるまで、アクティブ(ハイレベル)のままに保持される。メモリコントローラ21はReset_Lがローレベルの間RamBackUpがハイレベルであれば、クロックイネーブル信号ClkEをローレベルにし続けることによって、SDRAM22のセルフリフレッシュモードを保持させる。Reset_L解除後、RamBackUpがハイレベルであれば、ClkEをハイレベルにし、SDRAM22をセルフリフレッシュモードから抜けさせ、SDRAM22のパワーオンイニシャルシーケンスを実行すること無しに直ちにAuto Refresh Commandを発行する。その後、通常の動作モードに入り、要求があればSDRAM22のリード/ライトを行う。

10

【0043】

次に、上記の動作をさらにわかりやすく図7のタイミングチャートを用いて改めて説明する。

【0044】

図7において、上段が通常メイン電源オン時の動作を示し、下段が通常動作からメイン電源が停電(バッテリーバックアップ)し、その後、メイン電源が復活した場合の動作を示している。

【0045】

まず図7の上段に示す通常メイン電源オン時の動作について説明する。T1の時点でメイン電源Vccがオンされる。この時システムリセット信号Reset_Lがローレベルになり、パワーコントローラ23の出力RamBackUpはローレベルとなり、バックアップ状態からの復帰ではないことを示す。したがってメモリコントローラ21はClkEをハイレベルにドライブする。その後、時点T2のReset_L解除時、RamBackUpがローレベルであるのでメモリコントローラ21はSDRAM22のパワーオンイニシャルシーケンスを実行する。すなわち、時点T3でパワーオンイニシャルシーケンスの最初であるPre-Charge All Commandを発行する。この後、図7には示されていないが、Auto-Refresh Commandを8回、Mode Set Commandを発行し、リード/ライト可能な状態になる。

20

【0046】

次に、図7の下段に示す通常動作状態からメイン電源が停電(SDRAMバックアップ)し、その後、メイン電源が復活する場合の動作を説明する。通常動作状態からまずT4の時点でパワーコントローラ23がメイン電源Vccの電圧低下を検出すると、メモリコントローラ21に対してRamBackUpをハイレベルにしてSDRAM22をセルフリフレッシュモードにするよう指示を出す。同時にスイッチ24, 25の切り替えにより、メモリコントローラ21とSDRAM22の電源をメイン電源Vccからバッテリー電源Vbattに切り替える。

30

【0047】

メモリコントローラ21はT5の時点でSelf-Refresh Entry Commandを発行する(Self-Refresh Entry Commandの前に必要に応じてPre-Charge All Command/Auto-Refresh Commandが発行される)。同時にSelfRefOKをハイレベルにし、パワーコントローラ23に対してSDRAM22がセルフリフレッシュモードに入った事を知らせる。そしてClkEをローレベルに保ちSDRAM22のセルフリフレッシュモードを保持する。

40

【0048】

SelfRefOKを受け取ったパワーコントローラ23は、T6の時点でスイッチ24の切り替えにより、メモリコントローラ21の電源をバッテリー電源Vbattから停電しているメイン電源Vccに戻す。すなわちメモリコントローラ21の電源供給を停止し、SDRAM22だけにバッテリー電源Vbattを供給し続ける。この時RamBackUpはハイレベルを保持したままである。また、メモリコントローラ21の電源供給が停止されても、ClkEはプルダウン抵抗26によってローレベルに保持されるので、SDRAM22はセルフリフレッシュモードのままである。

50

【 0 0 4 9 】

その後、T 7 の時点でメイン電源Vccが復活し、パワーコントローラ 2 3 はスイッチ 2 5 の切り替えにより、S D R A M 2 2 の電源をバッテリー電源Vbattからメイン電源Vccに戻す。時点T 4 からこの時点T 7 までバッテリーバックアップがなされたことになる。

【 0 0 5 0 】

ここで、図 7 上段に示した通常メイン電源オン時と同様にシステムリセット信号Reset_Lがローレベルになるが、RamBackUp信号がハイレベルであるので、メモリコントローラ 2 1 はClkEをローレベルに保つ。T 8 の時点でシステムリセット信号Reset_Lが解除（ハイレベル）されるが、RamBackUpがハイレベルであるため、メモリコントローラ 2 1 は通常のパワーオンイニシャルシーケンスを発行せず、T 9 の時点でAuto-Refresh Commandを発行し、リード/ライト可能な状態になる。

10

【 0 0 5 1 】

以上のように、本実施形態によれば、図 7 の下段に示したように、メイン電源Vccが通常通電状態からオフ（停電）した場合（時点T 4 ）、メモリコントローラ 2 1 とS D R A M 2 2 の電源がメイン電源Vccからバッテリー電源Vbattに切り替えられるが、その後、メモリコントローラ 2 1 がS D R A M 2 2 をセルフリフレッシュモードにした（時点T 5 ）後、メモリコントローラ 2 1 の電源がバッテリー電源Vccから停電しているメイン電源Vccに切り替えられ、メモリコントローラ 2 1 への電源供給が停止される（時点T 6 ）。そしてメイン電源Vccの復活（時点T 7 ）まで、メモリコントローラ 2 1 への電源供給は停止される。

20

【 0 0 5 2 】

したがって、バッテリーバックアップ時の消費電流を最小とすることができ、より長時間のバッテリーバックアップが可能となる。またバッテリーバックアップの必要時間が定められているシステムにおいては、より小さいバッテリー容量で所望のバックアップ時間を満たすことができ、コストダウンを図ることができる。また、メモリコントローラ 2 1 とS D R A M 2 2 の間にスイッチなどの付加回路が必要ないので、制御信号のディレイが最小となり、容易にS D R A Mの動作周波数の向上をはかる事が可能となる。

【 0 0 5 3 】

[第 4 の実施形態]

次に、本発明の第 4 の実施形態を図 8 及び図 9 により説明する。まず、図 8 は、第 4 の実施形態におけるS D R A Mのメモリコントローラとパワーコントローラからなるメモリ制御装置の構成を示している。図 8 において、第 3 の実施形態の図 6 中と共通の部分には共通の符号を付してあり、その共通部分の説明は省略する。

30

【 0 0 5 4 】

図 8 に示すように、本実施形態の構成では、第 3 の実施形態の図 6 中のスイッチ 2 4 が設けられておらず、メモリコントローラ 2 1 に対する電源供給はメイン電源Vccのみによってなされ、メモリコントローラ 2 1 の電源の切り替えはなされないようになっている。また、第 3 の実施形態ではメモリコントローラ 2 1 からパワーコントローラ 2 3 に対してSelfRefOk信号が出力されるものとしたが、本実施形態では同信号を廃止している。本実施形態のこれ以外の部分の構成は第 3 の実施形態と共通とする。

40

【 0 0 5 5 】

次に、図 9 のタイミングチャートにより本実施形態の動作を説明する。なお、図 9 の上段に示す通常メイン電源オン時の動作は、第 3 の実施形態の図 7 上段の動作と共通であるので、説明を省略し、図 9 下段に示すメイン電源が通常通電状態から停電し、その後に復活する場合の動作を説明する。

【 0 0 5 6 】

第 3 の実施形態では、図 7 中の時点T 4 でパワーコントローラ 3 がメイン電源Vccの電圧低下を検出すると、メモリコントローラ 1 とS D R A M 2 の電源をバッテリー電源Vbattに切り替えたが、本実施形態では、図 9 中でパワーコントローラ 3 がメイン電源Vccの電圧低下を検出した時点T 1 3 からその後の時点T 1 5 までメイン電源Vccによるメモリコン

50

トローラ 2 1 への電源供給が保証されるものとし、その間の時点 T 1 4 でメモリコントローラ 2 1 がクロックイネーブル信号 ClkE をローレベルにして Self-Refresh Entry Command を発行し、SDRAM 2 2 をセルフリフレッシュモードにする。その後の動作は第 3 の実施形態と同様である。

【 0 0 5 7 】

本実施形態によれば、時点 T 1 3 から T 1 5 までの間、メイン電源 Vcc によるメモリコントローラ 2 1 への電源供給が保証されるので、その間にメモリコントローラ 2 1 の電源をバッテリー電源 Vbatt に切り替える必要は無い。また SelfRefOK 信号も必要ない。

【 0 0 5 8 】

なお、本実施形態では、時点 T 1 5 からメイン電源 Vcc が復活する時点 T 1 6 まで、メモリコントローラ 2 1 に対する電源供給はオフされるが、その間、プルダウン抵抗 2 6 により ClkE がローレベルに保持されるので、SDRAM 2 2 はセルフリフレッシュモードを維持し、バッテリーバックアップがなされることは勿論である。

10

【 0 0 5 9 】

このような本実施形態によれば、メイン電源 Vcc が通常の通電状態から停電して SDRAM 2 2 のバッテリーバックアップを行なう場合、バッテリー電源 Vbatt によるメモリコントローラ 2 1 への電源供給は行わないので、バッテリーバックアップ時の消費電流を最小とすることができ、第 3 の実施形態と同様の効果が得られる。

【 0 0 6 0 】

なお、第 3 と第 4 の実施形態に示した本発明に係るメモリ制御装置の構成は、SDRAM 以外の DRAM のメモリコントローラとパワーコントローラからなるメモリ制御装置にも適用できることは勿論である。

20

【 0 0 6 1 】

【発明の効果】

以上の説明から明らかなように、本発明によれば、メモリからリードデータを取り込んで外部に出力する機能を有するメモリコントローラにおいて、簡単安価な構成により、リード時にメモリからリードデータを取り込むタイミングを複数の内で最適なタイミングに選択することができ、メモリの動作周波数が高くても確実にリードデータを取り込んで出力することができる。またメモリコントローラとメモリを実装したプリント基板上の配線などによるリードデータ信号のディレイに対して、メモリコントローラ内でリードデータを取り込むタイミングを変更して対応することができるので、プリント基板の設計が容易になり、その設計の日程の短縮及びコスト低減が図れる。

30

【 0 0 6 2 】

また、本発明によれば、DRAM のメモリコントローラとパワーコントローラからなるメモリ制御装置において、メイン電源の停電に応じた DRAM のバッテリーバックアップ時に、メモリコントローラの電源供給を停止することができるので、バッテリーバックアップ時の消費電流を最小とすることができ、より長時間のバッテリーバックアップが可能となる。またバッテリーバックアップの必要時間が定められているシステムにおいては、より小さいバッテリー容量で所望のバックアップ時間を満たすことができ、コストダウンを図ることができる。また、メモリコントローラと DRAM の間にスイッチなどの付加回路が必要ないので、制御信号のディレイが最小となり、容易に DRAM の動作周波数の向上をはかる事が可能となるという優れた効果が得られる。

40

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態におけるメモリコントローラのリードデータ取り込みに関わる構成を示すブロック図である。

【図 2】同実施形態におけるリードデータの取り込み動作のタイミングチャート図である。

【図 3】取り込みタイミングが異なるリードデータの取り込み動作のタイミングチャート図である。

【図 4】本発明の第 2 の実施形態におけるメモリコントローラのリードデータ取り込みに

50

関わる構成を示すブロック図である。

【図5】同実施形態におけるリードデータの取り込み動作のタイミングチャート図である。

【図6】本発明の第3の実施形態におけるSDRAMのメモリコントローラとパワーコントローラからなるメモリ制御装置の構成を示すブロック図である。

【図7】同実施形態の動作を説明する信号のタイミングチャート図である。

【図8】本発明の第4の実施形態におけるメモリ制御装置の構成を示すブロック図である。

【図9】同実施形態の動作を説明する信号のタイミングチャート図である。

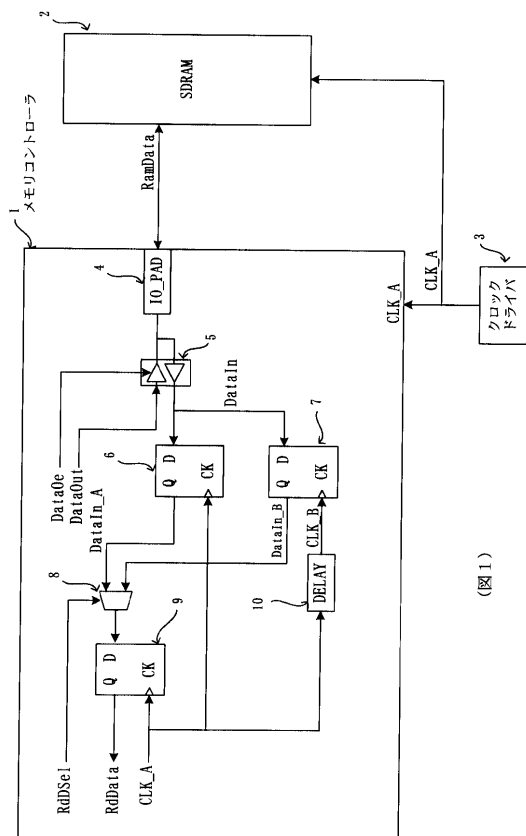
【符号の説明】

- 1 メモリコントローラ
- 2 SDRAM
- 3 クロックドライバ
- 4 IO端子
- 5 IOバッファ
- 6, 7, 9 フリップフロップ
- 8 セレクタ
- 10 デレイ素子
- 11 インバータ
- 21 メモリコントローラ
- 22 SDRAM
- 23 パワーコントローラ
- 24 メモリコントローラ21の電源を切り替えるスイッチ
- 25 SDRAM22の電源を切り替えるスイッチ
- 26 プルダウン抵抗

10

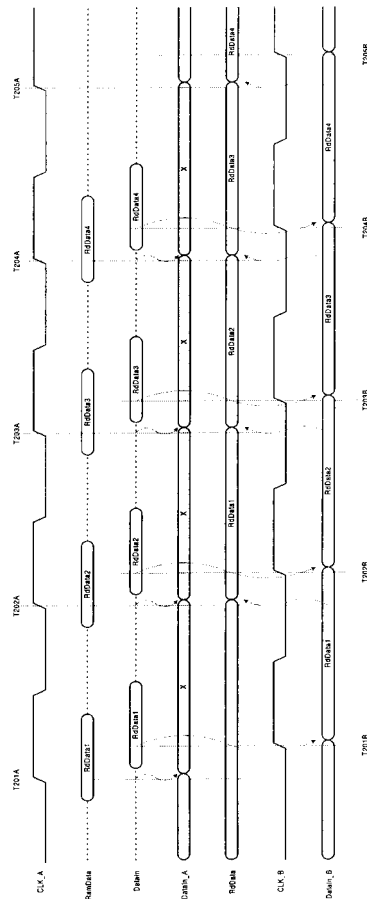
20

【図1】



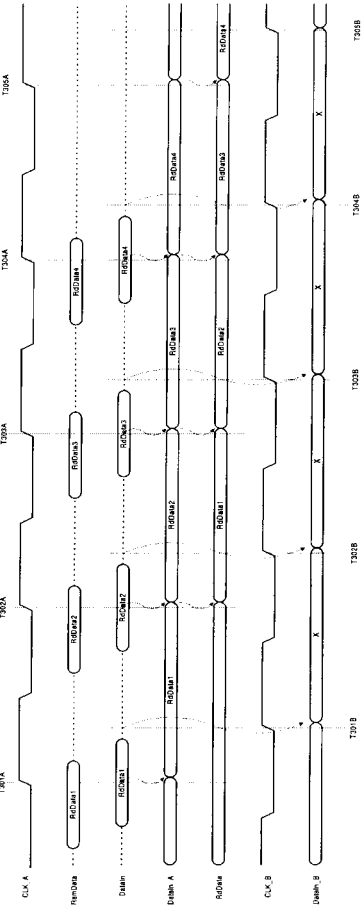
(図1)

【図2】



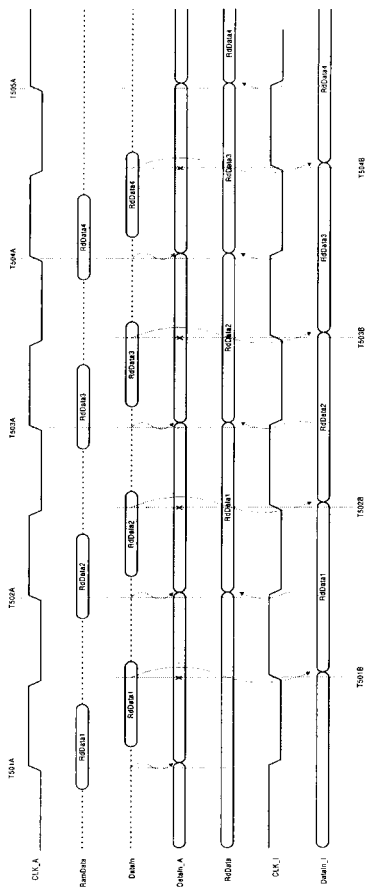
(図2)

【 図 3 】



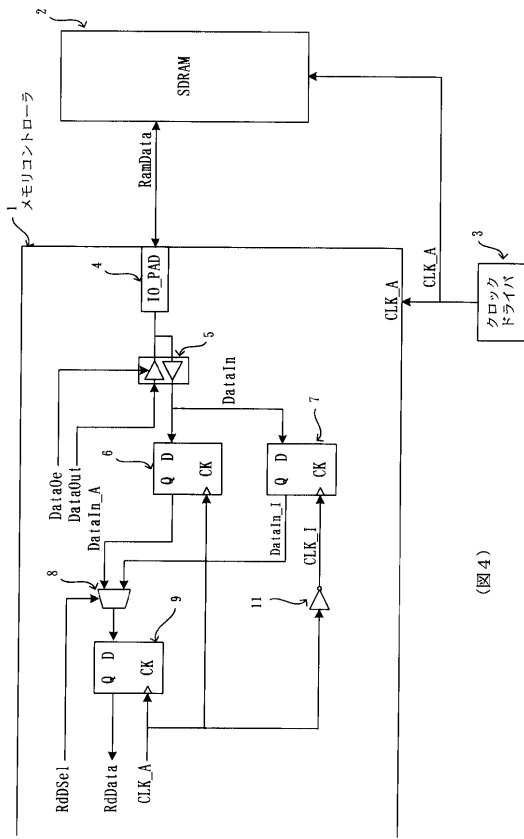
(図 3)

【 図 5 】



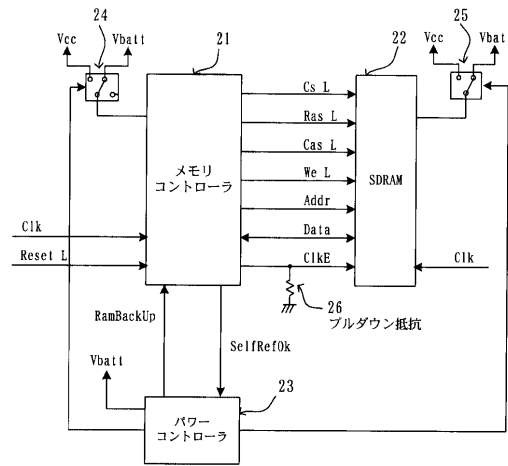
(図 5)

【 図 4 】



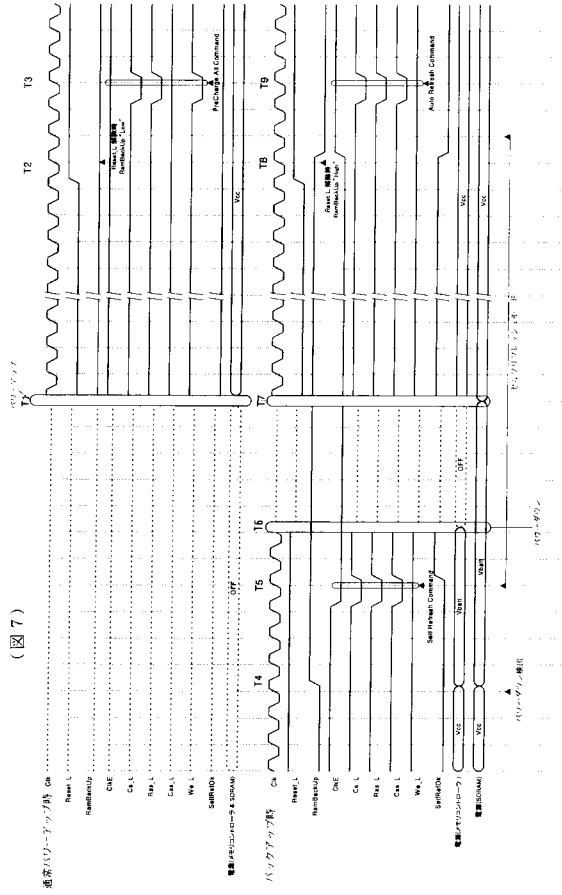
(図 4)

【 図 6 】



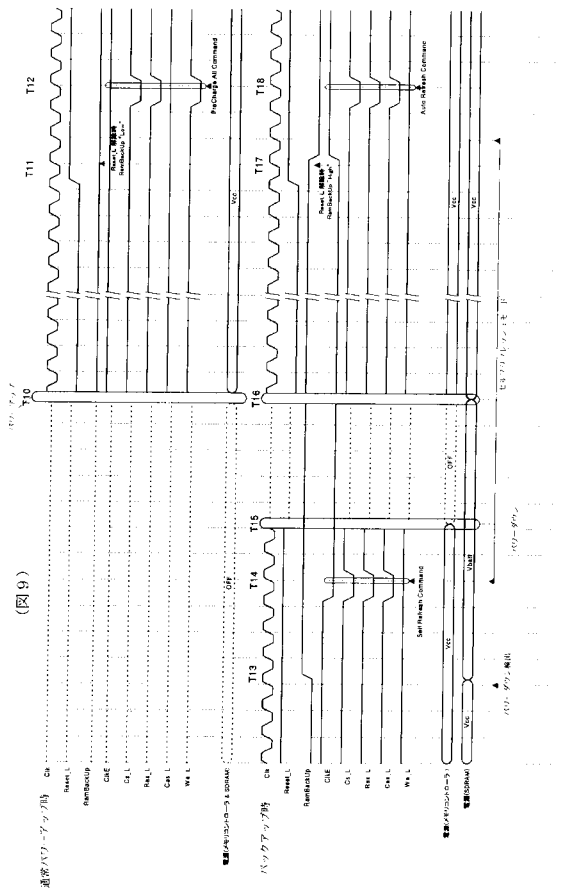
(図 6)

【図7】



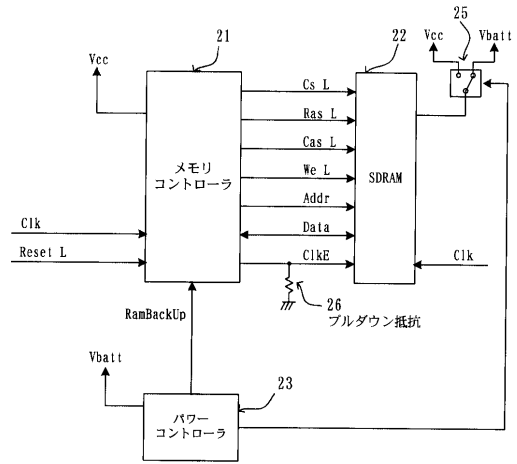
(図7)

【図9】



(図9)

【図8】



(図8)

フロントページの続き

- (56)参考文献 国際公開第99/066389(WO, A1)
特開平09-034806(JP, A)
特開2001-250377(JP, A)
特開2001-350668(JP, A)
特開平11-167515(JP, A)
特開平07-334432(JP, A)
特開平08-161886(JP, A)

(58)調査した分野(Int.Cl., DB名)

- G06F 12/00
G06F 12/16