

(21)申請案號：100119517

(22)申請日：中華民國 100 (2011) 年 06 月 03 日

(51)Int. Cl. : **H01L23/34 (2006.01)**

H01L23/28 (2006.01)

(30)優先權：2010/06/15 美國

61/354,927

2011/05/26 美國

13/116,278

(71)申請人：南茂科技股份有限公司(中華民國) CHIPMOS TECHNOLOGIES INC. (TW)

新竹縣新竹科學工業園區研發一路1號

(72)發明人：劉安鴻 LIU, AN HONG (TW) ；王偉 WANG, DAVID, WEI (TW)

(74)代理人：洪榮宗

申請實體審查：有 申請專利範圍項數：23 項 圖式數：13 共 35 頁

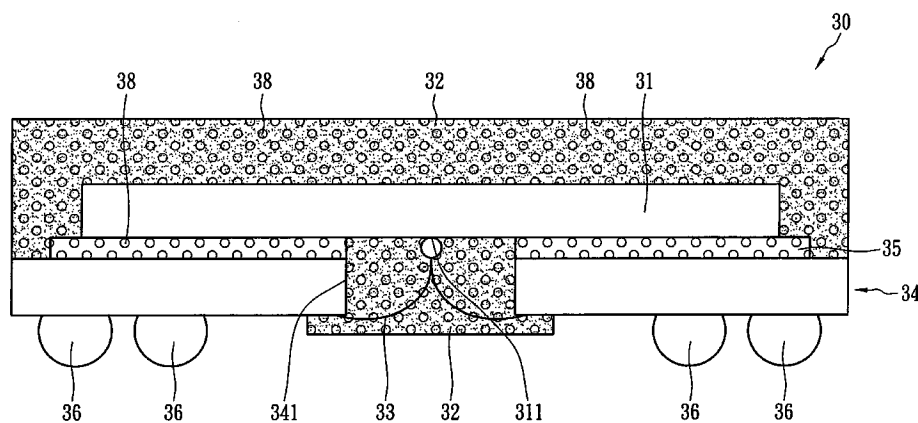
(54)名稱

散熱型電子封裝結構及其製備方法

THERMALLY ENHANCED ELECTRONIC PACKAGE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

一種散熱型電子封裝結構包含一晶片、一基板、一黏膠和一封膠。黏膠或封膠混合有複數個奈米碳球，基板包含一絕緣層和一線路層，且線路層形成於絕緣層上。黏膠設置於晶片與基板之間，晶片電性連接線路層，且封膠覆蓋晶片和基板。



30：FBGA 封裝結構

31：晶片

32：封膠

33：金屬線

34：基板

35：黏晶材料

36：鋁球

38：奈米碳球

311：主動面

341：開口

(21)申請案號：100119517

(22)申請日：中華民國 100 (2011) 年 06 月 03 日

(51)Int. Cl. : **H01L23/34 (2006.01)**

H01L23/28 (2006.01)

(30)優先權：2010/06/15 美國

61/354,927

2011/05/26 美國

13/116,278

(71)申請人：南茂科技股份有限公司 (中華民國) CHIPMOS TECHNOLOGIES INC. (TW)

新竹縣新竹科學工業園區研發一路 1 號

(72)發明人：劉安鴻 LIU, AN HONG (TW)；王偉 WANG, DAVID, WEI (TW)

(74)代理人：洪榮宗

申請實體審查：有 申請專利範圍項數：23 項 圖式數：13 共 35 頁

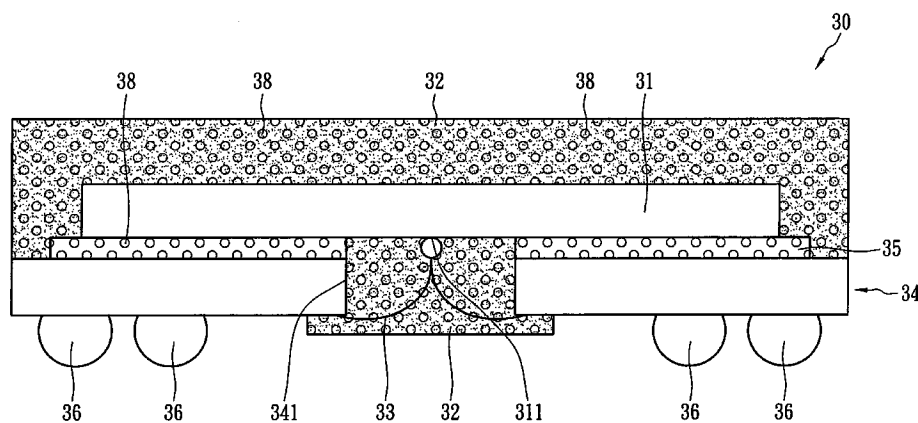
(54)名稱

散熱型電子封裝結構及其製備方法

THERMALLY ENHANCED ELECTRONIC PACKAGE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

一種散熱型電子封裝結構包含一晶片、一基板、一黏膠和一封膠。黏膠或封膠混合有複數個奈米碳球，基板包含一絕緣層和一線路層，且線路層形成於絕緣層上。黏膠設置於晶片與基板之間，晶片電性連接線路層，且封膠覆蓋晶片和基板。



30：FBGA 封裝結構

31：晶片

32：封膠

33：金屬線

34：基板

35：黏晶材料

36：錫球

38：奈米碳球

311：主動面

341：開口

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種散熱型電子封裝結構，特別關於一種具有高散熱能力之散熱型電子封裝結構。

【先前技術】

對半導體產品性能上的不斷要求導致更高的操作頻率及更大的功率消耗。因此，這些半導體產品需要具有高熱傳導效率，以能有效率地散熱，降低互連接點溫度之電子封裝結構。在該類型半導體中，液晶顯示器（LCD）的驅動半導體裝置即為其中一例。而另一種使用基板作為晶片載具(chip carrier)之高功率封裝結構相同的也需要高熱傳導效率的熱傳導方式

圖1顯示一種被稱為微細間距球閘陣列(fine pitch ball grid array; FBGA)封裝結構的典型高功率封裝結構。FBGA封裝結構10包含一晶片11和一基板14。基板14可以為硬質或軟性印刷電路板。晶片11以黏晶材料15(例如：黏著膜)固定在基板14上。金屬線13連接晶片11之主動面與基板14。封裝材料12覆蓋晶片11、基板14和金屬線13，以保護晶片11與金屬線13免於受到破壞。鉅球16設置於基板14上，作為FBGA封裝結構10的輸出入端子(input/output terminals)。隨著設置在晶片11的有限面積上的電路的密集化，將產生更多的熱，使FBGA封裝結構10遭受散熱不良的問題。再者，封裝材料12包括環氧樹脂(epoxy resin)，其具有不良的熱傳導性，因此容易將熱累積在FBGA封裝結構10

內。一般來說，基板14之絕緣層為高分子材料製作而成，而高分子材料也有不良的熱傳導性的問題，於是乎該結構累積的熱能不容易從絕緣層傳導到FBGA封裝結構10外。

另，新一代的三維積體電路和元件構裝為目前封裝之趨勢。此類裝置之構裝是關於一種堆疊二個或多個積體電路，以獲得三維晶片堆疊之製造方法，而該製造方法需在各疊層間利用穿透矽通孔(through silicon vias；TSVs)，來形成垂直電性連接。所謂穿透矽通孔是蝕穿(etch through)矽晶圓和以金屬材料填充其中所形成之垂直連接結構。以TSVs以作為三維連接的方法可在三維層間大量增加傳導路徑。

圖2顯示使用TSVs的三維積體電路封裝結構。三維積體電路封裝結構20包含複數個積體電路晶片(211和212)、TSVs(231和232)和一基板24。TSVs(231和232)貫穿積體電路晶片(211和212)。複數個微凸塊(micro bumps)或軟金屬覆蓋物(soft metal caps)233個別地形成在TSVs(231和232)的表面。複數個微凸塊233用於電性連接彼此間之積體電路晶片(211和212)，以及連接基板24和與其相鄰之TSVs(231和232)。黏膠25將積體電路晶片(211和212)接合一起，並將積體電路晶片(211和212)固定在基板24上。封裝材料22覆蓋積體電路晶片(211和212)和基板24。數個被動積體電路晶片241嵌在基板24內，複數個輸出端點(terminals)或電極(electrodes)242設置在基板24之下表面，以做為對外輸出電性之用。

在傳統的三維積體電路封裝結構20中，許多積體電路晶片(211和212)被放入同一封裝體內。各晶片(211或212)產生的熱能，累積在封裝體內，無法有效地經由封裝材料22或基板24逸散至外部。為去除傳統封裝結構既有缺點，因此，需要新的材料與方法，來增進封裝結構的熱傳導效能。

【發明內容】

本發明之一方面提供一散熱型電子封裝結構。特別是指一種混合奈米碳球之絕緣樹脂材料使用在電子構裝中，以增進散熱效能。由於奈米碳球會將熱能轉化成以紅外線輻射的方式來傳輸與散逸，混合奈米碳球之材料可有效率地進行散熱，因此能降低電子封裝結構之操作溫度。

鑑於前述，本發明揭示一種散熱型電子封裝結構，其包含一晶片、一基板、一黏膠和一封膠材。黏膠或/及封膠材混合有複數個奈米碳球，該基板包含一絕緣層和一線路層，線路層形成於絕緣層上。晶片藉由黏膠設置於基板上，且晶片電性連接於線路層，而封膠材密封該晶片和基板。

本發明更揭露一種散熱型電子封裝結構，其包含複數個晶片、一基板、一第一黏膠、複數個第二黏膠和一封膠材。第一黏膠、複數個第二黏膠或封膠材可混合有複數個奈米碳球。該基板包含一絕緣層和一線路層，而線路層形成於該絕緣層上。該些晶片中之一藉由第一黏膠至基板。其他的晶片則利用第二黏膠垂直堆疊一起。複數個晶片電

性連接線路層。而封膠材則覆蓋該些晶片和基板。

本發明另揭露一種晶圓級晶片尺寸封裝結構，其包含一晶片、複數個鐳墊、複數個重分佈鐳墊、一重配線金屬層、一樹脂材料和複數個奈米碳球。重配線金屬層用以將複數個鐳墊重新分配成重分佈鐳墊。樹脂材料覆蓋於晶片上，其中，複數個奈米碳球可混合於樹脂材料內，以達到紅外線輻射散熱的效果。

上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可相當容易地利用下文揭示之概念與特定實施例可作為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之申請專利範圍所界定之本揭露的精神和範圍。

【實施方式】

本發明係關於將奈米碳球(carbon nanocapsules; CNC)應用在半導體封裝結構中，以讓半導體封裝結構具有加強散熱特性。特而言之，一絕緣材料或樹脂混合複數個奈米碳球，並使用在電子封裝之應用上，藉此達到改進半導體晶片之散熱之目的。此混合材料或樹脂可直接或間接與半導體晶片接觸，藉其改善熱傳導或熱散逸(heat dissipation)之效率。在半導體封裝構造中，混合材料可應用的部分，

例如有：覆晶底膠層、無流動底部密封(non-flow underfill)層、晶片封膠體、晶片披覆(chip coating)層、黏晶膠(die-attach adhesives)、不導電膠/膜(non-conductive paste/film)、導電膠/膜(non-conductive paste/film)或薄膜覆蓋鍍線(film over wire；FOW)膠材等等。

在混合材料中之奈米碳球具有將熱能轉化成以紅外線輻射的方式來傳輸與散逸之特性，而此種特性對電子產品封裝而言，是理想的散熱方式。在一些實施例中，奈米碳球的表面可進一步被處理，以確保他們是電性絕緣，避免使用時產生寄生效應(parasitic effect)或電性短路情形。再者，並可使該奈米碳球粒子與原料樹脂間的接觸面具有良好的界面黏著力(interfacial adhesion)，因此使用於半導體封裝中將更能進一步的提升原有封裝結構的散熱效率。

在混合材料中之奈米碳球之尺寸可介於1奈米至100奈米。奈米碳球可具有大約30奈米之平均直徑。有兩種之奈米碳球：中空和填充金屬(metal filled)。在混合材料中之奈米碳球包含中空奈米碳球、填充金屬奈米碳球或兩者。填充金屬奈米碳球可填充金屬、金屬氧化物(metal oxides)、金屬碳化物(metal carbides)或合金。

在一些實施例中，在混合材料中之奈米碳球可經處理，以使其具電絕緣層。在一些實施例中，奈米碳球之表面可進一步被處理，以使其與樹脂間有良好的界面黏著性(interfacial adhesion)。

因此，前述的混合材料適合與在半導體封裝內之一具

功能的矽晶粒直接接觸。與利用傳統熱傳導與熱對流散熱之半導體封裝結構比較，利用紅外線輻射方式來傳輸與散逸矽晶片之熱能，能更有效率地移除熱能，降低晶片的溫度。此混合材料之應用包含封膠體、覆晶底膠和被覆層(coatings)。前述之混合材料也適合使用在將晶粒黏著在基板(硬質或軟性)或使用在晶粒堆疊上等不同晶粒黏著運用。這些黏膠包含一般在本領域中熟知者，例如：可網印黏晶膠(screen-on die attach paste)、黏晶薄膜(die attachment film；DAF)、薄膜覆蓋鉚線(film over wire；FOW)膠材和不導電膠(non-conducting paste；NCP)。

圖3係本發明其一實施例之一FBGA封裝結構之截面示意圖。

FBGA封裝結構30包含一晶片31和一基板34。基板34可為硬質或軟性印刷電路板，並具有一開口341。晶片31利用黏晶材料35，以其主動面311面向基板34之方式，固定在基板34上，其中該黏晶材料35可為黏著膜(adhesive film)或黏著劑(adhesive paste)或B-stage黏晶膠材。複數條金屬線33穿過開口341電性連接晶片31與基板34。封膠32包覆晶片31、基板34和金屬線33，藉此保護晶片31與金屬線33，以避免損壞。鉚球36設置於基板34之下表面，作為FBGA封裝結構30的輸出入端(input/output terminals)。封膠32和黏晶材料35與奈米碳球38混合。因此，晶片31所產生的熱，除傳統常見的熱傳導與熱對流之散熱方式外，更可利用紅外線輻射的方式，散逸至FBGA封裝結構30之外。即，奈米

碳球38可幫助移除FBGA封裝結構30內之積熱。儘管在本實施例中奈米碳球38是混合在封膠32和黏晶材料35兩者內，但在其他實施例中，奈米碳球38可單獨混合在封膠32或單獨混合在黏晶材料35內。

如圖4所示，以基板型(substrate-based)封裝結構40包含一晶片41和一基板44。晶片41利用黏晶材料45固定在基板44上，其中該黏晶材料45可為黏著膜(adhesive film)或黏著劑(adhesive paste)或B-stage黏晶膠材。一被覆層49覆蓋在晶片41之主動面上。封膠42覆蓋晶片41、基板44和金屬線43，藉以保護晶片41與金屬線43避免損壞。封膠42和被覆層49與奈米碳球48混合。於本實施例中，該奈米碳球48係混合在封膠42、黏晶材料45及/或被覆層49，如此晶片41所產生的熱可透過奈米碳球48有效地以紅外線輻射的方式散逸。

圖5顯示本發明一實施例之覆晶球格陣列(flip chip BGA)封裝結構之截面示意圖。覆晶球格陣列封裝結構50包含一晶片51、一不導電膠(non-conductive paste; NCP) 55(或底膠(underfill))、和一基板54。該基板54包含一絕緣層541和一線路層(wiring layer)542(或銅箔(copper foil))，其中線路層542形成於絕緣層541上。晶片51以覆晶接合於基板54上。複數個凸塊(bumps)57形成在晶片51上，並連接基板54之線路層542。不導電膠55可完全填充晶片51和基板54之間之隙，並將晶片51固定在基板54上。封膠52覆蓋晶片51、基板54和凸塊57。封膠52保護晶片51，以避免其受到損

壞。鐳球56設置於基板54之下表面，以作為覆晶球格陣列封裝結構50的輸出入端(input/output terminals)。其中，奈米碳球58混合在不導電膠55及/或封膠52內，如此晶片51所產生的熱可藉由奈米碳球58有效地以紅外線輻射的方式散逸。

圖6顯示本發明一實施例之使用薄膜覆蓋鐳線膠材(film over wire；FOW)之多晶片封裝結構(multi-chip package)之截面示意圖。多晶片封裝結構60包含複數個積體電路晶片61、複數層FOW膜652和一基板64。黏膠651接合最底層之晶片61和基板64。封膠62覆蓋晶片61和一部分的基板64。端接點(terminals)或電極(electrodes)642設置於基板64之下表面。線路層643設置於基板64之上表面。柱狀凸塊(stud bumps)67形成在線路層643上。金屬線63連接基板64上之柱狀凸塊67和晶片61之主動面。其一較佳之做法為該金屬線之第一端先於基板上形成一柱狀凸塊67後使其第二端形成於晶片61之主動面上，就是所謂的逆鐳線(Reverse Bonding)。

FOW膜652用於包覆金屬線63連接在晶片61上之部分，其中FOW膜652可對金屬線63提供額外的支撐，以保護金屬線63避免損壞或造成短路。又，FOW膜652可幫助相同或相似大小之兩鄰近且垂直堆疊之晶片61間之黏合。當相同或相似大小之兩晶片61垂直堆疊(即，一晶片在另一晶片的上面)時，因位在下方晶片上鐳墊(bonding pads)無法延伸出被上方晶片所覆蓋之區域，因此在打線接合製程時會產生

問題。在下方晶片61之金屬線63為FOW膜652包覆的情形下，當上方晶片51進行打線接合時，FOW膜652可提供打線接合所需的支撐。FOW膜652可降低打線接合所面臨的問題或使打線接合所需面臨的問題降到最低。

於本實施例中，奈米碳球68可混合在覆蓋晶片61之封膠62、黏膠651和FOW膜652內，從而使得晶片61產生的熱可輕易地以紅外線輻射的方式散逸至外界環境中。

圖7顯示本發明一實施例之使用穿透矽通孔(TSVs)之三維積體電路封裝結構之截面示意圖。三維積體電路封裝結構70包含複數個積體電路晶片(711和712)、穿透矽通孔(731和732)以及一基板74。穿透矽通孔(731和732)對應地貫穿各個積體電路晶片(711和712)。複數個微凸塊(micro bumps)或軟金屬覆蓋物(soft metal caps)733和734分別形成在穿透矽通孔(731和732)上作為連接之用。如圖7所示，堆疊之積體電路晶片(711和712)和基板74以該些微凸塊或軟金屬覆蓋物(733和734)相互連接。黏膠75用於將積體電路晶片(711和712)接合在一起，並將該些晶片(711和712)固定在基板74上。封膠72覆蓋晶片(711和712)和部分之基板74。複數個被動積體電路晶片741嵌入在基板74內。端接點(terminals)或電極(electrodes)742設置在基板74之下表面。該封膠72和黏膠75混合有奈米碳球78，並予以覆蓋各晶片(711和712)，使得從晶片(711和712)產生的熱可輕易地透過紅外線輻射的方式散逸至外界環境中。

圖8顯示本發明一實施例之覆晶球閏陣列(flip-chip

ball grid array ; BGA)封裝結構之截面示意圖。覆晶球陣列封裝結構80包含一晶片81、一底膠層(underfill layer)85和一基板84。晶片81以覆晶接合方式固定在基板84上。形成在晶片81上之複數個凸塊87用以連接在基板84上之線路層842。並於基板84之下表面形成有複數個錐球86。底膠層85可完全填充晶片81和基板84間之間隙。且封膠82覆蓋晶片81、底膠層85和部分之基板84。其中，該奈米碳球88混合在底膠層85及/或封膠82內，使得晶片81所產生的熱可有效地透過紅外線輻射的方式被透過基板84而散逸。

圖9至11是根據本發明一實施例之截面圖，主要是揭示在晶圓級晶片尺寸(wafer level chip scale package; WLCSP)封裝製程中，使用混合奈米碳球之黏膠之步驟。如圖9所示，本發明提供一具有複數個積體電路晶片之晶圓91。在圖10中，混合有奈米碳球之樹脂材料93被塗佈在晶圓91之表面上，其中該表面與複數個錐球92是相對的。其中，錐球92形成之時機可在塗佈樹脂材料93之前或之後。值得注意的是該樹脂材料93塗佈在晶圓91之背面上。在圖11中，塗佈樹脂材料93之晶圓91接著被切割成個別WLCSP電子封裝結構94，而各個WLCSP電子封裝結構94可以覆晶接合之方式，固定在一基板95上(如圖12所示)，其中WLCSP電子封裝結構94和基板95之間可依實際需求選擇填充或不填充底膠層96，而基板95可為印刷電路板或其他類似者。在一實施例中，底膠層96亦可混合有複數個奈米碳球。

如圖13所示，散熱型WLCSP電子封裝結構 (thermally

enhanced WLCSP electronic package) 94可利用晶圓級封裝技術(wafer level packaging technology)，其中晶圓級封裝技術可為重新分配層和凸塊技術(redistribution layer and bump technology)、密封銅柱技術(encapsulated copper post technology)、密封打線接合技術(encapsulated wire bond technology)或其他類似者。製作完成的WLCSP電子封裝結構94所具有的尺寸可與晶片90相當。在一實施例中，WLCSP電子封裝結構94包含一晶片90，晶片90包含複數個鐳墊1202，複數個重分佈鐳墊(redistributed bond pad)1203、一重配線金屬層(redistributed metal layer)1204、複數層絕緣層(1205、1206和1207)、樹脂材料93和複數個奈米碳球，其中重配線金屬層1204用於將複數個鐳墊1202重新分配成重分佈鐳墊1203；複數層絕緣層(1205、1206和1207)部分地將重配線金屬層1204與晶片90分離，和將重配線金屬層1204與複數個重分佈鐳墊1203分離；樹脂材料93覆蓋晶片90；奈米碳球則混合在樹脂材料93內。進一步而言，樹脂材料93可位於晶片90之背面。複數個重分佈鐳墊1203可為底層金屬鐳墊(under bump metal pads)或銅柱(未繪示)。複數層絕緣層(1205、1206和1207)可包含高分子絕緣材料，例如：以苯並環丁烯為基礎的(benzocyclobutene-based)高分子絕緣材料。在一實施例中，奈米碳球可混合在任何或所有的複數層絕緣層(1205、1206和1207)。重配線金屬層1204可包含銅或鋁。鐳球92可接合在重分佈鐳墊1203上。

本揭露之技術內容及技術特點已揭示如上，然而本揭

露所屬技術領域中具有通常知識者應瞭解，在不背離後附申請專利範圍所界定之本揭露精神和範圍內，本揭露之教示及揭示可作種種之替換及修飾。例如，上文揭示之許多製程可以不同之方法實施或以其它製程予以取代，或者採用上述二種方式之組合。

此外，本案之權利範圍並不侷限於上文揭示之特定實施例的製程裝置、方法或步驟。本揭露所屬技術領域中具有通常知識者應瞭解，基於本揭露教示及揭示製程、裝置、方法或步驟，無論現在已存在或日後開發者，其與本案實施例揭示者係以實質相同的方式執行實質相同的功能，而達到實質相同的結果，亦可使用於本揭露。因此，以下之申請專利範圍係用以涵蓋用以此類製程裝置、方法或步驟。

【圖式簡單說明】

圖1顯示一傳統FBGA封裝結構之截面圖；

圖2顯示使用TSVs的傳統三維積體電路封裝結構；

圖3係本發明一實施例之FBGA封裝結構之截面示意圖

；

圖4顯示本發明一實施例之基板型封裝結構之截面示意圖；

圖5顯示本發明一實施例之覆晶球格陣列封裝結構之截面示意圖；

圖6顯示本發明一實施例之使用薄膜覆蓋鉅線膠材之多晶片封裝結構之截面示意圖；

圖 7 顯示本發明一實施例之使用穿透矽通孔之三維積體電路封裝結構之截面示意圖；

圖 8 顯示本發明一實施例之覆晶球閘陣列封裝結構之截面示意圖；

圖 9 至 12 係截面圖，其是根據本發明一實施例，顯示在晶圓級晶片尺寸封裝製程中，使用混合奈米碳球之黏膠之步驟；及

圖 13 顯示本發明一實施例之散熱型 WLCSP 電子封裝結構之截面示意圖。

【主要元件符號說明】

10	FBGA 封裝結構
11	晶片
12	封裝材料
13	金屬線
14	基板
15	黏晶材料
16	鉅球
20	三維積體電路封裝結構
22	封裝材料
24	基板
25	黏膠
30	FBGA 封裝結構
31	晶片
32	封膠
33	金屬線

34	基板
35	黏晶材料
36	鐳球
38	奈米碳球
40	封裝結構
41	晶片
42	封膠
43	金屬線
44	基板
45	黏晶材料
48	奈米碳球
49	被覆層
50	覆晶球格陣列封裝結構
51	晶片
52	封膠
54	基板
55	不導電膠
56	鐳球
57	凸塊
58	奈米碳球
60	多晶片封裝結構
61	晶片
62	封膠
63	金屬線
64	基板

67	柱狀凸塊
68	奈米碳球
70	三維積體電路封裝結構
72	封膠
74	基板
75	黏膠
78	奈米碳球
80	覆晶球閘陣列封裝結構
81	晶片
82	封膠
84	基板
85	底膠層
86	鐳球
87	凸塊
88	奈米碳球
90	晶片
91	晶圓
92	鐳球
93	樹脂材料
94	WLCSP電子封裝結構
95	基板
96	底膠層
211、212	積體電路晶片
231、232	穿透矽通孔
233	微凸塊

241	被動積體電路晶片
242	電極
311	主動面
341	開口
541	絕緣層
542	線路層
642	電極
643	線路層
651	黏膠
652	FOW膜
711、712	積體電路晶片
731、732	穿透矽通孔
733、734	微凸塊
741	被動積體電路晶片
742	電極
842	線路層
1202	鐳墊
1203	重分佈鐳墊
1204	重配線金屬層
1205、1206、1207	絕緣層

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

100119511

※申請日期：

100.6.03

※IPC 分類：

H01L 27/34 2006.01
H01L 27/28 2006.01

一、發明名稱：(中文/英文)

散熱型電子封裝結構及其製備方法

THERMALLY ENHANCED ELECTRONIC PACKAGE AND METHOD
OF MANUFACTURING THE SAME

二、中文發明摘要：

一種散熱型電子封裝結構包含一晶片、一基板、一黏膠和一封膠。黏膠或封膠混合有複數個奈米碳球，基板包含一絕緣層和一線路層，且線路層形成於絕緣層上。黏膠設置於晶片與基板之間，晶片電性連接線路層，且封膠覆蓋晶片和基板。

三、英文發明摘要：

A thermally enhanced electronic package comprises a chip, a substrate, an adhesive, and an encapsulation. The adhesive or the encapsulation is mixed with carbon nanocapsules. The substrate includes an insulation layer and a wiring layer formed on the substrate. The adhesive covers the chip and the substrate. The chip is electrically connected to the wiring layer. The encapsulation covers the chip and the substrate.

七、申請專利範圍：

1. 一種散熱型電子封裝結構，包含：
 - 一基板，包含：
 - 一絕緣層；及
 - 一線路層，形成於該絕緣層上；
 - 一晶片，電性連接該線路層；
 - 一黏膠，設置於該晶片與該基板之間；
 - 一封膠，覆蓋該晶片和該基板；以及
 - 複數個奈米碳球，混合於該黏膠及/或該封膠內。
2. 根據請求項1所述之散熱型電子封裝結構，其更包含一被覆層，該被覆層覆蓋在該晶片之一主動面上，其中該些奈米碳球均勻地分布在該被覆層。
3. 根據請求項1所述之散熱型電子封裝結構，其更包含複數根金屬線，該些金屬線電性連接該晶片和該線路層。
4. 根據請求項1所述之散熱型電子封裝結構，其包含複數個凸塊，該些凸塊電性連接該晶片和該線路層。
5. 根據請求項1所述之散熱型電子封裝結構，其中該晶片包含一主動面，其中該主動面面向該基板。
6. 根據請求項1所述之散熱型電子封裝結構，其中該基板包含一開口。
7. 根據請求項6所述之散熱型電子封裝結構，其更包含複數根金屬線，該些金屬線穿過該開口，以電性連接該晶片和該線路層。
8. 根據請求項1所述之散熱型電子封裝結構，其中該黏膠是一黏晶材料、一不導電膠或一底膠層。

9. 根據請求項1所述之散熱型電子封裝結構，其更包含複數個鐳球，該些鐳球設置於該基板上。
10. 一種散熱型電子封裝結構，包含：
- 一基板，包含：
 - 一絕緣層；及
 - 一線路層，形成於該絕緣層上；
 - 複數個晶片，垂直堆疊且電性連接該線路層；
 - 一第一黏膠，黏接該些晶片其中之一者至該基板；
 - 複數個第二黏膠，黏接該些晶片；
 - 一封膠，覆蓋該些晶片和該基板；以及
 - 複數個奈米碳球，混合於該第一黏膠、該些第二黏膠及/或該封膠內。
11. 根據請求項10所述之散熱型電子封裝結構，其更包含複數根金屬線，該些晶片透過該些金屬線電性連接該線路層。
12. 根據請求項11所述之散熱型電子封裝結構，其中該些第二黏膠為薄膜覆蓋鐳線膠材。
13. 根據請求項10所述之散熱型電子封裝結構，其更包含複數個穿透矽通孔，其中該些晶片透過該些穿透矽通孔電性連接該線路層。
14. 根據請求項10所述之散熱型電子封裝結構，其中該些穿透矽通孔是形成在該些晶片上且填充金屬之通孔。
15. 根據請求項10所述之散熱型電子封裝結構，其中該些晶片是依序一個堆疊在另一個上。
16. 根據請求項13所述之散熱型電子封裝結構，其更包含複數個被動積體電路晶片，其中該些被動積體電路晶片嵌置於

該基板內。

17. 一種散熱型電子封裝結構之製備方法，包含下列步驟：

提供一晶圓，該晶圓包複數個積體電路晶片；

塗佈一樹脂材料於該晶圓之一表面，其中該樹脂材料包含複數個奈米碳球；以及

切割塗佈該樹脂材料之該晶圓，以獲得複數個電子封裝結構。

18. 根據請求項17所述之製備方法，其更包含將複數個鐸球接合在該晶圓上與塗佈該樹脂材料之該表面相對之一表面之步驟。

19. 根據請求項18所述之製備方法，更包含下列步驟：

將該電子封裝結構覆晶接合於一基板上；以及

形成一底膠層於該電子封裝結構與該基板之間。

20. 根據請求項19所述之製備方法，其中該底膠層混合複數個奈米碳球。

21. 一種晶圓級晶片尺寸封裝結構，包含：

一晶片，包含複數個鐸墊；

複數個重分佈鐸墊；

一重配線金屬層，用以電性連接該些鐸墊與該些重分佈鐸墊；

一樹脂材料，覆蓋該晶片之一表面，其中該表面與該些鐸墊是相對；以及

複數個奈米碳球，混合於該樹脂材料內。

22. 根據請求項21所述之晶圓級晶片尺寸封裝結構，其更包含

複數絕緣層，設置於該重配線金屬層與該晶片之間，以及設置於該重配線金屬層與該些重分佈鐳墊之間。

23. 根據請求項22所述之晶圓級晶片尺寸封裝結構，其中該些絕緣層中至少一者包含複數個奈米碳球。

八、圖式：

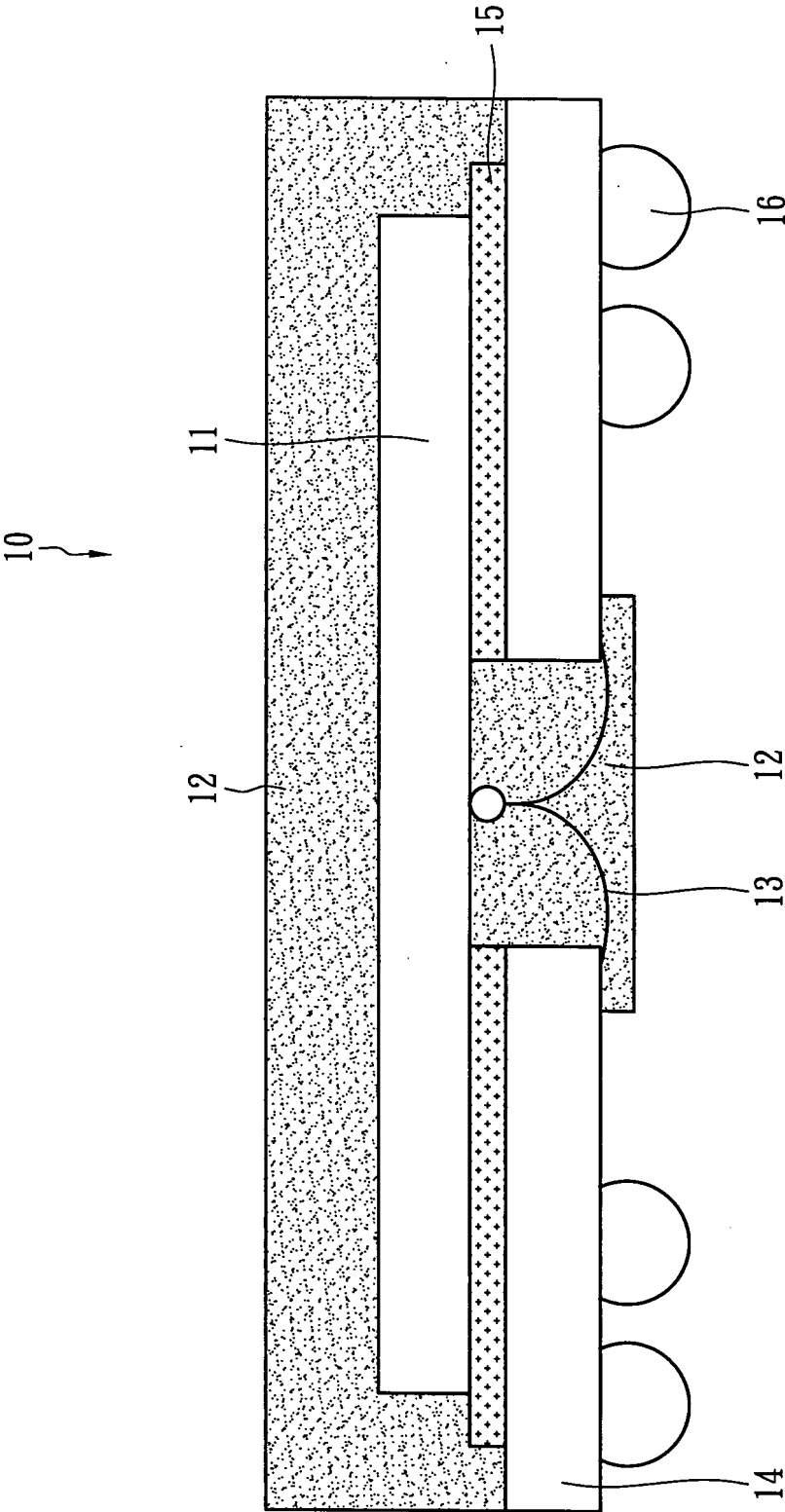


圖 1

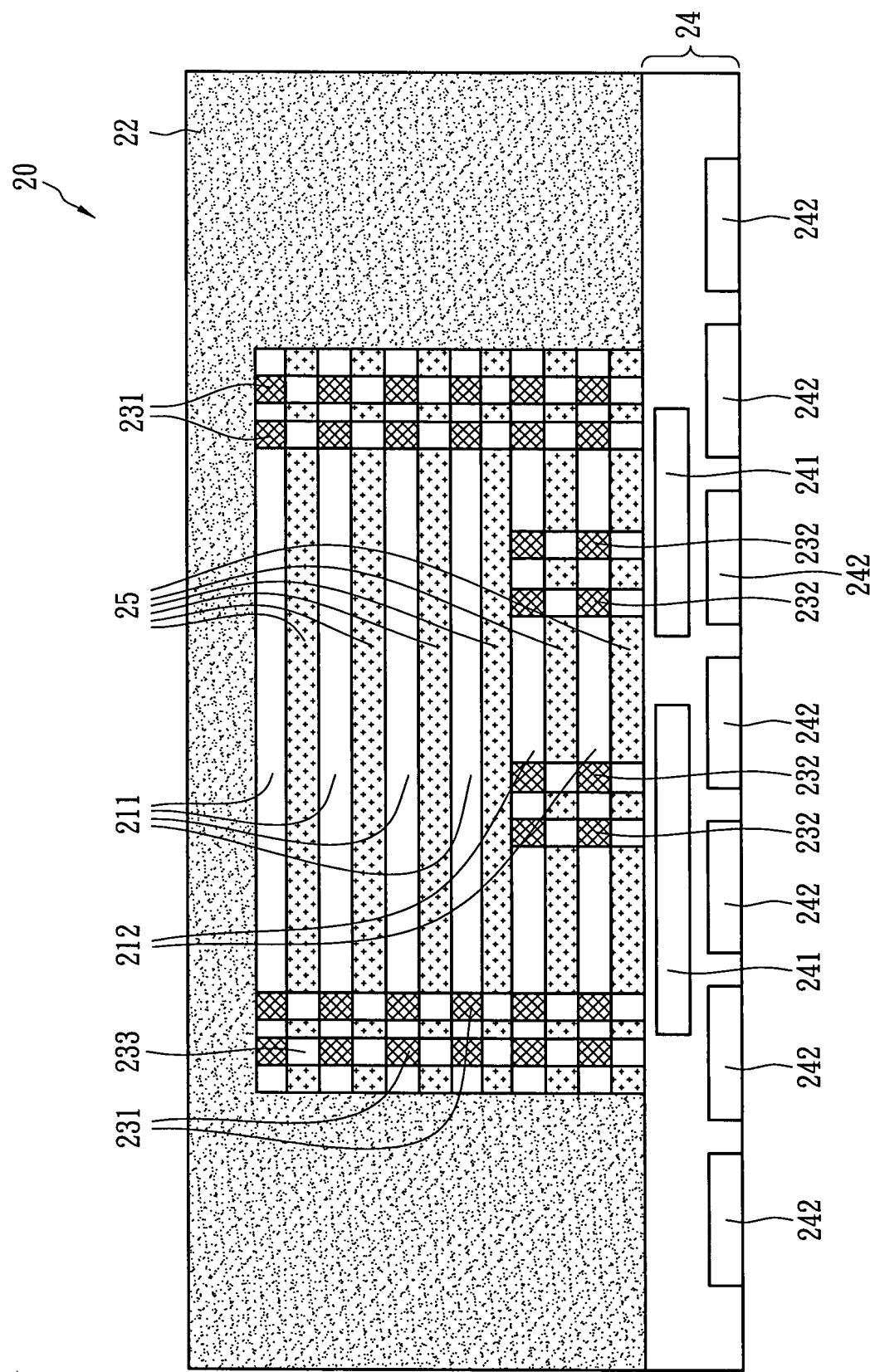
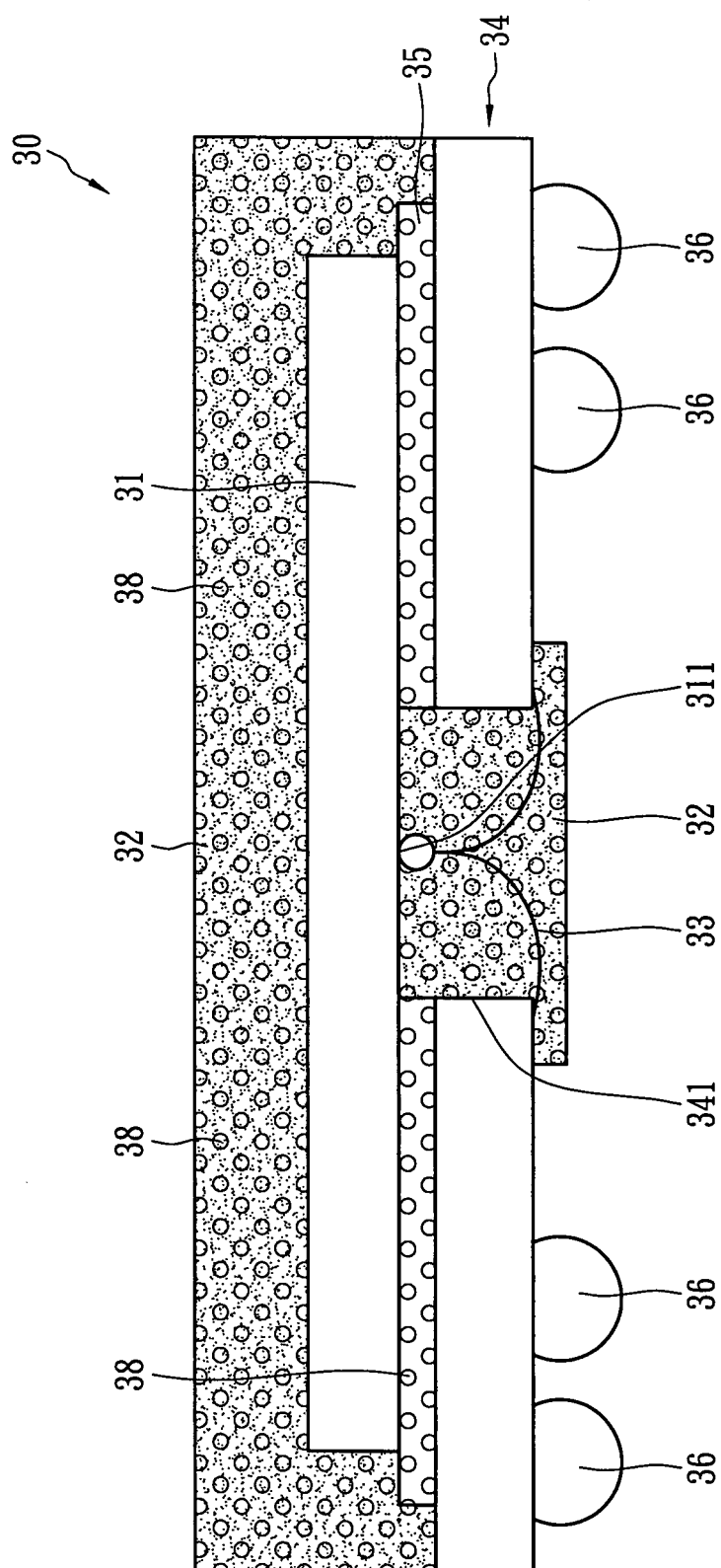


圖 2



三回

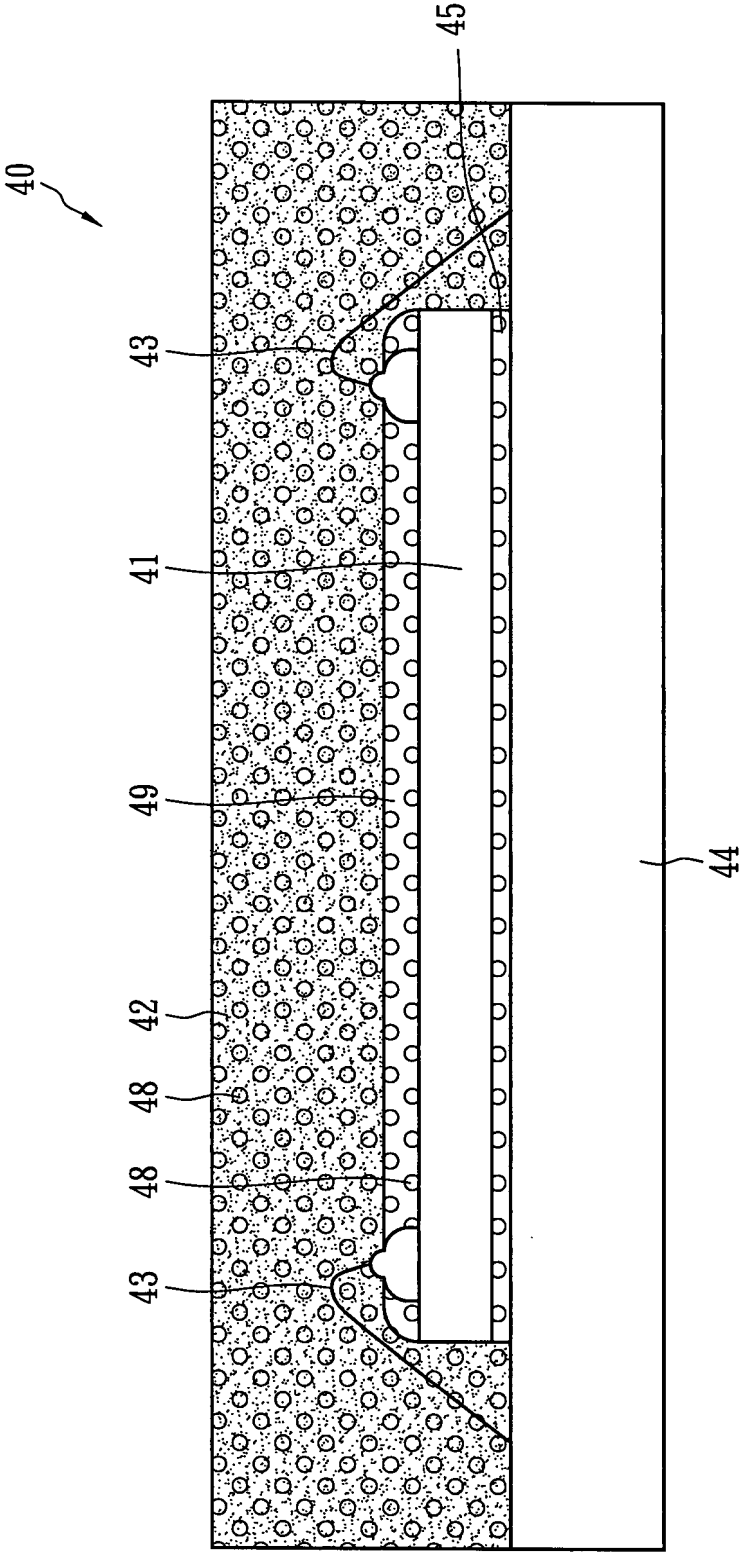


圖 4

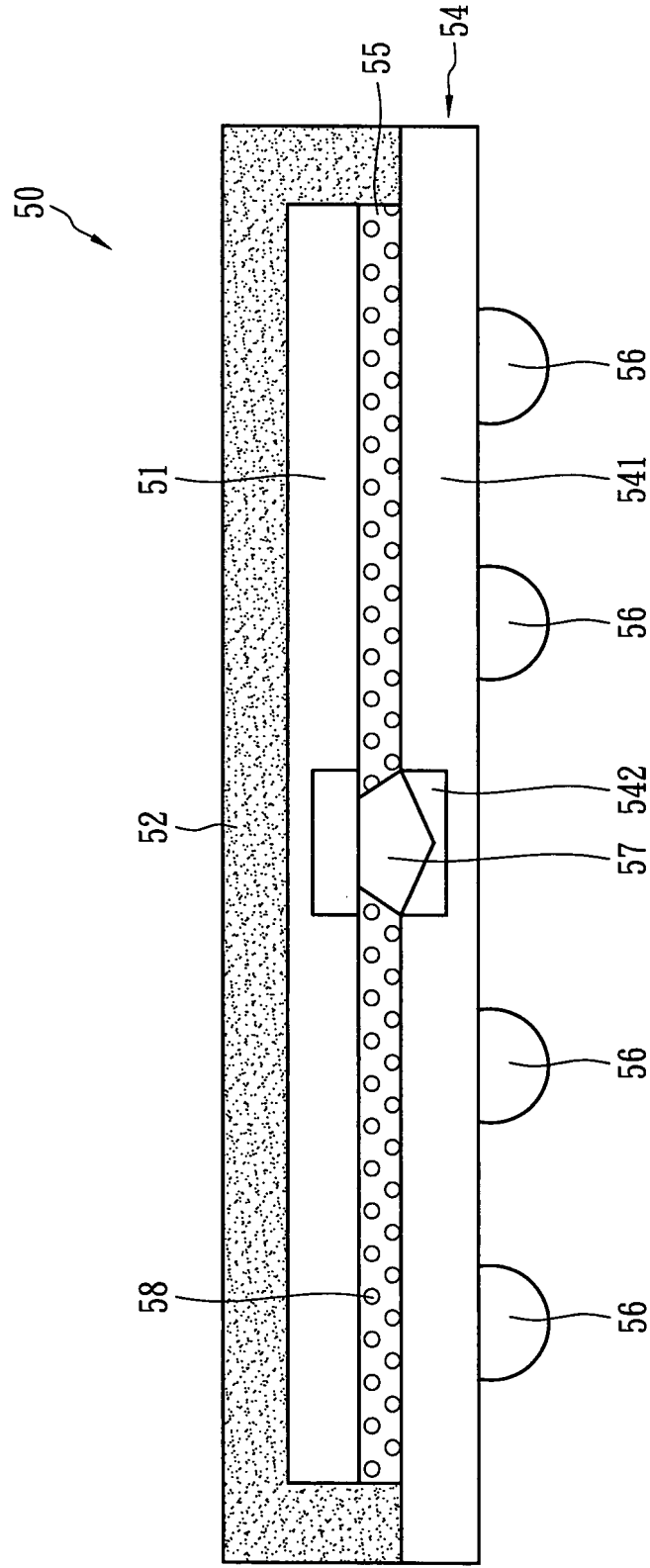
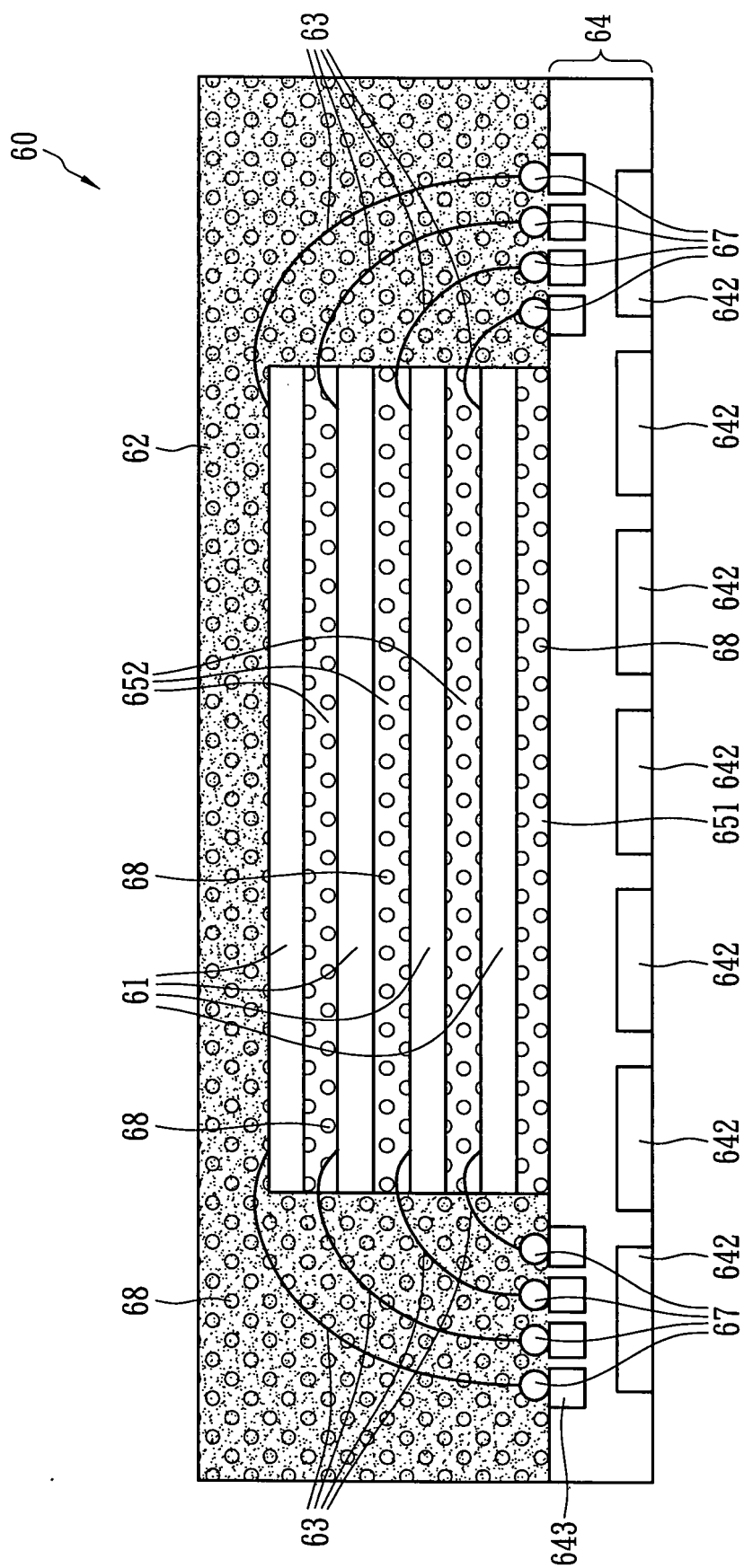
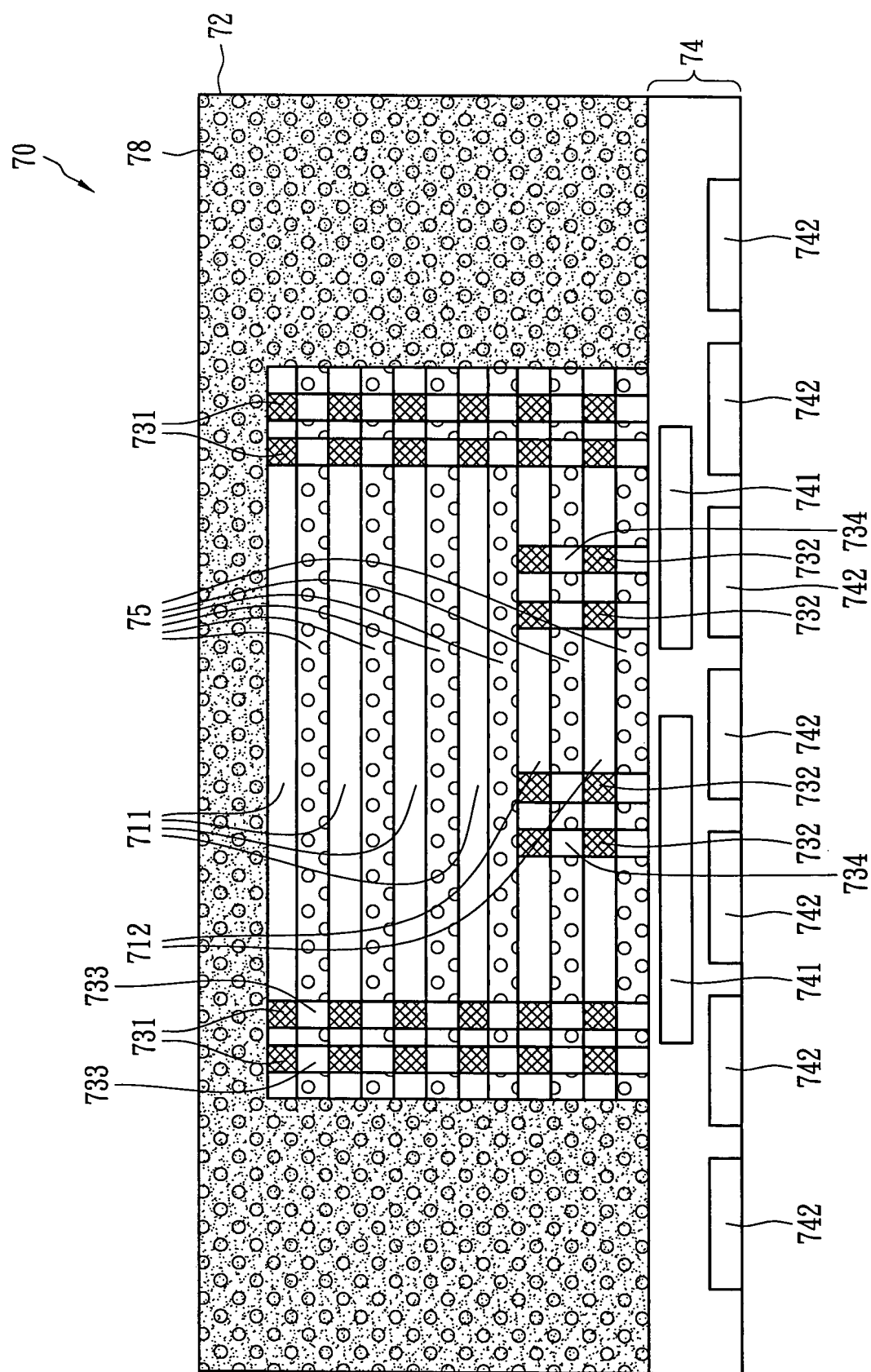


圖 5



回 9



7
回

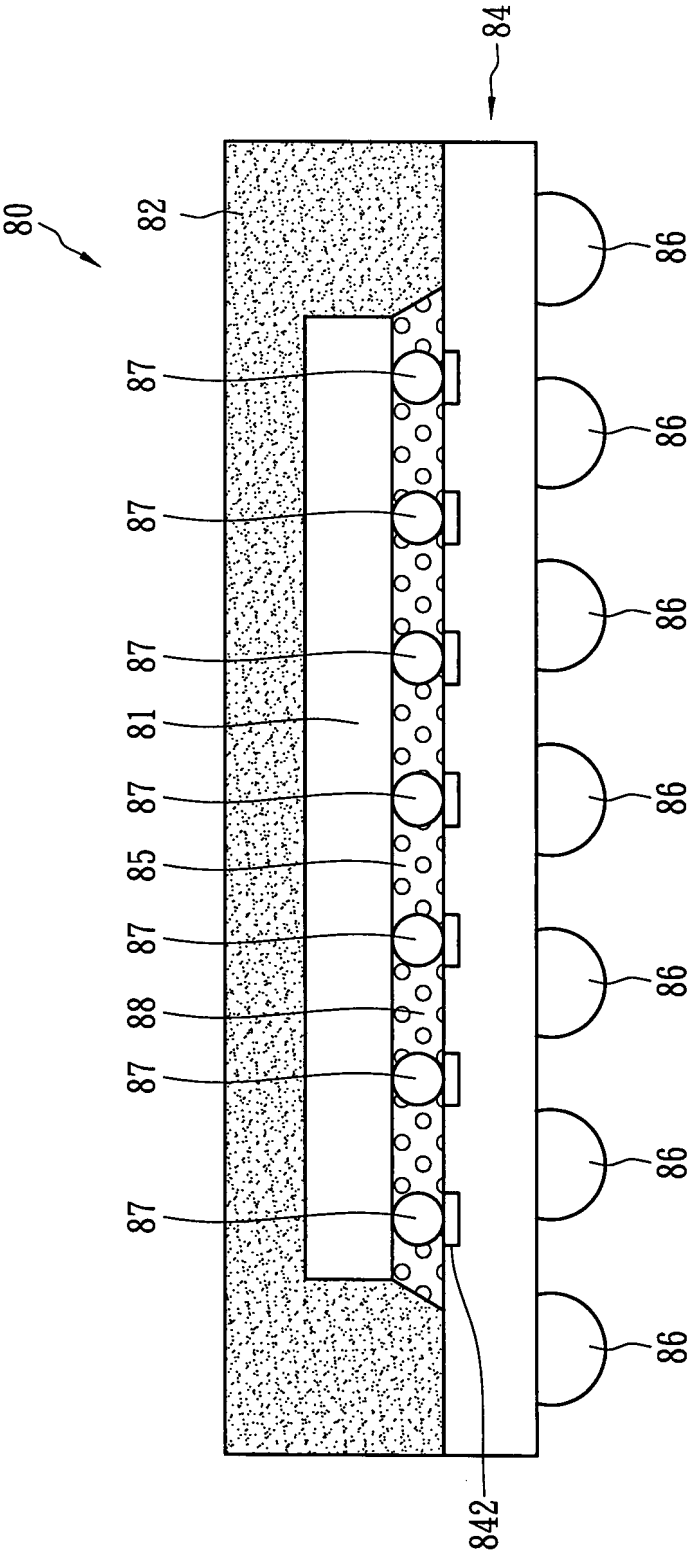


圖 8

圖 9



圖 10

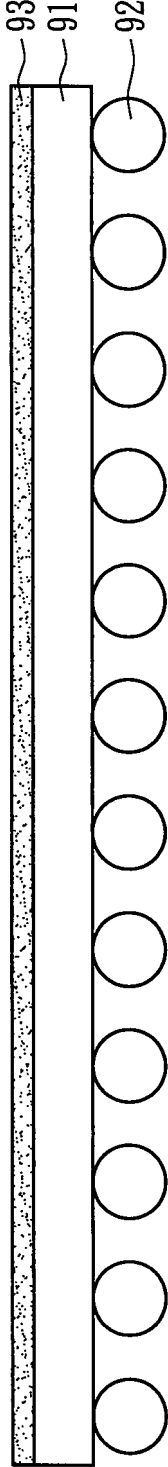


圖 11

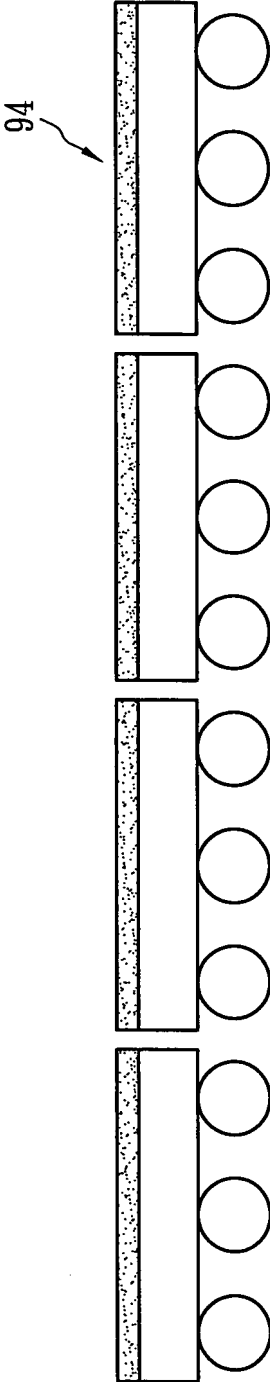
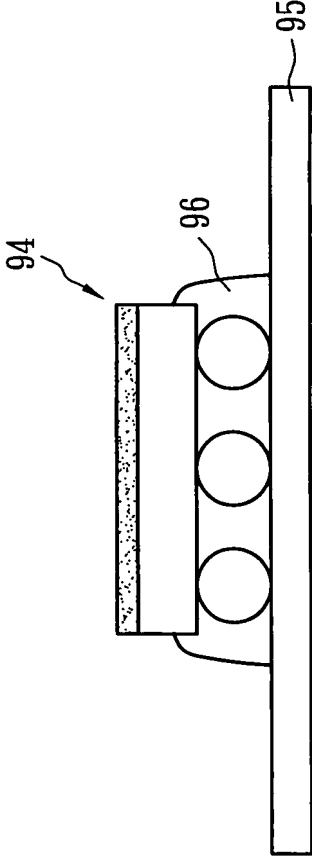


圖 12



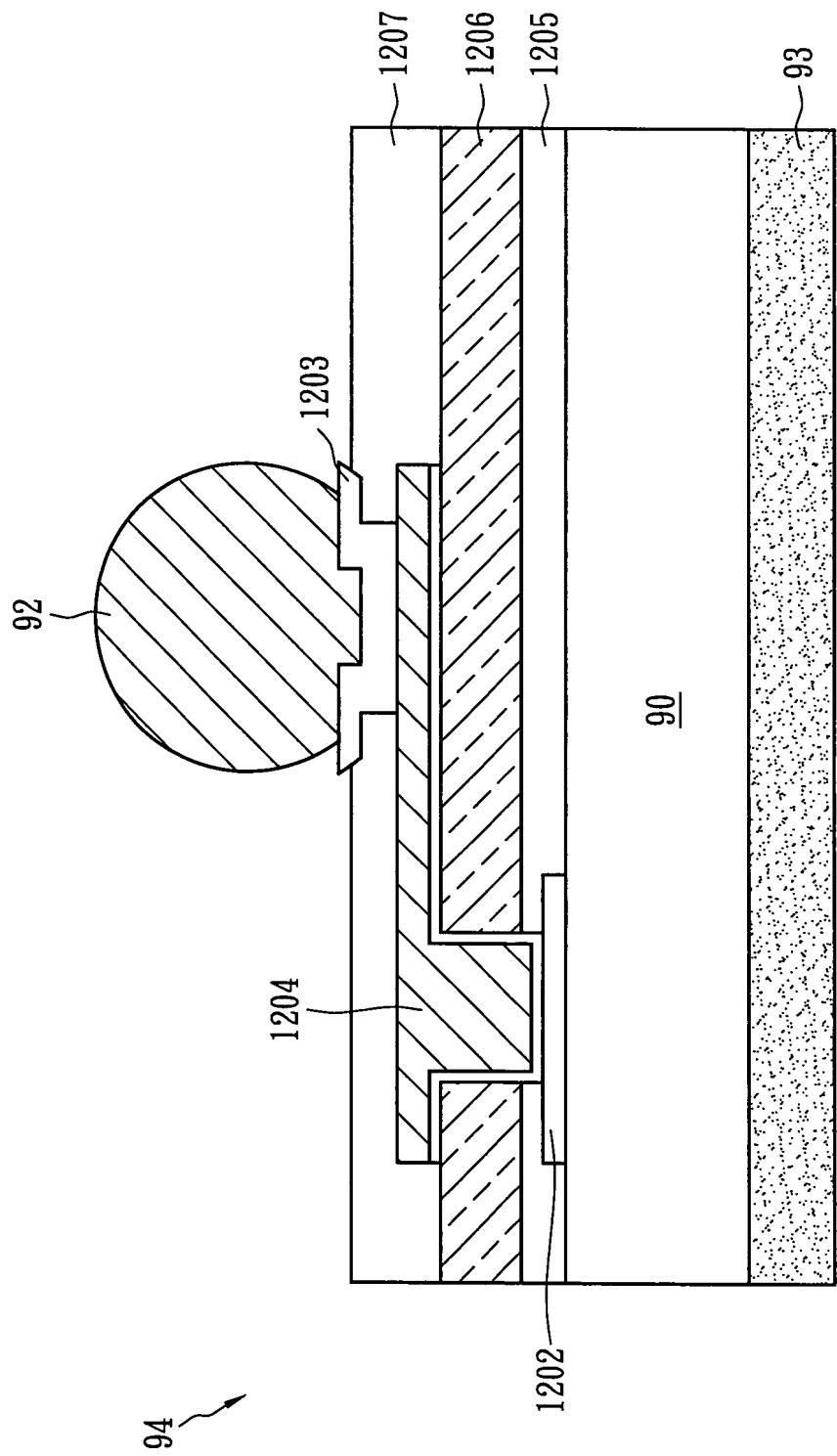


圖 13

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

30	FBGA封裝結構
31	晶片
32	封膠
33	金屬線
34	基板
35	黏晶材料
36	鐳球
38	奈米碳球
311	主動面
341	開口

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)