

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5079511号

(P5079511)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int.Cl. F I  
**HO 1 L 29/786 (2006.01)** HO 1 L 29/78 6 1 6 L  
**HO 1 L 21/336 (2006.01)** HO 1 L 29/78 6 1 6 V  
HO 1 L 29/78 6 1 8 Z

請求項の数 1 (全 15 頁)

(21) 出願番号	特願2007-533497 (P2007-533497)	(73) 特許権者	504199127
(86) (22) 出願日	平成17年8月31日(2005.8.31)		フリースケール セミコンダクター イン
(65) 公表番号	特表2008-515188 (P2008-515188A)		コーポレイテッド
(43) 公表日	平成20年5月8日(2008.5.8)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2005/031001		オースティン ウィリアム キャノン
(87) 国際公開番号	W02006/039038		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成18年4月13日(2006.4.13)	(74) 代理人	100116322
審査請求日	平成20年7月10日(2008.7.10)		弁理士 桑垣 衛
(31) 優先権主張番号	10/954, 121	(72) 発明者	テアン、ブーンユー
(32) 優先日	平成16年9月29日(2004.9.29)		アメリカ合衆国 7 8 7 5 0 テキサス州
(33) 優先権主張国	米国 (US)		オースティン ロックレブン コーブ
			1 0 2 0 1

最終頁に続く

(54) 【発明の名称】 歪みチャネル、及びヘテロ接合ソース／ドレインを有する半導体素子を形成する方法

(57) 【特許請求の範囲】

【請求項 1】

半導体層(16)を設ける工程と、  
ゲート誘電体(20)を半導体層の第1部分の上方に形成する工程と、  
ゲート電極(22)を前記ゲート誘電体の上方に形成する工程と、  
前記ゲート電極及び前記ゲート誘電体を保護材料(24)によって被覆する工程と、  
前記半導体層の材料とは異なる材料からなる半導体材料(26)を、前記半導体層の第1部分の外側にある第2部分の上方に選択的に成長させる工程と、  
前記半導体材料(26)を酸化する工程であって、前記半導体材料(26)を酸化することによって前記半導体材料(26)を拡散ソース(28)として使用して、前記半導体材料(26)が前記半導体層のチャネル領域(30)に拡散する量を制御し、前記半導体材料がチャネル領域に拡散することによって歪みチャネルが形成されるとともに、前記半導体材料の下方にある前記半導体層をシリコンゲルマニウムからなるストレッチ層に変質させ、かつ、前記半導体材料の酸化によって誘電体を形成し、該誘電体は、後に前記ゲート電極のそれぞれの側面に設けられるソース／ドレインエクステンション(52)によって置き換えられるべく除去される、前記半導体材料(26)を酸化する工程と、  
前記誘電体を除去した後にソース／ドレインエクステンション(52)を形成する工程と、  
前記ソース／ドレインエクステンション(52)と前記ゲート電極(22)の上にシリサイド領域54を形成する工程と

10

20

を備える、半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して半導体に関し、特に非常に寸法の小さい半導体素子を形成する方法に関する。

【背景技術】

【0002】

トランジスタ構造のような半導体素子は、リソグラフィプロセスが進化するにつれて寸法がどんどん小さくなっている。しかしながら、トランジスタ構造を100nmよりもずっと小さい寸法に形成するために解決すべき種々の大きな課題が生じている。更に、約100nm以下のトランジスタ寸法を使用する場合、イオン注入を従来の半導体製造装置では制御することができない。チャンネル不純物濃度のばらつきは回路内での素子の均一性に悪影響を及ぼす。トランジスタが導通するときの電圧である従来のバルクトランジスタの閾値電圧を制御するために、チャンネル領域内のドーパントを利用する。しかしながら、チャンネルドーピングを用いる手法は超薄型デバイス開発のための効率的な方法とはならない、というのは、超薄型デバイスを得るには、チャンネル不純物濃度を高くする必要があるからである。従って、高不純物濃度を必要とする超薄型デバイスは閾値電圧ばらつきの影響を更に受け易い。更に、チャンネル不純物濃度を高くすると、電子移動度及び正孔移動度の両方が小さくなり、かつソース/ゲート接合リーク電流、及びドレイン/ゲートリーク電流が大きくなる。

【0003】

バルクトランジスタ性能を向上させる方法では、歪みチャンネルを有するバルクトランジスタを形成する。このような素子は、歪みがトランジスタのチャンネルに発生するような構造に形成される。チャンネルに適切な歪みを発生させることにより、電子移動度及び正孔移動度の両方が大きくなってオン電流が大きくなり、素子の駆動能力を高めることができる。

【0004】

歪みチャンネルを有するトランジスタを形成する一の方法では、ソース及びドレインが形成される予定の領域のシリコン材料にリセスを形成し、そしてストレス材料をリセス領域に再成長させる。しかしながら、極薄ボディ素子を形成する場合、ストレス材料に適用できる深さはチャンネルに十分大きい歪みを発生させるためには不十分である。この方法に関する別の問題は、シリコン材料にリセスを、エッチングプロセスを使用して形成することである。エッチングプロセスを所望の深さで停止する処理は、解決すべき大きな課題であり、かつ停止するときの深さはばらつく。更に、ストレス材料を残った非常に薄いシリコンの上に再成長する処理は困難を伴う。また、非常に薄いシリコンはストレス材料を成長させるために必要な温度で凝集する。更に、この方法は公知のF I N F E T構造に適用することができない、または極薄ボディのいずれのトランジスタ素子にも適用することができない。

【0005】

応力をチャンネルに発生させる別の公知の方法では、或る構造をストレス材料として使用する。この手法の不具合は、ストレス材料がSiGeである場合、SiGeは、Geが誘電体/半導体界面に拡散して界面準位が多くなることによりゲート誘電体が劣化するように作用することである。SiGe材料のバンドギャップは小さい。従って、この手法に関する別の問題は、SiGeがトランジスタのチャンネルに含まれることにより、トランジスタのオフリーク電流が大きくなることである。更に、この方法は公知のF I N F E T構造に適用することができない、または極薄ボディのいずれの起立型ダブルゲートトランジスタにも適用することができない。

【0006】

トランジスタのチャンネルに応力を発生させる更に別の公知の方法では、被覆応力発生層

10

20

30

40

50

をトランジスタの活性領域の上に使用する。しかしながら、ストレッサ材料がチャネルからずっと遠く離れた位置に設けられるので、ストレッサ材料がチャネルに及ぼす影響が小さくなってしまう。

【発明を実施するための最良の形態】

【0007】

本発明は例を通して示され、そして添付の図によって制限されるものではなく、これらの図では、同様の参照記号は同様の構成要素を指す。

当業者であれば、これらの図における構成要素が説明を簡単かつ明瞭にするために示され、そして必ずしも寸法通りには描かれていないことが分かるであろう。例えば、これらの図における幾つかの構成要素の寸法を他の構成要素に対して誇張して描いて本発明の実施形態を理解し易くしている。

【0008】

図1に示すのは、本発明による半導体素子10である。基板12を設ける。一の形態では、基板12はシリコンである。しかしながら、いずれの半導体材料も使用することができる。被覆誘電体層14を形成する。ウェハ接着法または酸素を構成元素とする材料のイオン注入を使用して誘電体層14を形成することができる。一の形態では、誘電体層14は酸化膜である。半導体層16を誘電体層14の一部分の上に形成し、そしてパターニングする。一の形態では、半導体層16はシリコンであり、そしてゲート長を半導体層16の膜厚で割った値に等しいアスペクト比が少なくとも3になるような膜厚を有する。従って、半導体層16は非常に薄い。半導体層16に隣接するのは分離領域18である。ここで、分離領域18には材料を充填しない、または分離領域18はいずれかの誘電体材料により形成することができることを理解されたい。従って、一の形態では、分離領域18には何も充填されない。ゲート誘電体20を半導体層16の上に形成する。ゲート22をゲート誘電体20の上に形成する。窒化膜のような誘電体層24をゲート22及びゲート誘電体20の周りに形成する。誘電体層24の組成はゲート誘電体20への酸素の拡散を最小にし、かつ熱的にも安定な材料である。従って、窒化膜の他に、他の材料を使用することができる。

【0009】

図2に示すのは、半導体素子に更に処理を施したときの半導体素子10である。図2では、半導体材料26を、半導体素子10のソース/ドレイン領域に選択的に堆積させる、またはエピタキシャル成長させる。一の形態では、半導体材料26はSiGeである、またはGeのみから成り、そして応力をトランジスタのチャネルに発生させる材料として使用することができる。更に別の形態では、半導体材料26は炭素含有シリコンとして形成することができる。炭素含有シリコンを形成する場合、以下に説明するように、結果として得られる歪みは圧縮歪みではなく引っ張り歪みである。他の半導体材料を半導体材料26に使用することもできる。どの半導体材料を選択するかによっても、半導体素子10の閾値電圧 $V_t$ に直接影響する。ここで、他のストレッサ材料を使用することができることを良く理解されたい。図示の形態では、半導体材料26を選択成長させる。種々の膜厚を半導体材料26に使用することができる。

【0010】

図3に示すのは、半導体素子に更に処理を施したときの半導体素子10である。詳細には、RTAのような熱処理プロセス、または電気炉アニールを使用して半導体材料26を下地の半導体層16に拡散させる。半導体材料26は横方向に拡散してソース-チャネル界面、及びドレイン-チャネル界面に達する。熱処理によって、半導体材料26がSiGe拡散ソース28に変わる。拡散ソース28のGe濃度は、堆積直後の、または成長直後の層に含まれる初期濃度のGeが拡散することによって低くなる。SiGe拡散ソース28のGe濃度が低くなる。ここで、拡散ソース28からの拡散元素は半導体層16に入り込み、そして図3の矢印で示すように、ゲート22に向かってゲート22の下に拡散することに注目されたい。Geが拡散する結果、半導体層16はストレッサ材料層30となる。チャネル領域はゲート22の下に形成される。Geがストレッサ材料層30に拡散する

ことにより、歪みチャンネル 17 が形成される。歪みチャンネルの垂直破線境界は、Ge が横方向に拡散することにより形成される、ストレス材料層 30 と歪みチャンネル 17 との間の境界を示している。ここで、ストレス材料層 30 が歪みチャンネル 17 の直ぐ隣に位置するのでチャンネルに大きな影響を及ぼすことができることに注目されたい。

#### 【0011】

別の形態では、ストレス材料層 30 への Ge の拡散を、特定の半導体素子の要件に従って熱処理を追加することにより、または更に酸化を行なうことにより継続させる。一の実施形態では、追加の処理は、材料がストレス材料層 30 及び歪みチャンネル 17 の両方に均一に含まれるまで継続させる。この形態では、圧縮材料がソース、チャンネル、及びドレインに横方向に均一に含まれる。チャンネルを通してソース及びドレインから延在するほぼ均一な圧縮層が、P 型トランジスタの場合に望ましい。しかしながら、残りの図は、このような追加処理を行わない構造を示し、そして異なるチャンネル材料、及びソース/ドレイン材料を示すことになる。

#### 【0012】

図 4 に示すのは、半導体素子に更に処理を施したときの半導体素子 10 である。詳細には、エクステンションイオン注入を行なって、ソース注入領域及びドレイン注入領域を形成する。エクステンションイオン注入によって、ドーパントがストレス材料層 30 及び拡散ソース 28 に導入される。拡散ソース 28 及びストレス材料層 30 に導入されるドーパントをアニールしてソースエクステンション及びドレインエクステンションをこれらの層の両方に形成する。

#### 【0013】

図 5 に示すのは、半導体素子に更に処理を施したときの半導体素子 10 である。詳細には、完成版の機能トランジスタが形成される。サイドウォールスペーサ 34 を従来の方法により、誘電体層 24 に隣接して形成する。熱アニールプロセス工程を行なって、注入ドーパントを拡散させて不純物がドーパされたソース/ドレイン領域 36 を形成する。ストレス材料層 30 の第 1 部分に不純物をドーパしてソース/ドレイン領域 36 を形成する。ストレス材料層 30 の第 2 部分は、歪みチャンネル 17 を画定する垂直破線と、不純物がドーパされたソース/ドレイン領域 36 のエッジとの間のチャンネルに残される。従って、図 5 の 2 つの垂直破線の各々によって示される 2 つのヘテロ接合は、歪みチャンネル 17 と、不純物がドーパされたソース/ドレイン領域 36 の該当する一つの領域との間に形成される。シリサイド領域 38 は従来の方法により、拡散ソース 28 及びゲート 22 の上に形成される。この時点で、歪みチャンネル及びヘテロ接合をチャンネルに有するトランジスタが形成されている。また、半導体素子 10 は隆起ソース/ドレインを有し、隆起ソース/ドレインには、拡散ソース 28 の内、サイドウォールスペーサ 34 の下の部分である隆起エクステンションがそれぞれ設けられる。ストレス材料層 30 は歪みチャンネル 17 に非常に近接して位置するので、電子移動度及び正孔移動度、及びトランジスタのオン電流が大きくなる。

#### 【0014】

本発明の別の形態は図 2 に示す構造を処理する工程から始まる。図 6 に示すのは、図 2 の半導体素子 10 の半導体材料 26 を酸素雰囲気中で酸化することにより得られる半導体素子 40 である。説明を分かり易くするために、図 1 及び 2、及び図 6 に共通する構成要素には同様の参照番号を付し、そして共通の構成要素の形成については繰り返し説明することはしない。酸化雰囲気は  $H_2O$  及び/又は  $HCl$  を含むことができる。酸化処理を行なった結果、半導体層 16 の一部分がシリコンゲルマニウム (SiGe) ストレス材料層 44 となる。半導体層 16 の内、SiGe を含まない部分は歪みチャンネル 17 としてそのままの形で残る。半導体材料 26 は被覆  $SiO_2$  絶縁層 42 となる。絶縁層 42 及びシリコンゲルマニウムストレス材料層 44 は両方とも誘電体層 14 上に設けられる。ここでも同じように、シリコンゲルマニウムストレス材料層 44 は、シリコンゲルマニウムストレス材料層 44 の膜厚に対するゲート長の比を表わすアスペクト比が少なくとも 3 になるような膜厚を有する必要がある。従って、シリコンゲルマニウムストレス材料層

10

20

30

40

50

44は非常に薄い。従って、この形態では、シリコンゲルマニウムはストレス材料層44に、拡散のみを利用するというのではなく、酸化雰囲気によって形成される。この形態の利点は、シリコンゲルマニウムストレス材料層44のゲルマニウム含有量を、ゲルマニウムが図3のストレス材料層30に使用される場合よりも大きくすることができることである。ここで、SiGe以外の他のストレス材料を使用することができることに留意されたい。

#### 【0015】

図7に示すのは、半導体素子に更に処理を施したときの半導体素子40である。図7では、絶縁層42を半導体素子40から除去する。一の形態では、絶縁層42はウェットまたはドライのいずれかのエッチングにより除去される。歪みチャンネル17は垂直破線によって示される。ここで、ストレス材料層44は歪みチャンネル17の直ぐ横に隣接して位置するので、歪みチャンネルに大きな影響を与えることができることに注目されたい。

#### 【0016】

図8に示すのは、半導体素子に更に処理を施したときの半導体素子40である。隆起ソース/ドレインエクステンションは、半導体層46を選択成長させる、または選択的に堆積させることにより誘電体層24に隣接して形成される。半導体層46は一の形態では、シリコンにより形成することができるが、シリコンゲルマニウムなどのようないずれの半導体材料とすることもできる。エクステンションイオン注入を行なってソース注入領域及びドレイン注入領域を形成する。エクステンションイオン注入によって、ストレス材料層44と半導体層46との界面にドーパントが導入される。半導体層46及びストレス材料層44に注入されるドーパントをアニールしてソースエクステンション及びドレインエクステンションをこれらの層の両方に形成する。ここで、半導体層46を設けることにより、半導体素子40のソース及びドレインとして使用される材料のシート抵抗が、半導体素子40のボディ部が薄いために低くなるように作用することに注目されたい。シート抵抗が低くなるのは、ソース/ドレイン不純物として含まれる半導体材料の量が増えるからである。

#### 【0017】

図9に示すのは、半導体素子に更に処理を施したときの半導体素子40である。詳細には、完成版の機能トランジスタが形成される。サイドウォールスペーサ50を従来の方法により、誘電体層24に隣接して形成する。熱アニールプロセス工程を行なって、注入ドーパントを拡散させて不純物がドーブされたソース/ドレイン領域52を形成する。ストレス材料層44の第1部分に不純物をドーブしてソース/ドレイン領域52を形成する。ストレス材料層44の第2部分は、歪みチャンネル17を画定する垂直破線と、不純物がドーブされたソース/ドレイン領域のエッジとの間のチャンネルに残される。従って、図9の2つの垂直破線の各々によって示される2つのヘテロ接合は、歪みチャンネル17と、不純物がドーブされたソース/ドレイン領域52の該当する一つの領域との間に形成される。シリサイド領域54は従来の方法により、半導体層46及びゲート22の上に形成される。この時点で、歪みチャンネル及びヘテロ接合をチャンネルに有するトランジスタが形成されている。また、半導体素子40は該当する隆起エクステンションを備える隆起ソース/ドレインを有し、これらの隆起エクステンションは半導体層46の内、サイドウォールスペーサ50の下の部分である。ストレス材料層44は歪みチャンネル17に非常に近接して位置するので、電子移動度及び正孔移動度、及びトランジスタのオン電流が大きくなる。

#### 【0018】

図10に示すのは、ダブルゲートトランジスタの初期形成段階の半導体素子60である。説明の都合上、図1～9に関する初期形成段階において類似する構成要素には同様の番号を付している。一の形態では、ここに説明するダブルゲートトランジスタはFINFETとして形成される。他のダブルゲートトランジスタを形成することができる。基板12には前に説明した被覆誘電体層14を設ける。誘電体層14の上には、シリコン層62が設けられ、このシリコン層はダブルゲートトランジスタのフィン構造として機能すること

10

20

30

40

50

になる。ここで、シリコン以外の半導体材料を使用してシリコン層 6 2 を形成することができることを理解されたい。シリコン層 6 2 の一部分は、後の工程において、ダブルゲートトランジスタのソース及びドレインとして機能することになる。シリコン層 6 2 の上には酸化膜層 6 4 が設けられる。酸化膜層 6 4 は：( 1 ) 酸化バリア；及び( 2 ) シリコン層 6 2 と酸化膜層 6 4 上に設けられる厚膜絶縁体 6 6 との間の応力緩衝層として機能する。厚膜絶縁体 6 6 の上にはゲート 6 8 が設けられる。包囲誘電体層 7 0 はゲート 6 8 の周辺を囲むように形成されてバリアとして機能する。

【 0 0 1 9 】

図 1 1 に示すのは、図 1 0 の切断線 1 1 - 1 1 に沿った断面図である。図 1 0 を参照しながら上に説明した参照番号の他に、シリコン層 6 2 の垂直側壁を取り囲むゲート誘電体 6 5 も開示される。

10

【 0 0 2 0 】

図 1 2 に示すのは、半導体素子 6 0 の断面図であり、この場合、半導体材料 7 2 は、シリコン層 6 2 を被覆し、そして取り囲むように選択成長させる、または選択的に堆積させる。半導体材料 7 2 はシリコンゲルマニウム ( S i G e ) であり、かつ炭化シリコン、炭素、及び他の I V 族元素または合金のような他の材料により形成することができる。

【 0 0 2 1 】

図 1 3 に示すのは、半導体素子 6 0 の断面図であり、この場合、半導体材料 7 2 のゲルマニウムをアニールによってシリコン層 6 2 に拡散させて、G e 欠乏 S i G e 領域 7 4 を形成する。図 1 3 の矢印は、G e が垂直方向及び水平方向の両方に移動して G e 拡散 S i G e ストレッサ層 7 6 に拡散することを示している。この時点で、チャネル領域は、垂直破線で示すようにゲート電極下に示される。G e が S i G e ストレッサ層 7 6 に拡散することによって歪みチャネル 6 3 が形成され、この歪みチャネルでは、G e が歪みチャネル 6 3 に非常に近接して位置する。歪みチャネル 6 3 の垂直破線は半導体素子 6 0 内部のヘテロ接合を表わす。

20

【 0 0 2 2 】

別の形態では、ストレッサ層 7 6 への G e の拡散は、特定の半導体素子の要件に従って熱処理を追加する、または酸化を追加することにより継続させる。一の実施形態では、追加の処理は、材料がストレッサ層 7 6 及び歪みチャネル 6 3 の両方に均一に含まれるまで継続させる。この形態では、圧縮材料がソース、チャネル、及びドレインに横方向に均一に含まれる。ほぼ均一な圧縮層がソース及びドレインからチャネルを通して延在する構造は、P 型トランジスタにとって望ましい。このような実施形態では、ヘテロ接合はチャネルには形成されない。

30

【 0 0 2 3 】

図 1 4 に示すのは、ソース/ドレインエクステンション注入領域が形成される半導体素子 6 0 の断面図である。エクステンションイオン注入を行なってソース注入領域及びドレイン注入領域を形成する。エクステンションイオン注入によって、ストレッサ層 7 6 及び S i G e 領域 7 4 を分離する破線で示すように、ストレッサ層 7 6 と S i G e 領域 7 4 との界面にドーパントが導入される。拡散 S i G e 領域 7 4 及びストレッサ層 7 6 に注入されるドーパントをアニールしてソース及びドレインエクステンション 7 7 をこれらの層の両方に形成する。従って、図 1 4 の 2 つの垂直破線の各々によって示される 2 つのヘテロ接合は、歪みチャネル 6 3 と、ソース/ドレインエクステンション 7 7 の該当する一つのエクステンションとの間に形成される。一の形態では、歪みチャネルは不純物がドーピングされていないシリコンである。チャネルのセクション 6 5 及びセクション 6 7 はそれぞれ、各ヘテロ接合と、チャネルとソース及びドレインエクステンション 7 7 のそれぞれとの間の接合との間に設けられる。一の形態では、セクション 6 5 及びセクション 6 7 は不純物がドーピングされていないシリコンゲルマニウムであり、そしてソース及びドレインエクステンション 7 7 は不純物がドーピングされたシリコンゲルマニウムである。

40

【 0 0 2 4 】

図 1 5 に示すのは、完成版の機能トランジスタが形成される半導体素子 6 0 の断面図で

50

ある。サイドウォールスペーサ 80 を従来の方法により、誘電体層 70 に隣接して形成する。熱アニールプロセス工程を行なって、注入ドーパントを拡散させて不純物がドーブされたソース/ドレイン領域 82 を形成する。ストレス材料層 76 の第 1 部分に不純物をドーブしてソース/ドレイン領域 82 を形成する。ストレス材料層 76 の第 2 部分は歪みチャンネル 63 に隣接して残され、かつ歪みチャンネル 63 を画定する垂直破線と、不純物がドーブされたソース及びドレインエクステンション 77 のエッジとの間に残される。シリサイド領域 84 は従来の方法により、ソース/ドレイン領域 82 及びゲート 68 の上に形成される。この時点で、歪みチャンネル及びヘテロ接合をチャンネルに有するトランジスタが形成される。また、半導体素子 60 は該当する隆起エクステンションを備える隆起ソース/ドレインを有し、これらの隆起エクステンションは、SiGe 領域 74 の内、サイドウォールスペーサ 80 の下に位置する前方部分である。ストレス層 76 は歪みチャンネル 63 に非常に近接して位置するので、電子移動度及び正孔移動度、及びトランジスタのオン電流が大きくなる。F I N F E T 形態についてここに開示しているが、歪みチャンネルトランジスタは、ここに提示される示唆を活用していずれのダブルゲート構造にも用いることができることを良く理解されたい。

#### 【0025】

図 16 に示すのは、半導体素子 90 の断面図であり、この場合、ダブルゲートトランジスタの初期形成工程が図 10 ~ 12 の半導体素子 60 の形成工程に従って行なわれている。便宜上、図 10 ~ 12 及び図 16 に共通する要素番号を使用することとし、これらの共通の構成要素に関する議論は繰り返さない。図 16 に示すのは、図 12 の半導体素子 60 の半導体材料 72 を酸素雰囲気中で酸化した後に得られる半導体素子 90 である。酸化雰囲気は  $H_2O$  及び/又は  $HCl$  を含むことができる。シリコンゲルマニウム (SiGe) ストレス材料層 94 及び被覆  $SiO_2$  絶縁層 92 は両方とも誘電体層 14 上に設けられる。ここでも同じように、シリコンゲルマニウムストレス材料層 94 は、シリコンゲルマニウムストレス層 94 の膜厚に対するゲート長の比を表わすアスペクト比が少なくとも 3 になるような膜厚を有する必要がある。従って、シリコンゲルマニウムストレス層 94 は非常に薄い。従って、この形態では、シリコンゲルマニウムはストレス層 94 に、拡散のみを利用するというのではなく、酸化雰囲気によって形成される。この形態の利点は、シリコンゲルマニウムストレス層 94 のゲルマニウム含有量を、ゲルマニウムが図 13 のストレス層 76 に使用される場合よりも大きくすることができることである。ここで、SiGe 以外の他のストレス材料を使用することができることに留意されたい。

#### 【0026】

図 17 に示すのは、 $SiO_2$  絶縁層 92 を半導体素子 90 から除去したときの半導体素子 90 である。絶縁層 92 はウェットまたはドライのいずれかのエッチングにより除去することができる。

#### 【0027】

図 18 に示すのは、隆起ソース/ドレイン 96 を、シリコンゲルマニウムストレス層 94 を覆い、かつ取り囲むように選択的に成長または堆積させたときの半導体素子 90 の断面図である。ストレス層 94 はシリコンゲルマニウム (SiGe) であり、そして炭化シリコン、炭素、及び他の IV 族元素または合金のような他の材料により形成することができる。

#### 【0028】

図 19 に示すのは、ソース/ドレインエクステンション注入領域を形成したときの半導体素子 90 の断面図である。エクステンションイオン注入を行なってソース及びドレイン注入領域を形成する。エクステンションイオン注入を行なうことにより、ドーパントがストレス層 94 と隆起ソース/ドレイン 96 との界面に導入される。隆起ソース/ドレイン 96 及びストレス層 94 に注入されたドーパントをアニールしてソース及びドレインエクステンション 98 をこれらの層の両方に形成する。完成版の機能トランジスタが次に形成される。サイドウォールスペーサ 100 が従来の方法により誘電体層 70 に隣接して

形成される。熱アニールプロセス工程を行なって注入ドーパントを拡散させ、不純物ドーブされたソース/ドレイン領域 102 を形成する。ストレス層 94 の第 1 部分に不純物をドーブすることによりソース/ドレイン領域 102 を形成する。ストレス層 94 の第 2 部分は歪みチャネル 63 に隣接して残され、かつ歪みチャネル 63 を画定する垂直破線と不純物ドーブされたソース及びドレインエクステンション 98 のエッジとの間に残される。従って、図 19 の 2 つの垂直破線の各々によって示される 2 つのヘテロ接合は、歪みチャネル 63 と、ソース及びドレインエクステンション 98 の該当する一つのエクステンションとの間に形成される。シリサイド領域 104 は従来の方法により、隆起ソース/ドレイン 96 及びゲート 68 の上に形成される。この時点で、歪みチャネル及びヘテロ接合をチャンネルに有するトランジスタが形成される。また、半導体素子 90 は該当する隆起エクステンションを備える隆起ソース/ドレイン 96 を有し、これらの隆起エクステンションは、不純物ドーブされた隆起ソース及びドレインエクステンション 98 の内、サイドウォールスペーサ 100 の下の部分である。ストレス層 94 は歪みチャネル 63 に非常に近接して位置するので、電子移動度及び正孔移動度、及びトランジスタのオン電流が大きくなる。F I N F E T 形態をここに開示しているが、歪みチャネルトランジスタは、ここに提示される示唆を使用して、いずれのダブルゲート構造にも用いることができることを良く理解されたい。

#### 【0029】

図 20 及び 21 に示すのは、プレーナ型ダブルゲートトランジスタ 110 の断面図である。議論を簡単にするために、図 1 ~ 5 及び他の箇所に示す構成要素と同様の参照番号を有する構成要素を使用する。従って、図 20 及び 21 に示す構成要素の全てに関する形成方法に関して全てを議論するということは冗長であるので行なわない。誘電体層 14 を基板 12 上に形成した後、ゲート 112 が誘電体層 14 の内部に、幾つかの従来の方法の内の一つの方法により形成される。被覆ゲート酸化膜 114 が形成され、かつこのゲート酸化膜は誘電体層 14 の上側表面と同じ平面を構成する上側表面を有する。半導体層 16 の上にはゲート酸化膜 116 が設けられる。ゲート酸化膜 116 の上にはゲート 118 が設けられる。ゲート酸化膜 116 及びゲート 118 の全表面は誘電体層 24 によって覆われる。図 20 のトランジスタ 110 はプレーナ型ダブルゲート素子である。

#### 【0030】

図 21 に示すのは完成版のトランジスタ 110 であり、この場合、トランジスタ 110 の残りの構成要素は、図 5 の実施形態における構成要素に相当する構成要素を形成するために使用される類似の方法により形成される。ソース/ドレイン領域 36 は上に議論したように、ストレス材料層 30 及び拡散ソース 28 を形成することにより形成される。従って、トランジスタ 110 はダブルゲート素子であり、この素子は一つのヘテロ接合を素子のソースとチャンネルとの間に、そして一つのヘテロ接合を素子のドレインとチャンネルの間に有する。トランジスタ 110 は F I N F E T とは異なるプレーナ型素子であり、そして圧縮または引っ張りのいずれにするかを選択することができるという特徴を持つ歪みチャンネルを有する。

#### 【0031】

以上の記述から、トランジスタ性能を向上させる歪みチャンネルを有する半導体素子を形成する方法が提示されていることを理解されたい。ヘテロ接合、隆起ソース/ドレイン領域、及び歪みチャンネルを組み合わせることにより、トランジスタ素子性能が著しく向上する。形成方法は本明細書においては、バルクトランジスタ素子及びダブルゲートトランジスタ素子の両方を形成するという形で記載されている。一の形態では、半導体層を設け、そしてゲート誘電体を半導体層の第 1 部分の上に設けることにより半導体素子を形成する方法が提供される。ゲート電極はゲート誘電体上に設けられる。ゲート電極及びゲート誘電体は保護材料によって取り囲まれる。ストレス形成材料 (stress or source material) を半導体層の内、第 1 部分の外側の第 2 部分の上に選択的に成長させる。ストレス材料 (stress or material) は拡散ソースに改質され、この場合、ストレス材料を拡散ソースに改質させる処理では、下地半導体層の

10

20

30

40

50



チャンネル領域へのストレス材料の拡散の量を調整する。チャンネルは歪みチャンネルとなる。

#### 【0032】

極薄ボディのトランジスタの寸法は小さくなり続けるので、チャンネル領域が更に薄くなることによって、トランジスタの閾値電圧が大きくなる。ここに記載するSiGeなどのような材料を、チャンネル形成に使用される半導体層に使用することにより、閾値電圧を下げるができるので、相対的に小さい寸法にスケールされる場合の従来の極薄ボディのトランジスタにおける閾値の増加量を相殺することができる。更に、ミッドギャップ（エネルギーギャップの真ん中。つまり、伝導帯の最小値エネルギーと価電子帯の最大値エネルギーの真ん中のエネルギーを指す）メタルをゲート金属として使用する場合、トランジスタの閾値電圧が大きくなる。閾値電圧が大きくなる現象を防止するために、トランジスタのボディに不純物をドーピングすることができる。しかしながら、不純物をドーピングすることによって、トランジスタの電気特性が劣化して、動作パラメータの変動が大きくなる。ソース材料を使用してソース/ドレイン領域、及びチャンネル領域への拡散を制御性良く行なうことにより、ミッドギャップメタルゲートを有し、かつボディに不純物がドーピングされない小さい $V_t$ のトランジスタが実現する。

#### 【0033】

一の形態では、半導体層が設けられる半導体素子を形成する方法がここに提供される。ゲート誘電体が半導体層の第1部分の上に設けられる。ゲート電極はゲート誘電体上に設けられる。ゲート電極及びゲート誘電体は保護材料によって取り囲まれる。半導体材料は半導体層の内、第1部分の外側の第2部分の上に選択的に成長させ、この場合、半導体材料は半導体層の材料とは異なる材料である。半導体材料は、半導体層のチャンネル領域への半導体材料の拡散の量を制御する拡散ソースとして使用される。半導体材料がチャンネル領域に拡散することにより、歪みチャンネルが形成される。一の形態では、半導体材料は拡散ソースとして使用され、そして熱アニールプロセスを使用して半導体層のチャンネル領域への半導体材料の拡散の量を制御する。別の形態では、熱アニールプロセスは短時間の高温アニール、及び長時間の低温アニールを含み、この場合、「短」は「長」よりも小さく、かつ「高」は「低」よりも大きい。別の形態では、熱アニールプロセスでは更に、異なる温度及び異なる時間での塩化水素（HCl）雰囲気及び不活性ガス雰囲気における処理の内の一つの処理を行って、チャンネル領域への半導体材料の拡散の量、及び半導体素子の歪みチャンネルに発生する歪みの大きさを制御する。別の形態では、半導体材料は、ゲルマニウムソース、炭素含有シリコンソース、ボロンソース、リンソース、及び砒素ソースから成るグループから選択される少なくとも一つを含む。別の形態では、不活性ガス雰囲気は窒素及びアルゴンの内の少なくとも一つを含む。一の形態では、半導体材料は拡散ソースとして使用され、そして半導体材料の酸化を行なって凝集現象を生じさせるが、この現象は、半導体材料の内の1つの成分が酸化膜の形成によって選択的に消費され、そして拡散し、更に半導体層の中の半導体材料が多くなって拡散するときに観察される。酸化膜は、ゲート電極及びゲート誘電体を取り囲む保護材料が除去されることがないように選択的に除去される。一の形態では、別の半導体材料層を選択エピタキシャル成長により選択成長させる。別の形態では、別の半導体材料は最初の同じ半導体材料及び異なる半導体材料の内の一つを含む。別の形態では、半導体材料を拡散ソースとして繰り返し使用し、酸化膜を選択的に除去し、そして別の半導体材料層を選択成長させて半導体層のチャンネル領域の中の半導体材料を所望の量だけ増やすことができる。別の形態では、選択的に除去する処理では、ウェットエッチングプロセスを使用する。一の形態では、半導体材料はSiGeを含み、酸化膜 $SiO_2$ を形成することによりSiを選択的に消費し、そしてGeを選択的に拡散させ、そしてGeを増やす。別の形態では、本方法では更に、酸化膜 $SiO_2$ を、ゲート電極及びゲート誘電体を取り囲む保護材料がエッチングされないように選択的に除去する。別の半導体材料層をエピタキシャル成長により選択成長させる。別の形態では、ソース/ドレインエクステンション注入領域を形成し、そしてドーパント活性化アニールを行なう。サイドウォールスペーサはゲート電極に隣接して形成される。ソース/ドレ

10

20

30

40

50

イン領域へのイオン注入を行なってソース/ドレインを形成する。ソース/ドレイン及びゲート電極の領域を一の形態ではシリサイド化する。一の形態では、半導体層を設ける処理では、セミコンダクタオンインシュレータ ( s e m i c o n d u c t o r o n i n s u l a t o r ) 基板を設ける。別の形態では、セミコンダクタオンインシュレータ基板はシリコンオンインシュレータ基板を含む。別の形態では、保護材料によって取り囲む処理では、保護材料を使用してゲート電極及びゲート誘電体への酸素の拡散を最小に抑える。更に別の形態では、ゲート電極を保護材料によって取り囲む処理では、窒化膜、酸化膜、及び窒化膜及び酸化膜の組み合わせから成るグループから選択される保護材料を使用する。別の形態では、半導体材料は所定の G e 濃度を有するシリコンゲルマニウム ( S i G e ) を含む。半導体材料が所定の膜厚を有する更に別の形態では、所定の G e 濃度は前記所定の膜厚に反比例し、かつ酸化時間によって変わるので、半導体層に拡散する G e の合計量を維持することができる。更に別の形態では、所定の G e 濃度は 15 % 超である。別の形態では、半導体材料は半導体層に垂直方向に拡散し、更に半導体層内を横方向にソース/チャネル界面及びドレイン/チャネル界面にまで拡散してヘテロ接合をチャネル領域のそれぞれの界面に形成する。一の形態では、半導体素子は横型素子及び F i n F E T デバイスの内の一つを含む。更に別の形態では、半導体材料は半導体素子の所望の閾値電圧を実現するために選択される材料である。

10

#### 【 0 0 3 4 】

更に別の形態では、トランジスタを形成する方法が提供される。半導体層が設けられる。ゲート誘電体を半導体層の第 1 部分の上に設ける。ゲート電極をゲート誘電体の上に設ける。ゲート電極及びゲート誘電体は誘電体層によって取り囲まれる。半導体材料を、半導体層の内、第 1 部分の外側の第 2 部分の上に選択成長させ、この場合、半導体材料は半導体層の材料とは異なる材料を含む。半導体材料を酸素雰囲気中で酸化することにより、ストレス層が半導体層の第 2 部分に形成されるので、歪みチャネルが半導体層の第 1 部分の内部に形成される。ソース及びドレイン領域は半導体層の第 2 部分、及び半導体材料に形成される。

20

#### 【 0 0 3 5 】

更に別の形態では、トランジスタを形成する方法が提供される。半導体層が設けられる。ゲート誘電体を半導体層の第 1 部分の上に設ける。トランジスタのゲート電極をゲート誘電体の上に設ける。ゲート電極及びゲート誘電体は保護材料によって取り囲まれる。ゲルマニウムを含む半導体材料を、半導体層の内、第 1 部分の外側の第 2 部分の上に選択成長させ、この場合、半導体材料は半導体層の材料とは異なる材料である。半導体材料を加熱してゲルマニウムを半導体層の第 2 部分に拡散させることにより、歪みチャネルをゲート誘電体の下に形成する。トランジスタのソース及びドレイン領域は半導体層の第 2 部分、及び半導体材料に形成される。

30

#### 【 0 0 3 6 】

本明細書ではこれまで、本発明について特定の実施形態を参照しながら説明してきた。しかしながら、この技術分野の当業者であれば、種々の変形及び変更を、以下の請求項に示す本発明の技術範囲から逸脱しない範囲において加え得ることが分かるであろう。例えば、炭化シリコン、またはシリコンと合金を形成するいずれかの材料をシリコンゲルマニウムの代わりに使用することができる。種々の導電型を使用し、そして異なる不純物濃度を使用することができる。種々のトランジスタ構造に、本明細書が示唆する歪みチャネル形成方法を適用することができ、これらのトランジスタ構造として、ダブルゲート構造を含む種々のマルチゲート構造を挙げることができる。従って、明細書及び図は、本発明を制限するものとしてではなく例示として捉えられるべきであり、そしてこのような変更の全てが本発明の技術範囲に含まれるべきものである。

40

#### 【 0 0 3 7 】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法、及びいずれかの効果、利点、または問題解決法をもたらし、またはさらに顕著にし得る全ての要素 ( 群 ) が、いず

50

れかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「comprises」、「comprising」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備える (comprises a list of elements) プロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかに列挙されていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素も含むことができる。本明細書で使用される「a」または「an」という用語は「1つ以上 (one or more)」として定義される。本明細書で使  
 用される「plurality」という用語は「2つ以上 (two or more)」  
 として定義される。本明細書で使  
 用される「another」という用語は「少なくとも  
 2番目以降の (at least a second or more)」として定義さ  
 れる。本明細書で使  
 用される「including」及び/又は「having」という  
 用語は「comprising」(すなわち広義語)として定義される。本明細書で使  
 用される「coupled」という用語は「connected」として定義されるが、必  
 ずしも直接にという意味ではなく、必ずしも機械的にという意味でもない。

10

【図面の簡単な説明】

【0038】

【図1】本発明の一の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図2】本発明の一の形態による極薄ボディのトランジスタを形成する方法を示す断面図

20

。

【図3】本発明の一の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図4】本発明の一の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図5】本発明の一の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図6】本発明の別の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図7】本発明の別の形態による極薄ボディのトランジスタを形成する方法を示す断面図

30

。

【図8】本発明の別の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図9】本発明の別の形態による極薄ボディのトランジスタを形成する方法を示す断面図

。

【図10】本発明の一の形態による極薄ボディのダブルゲート素子を示す断面図。

【図11】本発明の一の形態による極薄ボディのダブルゲート素子を示す断面図。

【図12】本発明の一の形態による極薄ボディのダブルゲート素子を示す断面図。

【図13】本発明の一の形態による極薄ボディのダブルゲート素子を示す断面図。

【図14】本発明の一の形態による極薄ボディのダブルゲート素子を示す断面図。

40

【図15】本発明の一の形態による極薄ボディのダブルゲート素子を示す断面図。

【図16】本発明の別の形態による極薄ボディの別のダブルゲート素子を示す断面図。

【図17】本発明の別の形態による極薄ボディの別のダブルゲート素子を示す断面図。

【図18】本発明の別の形態による極薄ボディの別のダブルゲート素子を示す断面図。

【図19】本発明の別の形態による極薄ボディの別のダブルゲート素子を示す断面図。

【図20】本発明の別の形態による極薄ボディの更に別のダブルゲートのプレーナ型トランジスタを示す断面図。

【図21】本発明の別の形態による極薄ボディの更に別のダブルゲートのプレーナ型トランジスタを示す断面図。

【図 1】

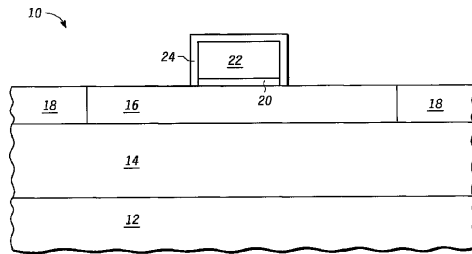


FIG. 1

【図 2】

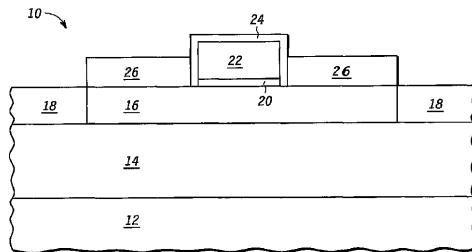


FIG. 2

【図 3】

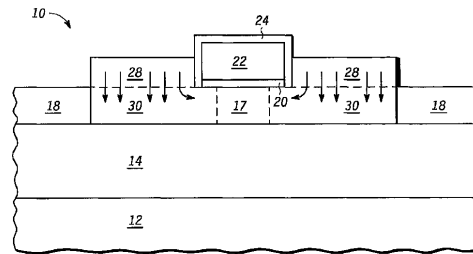


FIG. 3

【図 4】

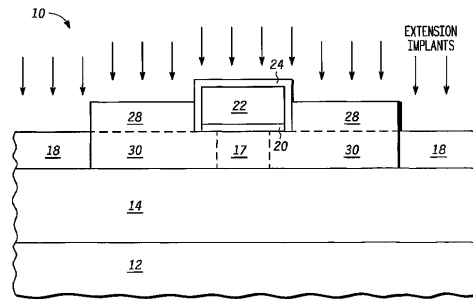


FIG. 4

【図 5】

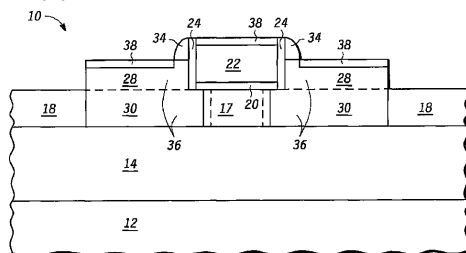


FIG. 5

【図 7】

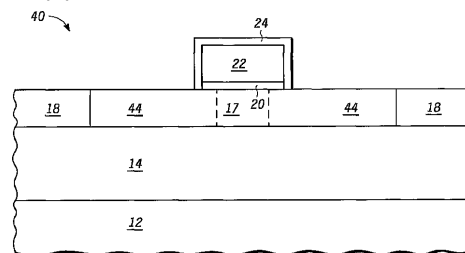


FIG. 7

【図 6】

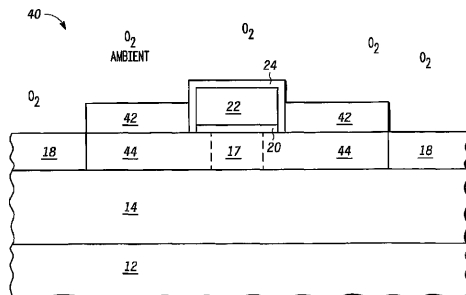


FIG. 6

【図 8】

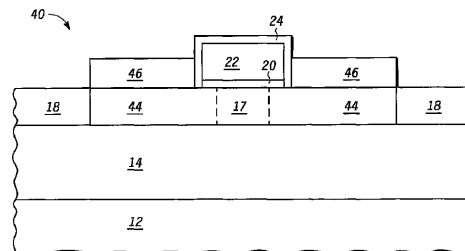


FIG. 8



【図 16】

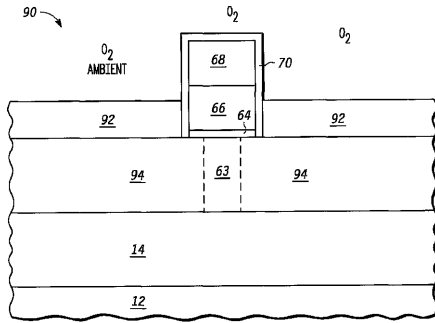


FIG. 16

【図 17】

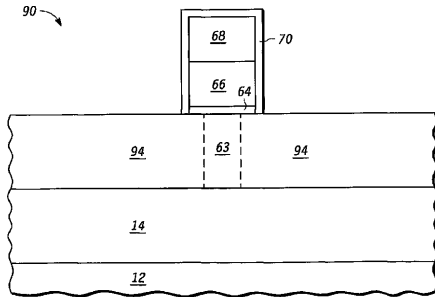


FIG. 17

【図 18】

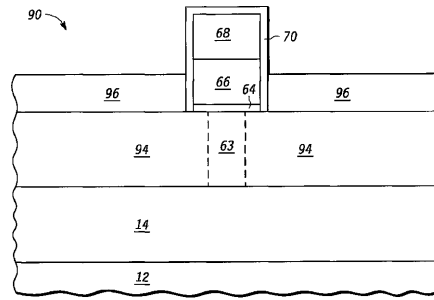


FIG. 18

【図 19】

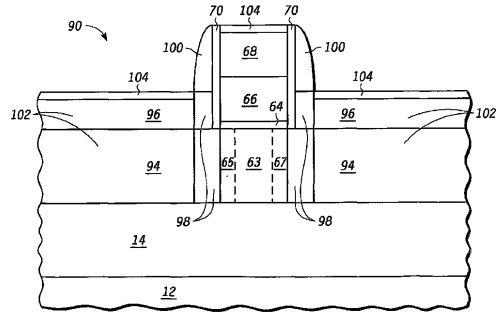


FIG. 19

【図 20】

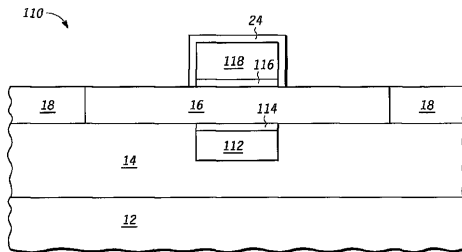


FIG. 20

【図 21】

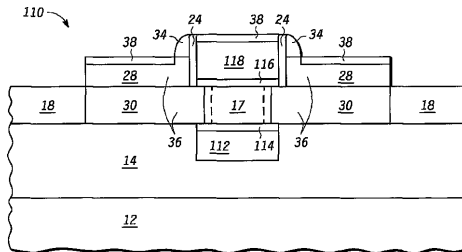


FIG. 21

## フロントページの続き

- (72)発明者 サダカ、マリyam ジー .  
アメリカ合衆国 7 8 7 3 8 テキサス州 オースティン ナパ ドライブ 3 1 1 9
- (72)発明者 ホワイト、テッド アール .  
アメリカ合衆国 7 8 7 3 1 テキサス州 オースティン ローレルウッド ドライブ 6 5 0 8
- (72)発明者 バール、アレクサンドル エル .  
フランス国 F - 3 8 9 2 0 クロル アンパス ドゥ ラ ペラド 5 1
- (72)発明者 コラグンタ、ベンカト アール .  
アメリカ合衆国 7 8 7 5 8 テキサス州 オースティン スカイ ウェスト ドライブ 1 1 9  
1 5
- (72)発明者 グエン、ビク - イエン  
アメリカ合衆国 7 8 7 3 3 テキサス州 オースティン ローレルウッド ドライブ 1 1 0
- (72)発明者 パータニアン、ピクター エイチ .  
アメリカ合衆国 7 8 6 2 0 テキサス州 ドリッピング スプリングス メドー リッジ ドラ  
イブ 1 2 0 1
- (72)発明者 ジャン、ダ  
アメリカ合衆国 7 8 7 1 7 テキサス州 オースティン カサンドラ ドライブ 1 0 1 3 7

審査官 綿引 隆

- (56)参考文献 特開2006 - 019727 (JP, A)  
特開平10 - 012883 (JP, A)  
特開2001 - 068673 (JP, A)  
特開2002 - 124665 (JP, A)  
特開2002 - 076347 (JP, A)  
特開2003 - 303971 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/78  
H01L 29/786