

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 9 日(09.10.2014)



(10) 国際公開番号

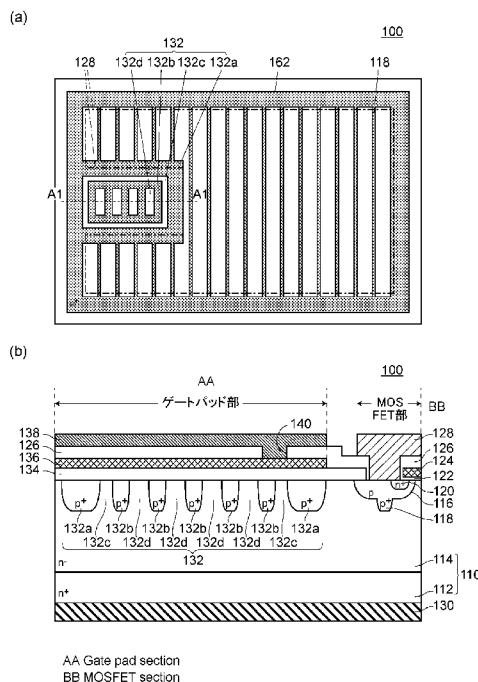
WO 2014/163060 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2014/059599
- (22) 国際出願日: 2014 年 3 月 31 日(31.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2013/059785 2013 年 3 月 31 日(31.03.2013) JP
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 宮腰 宣樹 (MIYAKOSHI, Nobuki); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合 9 8 6 2 番地 6 0 めぶき特許事務所 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: [Problem] To provide a semiconductor device in which gate oscillation phenomenon during switching off can be suppressed without externalizing the capacity and resistance to between the gate and a drain. [Solution] A semiconductor device (100) including a MOSFET section and a gate pad section, in which the gate pad section contains a low resistance semiconductor layer (112), a drift layer (114), a polysilicon layer (136) and a gate pad electrode (138) that are formed on the drift layer (114) via a field insulation layer (134) and cross the entire surface of the gate pad section as conductor layers, and a gate oscillation suppressing structure (132). The gate oscillation suppressing structure (132) includes: p⁺ diffusion regions (132a) that are provided along the outer peripheries of the gate pad section and are electrically connected to a source electrode layer (128); and floating p⁺ diffusion regions (132b) and p impurity non-diffusion regions (132c, 132d) that are alternately formed in the region surrounded by the p⁺ diffusion regions (132a).

(57) 要約: 【課題】ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能な半導体装置を提供する。【解決手段】MOSFET部及びゲートパッド部を備える半導体装置100であって、ゲートパッド部は、低抵抗半導体層112と、ドリフト層114と、ドリフト層114上にフィールド絶縁層134を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層136及びゲートパッド用電極138と、ゲート発振抑制構造132とを備え、当該ゲート発振抑制構造132は、ゲートパッド部の外周部に沿って設けられソース電極層128と電気的に接続されているp⁺型拡散領域132a、当該p⁺型拡散領域132aに囲まれた領域において交互に形成された、フローティング状態のp⁺型拡散領域132b及びp型不純物非拡散領域132c、132dを含む、半導体装置。

まれた領域において交互に形成された、フローティング状態のp⁺型拡散領域132b及びp型不純物非拡散領域132c、132dを含む、半導体装置。

WO 2014/163060 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、ドレイン層（低抵抗半導体層）とドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置が知られている（例えば、特許文献１の図２３参照。）。図３２は、従来の半導体装置８００を説明するために示す図である。図３２（ａ）は半導体装置８００の要部を示す平面図であり、図３２（ｂ）は図３２（ａ）のＸ－Ｘ断面図である。

[0003] 従来の半導体装置８００は、図３２に示すように、 n^+ ドレイン層５１と n^- ドリフト層５２とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置である。そして、能動素子部は、図３２（ｂ）に示すように、 n^+ ドレイン層５１と、 n^- ドリフト層５２と、 n^- ドリフト層５２の表面に形成された p ベース領域５３と、 p ベース領域５３の表面に形成された n^+ ソース領域５４と、 n^+ ソース領域５４と n^- ドリフト層５２とに挟まれた p ベース領域５３上にゲート絶縁膜５６を介して設けられたゲート電極５７と、ゲート電極５７とは層間絶縁膜５８を介して絶縁された状態で n^+ ソース領域５４及び p ベース領域５３の表面に接して設けられたソース電極６１とを備える。

[0004] また、ゲートパッド部は、図３２（ｂ）に示すように、 n^+ ドレイン層５１と、 n^- ドリフト層５２と、 n^- ドリフト層５２上に層間絶縁膜７２を介してゲートパッド部の全面にわたって形成されたポリシリコン膜からなる導電体７３と、導電体７３上に形成されたゲートパッド用電極６２と、ゲートパッド部の全面にわたって n^- ドリフト層５２の表面に形成された p 領域７１を備える。なお、図３２中、符号５５は p^+ ウェル領域を示し、符号５９はソース

コンタクトホール 59 を示し、符号 60 はドレイン電極を示し、符号 70 はポリシリコン膜を示し、符号 74 は p 領域コンタクトホールを示す。

- [0005] 従来の半導体装置 800 によれば、ゲートパッド部においては、n-ドリフト層 52 の表面において、ゲートパッド部の全面にわたって p 領域 71 が形成されていることから、逆バイアス時には n-ドリフト層 52 中の空乏層がゲートパッド部の全面において n+ドレイン層 51 に向かって伸長することで、高耐圧の半導体装置を構成することが可能となる。

先行技術文献

特許文献

- [0006] 特許文献1：特開 2005-150348 号公報

発明の概要

発明が解決しようとする課題

- [0007] ところで、従来の半導体装置 800 においては、近年のスイッチング速度の高速化やセルの微細化によりスイッチオフ時におけるゲート発振現象（後述する図 30（c）参照。）が問題となってきていることから、ゲート・ドレイン間に容量及び抵抗を外付けすることにより、スイッチオフ時におけるゲート発振現象を抑止することが行われている。

しかしながら、ゲート・ドレイン間に容量及び抵抗を外付けすることは、外付けするディスクリート部品の増加やディスクリート部品を外付けする工程の増加などのため、好ましくない。

- [0008] そこで、本発明は、上記した事情に鑑みてなされたものであり、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

- [0009] [1] 本発明の半導体装置は、第 1 導電型又は第 2 導電型の低抵抗半導体層と第 1 導電型のドリフト層とが積層された半導体基板に画定された能動素子

部及びゲートパッド部を備える半導体装置であって、前記能動素子部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層の表面に形成された第2導電型のベース領域と、前記ベース領域の表面に形成された第1導電型の高濃度拡散領域と、前記高濃度拡散領域と前記ドリフト層とに挟まれた前記ベース領域上においてゲート絶縁層を介して形成されたゲート電極層と、前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、前記ゲートパッド部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、前記ドリフト層の表面に形成されたゲート発振抑制構造とを備え、前記ゲート発振抑制構造は、前記ゲートパッド部の外周部に沿って設けられ前記第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2の第2導電型不純物拡散領域及び第2導電型不純物非拡散領域とを含むことを特徴とする。

[0010] [2] 本発明の半導体装置は、第1導電型又は第2導電型の低抵抗半導体層と第1導電型のドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置であって、前記能動素子部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層の表面に形成された第2導電型のベース領域と、前記ベース領域を開口し前記ドリフト層に達して形成してなる複数のトレンチと、前記ベース領域内に配置されるとともに少なくとも一部を前記トレンチの内周面に露出させて形成してなる第1導電型の高濃度拡散領域と、前記トレンチの内周面に形成してなるゲート絶縁層と、前記ゲート絶縁層を介して前記トレンチの内部に埋め込まれてなるゲート電極層と、前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、前記ゲートパッド部は、前

記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、前記ドリフト層の表面に形成されたゲート発振抑制構造とを備え、前記ゲート発振抑制構造は、前記ゲートパッド部の外周部に沿って設けられ前記第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2の第2導電型不純物拡散領域及び第2導電型不純物非拡散領域とを含むことを特徴とする。

[0011] [3] 本発明の半導体装置においては、前記フィールド絶縁層が前記ゲート絶縁層よりも厚いことが好ましい。

[0012] [4] 本発明の半導体装置においては、前記導電体層は、前記フィールド絶縁層と、前記フィールド絶縁層の上方に形成されたゲートパッド用電極層との間に形成されたポリシリコン層であることが好ましい。

[0013] [5] 本発明の半導体装置においては、前記導電体層は、前記フィールド絶縁層上に形成されたゲートパッド用電極層であることが好ましい。

[0014] [6] 本発明の半導体装置においては、前記導電体層は、前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガーを介して前記ゲート電極層と電氣的に接続されており、かつ、前記ゲートフィンガーを介さずに前記ゲート電極層と直接接続されている箇所を有しないことが好ましい。

[0015] [7] 本発明の半導体装置において、前記ゲートパッド部に隣接するセルにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することが好ましい。

[0016] [8] 本発明の半導体装置において、前記ゲートパッド部に隣接するトレンチにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することが好ましい。

[0017] [9] 本発明の半導体装置においては、前記能動素子部は、前記ベース領域

から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と連続するように形成されたものであることが好ましい。

[0018] [10] 本発明の半導体装置においては、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記ベース領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記ベース領域と連続するように形成されたものであることが好ましい。

[0019] [11] 本発明の半導体装置においては、前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の低濃度張り出し拡散領域をさらに備え、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記低濃度張り出し拡散領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記低濃度張り出し拡散領域と連続するように形成されたものであることが好ましい。

[0020] [12] 本発明の半導体装置においては、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記能動素子部を囲んで形成されるガードリングと同一工程で形成されたものであることが好ましい。

[0021] [13] 本発明の半導体装置においては、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記ベース領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記ベース領域と連続するように形成されたものであることが好ましい。

[0022] [14] 本発明の半導体装置においては、前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記高濃度張り

出し拡散領域と連続するように形成されたものであることが好ましい。

[0023] [15] 本発明の半導体装置においては、前記第2の第2導電型不純物拡散領域は、前記第1の第2導電型不純物拡散領域に囲まれた領域において形成されており、前記第2導電型不純物非拡散領域は、前記第2の第2導電型不純物拡散領域の内側においてストライプ状又はアイランド状に形成されていることが好ましい。

[0024] [16] 本発明の半導体装置においては、前記第2導電型不純物非拡散領域は、前記第1の第2導電型不純物拡散領域に囲まれた領域に形成されており、前記第2の第2導電型不純物拡散領域は、前記第2導電型不純物非拡散領域の内側においてストライプ状又はアイランド状に形成されていることが好ましい。

[0025] [17] 本発明の半導体装置においては、前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、内部に第1導電型の半導体領域を有しないことが好ましい。

[0026] [18] 本発明の半導体装置においては、前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガーにおいても、前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第3の第2導電型不純物拡散領域と、第2の第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造が形成されていることが好ましい。

[0027] 本発明の半導体装置において、「ある領域が当該ある領域とは別の領域と連続するように形成されている」とは、「ある領域」が「当該ある領域とは別の領域」と他の層を介さずに直接繋がって形成されていることを意味するものとする。

発明の効果

[0028] ところで、従来の半導体装置800においては、ゲート・ドレイン間容量は、能動素子部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_1 の容量が付加された値となる（後述する図3（b）の半導体装置100A参照。）。このうち、ゲートパッド部に形成されるコンデ

ンサ C_1 は、「『一方電極としての導電体層（図3（b）ではポリシリコン層136）』、『誘電体としてのフィールド絶縁層134及びp⁺型拡散領域158』並びに『他方電極としてのドリフト層114』」が積層された構造を有する。

[0029] 一方、本発明の半導体装置においても、ゲート・ドレイン間容量は、能動素子部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_2 、 C_3 の容量が付加された値となる（後述する図3（a）及び図3（a）の半導体装置100参照。）。このうち、コンデンサ C_2 は、ドリフト層の表面において第1の第2導電型不純物拡散領域及び第2の第2導電型不純物拡散領域（図3（a）ではp⁺型拡散領域132a及びp⁺型拡散領域132b）が形成されている領域に形成されたコンデンサであって、「『一方電極としての導電体層（図3（a）ではポリシリコン層136）』、『誘電体としてのフィールド絶縁層（図3（a）ではフィールド絶縁層134）及び第2導電型不純物拡散領域（第1の第2導電型不純物拡散領域及び第2の第2導電型不純物拡散領域）（図3（a）ではp⁺型拡散領域132a及びp⁺型拡散領域132b）』並びに『他方電極としてのドリフト層（図3（a）ではドリフト層114）』」からなるコンデンサである。また、コンデンサ C_3 は、ドリフト層の表面において第2導電型不純物非拡散領域（図3（a）ではp型不純物非拡散領域132c、132d）に形成されたコンデンサであって、「『一方電極としての導電体層（図3（a）ではポリシリコン層136）』、『誘電体としてのフィールド絶縁層（図3（a）ではフィールド絶縁層134）』及び『他方電極としてのドリフト層（図3（a）ではドリフト層114）』」からなるコンデンサである。

[0030] そして、本発明の半導体装置においては通常、フィールド絶縁層が従来の半導体装置におけるp領域71（図32（b））やp⁺型拡散領域158（図3（b））よりも極めて薄く形成されていることから（フィールド絶縁層：200nm～500nm、p領域71やp⁺型拡散領域158：2.4μm～8.0μm）、コンデンサ C_1 、 C_2 、 C_3 のうち、コンデンサ C_3 の容量が極

めて大きくなり、その結果、本発明の半導体装置のゲート・ドレイン間容量 C_{rss} は、従来の半導体装置のゲート・ドレイン間容量 C_{rss} よりも大きくなる。

[0031] また、本発明の半導体装置においては、ドリフト層の表面において隣接する第2導電型不純物拡散領域に挟まれた狭い領域（第1の第2導電型不純物拡散領域と第2の第2導電型不純物拡散領域との間に挟まれた領域（図3（a）では p^+ 型拡散領域132aと p^+ 型拡散領域132bとの間に挟まれた p 型不純物非拡散領域132c）及び隣接する第2の第2導電型不純物拡散領域に挟まれた領域（図3（a）では隣接する p^+ 型拡散領域132bの間に挟まれた p 型不純物非拡散領域132d）が電流経路となることから（後述する図3（a）参照。）、また、当該電流経路は、スイッチオフ時において、第2導電型不純物拡散領域（第1の第2導電型不純物拡散領域（ p^+ 型拡散領域132a）及び第2の第2導電型不純物拡散領域（ p^+ 型拡散領域132b））からドリフト層側に空乏層が拡がる結果（後述する図4参照。）、上述した狭い領域の部分に比較的大きな抵抗値を有する抵抗（後述する図3（a）の抵抗R3参照。）が形成されることとなる。

[0032] その結果、本発明の半導体装置によれば、ゲート・ドレイン間に大きな容量と抵抗を作り込むことができることから、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能となる。

[0033] なお、第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）はフローティング状態となっているため、逆バイアス時において、当該第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）からドリフト層側に空乏層が拡がらないと通常は考えられる。しかしながら、本発明の半導体装置においては、逆バイアス時においては、後述する図4（a）～図4（c）に示すように、第1電極層（図3（a）ではソース電極層128）と電氣的に接続されている第1の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132a）からドリフト層側に空乏層dが拡

がる過程で、第1の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132a）から伸びる空乏層dが第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）に接触することとなる。そうすると、第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）の電位が第1の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132a）と同電位となり、その後は、後述する図4（c）～図4（e）に示すように、第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）からもドリフト層側に空乏層が拡がることとなる。

[0034] また、本発明の半導体装置によれば、ゲートパッド部は、ゲートパッド部の外周部に沿って設けられ第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132a）と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）及び第2導電型不純物非拡散領域（図3（a）では p 型不純物非拡散領域132c，132d）とを含むゲート発振抑制構造（図3（a）ではゲート発振抑制構造132）を備えることから、後述する図4に示すように、逆バイアス時には互いの空乏層が横方向に伸びて接触しながらゲートパッド部の全面において低抵抗半導体層112に向かって伸長することで、従来の半導体装置800の場合と同様に、高耐圧の半導体装置を構成することが可能となる。

[0035] なお、従来の半導体装置800においては、ゲートパッド部の全面にわたって p 領域71が形成されていることから、 pn 接合面積が大きく、スイッチオフ時に注入されるキャリア量も多くなるため、逆回復期間 t_{rr} が長くなるとともに、逆回復ピーク電流 I_{RP} が大きくなるという問題点もある。これに対して、本発明の半導体装置によれば、ゲートパッド部においては、ゲートパッド部の外周部に沿って設けられ第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132a）と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互

に形成された、フローティング状態の第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）及び第2導電型不純物非拡散領域（図3（a）では p 型不純物非拡散領域132c, 132d）とを含むゲート発振抑制構造（図3（a）ではゲート発振抑制構造132）を備えることから、 pn 接合面積が小さく、スイッチオフ時に注入されるキャリア量も小さくなるため、逆回復期間 t_{rr} が短くなるとともに、逆回復ピーク電流 I_{RP} が小さくなるという効果も得られる。また、本発明の半導体装置によれば、ゲートパッド部の第2の第2導電型不純物拡散領域（図3（a）では p^+ 型拡散領域132b）がフローティング状態となっていることから、ゲートパッド部の第2の第2導電型不純物拡散領域がフローティング状態となっていない場合と比べて、ボディダイオードとして働く面積が小さくなり、スイッチオフ時に注入されるキャリア量も小さくなるため、結果として逆回復期間 t_{rr} がより一層短くなり、 di/dt 耐量を高くすることが可能となる。

[0036] なお、特許文献1には、ゲートパッド部にもMOSFETのセルを作り込んだ半導体装置が開示されている（特許文献1の図1参照。）。このような半導体装置を従来第2の半導体装置ということとする。従来第2の半導体装置によっても、従来の半導体装置800の場合よりも、ゲート・ドレイン間容量の大きな半導体装置を構成することが可能になると考えられる。

[0037] しかしながら、従来第2の半導体装置においては通常、ゲート絶縁層を介してゲート電極層と対向しているドリフト領域の面積割合が小さいことから、本発明の半導体装置よりも、ゲート・ドレイン間容量を大きくする効果は小さく、實際上、スイッチオフ時におけるゲート発振現象を抑止する効果は小さい。

[0038] また、従来第2の半導体装置においては、ゲートパッド部のMOSFETは能動素子部のMOSFETと並列して同じ動作を行うことから、スイッチオフ時におけるゲート発振現象の抑止効果は得られない。

[0039] また、従来第2の半導体装置においては、ゲートパッド部直下の領域でアバランシェ降伏が起こったとき、ゲートパッド部直下の領域から能動素子部

のソース電極層まで長い距離をアバランシェ電流が流れることとなることから、ゲートパッド部周辺端において寄生トランジスタを動作させ易く、MOSFETを破壊させてしまう恐れがある。

[0040] なお、ゲートパッド部の下部にリング状にpウェル層が形成された半導体装置が知られている（例えば、特開平5-167070号公報参照。）。このような半導体装置を従来第3の半導体装置900ということとする。図33は、従来第3の半導体装置900の断面図である。

[0041] 従来第3の半導体装置900は、図33に示すように、n⁺ドレイン層（図示せず）とn⁻ドリフト層901とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置である。そして、能動素子部は、図33に示すように、n⁺ドレイン層（図示せず）と、n⁻ドリフト層901と、n⁻ドリフト層901の表面に形成されたpベース領域902と、pベース領域902の表面に形成されたn⁺ソース領域903と、n⁺ソース領域903とn⁻ドリフト層901とに挟まれたpベース領域902上にゲート絶縁膜904を介して設けられたゲート電極905と、ゲート電極905とは層間絶縁膜906を介して絶縁された状態でn⁺ソース領域903及びpベース領域902の表面に接して設けられたソース電極908とを備える。

[0042] また、ゲートパッド部は、図33に示すように、n⁺ドレイン層（図示せず）と、n⁻ドリフト層901と、n⁻ドリフト層901上にフィールド絶縁層910を介してゲートパッド部の全面にわたって形成されたポリシリコン膜からなる導電体911と、導電体911上に形成されたゲートパッド用電極907と、ゲートパッド部の下部にリング状に形成されたpウェル層919とを備える。

[0043] しかしながら、従来第3の半導体装置900は、従来の半導体装置（従来の半導体装置800、特開平5-167070号公報の図3に記載の半導体装置）よりも、スイッチオフ時における破壊耐量を大きくするために、ゲートパッド部下の寄生ダイオードの容量を小さくしている。また、従来第3の半導体装置900においては、ゲートパッド部の中央部分にはpウェル層9

19が形成されていないことから、ゲートパッド部の中央部分に形成される抵抗 R_3 の値は小さくなる。このため、従来第3の半導体装置900においては、本発明のように、スイッチオフ時におけるゲート発振を抑止することはできない。

[0044] また、従来第3の半導体装置900においては、ゲートパッド部の下部にリング状にpウェル層919を形成したものである、すなわち、ゲートパッド部の中央部分にはpウェル層919が形成されていないことから（後述する図5（b）参照。）、逆バイアス時にゲートパッド部下の空乏層の広がりを安定にするとする効果が小さくなるという問題も生ずる。

[0045] これに対して、本発明の半導体装置によれば、ゲートパッド部の外周部に沿って設けられ第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域（図3（a）ではp⁺型拡散領域132a）と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2の第2導電型不純物拡散領域（図3（a）ではp⁺型拡散領域132b）及び第2導電型不純物非拡散領域（図3（a）ではp型不純物非拡散領域132c, 132d）とを含むゲート発振抑制構造（図3（a）ではゲート発振抑制構造132）を備えることから、このような問題は発生しない。

[0046] また、従来第3の半導体装置900においては、ゲートパッド部の下部に形成されたpウェル層919は、ソース電極と接続されていないことから、pウェル層919が形成されていない領域においては逆バイアス時に空乏層が伸長しないために電界強度が小さくならず耐圧が低下する。

[0047] これに対して、本発明の半導体装置によれば、ゲートパッド部の外周部に沿って設けられ第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域（図3（a）ではp⁺型拡散領域132a）と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2のp⁺型拡散領域（図3（a）ではp型不純物拡散領域132b）及び第2導電型不純物非拡散領域（図3（a）ではp型不純物非拡散領

域 1 3 2 c, 1 3 2 d) とを含むゲート発振抑制構造 (図 3 (a) ではゲート発振抑制構造 1 3 2) を備えることから、このような問題は発生しない。

図面の簡単な説明

- [0048] [図1]実施形態 1 に係る半導体装置 1 0 0 を説明するために示す図である。
- [図2]実施形態 1 に係る半導体装置 1 0 0 を説明するために示す図である。
- [図3]実施形態 1 に係る半導体装置 1 0 0 の効果を説明するために示す図である。
- [図4]実施形態 1 に係る半導体装置 1 0 0 の効果を説明するために示す図である。
- [図5]実施形態 1 に係る半導体装置 1 0 0 の効果を説明するために示す図である。
- [図6]実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
- 。
- [図7]実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
- 。
- [図8]実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
- 。
- [図9]実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
- 。
- [図10]実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
- 。
- [図11]実施形態 2 に係る半導体装置 1 0 0 a を説明するために示す図である。
- 。
- [図12]実施形態 3 に係る半導体装置 1 0 0 b を説明するために示す図である。
- 。
- [図13]実施形態 4 に係る半導体装置 1 0 0 c を説明するために示す図である。
- 。
- [図14]実施形態 5 に係る半導体装置 1 0 0 d を説明するために示す図である。

。

[図15]実施形態6に係る半導体装置100eの断面図である。

[図16]実施形態7に係る半導体装置100fの断面図である。

[図17]実施形態8に係る半導体装置100gを説明するために示す図である

。

[図18]実施形態9に係る半導体装置100hの断面図である。

[図19]実施形態10に係る半導体装置100iの断面図である。

[図20]実施形態11に係る半導体装置100jの断面図である。

[図21]実施形態11に係る半導体装置の製造方法を説明するために示す図である。

[図22]実施形態12に係る半導体装置100kの断面図である。

[図23]実施形態13に係る半導体装置200の断面図である。

[図24]実施形態14に係る半導体装置200aの断面図である。

[図25]実施形態15に係る半導体装置200bの断面図である。

[図26]実施形態16に係る半導体装置300の断面図である。

[図27]実施形態17に係る半導体装置100lを説明するために示す図である。

[図28]試験例1及び2に用いる半導体装置100i, 100Cの断面図である。

[図29]試験例1の評価結果を説明するために示す図である。

[図30]試験例2における評価方法及び評価結果を説明するために示す図である。

[図31]変形例に係る半導体装置100mの平面図である。

[図32]従来の半導体装置800を説明するために示す図である。

[図33]従来の半導体装置900を説明するために示す図である。

発明を実施するための形態

[0049] 以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。

[0050] [実施形態1]

1. 実施形態1に係る半導体装置100

図1及び図2は、実施形態1に係る半導体装置100を説明するために示す図である。図1(a)は半導体装置100の平面図であり、図1(b)は図1(a)のA1-A1断面図である。図2(a)は半導体装置100の平面図であり、図2(b)は図2(a)のA2-A2断面図である。なお、図1(a)においては、 p^+ 型張り出し拡散領域118、 p^+ 型拡散領域132a, 132b, 162、 p 型不純物非拡散領域132c, 132d、ゲート発振抑制構造132及びソース電極層128の輪郭線（一点鎖線）のみを示す。また、図2(a)においては、ポリシリコン層136及びソース電極層128の輪郭線（一点鎖線）のみを示す。また、図1(a)においては p^+ 型張り出し拡散領域118、 p^+ 型拡散領域132a, 132b, 162をドット模様で示し、図1(b)においては p^+ 型張り出し拡散領域118、 p^+ 型拡散領域132a, 132bを白抜き模様で示す。図1(b)及び図2(b)中、符号130はドレイン電極層を示す。

[0051] 実施形態1に係る半導体装置100は、図1に示すように、 n^+ 型の低抵抗半導体層112と n^- 型のドリフト層114とが積層された半導体基板110に画定されたMOSFET部（本発明の能動素子部に相当）、ゲートパッド部及びゲートフィンガー部を備える半導体装置（パワーMOSFET）である。

[0052] MOSFET部は、図1(b)に示すように、低抵抗半導体層112と、低抵抗半導体層112上に形成されたドリフト層114と、ドリフト層114の表面に形成された p 型のベース領域116と、ベース領域116の表面に形成された n^+ 型のソース領域（高濃度拡散領域）120と、ソース領域120とドリフト層114とに挟まれたベース領域116上においてゲート絶縁層122を介して形成されたゲート電極層124と、ゲート電極層124とは層間絶縁層126を介して絶縁された状態でソース領域120及びベース領域116の表面に接して形成されたソース電極層128（本発明の第1

電極層に相当)とを備える。

[0053] ゲートパッド部は、図1(b)に示すように、低抵抗半導体層112と、低抵抗半導体層112上に形成されたドリフト層114と、ドリフト層114上に、フィールド絶縁層134を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層136と、ドリフト層114の表面に形成されたゲート発振抑制構造132とを備え、当該ゲート発振抑制構造132は、ゲートパッド部の外周部に沿って環状に設けられソース電極層128と電氣的に接続されているp⁺型拡散領域132a(本発明の第1の第2導電型不純物拡散領域に相当)と、当該p⁺型拡散領域132aに囲まれた領域において交互に形成された、フローティング状態のp⁺型拡散領域132b(本発明の第2の第2導電型不純物拡散領域に相当)及びn⁻型のp型不純物非拡散領域132c, 132d(本発明の第2導電型不純物非拡散領域に相当)とを含む。p⁺型拡散領域132aは、p⁺型張り出し拡散領域118を介してソース電極層128と電氣的に接続されている。

[0054] なお、実施形態1及び後述する実施形態2~17において、p⁺型拡散領域、p型拡散領域及びp⁻型拡散領域が第1又は第2の第2導電型不純物拡散領域に相当するものであり、p型不純物非拡散領域が第2導電型不純物非拡散領域に相当するものである。

[0055] ゲートフィンガー部は、図2(b)に示すように、低抵抗半導体層112と、低抵抗半導体層112上に形成されたドリフト層114と、ドリフト層114上に、フィールド絶縁層134を介してゲートフィンガー部の全面にわたって形成されたポリシリコン層136と、ドリフト層114の表面全域に形成されたp⁺型拡散領域162(本発明の第3の第2導電型不純物拡散領域に相当)とを備える。p⁺型拡散領域162は、p⁺型張り出し拡散領域118を介してソース電極層128と電氣的に接続されている。

[0056] 実施形態1に係る半導体装置100においては、図1(b)に示すように、ゲートパッド部において、ポリシリコン層136上に層間絶縁層126が形成されており、層間絶縁層126上にゲートパッド用電極層138が形成

されている。ポリシリコン層 136 とゲートパッド用電極層 138 とは、層間絶縁層 126 に設けられているスルーホール 140 を介して電氣的に接続されている。

[0057] 実施形態 1 に係る半導体装置 100 においては、図 2 (b) に示すように、ゲートフィンガー部において、ポリシリコン層 136 上に層間絶縁層 126 が形成されており、層間絶縁層 126 上にゲートフィンガー用配線層 142 が形成されている。ポリシリコン層 136 とゲートフィンガー用配線層 142 とは、層間絶縁層 126 に設けられているスルーホール 140 を介して電氣的に接続されている。

[0058] 実施形態 1 に係る半導体装置 100 においては、ポリシリコン層 136 は、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部を介してゲート電極層 124 と電氣的に接続されており、かつ、ゲートフィンガー部を介さずにゲート電極層 124 と直接接続されている箇所を有しない（図 2 (a) 中、符号 D で示す部分参照。）。

[0059] 実施形態 1 に係る半導体装置 100 において、 p^+ 型拡散領域 132 b は、 p^+ 型拡散領域 132 a に囲まれた領域において形成されており、 p 型不純物非拡散領域 132 d は、 p^+ 型拡散領域 132 b の内側においてストライプ状に形成されている。また、 p^+ 型拡散領域 132 b は p 型不純物非拡散領域 132 d を囲むように、両端が連結されたストライプ状に形成されてなる。

[0060] 実施形態 1 に係る半導体装置 100 において、ゲートパッド部に隣接するセルにおいては、ゲートパッド部側のソース領域 120（本発明の第 1 導電型の高濃度拡散領域に相当）が削除された構造を有する（後述する図 5 における符号 B で示す部分参照。）。

[0061] 実施形態 1 に係る半導体装置 100 においては、MOSFET 部は、ベース領域 116 から下方に（深い方向に）張り出すように形成された p^+ 型張り出し拡散領域 118 をさらに備える。ゲートパッド部の p^+ 型拡散領域 132 a、132 b は、MOSFET 部の p^+ 型張り出し拡散領域 118 及びゲートフィンガー部の p^+ 型拡散領域 162 と同一工程で形成されたものであり、ゲ

ートパッド部の p^+ 型拡散領域132aは、MOSFET部の p^+ 型張り出し拡散領域118及びゲートフィンガー部の p^+ 型拡散領域162と連続するように形成されたものである。

[0062] 実施形態1に係る半導体装置100においては、 p^+ 型拡散領域132a、132bは、内部に n 型の半導体領域を有しない。

[0063] また、実施形態1に係る半導体装置100においては、ゲートパッド部において導電体層としてのポリシリコン層136がフィールド絶縁層134を介してドリフト層114に対向する部分が占める面積のゲートパッド部全体の面積に対する割合が、MOSFET部においてゲート電極層124がゲート絶縁層122を介してドリフト層114に対向する部分が占める面積のMOSFET部全体の面積に対する割合よりも大きい。

[0064] 低抵抗半導体層112の厚さは $100\mu\text{m}\sim400\mu\text{m}$ であり、低抵抗半導体層112の不純物濃度は $1\times10^{19}\text{cm}^{-3}\sim1\times10^{20}\text{cm}^{-3}$ である。ドリフト層114の厚さは $5\mu\text{m}\sim50\mu\text{m}$ であり、ドリフト層114の不純物濃度は $1\times10^{14}\text{cm}^{-3}\sim1\times10^{16}\text{cm}^{-3}$ である。ベース領域116の深さは $2\mu\text{m}\sim2.5\mu\text{m}$ であり、ベース領域116の不純物濃度は $5\times10^{16}\text{cm}^{-3}\sim1\times10^{18}\text{cm}^{-3}$ である。ソース領域120の深さは $0.2\mu\text{m}\sim0.4\mu\text{m}$ であり、ソース領域120の不純物濃度は $5\times10^{19}\text{cm}^{-3}\sim2\times10^{20}\text{cm}^{-3}$ である。 p^+ 型張り出し拡散領域118の深さは $2.4\mu\text{m}\sim8.0\mu\text{m}$ であり、 p^+ 型張り出し拡散領域118の不純物濃度は $1\times10^{17}\text{cm}^{-3}\sim3\times10^{18}\text{cm}^{-3}$ である。 p^+ 型拡散領域132a、132bの深さは $2.4\mu\text{m}\sim8.0\mu\text{m}$ であり、 p^+ 型拡散領域132a、132bの不純物濃度は $1\times10^{17}\text{cm}^{-3}\sim3\times10^{18}\text{cm}^{-3}$ である。

[0065] ベース領域116、 p^+ 型張り出し拡散領域118、ゲート電極層124及び p^+ 型拡散領域132bは、ストライプ状に形成されている。そして、ベース領域116、 p^+ 型張り出し拡散領域118、ゲート電極層124の形成ピッチは例えば $15\mu\text{m}$ であり、 p^+ 型拡散領域132bの形成ピッチは例えば $15\mu\text{m}$ である。ベース領域116のストライプ幅は例えば $9\mu\text{m}$ であり、

p⁺型張り出し拡散領域 118 のストライプ幅は例えば 3.75 μm であり、ゲート電極層 124 のストライプ幅は例えば 6 μm である。p⁺型拡散領域 132b のストライプ幅は例えば 8 μm である。

[0066] ゲート絶縁層 122 は、熱酸化法により形成された厚さが例えば 100 nm の二酸化珪素膜からなる。フィールド絶縁層 134 は、熱酸化法により形成された厚さが例えば 450 nm の二酸化珪素膜からなる。層間絶縁層 126 は、CVD 法により形成された厚さが 1000 nm の PSG 膜からなる。ゲート電極層 124 は、CVD 法及びイオン注入法により形成された厚さが例えば 500 nm の低抵抗ポリシリコン膜からなる。ポリシリコン層 136 は、CVD 法及びイオン注入法により形成された厚さが例えば 500 nm の低抵抗ポリシリコン膜からなる。ゲート電極層 124 及びポリシリコン層 136 は同一工程により形成されている。

[0067] ソース電極層 128 は、スパッタ法により形成された厚さが例えば 4 μm のアルミニウム膜からなる。ゲートパッド用電極層 138 及びゲートフィンガー用配線層 142 は、スパッタ法により形成された厚さが例えば 4 μm のアルミニウム膜からなる。ソース電極層 128 並びにゲートパッド用電極層 138 及びゲートフィンガー用配線層 142 は同一工程により形成されている。ドレイン電極層 130 は、Ti-Ni-Au などの多層金属膜により形成され、厚さが例えば多層金属膜全体にて 0.5 μm で形成されている。

[0068] 2. 実施形態 1 に係る半導体装置 100 の効果

図 3～図 5 は、実施形態 1 に係る半導体装置 100 の効果を説明するために示す図である。図 3 (a) は実施形態 1 に係る半導体装置 100 の断面図に寄生容量及び寄生抵抗を追記した図であり、図 3 (b) は比較例 1 に係る半導体装置 100A の断面図に寄生容量及び寄生抵抗を追記した図である。なお、比較例 1 に係る半導体装置 100A は基本的には従来の半導体装置 800 に対応するものである。

[0069] 図 4 (a)～図 4 (e) は逆バイアス時に空乏層 d が伸長する様子を示す図であって、図 4 (a) は逆バイアス電圧が印加されていないときの空乏層

dが伸長する様子を示す図であり、図4（b）は低い逆バイアス電圧が印加されているときの空乏層dが伸長する様子を示す図であり、図4（c）は中くらいの逆バイアス電圧が印加されているときの空乏層dが伸長する様子を示す図であり、図4（d）は高い逆バイアス電圧が印加されているときの空乏層dが伸長する様子を示す図であり、図4（e）は図4（d）の場合よりもより一層高い逆バイアス電圧が印加されているときの空乏層dが伸長する様子を示す図である。なお、図4においては、低抵抗半導体層112、ドレイン電極層130、層間絶縁層126及びソース電極層128の図示を省略している。

[0070] 図5（a）は実施形態1に係る半導体装置100の断面図に寄生容量及び寄生抵抗を追記した図であり、図5（b）は比較例2に係る半導体装置100Bの断面図に寄生容量及び寄生抵抗を追記した図である。また、比較例2に係る半導体装置100Bは基本的には従来第3の半導体装置900に対応するものである。

[0071] ところで、従来の半導体装置800（又は比較例1に係る半導体装置100A）においては、ゲート・ドレイン間容量は、MOSFET部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_1 の容量が付加された値となる（図3（b）参照、）。このうち、ゲートパッド部に形成されるコンデンサ C_1 は、「『一方電極としてのポリシリコン層136』、『誘電体としてのフィールド絶縁層134及びp⁺型拡散領域158』並びに『他方電極としてのn⁻ドリフト層114』」が積層された構造（図3（b）参照、）を有する。

[0072] 一方、実施形態1に係る半導体装置100においては、図3（a）に示すように、ゲート・ドレイン間容量は、MOSFET部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_2 、 C_3 の容量が付加された値となる。このうち、コンデンサ C_2 は、ドリフト層114の表面においてp⁺型拡散領域132a及びp⁺型拡散領域132bが形成されている領域に形成されたコンデンサであって、「『一方電極としてのポリシリコン

層 1 3 6』、『誘電体としてのフィールド絶縁層 1 3 4 及び p⁺型拡散領域（p⁺型拡散領域 1 3 2 a 及び p⁺型拡散領域 1 3 2 b）』並びに『他方電極としてのドリフト層 1 1 4』」からなるコンデンサである。また、コンデンサ C₃は、ドリフト層の表面において p 型不純物非拡散領域 1 3 2 c、1 3 2 d に形成されたコンデンサであって、「『一方電極としてのポリシリコン層 1 3 6』、『誘電体としてのフィールド絶縁層 1 3 4』及び『他方電極としてのドリフト層 1 1 4）』」からなるコンデンサである。

[0073] そして、実施形態 1 に係る半導体装置 1 0 0 においては通常、フィールド絶縁層 1 3 4 が p⁺型拡散領域 1 3 2 a、1 3 2 b よりも極めて薄く形成されていることから（フィールド絶縁層 1 3 4 : 2 0 0 nm ~ 5 0 0 nm、p⁺型拡散領域 1 3 2 a、1 3 2 b : 2 . 4 μm ~ 8 . 0 μm）、コンデンサ C₁、C₂、C₃のうち、コンデンサ C₃の容量が極めて大きくなり、その結果、実施形態 1 に係る半導体装置 1 0 0 のゲート・ドレイン間容量 C_{r s s}は、従来の半導体装置 8 0 0（又は比較例 1 に係る半導体装置 1 0 0 A）のゲート・ドレイン間容量 C_{r s s}よりも大きくなる。

[0074] また、実施形態 1 に係る半導体装置 1 0 0 においては、ドリフト層 1 1 4 の表面において隣接する p⁺型拡散領域に挟まれた狭い領域（p⁺型拡散領域 1 3 2 a と p⁺型拡散領域 1 3 2 b との間に挟まれた p 型不純物非拡散領域 1 3 2 c、及び、隣接する p⁺型拡散領域 1 3 2 b の間に挟まれた p 型不純物非拡散領域 1 3 2 d）が電流経路となることから（図 3（a）参照。）、また、当該電流経路は、スイッチオフ時において、p⁺型拡散領域（p⁺型拡散領域 1 3 2 a 及び p⁺型拡散領域 1 3 2 b）からドリフト層側に空乏層が広がる結果（図 4 参照。）、上述した狭い領域の部分に比較的大きな抵抗値を有する抵抗（図 3（a）の抵抗 R 3 参照。）が形成されることとなる。

[0075] その結果、実施形態 1 に係る半導体装置 1 0 0 によれば、ゲート・ドレイン間に大きな容量と抵抗を作り込むことができることから、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能となる。

[0076] なお、 p^+ 型拡散領域 132b はフローティング状態となっているため、逆バイアス時において、当該 p^+ 型拡散領域 132b からドリフト層側に空乏層が拡がらないと通常は考えられる。しかしながら、実施形態 1 に係る半導体装置 100 においては、逆バイアス時においては、図 4 (a) ~ 図 4 (c) に示すように、ソース電極層 128 と電氣的に接続されている p^+ 型拡散領域 132a からドリフト層側に空乏層 d が拡がる過程で、 p^+ 型拡散領域 132a から伸びる空乏層 d が p^+ 型拡散領域 132b に接触することとなる。そうになると、 p^+ 型拡散領域 132b の電位が p^+ 型拡散領域 132a と同電位となり、その後は、図 4 (c) ~ 図 4 (e) に示すように、 p^+ 型拡散領域 132b からドリフト層側に空乏層が拡がることとなる。

[0077] また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部の外周部に沿って環状に設けられソース電極層 128 と電氣的に接続されている p^+ 型拡散領域 132a と、当該 p^+ 型拡散領域 132a に囲まれた領域において交互に形成された、フローティング状態の p^+ 型拡散領域 132b 及び p 型不純物非拡散領域 132c, 132d とを含むゲート発振抑制構造 132 を備えることから、図 4 に示すように、逆バイアス時には互いの空乏層が横方向に伸びて接触しながらゲートパッド部の全面において低抵抗半導体層 112 に向かって伸長することで、従来の半導体装置 800 の場合と同様に、高耐压の半導体装置を構成することが可能となる。

[0078] なお、従来の半導体装置 800 においては、ゲートパッド部の全面にわたって p 領域 71 が形成されていることから、 pn 接合面積が大きく、スイッチオフ時に注入されるキャリア量も多くなるため、逆回復期間 t_{rr} が長くなるとともに、逆回復ピーク電流 I_{RP} が大きくなるという問題点もある。これに対して、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部においては、ゲートパッド部の外周部に沿って設けられ第 1 電極層と電氣的に接続されている p^+ 型拡散領域 132a と、当該 p^+ 型拡散領域 132a に囲まれた領域において交互に形成された、フローティング状態の p^+ 型拡散領域 132b 及び p 型不純物非拡散領域 132c, 132d とを含むゲート

発振抑制構造 132 を備えることから、pn 接合面積が小さく、スイッチオフ時に注入されるキャリア量も小さくなるため、逆回復期間 t_{rr} が短くなるとともに、逆回復ピーク電流 I_{RP} が小さくなるという効果も得られる。また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部の p⁺ 型拡散領域 132b がフローティング状態となっていることから、ゲートパッド部の p⁺ 型拡散領域 132b がフローティング状態となっていない場合と比べて、ボディダイオードとして働く面積が小さくなり、スイッチオフ時に注入されるキャリア量も小さくなるため、結果として逆回復期間 t_{rr} がより一層短くなり、 d_i/d_t 耐量を高くすることが可能となる。

[0079] なお、上記したように、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）においては、ゲートパッド部の下部にリング状に p ウェル層 919（132c）が形成されている。

[0080] しかしながら、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）は、従来の半導体装置（従来の半導体装置 800、又は、特開平 5-167070 号公報の図 3 に記載の半導体装置）よりも、スイッチオフ時における破壊耐量を大きくするために、ゲートパッド部下の寄生ダイオードの容量を小さくしている。また、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）においては、ゲートパッド部の中央部分には p ウェル層 919（132c）が形成されていないことから、ゲートパッド部の中央部分に形成される抵抗 R_3 の値は小さくなる。このため、従来第 3 の半導体装置 900 においては、実施形態 1 に係る半導体装置 100 のように、スイッチオフ時におけるゲート発振現象を抑止することはできない。

[0081] また、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）においては、ゲートパッド部の下部にリング状に p ウェル層 919（132c）を形成したものである、すなわち、ゲートパッド部の中央部分には p ウェル層 919（132c）が形成されていないことから（図 33 及び図 5（b）参照。）、逆バイアス時にゲートパッド部下の空乏層の拡がりを

安定にすると言う効果が小さくなるという問題も生ずる。

[0082] これに対して、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部の外周部に沿って環状に設けられソース電極層 128 と電氣的に接続されている p⁺型拡散領域 132a と、当該 p⁺型拡散領域 132a に囲まれた領域において交互に形成された、フローティング状態の p⁺型拡散領域 132b 及び p 型不純物非拡散領域 132c, 132d とを含むゲート発振抑制構造 132 を備えることから、このような問題は発生しない。

[0083] また、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）においては、ゲートパッド部の下部に形成された p ウェル層 919（132c）は、ソース電極と接続されていないことから、p ウェル層 919（132c）が形成されていない領域においては逆バイアス時に空乏層が伸長しないために電界強度が小さくならず耐圧が低下する。

[0084] これに対して、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部の外周部に沿って環状に設けられソース電極層 128 と電氣的に接続されている p⁺型拡散領域 132a と、当該 p⁺型拡散領域 132a に囲まれた領域において交互に形成された、フローティング状態の p⁺型拡散領域 132b 及び p 型不純物非拡散領域 132c, 132d とを含むゲート発振抑制構造 132 を備えることから、このような問題は発生しない。

[0085] また、実施形態 1 に係る半導体装置 100 によれば、導電体層としてのポリシリコン層 136 上に層間絶縁層 126 が形成されており、層間絶縁層 126 上にゲートパッド用電極層 138 が形成されていることから、これらポリシリコン層 136、層間絶縁層 126 及びゲートパッド用電極層 138 からなる多層構造が、外部端子をゲートパッド用電極層 138 に接続する際に緩衝材として働くようになり、信頼性の高い半導体装置を構成することが可能となる。

[0086] また、実施形態 1 に係る半導体装置 100 によれば、図 2（a）に示すように、ポリシリコン層 136 が、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部を介してゲート電極層 124 と電

氣的に接続されており、かつ、ゲートフィンガー部を介さずにゲート電極層 124 と直接接続されている箇所を有しないことから（図 2（a）中、符号 D で示す部分参照。）、ゲートパッド用電極層 138 がゲート電極層 124 と直接接続されている比較例 2 に係る半導体装置 100B の場合（図 5（b）中、符号 C で示す部分参照。）よりもゲートパッド用電極層 138 とゲート電極層 124 との距離が長くなり、これによってもゲート発振現象を抑制することが可能となる。

[0087] また、実施形態 1 に係る半導体装置 100 は、ゲートパッド部に隣接するセルにおいては、ゲートパッド部側のソース領域 120 が削除された構造を有する（図 5（a）中、符号 B が示す部分参照。）。このように、実施形態 1 に係る半導体装置 100 によれば、最もゲートパッド部に近くて最もゲート発振現象の起こりやすいソース領域 120 が削除された構造を有することから、これによってもゲート発振現象を抑制することが可能となる。

[0088] また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部の p⁺型拡散領域 132a, 132b が MOSFET 部の p⁺型張り出し拡散領域 118 と同一工程で形成されたものであることから、ゲートパッド部に p⁺型拡散領域 132a, 132b を形成するために余分な工程を実施することもない。また、ゲートパッド部の p⁺型拡散領域 132a が MOSFET 部の p⁺型張り出し拡散領域 118 と連続するように形成されたものであることから、ゲートパッド部の p⁺型拡散領域 132a（及び p⁺型拡散領域 132b）が MOSFET 部の p⁺型張り出し拡散領域 118 の電位と同一の電位を与えられるようになり、その結果、逆バイアス時にはドリフト層 114 中の空乏層がドレイン層向かって伸長することで、高耐压の半導体装置を構成することが可能となる。

[0089] また、実施形態 1 に係る半導体装置 100 によれば、p 型不純物非拡散領域 132d は、p⁺型拡散領域 132b の内側においてストライプ状に形成されていることから、逆バイアス時には p 型不純物非拡散領域 132d が空乏化し易くなり、これによっても高耐压の半導体装置を構成することが可能と

なる。

[0090] また、実施形態 1 に係る半導体装置 100 によれば、 p^+ 型拡散領域 132 a, 132 b が内部に n 型の半導体領域を有しないことから、リーチスルー現象が起こらず、高耐圧を確保できるという効果も得られる。

[0091] また、実施形態 1 に係る半導体装置 100 によれば、面積が広いために高い絶縁性が求められているフィールド絶縁層 134 がゲート絶縁層 122 よりも厚いことから、絶縁性に優れた信頼性の高い半導体装置を構成できる。

[0092] また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部において導電体層としてのポリシリコン層 136 がフィールド絶縁層 134 を介してドリフト層 114 に対向する部分が占める面積のゲートパッド部全体の面積に対する割合が、MOSFET 部においてゲート電極層 124 がゲート絶縁層 122 を介してドリフト層 114 に対向する部分が占める面積の MOSFET 部全体の面積に対する割合よりも大きいことから、ゲート・ドレイン間容量 C_{rss} を効果的に大きくすることができる。

[0093] 3. 実施形態 1 に係る半導体装置の製造方法

実施形態 1 に係る半導体装置 100 は、以下に示す製造工程を有する製造方法（実施形態 1 に係る半導体装置の製造方法）により製造することができる。図 6～図 10 は、実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。図 6（a）～図 10（c）は各工程である。

[0094] （1）半導体基板の準備

低抵抗半導体層 112 を構成するシリコン基板上に、ドリフト層 114 を構成するシリコン層をエピタキシャル成長法により成膜させた半導体基板 110 を準備する。低抵抗半導体層 112 の厚さは例えば $100\mu\text{m} \sim 400\mu\text{m}$ とし、低抵抗半導体層 112 の不純物濃度は $1 \times 10^{19}\text{cm}^{-3} \sim 1 \times 10^{20}\text{cm}^{-3}$ とする。ドリフト層 114 の厚さは $5\mu\text{m} \sim 50\mu\text{m}$ とし、ドリフト層 114 の不純物濃度は $1 \times 10^{14}\text{cm}^{-3} \sim 1 \times 10^{16}\text{cm}^{-3}$ とする。

[0095] （2） p^+ 型張り出し拡散領域及び p^+ 型拡散領域並びにフィールド絶縁層の形成

その後、 p^+ 型張り出し拡散領域 118 に対応する領域及び p^+ 型拡散領域 132a, 132b に対応する領域に開口を有する二酸化珪素薄膜 M1 を形成し、当該二酸化珪素薄膜 M1 を介してイオン打ち込み法によりドリフト層 114 の表面に p 型不純物（例えばボロンイオン）を注入することにより、ドリフト層 114 の表面における p^+ 型張り出し拡散領域 118 に対応する領域及び p^+ 型拡散領域 132a, 132b に対応する領域に p 型不純物を導入する（図 6（a）参照。）。

[0096] その後、酸素ガス含有雰囲気下において、半導体基板 110 の熱処理を行うことにより p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132a, 132b を形成する（図 6（b）参照。）。 p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132a, 132b の形成深さは $2.4\ \mu\text{m} \sim 8.0\ \mu\text{m}$ とし、 p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132a, 132b の不純物濃度は $1 \times 10^{17}\ \text{cm}^{-3} \sim 3 \times 10^{18}\ \text{cm}^{-3}$ とする。なお、このとき、ゲートパッド部においては、ドリフト層 114 の表面に p 型不純物が拡散されていない部分に p 型不純物非拡散領域 132c, 132d が形成される。また、ドリフト層 114 の表面が熱酸化されて、フィールド絶縁層 134 が形成される。フィールド絶縁層 134 の厚さは例えば $450\ \text{nm}$ とする。

[0097] （3）ゲート絶縁層及びゲート電極層の形成

その後、MOSFET 部に開口を有するマスク（図示せず。）を形成した後、フィールド絶縁層 134 のエッチングを行い、MOSFET 部においてドリフト層 114 を露出させる（図 6（c）参照。）。その後、酸素ガス含有雰囲気下において、半導体基板 110 の熱処理を行うことによりドリフト層 114 の表面を熱酸化して、MOSFET 部においてゲート絶縁層 122 を形成する（図 7（a）参照。）。ゲート絶縁層 122 の厚さは例えば $100\ \text{nm}$ とする。

[0098] その後、CVD 法により、フィールド絶縁層 134 及びゲート絶縁層 122 の表面上に低抵抗のポリシリコン層 123 を形成する（図 7（b）参照。）。ポリシリコン層 123 の厚さは例えば $500\ \text{nm}$ とする。その後、ポリ

シリコン層 136 に対応する領域及びゲート電極層 124 に対応する領域にマスク（図示せず。）を形成した後、ポリシリコン層 123 のエッチングを行い、MOSFET 部においてゲート電極層 124 を形成するとともに、ゲートパッド部においてポリシリコン層 136 を形成する（図 7（c）参照。）。

[0099] （４）ベース領域の形成

その後、フィールド絶縁層 134 及びゲート電極層 124 をマスクとして、ゲート絶縁層 122 を介してイオン打ち込み法によりドリフト層 114 の表面に p 型不純物（例えばボロンイオン）を注入することにより、ドリフト層 114 の表面におけるベース領域 116 に対応する領域に p 型不純物を導入する（図 8（a）参照。）。

その後、半導体基板 110 の熱処理を行うことにより p 型不純物の活性化アニール処理を行ってベース領域 116 を形成する（図 8（b）参照。）。

ベース領域 116 の深さは $2\mu\text{m} \sim 2.5\mu\text{m}$ とし、ベース領域 116 の不純物濃度は $5 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ とする。

[0100] （５）ソース領域の形成

その後、ゲート絶縁層 122 上におけるソース領域 120 を形成する領域を除く領域にマスク M2 を形成し、当該マスク M2 並びにゲート電極層 124 及びフィールド絶縁層 134 をマスクとして、ゲート絶縁層 122 を介してイオン打ち込み法によりドリフト層 114 の表面に n 型不純物（例えばリンイオン）を注入することにより、ドリフト層 114 の表面におけるソース領域 120 に対応する領域に n 型不純物を導入する（図 8（c）参照。）。

[0101] その後、マスク M2 を除去した後、半導体基板 110 の第 1 主面側の全面に CVD 法により例えば 1000nm の厚さの PSG からなる層間絶縁層 126 を形成し（図 9（a）参照。）、その後、半導体基板 110 の熱処理を行うことにより n 型不純物の活性化アニール処理を行ってソース領域 120 を形成する（図 9（b）参照。）。ソース領域 120 の深さは $0.2\mu\text{m} \sim 0.4\mu\text{m}$ とし、ソース領域 120 の不純物濃度は $5 \times 10^{19} \text{cm}^{-3} \sim 2 \times$

$1.0 \times 10^{20} \text{ cm}^{-3}$ とする。

[0102] (6) ソース電極層及びゲートパッド用電極層並びにドレイン電極層の形成
その後、ゲートパッド用電極層138がポリシリコン層136とコンタクトする部分（スルーホール140）及びソース電極層128がソース領域120及びベース領域116とコンタクトする部分（コンタクトホール141）にある層間絶縁層126を選択的に除去した後（図9（c）参照。）、層間絶縁層126の上方からスパッタ法によりアルミニウムからなる金属層127を形成する（図10（a）参照。）。その後、金属層127の所定領域をエッチングにより除去して、金属層127をソース電極層128とゲートパッド用電極層138に分離することにより、ソース電極層128とゲートパッド用電極層138を形成する（図10（b）参照。）。ソース電極層128及びゲートパッド用電極層138の厚さは例えば $4 \mu\text{m}$ とする。

[0103] その後、半導体基板110の第2主面側の表面（低抵抗半導体層112の表面）に、Ti-Ni-Auなどの多層金属膜からなる金属膜を成膜しドレイン電極層130とする（図10（c）参照。）。ドレイン電極層130の厚さは例えば多層金属膜全体で $0.5 \mu\text{m}$ とする。

[0104] 以上の工程を実施することにより、実施形態1に係る半導体装置100を製造することができる。

[0105] [実施形態2～5]

図11は、実施形態2に係る半導体装置100aの平面図である。図12は、実施形態3に係る半導体装置100bの平面図である。図13は、実施形態4に係る半導体装置100cの平面図である。図14は、実施形態5に係る半導体装置100dの平面図である。なお、図11、図12、図13及び図14においては、 p^+ 型張り出し拡散領域118、 p^+ 型拡散領域132a、132b、162、 p 型不純物非拡散領域132c、132d、ゲート発振抑制構造132及びソース電極層128の輪郭線（一点鎖線）のみを示す。

[0106] 実施形態2～5に係る半導体装置100a～100dは、基本的には実施

形態１に係る半導体装置１００と同様の構成を有するが、ゲート発振抑制構造１３２の平面構造が実施形態１に係る半導体装置１００の場合と異なる。すなわち、実施形態２に係る半導体装置１００aにおいては、図１１に示すように、 p^+ 型拡散領域１３２a及び p 型不純物拡散領域１３２dのストライプの向きが実施形態１に係る半導体装置１００の場合と異なり、 p^+ 型張り出し拡散領域１１８のストライプの向きと直交している。また、実施形態３に係る半導体装置１００bにおいては、図１２に示すように、 p 型不純物非拡散領域１３２dが p^+ 型拡散領域１３２bの内側においてアイランド状に形成されている。また、実施形態４に係る半導体装置１００cにおいては、図１３に示すように、 p 型不純物非拡散領域１３２cが p^+ 型拡散領域１３２aに囲まれた領域に形成されており、 p^+ 型拡散領域１３２b及び p 型不純物非拡散領域１３２dが p 型不純物非拡散領域１３２cの内側においてストライプ状に形成されている。また、実施形態５に係る半導体装置１００dにおいては、図１４に示すように、 p 型不純物非拡散領域１３２cが p^+ 型拡散領域１３２aに囲まれた領域に形成されており、 p^+ 型拡散領域１３２bが p 型不純物非拡散領域１３２cの内側においてアイランド状に形成され、 p 型不純物非拡散領域１３２dが p 型不純物非拡散領域１３２cの内側において格子状に形成されている。

[0107] [実施形態６及び７]

図１５は、実施形態６に係る半導体装置１００eの断面図である。図１６は、実施形態７に係る半導体装置１００fの断面図である。

[0108] 実施形態６及び７に係る半導体装置１００e、１００fは、基本的には実施形態１に係る半導体装置１００と同様の構成を有するが、ゲートパッド部における電極積層構造が実施形態１に係る半導体装置１００の場合と異なる。すなわち、実施形態６に係る半導体装置１００eにおいては、図１５に示すように、導電体層としてのポリシリコン層１３６上のほぼ全面にゲートパッド用電極層１３８が層間絶縁層１２６を介することなく直接形成されている。また、実施形態７に係る半導体装置１００fにおいては、図１６に示す

ように、フィールド絶縁層 134 上のほぼ全面に導電体層としてのゲートパッド用電極層 138 がポリシリコン層を介することなく直接形成されている。

[0109] [実施形態 8]

図 17 は、実施形態 8 に係る半導体装置 100g を説明するために示す図である。図 17 (a) は半導体装置 100g の平面図であり、図 17 (b) は図 17 (a) の A1-A1 断面図である。図 17 (b) 中、符号 130 はドレイン電極層を示す。なお、図 17 (a) においては、ベース領域 116、p 型拡散領域（本発明の第 2 導電型不純物拡散領域に相当）133a、163、p 型不純物非拡散領域（本発明の第 2 導電型不純物非拡散領域に相当）133b、ゲート発振抑制構造 133 及びソース電極層 128 の輪郭線（一点鎖線）のみを示す。

[0110] 実施形態 8 に係る半導体装置 100g は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、第 2 導電型不純物拡散領域の形成工程が実施形態 1 に係る半導体装置 100 の場合と異なる。すなわち、実施形態 8 に係る半導体装置 100g においては、図 17 に示すように、MOSFET 部において p⁺型張り出し拡散領域の代わりに p⁺型コンタクト領域 144 が形成されており、第 2 導電型不純物拡散領域としての p 型拡散領域 133a は、p⁺型張り出し拡散領域ではなくベース領域 116 と同一工程で形成されたものである。

[0111] [実施形態 9～11]

図 18 は、実施形態 9 に係る半導体装置 100h の断面図である。図 19 は、実施形態 10 に係る半導体装置 100i の断面図である。図 20 は、実施形態 11 に係る半導体装置 100j を説明するために示す図である。図 20 (a) は半導体装置 100j におけるゲートパッド部及び MOSFET 部の断面図であり、図 20 (b) は半導体装置 100j における MOSFET 部、ゲートフィンガー部及びガードリング部の断面図である。なお、図 18～図 20 において、符号 150c、150d は p 型不純物非拡散領域（本発

明の第2導電型不純物非拡散領域に相当)を示し、符号150はゲート発振抑制構造を示す。

[0112] 実施形態9～11に係る半導体装置100h～100jは、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、ベース領域116よりも高濃度のp型不純物を含有するp⁺型拡散領域132aに代えてベース領域116よりも低濃度のp型不純物を含有するp⁻型拡散領域150aを備える点が実施形態1に係る半導体装置100の場合と異なる。すなわち、実施形態9～11に係る半導体装置100h～100jにおいては、図18～図20に示すように、隣接するベース領域116の間にベース領域116よりも浅く形成され、かつ、ドリフト層114よりも高濃度、かつソース領域120よりも低濃度のn型不純物を含有するn型基準濃度半導体層146をMOSFET部に備える。また、ベース領域116よりも高濃度のp型不純物を含有するp⁺型張り出し拡散領域118に代えてベース領域116よりも低濃度のp型不純物を含有するp⁻型張り出し拡散領域148をMOSFET部に備え、さらには、ベース領域116よりも高濃度のp型不純物を含有するp⁺型拡散領域132a、132bに代えてベース領域116よりも低濃度のp型不純物を含有するp⁻型拡散領域150a、150bをゲートパッド部に備える。なお、MOSFET部にn型基準濃度半導体層146及びp⁻型張り出し拡散領域148を形成する技術は、本出願人が開発した技術であり、特開2011-228643号公報に詳細に記載されている。

[0113] このうち、実施形態9に係る半導体装置100hにおいては、n型基準濃度半導体層146がゲートパッド部にまで延在している(図18参照。)。また、実施形態10に係る半導体装置100iにおいては、n型基準濃度半導体層146がMOSFET部にのみ形成されている(図19参照。)。また、実施形態11に係る半導体装置100jにおいては、n型基準濃度半導体層146の表面にn型基準濃度半導体層146よりも浅く形成され、かつ、n型基準濃度半導体層146よりも高濃度、かつ、ソース領域120よりも低濃度のn型不純物を含有するn⁺型半導体層152をMOSFET部に備

える（図20参照。）。

[0114] そして、実施形態9～11に係る半導体装置100h～100jにおいては、ゲートパッド部のp-型拡散領域150a, 150bが、MOSFET部のp-型張り出し拡散領域148と同一工程で形成されている。また、ゲートパッド部のp-型拡散領域150aがMOSFET部のp-型張り出し拡散領域148と連続するように形成されている（図18～図20参照。）。実施形態11に係る半導体装置100jにおいては、ゲートパッド部のp-型拡散領域150a, 150b及びゲートフィンガー部のp-型拡散領域164が、MOSFET部を囲んで形成されるガードリング部のガードリング154とも同一工程で形成されている（図20参照。）。

[0115] 実施形態10に係る半導体装置100iは、以下に示す半導体装置の製造方法によって製造することができる。図21は、実施形態10に係る半導体装置の製造方法を説明するために示す図である。図21(a)～図21(c)は、各工程図である。

[0116] 実施形態10に係る半導体装置の製造方法は、基本的には実施形態1に係る半導体装置の製造方法と同様の工程を含むが、n型基準濃度半導体層146、p-型張り出し拡散領域148及びp型不純物拡散領域150a, 150bを形成する工程の内容が実施形態1に係る半導体装置の製造方法の場合とは異なる。そこで、n型基準濃度半導体層146、p-型張り出し拡散領域148及びp型不純物拡散領域150a, 150bを形成する工程を中心として実施形態10に係る半導体装置の製造方法を説明する。

[0117] (1) n型基準濃度半導体層の形成

実施形態1に係る半導体装置の製造方法の場合と同様にして「半導体基板の準備（工程）」を行った後、n型基準濃度半導体層146に対応する領域に開口を有する二酸化珪素薄膜M3を形成し、当該二酸化珪素薄膜M3を介してイオン打ち込み法によりドリフト層114の表面にn型不純物（例えばリンイオン）を注入することにより、ドリフト層114の表面におけるn型基準濃度半導体層146に対応する領域にn型不純物を導入する（図21（

a) 参照。) 。

[0118] (2) p-型張り出し拡散領域及びp-型拡散領域並びにフィールド絶縁層の形成

その後、二酸化珪素薄膜M3を除去した後、p-型張り出し拡散領域148に対応する領域及びp-型拡散領域150a, 150bに対応する領域に開口を有する二酸化珪素薄膜M4を形成し、当該二酸化珪素薄膜M4を介してイオン打ち込み法によりドリフト層114の表面にp型不純物（例えばボロンイオン）を注入することにより、ドリフト層114の表面におけるp-型張り出し拡散領域148に対応する領域及びp-型拡散領域150a, 150bに対応する領域にp型不純物を導入する（図21(b)参照。) 。

[0119] その後、酸素ガス含有雰囲気下において、半導体基板110の熱処理を行うことにより、n型基準濃度半導体層146、p-型張り出し拡散領域148及びp-型拡散領域150a, 150bを形成する（図21(c)参照。) 。

p-型張り出し拡散領域148及びp-型拡散領域150a, 150bの形成深さは $6.0\mu\text{m}\sim 8.0\mu\text{m}$ とし、p-型張り出し拡散領域148及びp-型拡散領域150a, 150bの不純物濃度は $1\times 10^{17}\text{cm}^{-3}\sim 3\times 10^{18}\text{cm}^{-3}$ とする。なお、このとき、ドリフト層114の表面が熱酸化されて、フィールド絶縁層134が形成される。フィールド絶縁層134の厚さは例えば 450nm とする。

[0120] その後、実施形態1に係る半導体装置の製造方法の場合と同様にして、「ゲート絶縁層及びゲート電極層の形成」、「ベース領域の形成」、「ソース領域の形成」及び「ソース電極層及びゲートパッド用電極層並びにドレイン電極層の形成」の各工程を実施する。これにより、実施形態11に係る半導体装置100iを製造することができる。

[0121] なお、実施形態9に係る半導体装置100hを製造する際には、「n型基準濃度半導体層の形成」の工程を実施する際に、ゲートパッド部においても、イオン打ち込み法によりドリフト層114の表面にn型不純物（例えばリンイオン）を注入する。

[0122] また、実施形態 1 1 に係る半導体装置 1 0 0 j を製造する際には、上記した「 p^- 型張り出し拡散領域及び p^- 型拡散領域並びにフィールド絶縁層の形成」の工程を実施した後、 n^+ 型半導体層 1 5 2 を形成する領域にのみ、イオン打ち込み法によりドリフト層 1 1 4 の表面に n 型不純物（例えばリンイオン）を注入することにより、ドリフト層 1 1 4 の表面における n^+ 型半導体層 1 5 2 を形成する領域に n 型不純物を導入する。そして、その後、半導体基板 1 1 0 の熱処理を行うことにより n 型不純物の活性化アニール処理を行って、 n^+ 型半導体層 1 5 2 を形成する。

[0123] [実施形態 1 2]

図 2 2 は、実施形態 1 2 に係る半導体装置 1 0 0 k を説明するために示す図である。図 2 2 (a) は半導体装置 1 0 0 k におけるゲートパッド部及び MOSFET 部の断面図であり、図 2 2 (b) は半導体装置 1 0 0 k における MOSFET 部、ゲートフィンガー部及びガードリング部の断面図である。

[0124] 実施形態 1 2 に係る半導体装置 1 0 0 k は、基本的には実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するが、 p^+ 型拡散領域の形成工程が実施形態 1 に係る半導体装置 1 0 0 の場合と異なる。すなわち、実施形態 1 2 に係る半導体装置 1 0 0 k においては、MOSFET 部において p^+ 型張り出し拡散領域 1 1 8 の代わりに p^+ 型コンタクト領域 1 4 4 が形成され、 p^+ 型拡散領域 1 3 2 a, 1 3 2 b が MOSFET 部を囲んで形成される p^+ 型拡散領域 1 6 2 及びガードリング 1 5 4 と同一工程で形成されている（図 2 2 参照。）。

[0125] [実施形態 1 3 ~ 1 5]

図 2 3 は、実施形態 1 3 に係る半導体装置 2 0 0 の断面図である。図 2 4 は、実施形態 1 4 に係る半導体装置 2 0 0 a の断面図である。図 2 5 は、実施形態 1 5 に係る半導体装置 2 0 0 b の断面図である。

[0126] 実施形態 1 3 ~ 1 5 に係る半導体装置 2 0 0 ~ 2 0 0 b は、基本的には実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するが、MOSFET 部

がプレーナ構造ではなくトレンチ構造を有する点で実施形態 1 に係る半導体装置 100 の場合と異なる。

[0127] すなわち、実施形態 13～15 に係る半導体装置 200～200b は、図 23～図 25 に示すように、 n^+ 型の低抵抗半導体層 212 と n^- 型のドリフト層 214 とが積層された半導体基板 210 に画定された MOSFET 部及びゲートパッド部を備える半導体装置 200 である。そして、MOSFET 部は、低抵抗半導体層 212 と、低抵抗半導体層 212 上に形成されたドリフト層 214 と、ドリフト層 214 の表面に形成された p 型のベース領域 216 と、ベース領域 216 を開口しドリフト層 214 に達して形成してなる複数のトレンチ 217 と、ベース領域 216 内に配置されるとともに少なくとも一部をトレンチ 217 の内周面に露出させて形成してなる n^+ 型のソース領域 220 と、トレンチ 217 の内周面に形成してなるゲート絶縁層 222 と、ゲート絶縁層 222 を介してトレンチ 217 の内部に埋め込まれてなるゲート電極層 224 と、ゲート電極層 224 とは層間絶縁膜 226 を介して絶縁された状態でソース領域 220 及びベース領域 216 の表面に接して形成されたソース電極層 228 とを備える。また、ゲートパッド部は、低抵抗半導体層 212 と、低抵抗半導体層 212 上に形成されたドリフト層 214 と、ドリフト層 214 上に、フィールド絶縁層 234 を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層 236 と、ドリフト層 214 の表面に形成されたゲート発振抑制構造（実施形態 13 においてはゲート発振抑制構造 233、実施形態 14 及び 15 においてはゲート発振抑制構造 232）とを備える。

[0128] ゲート発振抑制構造 233、232 は、ゲートパッド部の外周部に沿って環状に設けられソース電極層 228 と電氣的に接続されている第 1 の第 2 導電型拡散領域（実施形態 13 においては p 型拡散領域 233a、実施形態 14 及び 15 においては p^+ 型拡散領域 232a）と、当該第 1 の第 2 導電型拡散領域に囲まれた領域において交互に形成された、フローティング状態の第 2 の第 2 導電型拡散領域（実施形態 13 においては p 型拡散領域 233b、

実施形態 1 4 及び 1 5 においては p^+ 型拡散領域 2 3 2 b) 及び第 2 導電型非拡散領域 (実施形態 1 3 においては p 型不純物非拡散領域 2 3 3 c, 2 3 3 d、実施形態 1 4 及び 1 5 においては p 型不純物非拡散領域 2 3 2 c, 2 3 2 d) とを含む。ゲート電極層 2 2 4 とソース領域 2 2 0 とはゲート絶縁層 2 2 2 により絶縁されている。

[0129] そして、実施形態 1 3 に係る半導体装置 2 0 0 においては、 p 型拡散領域 2 3 3 a, 2 3 3 b は、ベース領域 2 1 6 と同一工程で形成されている。そして、 p 型拡散領域 2 3 3 a は、ベース領域 2 1 6 と連続するように形成されている (図 2 3 参照。)。また、実施形態 1 4 に係る半導体装置 2 0 0 a においては、 p^+ 型拡散領域 2 3 2 a, 2 3 2 b は、 p^+ 型張り出し拡散領域 2 1 8 と同一工程で形成されている。そして、 p^+ 型拡散領域 2 3 2 a は、 p^+ 型張り出し拡散領域 2 1 8 と連続するように形成されている (図 2 4 参照。)。また、実施形態 1 5 に係る半導体装置 2 0 0 b においては、 p^+ 型拡散領域 2 3 2 a, 2 3 2 b は、MOSFET 部を取り囲む位置に配設された、図示しないガードリングと同一工程で形成されている (図 2 5 参照。))。

[0130] [実施形態 1 6]

図 2 6 は、実施形態 1 6 に係る半導体装置 3 0 0 の断面図である。

実施形態 1 6 に係る半導体装置 3 0 0 は、基本的には実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するが、半導体装置がパワー MOSFET ではなく IGBT である点で実施形態 1 に係る半導体装置 1 0 0 の場合とは異なる。すなわち、実施形態 1 6 に係る半導体装置 3 0 0 は、図 2 6 に示すように、IGBT であり、低抵抗半導体層として、 n^+ 型の低抵抗半導体層の代わりに p^+ 型の低抵抗半導体層を備える。

[0131] [実施形態 1 7]

図 2 7 は、実施形態 1 7 に係る半導体装置 1 0 0 I を説明するために示す図である。図 2 7 (a) は半導体装置 1 0 0 I の平面図であり、図 2 7 (b) は図 2 7 (a) の A1 - A1 断面図である。図 2 7 (b) 中、符号 1 3 0 はドレイン電極層を示す。なお、図 2 7 (a) においては、 p^+ 型張り出し拡

散領域 118、 p^+ 型拡散領域 132a, 132b、 p 型不純物非拡散領域 132c, 132d、ゲート発振抑制構造 132、及びソース電極層 128の輪郭線（一点鎖線）のみを示す。また、図 27（a）においては p^+ 型張り出し拡散領域 118及び p^+ 型拡散領域 132a, 132bをドット模様で示し、図 27（b）においては p^+ 型張り出し拡散領域 118及び p^+ 型拡散領域 132a, 132bを白抜き模様で示す。

[0132] 実施形態 17に係る半導体装置 100Iは、基本的には実施形態 1に係る半導体装置 100と同様の構成を有するが、ゲートパッド用電極層 138とゲート電極層 124とを連結するゲートフィンガー部においても複数の p^+ 型拡散領域（本発明の第 3 の第 2 導電型不純物拡散領域に相当）が互いに離隔して形成されている点で実施形態 1に係る半導体装置 100の場合とは異なる。すなわち、実施形態 17に係る半導体装置 100Iは、図 27に示すように、ゲートパッド用電極層 138とゲート電極層 124とを連結するゲートフィンガー部においてもドリフト層 114の表面において互いに離隔して複数の p^+ 型拡散領域 132eが形成されている。そして、ゲートフィンガー部におけるドリフト層 114の表面にはフィールド絶縁層 134が形成され、当該フィールド絶縁層 134上には、ゲートパッド用電極層 138直下のポリシリコン層 136から延在するようにポリシリコン層 136が形成されている。複数の p^+ 型拡散領域 132eは、図 27（a）に示すように、ゲートフィンガー部の長辺に沿ってストライプ状に形成されていてもよいし、ゲートフィンガー部の短辺に沿ってストライプ状に形成されていてもよいし、ゲートフィンガー部の領域においてアイランド状に形成されていてもよい。

[0133] [実施形態 2～17の効果]

以上のように、実施形態 2～17に係る半導体装置 100a～300は、一部の構成（実施形態 2～5：ゲート発振抑制構造 132の平面構造、実施形態 6～7：ゲートパッド部における電極積層構造、実施形態 8：第 2 導電型不純物拡散領域の形成工程、実施形態 9～11： p^+ 型拡散領域の代えて p^- 型拡散領域を備える点、実施形態 12： p^+ 型拡散領域の形成工程、実施形

態 13～15：MOSFET部がトレンチ構造を有する点、実施形態 16：半導体装置が IGBT である点、実施形態 17：ゲートフィンガー部においても複数の p^+ 型拡散領域が互いに離隔して形成されている点）が実施形態 1 に係る半導体装置 100 の場合と異なるが、ゲートパッド部が、ドリフト層 114 上にフィールド絶縁層 134 を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層 136、及び、ゲートパッド部の外周部に沿って環状に設けられ第 1 電極層（ソース電極層又はエミッタ電極層）と電氣的に接続されている第 1 の第 2 導電型不純物拡散領域と、当該第 1 の第 2 導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第 2 の第 2 導電型不純物拡散領域及び第 2 導電型不純物非拡散領域とを含むゲート発振抑制構造を備えることから、ゲート・ドレイン間容量 C_{rss} が、従来の半導体装置のゲート・ドレイン間容量 C_{rss} よりも大きくなる。

[0134] また、ドリフト層 114 の表面において隣接する第 2 導電型不純物拡散領域（第 1 の第 2 導電型不純物拡散領域及び第 2 の第 2 導電型不純物拡散領域）に挟まれた狭い領域（第 2 導電型不純物非拡散領域）が電流経路となることから、また、当該電流経路は、スイッチオフ時において、第 2 導電型不純物拡散領域（第 1 の第 2 導電型不純物拡散領域及び第 2 の第 2 導電型不純物拡散領域）からドリフト層側に空乏層が拡がることから、上述した狭い領域の部分に比較的大きな抵抗値を有する抵抗が形成されることとなる。その結果、実施形態 1 に係る半導体装置 100 の場合と同様に、ゲート・ドレイン間に大きな容量と抵抗を作り込むことができることから、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能となる。

[0135] また、実施形態 2～17 に係る半導体装置 100a～300 によれば、ゲートパッド部においては、ゲートパッド部の外周部に沿って設けられ第 1 電極層と電氣的に接続されている第 1 の第 2 導電型不純物拡散領域と、当該第 1 の第 2 導電型不純物拡散領域に囲まれた領域において交互に形成された、

フローティング状態の第2の第2導電型不純物拡散領域及び第2導電型不純物非拡散領域とを含むゲート発振抑制構造を備えることから、pn接合面積が小さく、スイッチオフ時に注入されるキャリア量も小さくなるため、逆回復期間 t_{rr} が短くなるとともに、逆回復ピーク電流 I_{RP} が小さくなるという効果も得られる。また、実施形態2～17に係る半導体装置100a～300によれば、ゲートパッド部の第2の第2導電型不純物拡散領域がフローティング状態となっていることから、ゲートパッド部の第2の第2導電型不純物拡散領域がフローティング状態となっていない場合と比べて、ボディダイオードとして働く面積が小さくなり、スイッチオフ時に注入されるキャリア量も小さくなるため、結果として逆回復期間 t_{rr} がより一層短くなり、 d_i/d_t 耐量を高くすることが可能となる。

[0136] なお、上記した他、実施形態9～11に係る半導体装置100h～100j及び実施形態17に係る半導体装置100lは、以下の効果を有する。

[0137] すなわち、実施形態9～11に係る半導体装置100h～100jによれば、隣接するベース領域116の間にベース領域116よりも浅く形成され、かつ、ドリフト層114よりも高濃度、かつ、ソース領域120よりも低濃度のn型不純物を含有するn型基準濃度半導体層146をMOSFET部に備えることから、従来よりもベース領域の間隔を狭くして半導体装置を微細化することが可能となる。また、ベース領域の間隔を従来よりも狭くしたとしても半導体装置のオン抵抗を増加させることもない。このため、実施形態9～11に係る半導体装置100h～100jは、半導体装置のオン抵抗を増加させることなく半導体装置を微細化することが可能で、かつ、良好な耐圧特性を有する半導体装置となる。

[0138] また、実施形態11に係る半導体装置100jによれば、n型基準濃度半導体層146の表面にn型基準濃度半導体層146よりも浅く形成され、かつ、n型基準濃度半導体層146よりも高濃度、かつソース領域120よりも低濃度のn型不純物を含有するn⁺型半導体層152をMOSFET部に備えることから、半導体装置のオン抵抗を低減することが可能で、かつ、スイ

タッチオフ時におけるゲート発振現象をより一層効果的に抑止することが可能となる。

[0139] また、実施形態 10 に係る半導体装置 100 i によれば、ゲートパッド部には n 型基準濃度半導体層 146 が形成されていないことから、p-型非拡散領域 150 c, 150 d の抵抗の抵抗値を低くしすぎることもない。

[0140] また、実施形態 17 に係る半導体装置 100 l によれば、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部においても、ドリフト層 114 上にフィールド絶縁層 134 を介して導電体層としてのポリシリコン層 136、及び、ドリフト層 114 の表面において互いに離隔して形成された複数の p⁺型拡散領域 132 e を備えることから、ゲート・ドレイン間容量 C_{rss} が、実施形態 1 に係る半導体装置 100 のゲート・ドレイン間容量 C_{rss} よりもより一層大きくなるという効果が得られる。

[0141] [試験例]

なお、実施形態 1 ~ 17 に係る半導体装置 100 ~ 300 を構成するにあたっては、以下の試験例 1 及び 2 の結果を参考にした。

[0142] [試験例 1]

試験例 1 は、本発明の半導体装置が、ゲート・ドレイン間に大きな容量を有することを明らかにするための試験例である。

図 28 は、試験例 1 及び 2 に用いる半導体装置 100 i, 100 C の断面図である。図 29 は、試験例 1 の評価結果を説明するために示す図である。図 29 (a) は半導体装置 100 i の等価回路を示す図であり、図 29 (b) は半導体装置 100 C の等価回路を示す図であり、図 29 (c) は半導体装置 100 i 及び半導体装置 100 C の測定結果を示す図である。なお、図 28 に示す半導体装置 100 i, 100 C は、図 2 に示す半導体装置 100 又は図 3 に示す半導体装置 100 A とは若干構造が異なるが、理解を容易にするために、対応する抵抗及び容量を同じ符号 (C_0 , C_1 , C_2 , C_3 , R_0 , R_1 , R_2 , R_3) で表すものとする。

[0143] 1. 半導体装置の構成条件

(1) 実施例に係る半導体装置

実施形態10に係る半導体装置100iと同様の構成の半導体装置をそのまま実施例に係る半導体装置100iとした(図28(a)参照。)

[0144] (2) 比較例に係る半導体装置

実施形態10に係る半導体装置100iとほぼ同様の構成を有するが、ゲートパッド部においては、上記したゲート発振抑制構造150に代えて、ドリフト層114の表面においてゲートパッド部の全面にわたって形成されたウェル状のp-型拡散領域160を備える半導体装置を比較例3に係る半導体装置100Cとした(図28(b)参照。)

[0145] 2. 試験の方法

試験は、上記した実施例に係る半導体装置100i及び比較例3に係る半導体装置100Cについて、容量測定装置を用いて、ドレイン・ソース間電圧 V_{DS} を変化させながらゲート・ドレイン間容量 C_{rss} を測定することにより行った。

[0146] 3. 試験の結果

測定結果を図29(c)に示す。その結果、図29(c)からも分かるように、本発明の半導体装置(実施例に係る半導体装置100i)が従来の半導体装置(比較例3に係る半導体装置100C)よりも大きなゲート・ドレイン間容量 C_{rss} を有することが明らかとなった。

[0147] [試験例2]

試験例2は、本発明の半導体装置が、従来の半導体装置よりもスイッチオフ時におけるゲート発振現象が抑制されていることを明らかにするための試験例である。

[0148] 1. 半導体装置の構成条件

(1) 実施例に係る半導体装置

試験例1で用いた「実施例に係る半導体装置100i」を試験例2においてもそのまま実施例に係る半導体装置100iとして用いた。

[0149] (2) 比較例に係る半導体装置

試験例 2 で用いた「比較例 3 に係る半導体装置 100C」を試験例 2 においてもそのまま比較例 3 に係る半導体装置 100C として用いた。

[0150] 2. 試験の方法

図 30 は、試験例 2 における評価方法及び評価結果を説明するために示す図である。図 30 (a) は試験例 2 に用いる測定系を示す図であり、図 30 (b) は実施例に係る半導体装置 100i におけるスイッチオフ時における応答波形を示す図であり、図 30 (c) は比較例 3 に係る半導体装置 100C におけるスイッチオフ時における応答波形を示す図である。

[0151] 試験は、図 30 (a) に示した測定系を用いて、スイッチオフ時のゲート・ソース間電圧 V_{GS} 及びドレイン電流 I_D を測定することにより行った。

[0152] 3. 試験の結果

試験の結果を図 30 (b) 及び図 30 (c) に示す。その結果、図 30 (b) 及び図 30 (c) から分かるように、本発明の半導体装置（実施例に係る半導体装置 100i）が、従来第 3 の半導体装置 900（比較例 3 に係る半導体装置 100C）においてよりもスイッチオフ時におけるゲート発振現象が抑制されていることが明らかになった。

[0153] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0154] (1) 上記各実施形態においては、n 型を第 1 導電型とし p 型を第 2 導電型として本発明を説明したが、本発明はこれに限定されるものではない。例えば、p 型を第 1 導電型とし n 型を第 2 導電型としても本発明を適用可能である。

[0155] (2) 本発明は、導電体層（ポリシリコン層 136）が、ゲートフィンガー部を介してゲート電極層 124 と電氣的に接続されており、かつ、ゲートフィンガー部を介さずにゲート電極層 124 と直接接続されている箇所を有し

ないものであれば、図2（a）に示すようにレイアウトされたものに限定されるものではない。図31は、変形例に係る半導体装置100mの平面図である。図31においては、図2（a）の場合と同様に、ポリシリコン層136及びソース電極層128の輪郭線（一点鎖線）のみを示す。導電体層（ポリシリコン層136）は、例えば、図31に示すようにレイアウトされたものであってもよい。

符号の説明

[0156] 100, 100A, 100B, 100C, 100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h, 100i, 100j, 100k, 100l, 100m, 200, 200a, 200b, 300, 800, 900…半導体装置、112, 212, 312…低抵抗半導体層、114, 214, 314…ドリフト層、116, 216, 316…ベース領域、118, 218, 318…p⁺型張り出し拡散領域、120, 220…ソース領域、122, 222, 322…ゲート絶縁層、124, 224, 324…ゲート電極層、126, 226, 326…層間絶縁層、127…金属層、128, 228, 328…ソース電極層、130, 230, 320…ドレイン電極層、132, 133, 150, 232, 233, 332…ゲート発振抑制構造、132a, 132b, 158, 162, 232a, 232b, 332a, 332b…p⁺型拡散領域、132c, 132d, 133c, 133d, 150c, 150d, 232c, 232d, 233c, 233d, 332c, 332d…p型不純物非拡散領域、133a, 133b, 163, 233a, 233b…p型拡散領域、134, 234, 334…フィールド絶縁層、136, 137, 236, 336…ポリシリコン層、138, 238, 338…ゲートパッド用電極層、140, 240, 340…スルーホール、141…コンタクトホール、142…ゲートフィンガー用配線層、144…コンタクト領域、146…n型基準濃度半導体層、148…p⁻型張り出し拡散領域、150a, 150b, 160, 164…p⁻型拡散領域、152…n⁺型半導体領域、154…ガードリング、156…チャンネルストッパ、2

17…トレンチ、320…エミッタ領域、328…エミッタ電極層、330
…コレクタ電極層

請求の範囲

- [請求項1] 第1導電型又は第2導電型の低抵抗半導体層と第1導電型のドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置であって、
- 前記能動素子部は、
- 前記低抵抗半導体層と、
- 前記低抵抗半導体層上に形成された前記ドリフト層と、
- 前記ドリフト層の表面に形成された第2導電型のベース領域と、
- 前記ベース領域の表面に形成された第1導電型の高濃度拡散領域と、
- 、
- 前記高濃度拡散領域と前記ドリフト層とに挟まれた前記ベース領域上においてゲート絶縁層を介して形成されたゲート電極層と、
- 前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、
- 前記ゲートパッド部は、
- 前記低抵抗半導体層と、
- 前記低抵抗半導体層上に形成された前記ドリフト層と、
- 前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、
- 前記ドリフト層の表面に形成されたゲート発振抑制構造とを備え、
- 前記ゲート発振抑制構造は、前記ゲートパッド部の外周部に沿って設けられ前記第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2の第2導電型不純物拡散領域及び第2導電型不純物非拡散領域とを含むことを特徴とする半導体装置。

- [請求項2] 第1導電型又は第2導電型の低抵抗半導体層と第1導電型のドリフ

ト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置であって、

前記能動素子部は、

前記低抵抗半導体層と、

前記低抵抗半導体層上に形成された前記ドリフト層と、

前記ドリフト層の表面に形成された第2導電型のベース領域と、

前記ベース領域を開口し前記ドリフト層に達して形成してなる複数のトレンチと、

前記ベース領域内に配置されるとともに少なくとも一部を前記トレンチの内周面に露出させて形成してなる第1導電型の高濃度拡散領域と、

前記トレンチの内周面に形成してなるゲート絶縁層と、

前記ゲート絶縁層を介して前記トレンチの内部に埋め込まれてなるゲート電極層と、

前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、

前記ゲートパッド部は、

前記低抵抗半導体層と、

前記低抵抗半導体層上に形成された前記ドリフト層と、

前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、

前記ドリフト層の表面に形成されたゲート発振抑制構造とを備え、

前記ゲート発振抑制構造は、前記ゲートパッド部の外周部に沿って設けられ前記第1電極層と電氣的に接続されている第1の第2導電型不純物拡散領域と、当該第1の第2導電型不純物拡散領域に囲まれた領域において交互に形成された、フローティング状態の第2の第2導電型不純物拡散領域及び第2導電型不純物非拡散領域とを含むことを

特徴とする半導体装置。

[請求項3] 前記フィールド絶縁層が前記ゲート絶縁層よりも厚いことを特徴とする請求項1又は2に記載の半導体装置。

[請求項4] 前記導電体層は、前記フィールド絶縁層と、前記フィールド絶縁層の上方に形成されたゲートパッド用電極層との間に形成されたポリシリコン層であることを特徴とする請求項1～3のいずれかに記載の半導体装置。

[請求項5] 前記導電体層は、前記フィールド絶縁層上に形成されたゲートパッド用電極層であることを特徴とする請求項1～3のいずれかに記載の半導体装置。

[請求項6] 前記導電体層は、前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガーを介して前記ゲート電極層と電氣的に接続されており、かつ、前記ゲートフィンガーを介さずに前記ゲート電極層と直接接続されている箇所を有しないことを特徴とする請求項4又は5に記載の半導体装置。

[請求項7] 前記ゲートパッド部に隣接するセルにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することを特徴とする請求項1に記載の半導体装置。

[請求項8] 前記ゲートパッド部に隣接するトレンチにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することを特徴とする請求項2に記載の半導体装置。

[請求項9] 前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、

前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と連続するように形成されたものであることを特徴とする請求項1に記載の半導体装置。

[請求項10] 前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記ベース領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記ベース領域と連続するように形成されたものであることを特徴とする請求項1に記載の半導体装置。

[請求項11] 前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の低濃度張り出し拡散領域をさらに備え、

前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記低濃度張り出し拡散領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記低濃度張り出し拡散領域と連続するように形成されたものであることを特徴とする請求項1に記載の半導体装置。

[請求項12] 前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記能動素子部を囲んで形成されるガードリングと同一工程で形成されたものであることを特徴とする請求項1に記載の半導体装置。

[請求項13] 前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記ベース領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記ベース領域と連続するように形成されたものであることを特徴とする請求項2に記載の半導体装置。

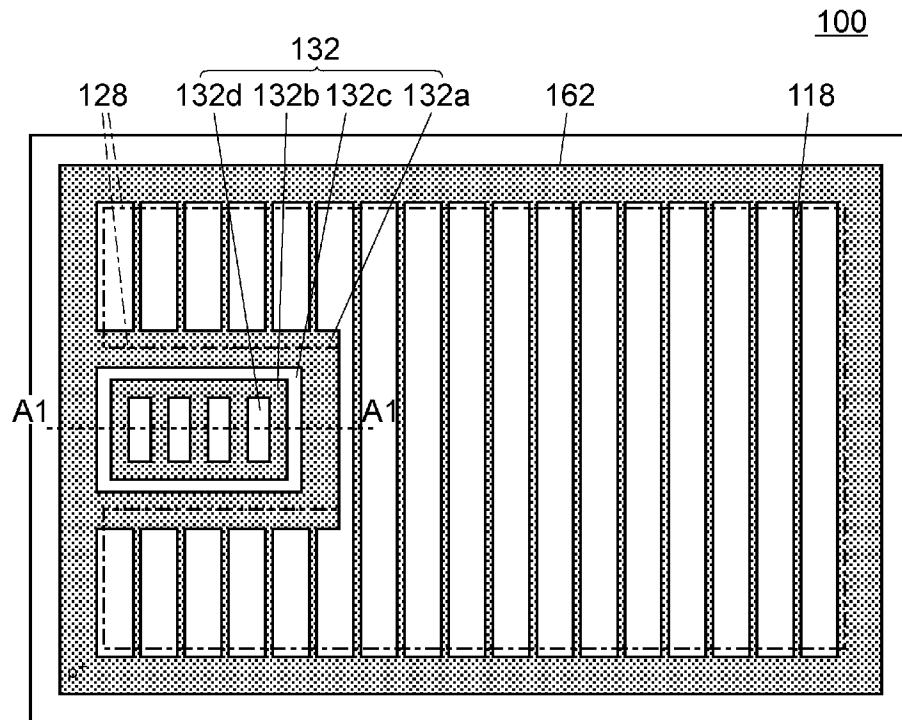
[請求項14] 前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、

前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で形成されたものであり、前記第1の第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と連続するように形成されたものであることを特徴とする請求項2に記載の半導体装置。

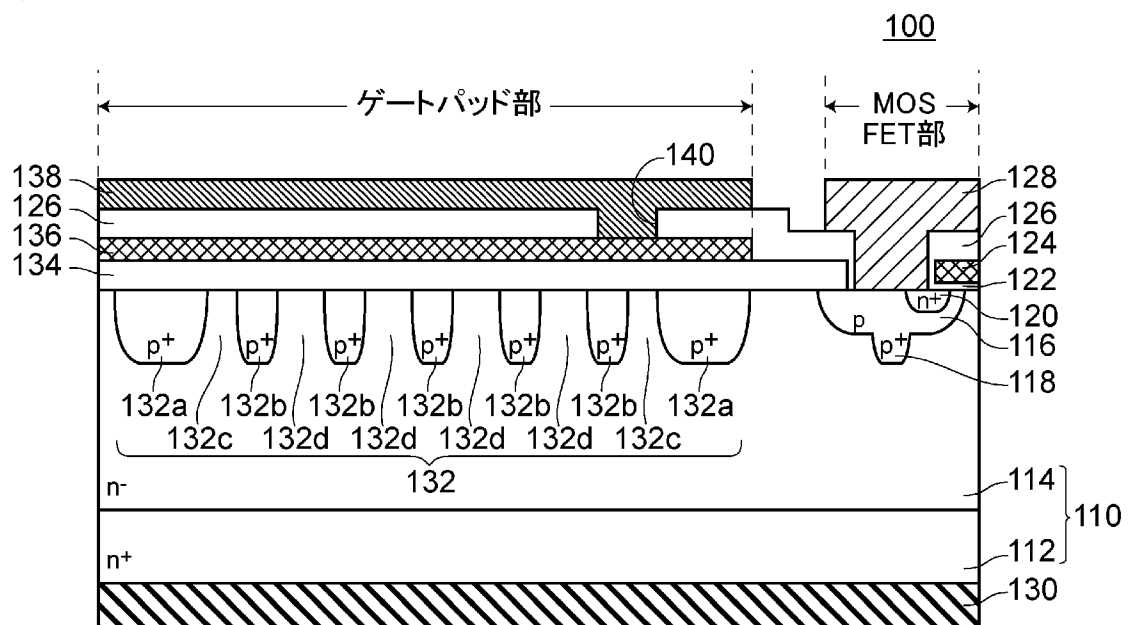
- [請求項15] 前記第2の第2導電型不純物拡散領域は、前記第1の第2導電型不純物拡散領域に囲まれた領域において形成されており、
- 前記第2導電型不純物非拡散領域は、前記第2の第2導電型不純物拡散領域の内側においてストライプ状又はアイランド状に形成されていることを特徴とする請求項1～14のいずれかに記載の半導体装置。
- [請求項16] 前記第2導電型不純物非拡散領域は、前記第1の第2導電型不純物拡散領域に囲まれた領域に形成されており、
- 前記第2の第2導電型不純物拡散領域は、前記第2導電型不純物非拡散領域の内側においてストライプ状又はアイランド状に形成されていることを特徴とする請求項1～14のいずれかに記載の半導体装置。
- [請求項17] 前記第1の第2導電型不純物拡散領域及び前記第2の第2導電型不純物拡散領域は、内部に第1導電型の半導体領域を有しないことを特徴とする請求項1～16のいずれかに記載の半導体装置。
- [請求項18] 前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガーにおいても、前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第3の第2導電型不純物拡散領域と、第2の第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造が形成されていることを特徴とする請求項1～17のいずれかに記載の半導体装置。

[図1]

(a)

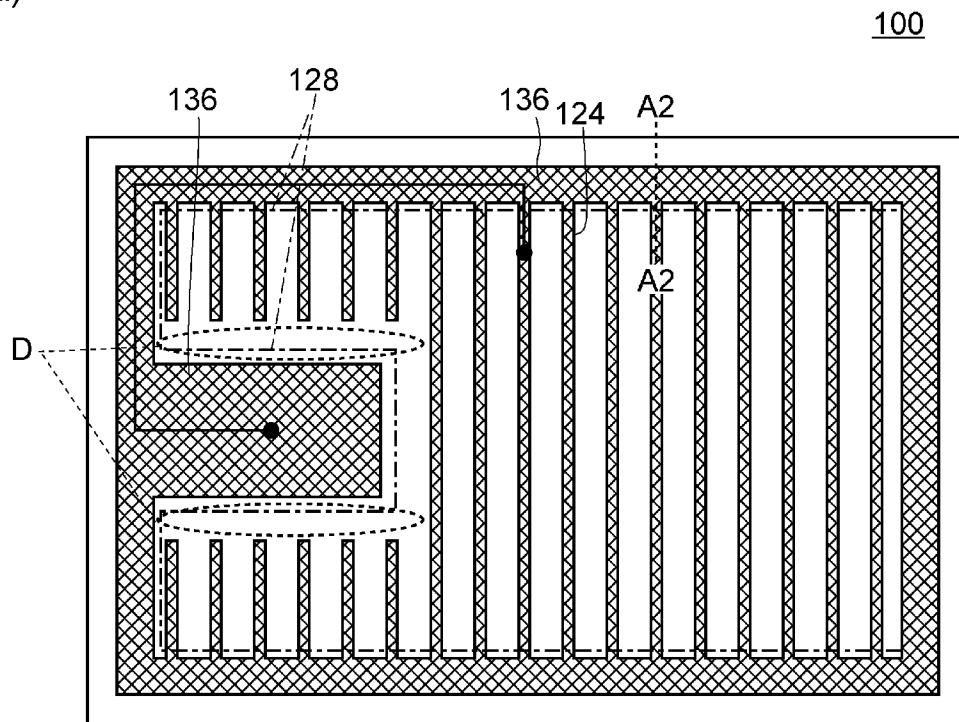


(b)

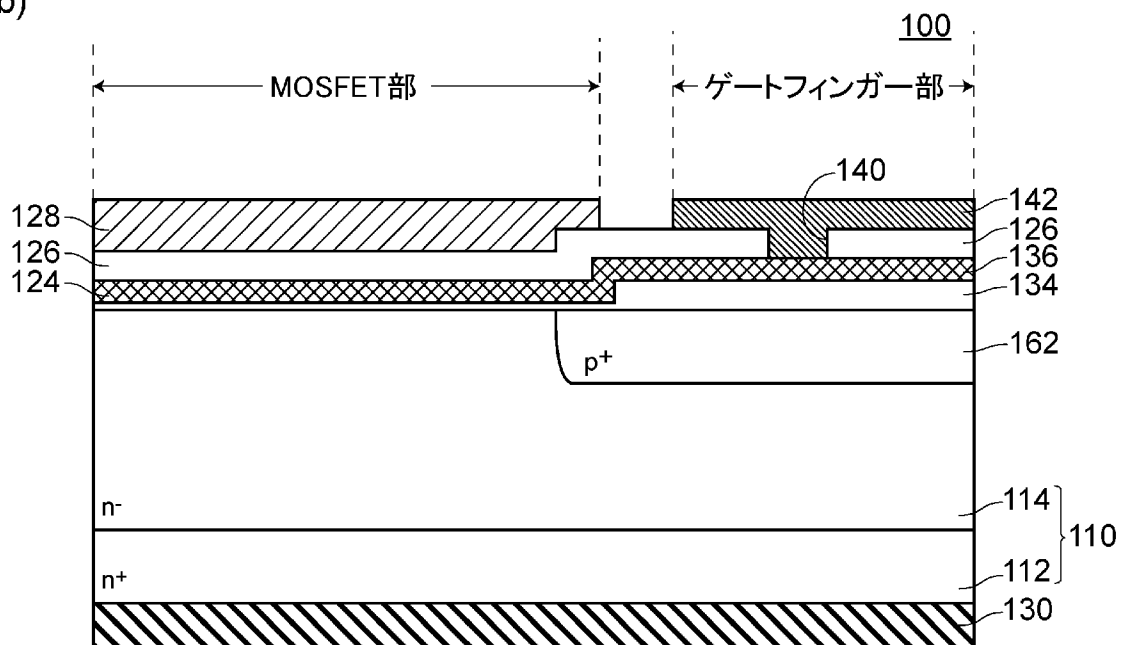


[図2]

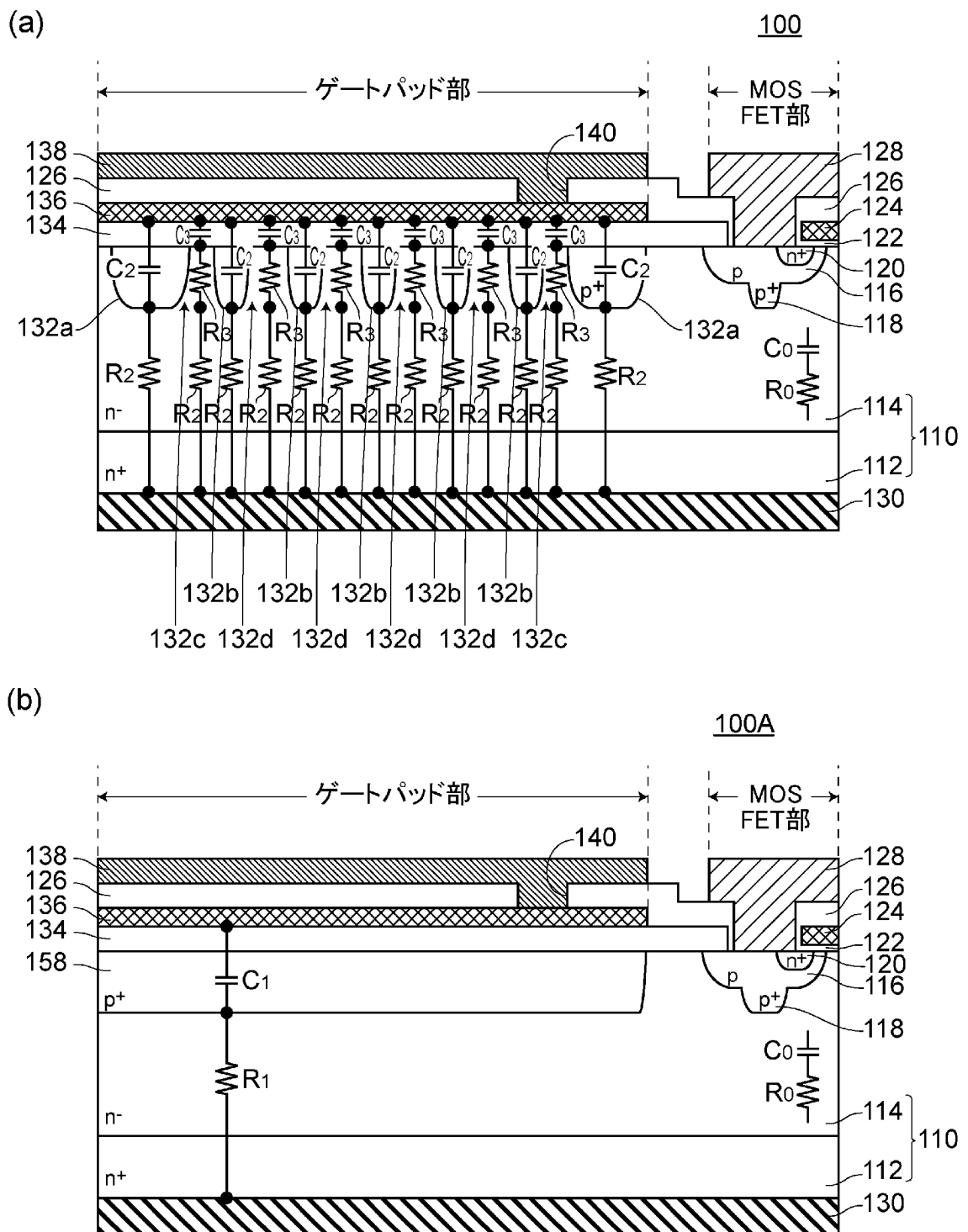
(a)



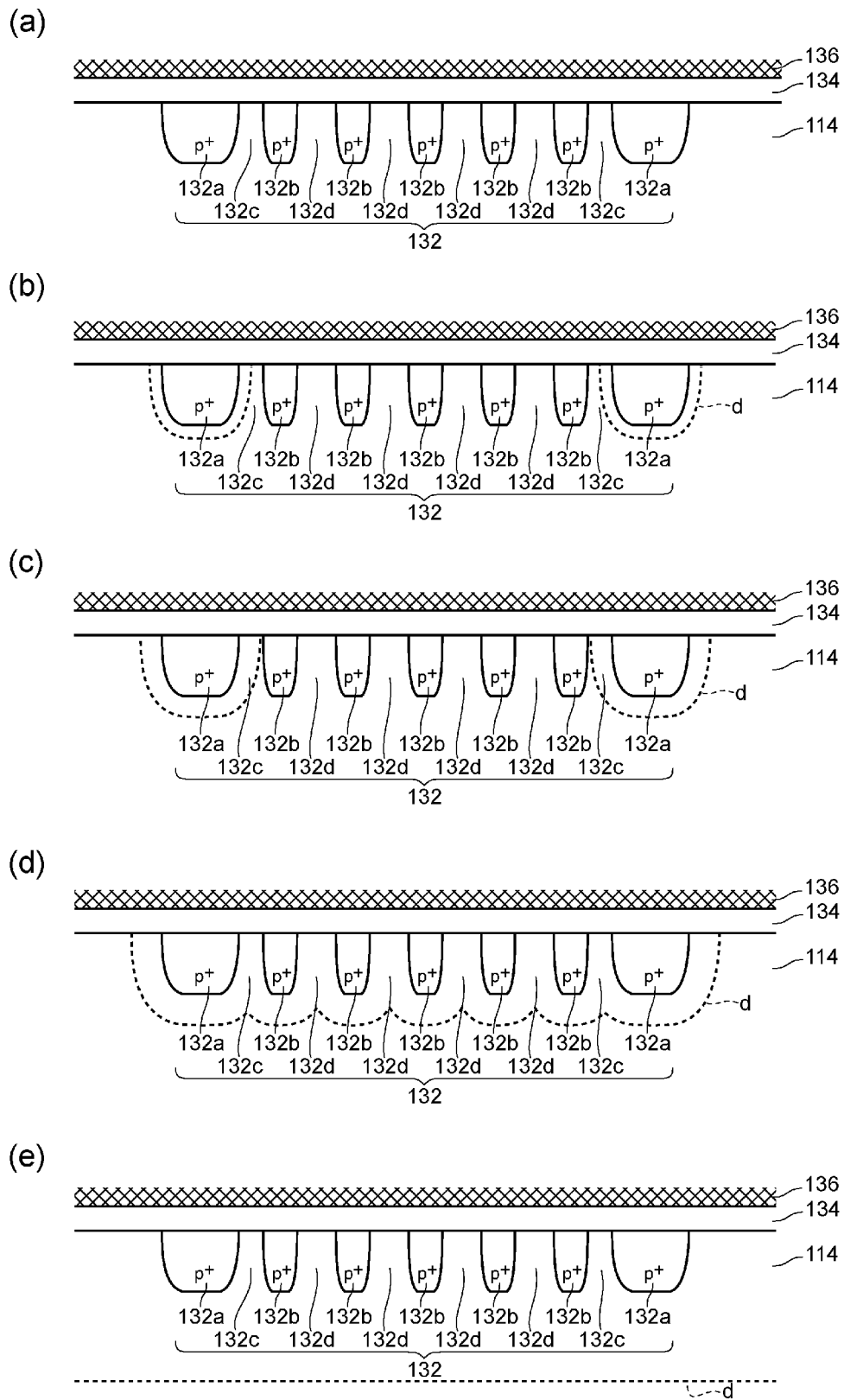
(b)



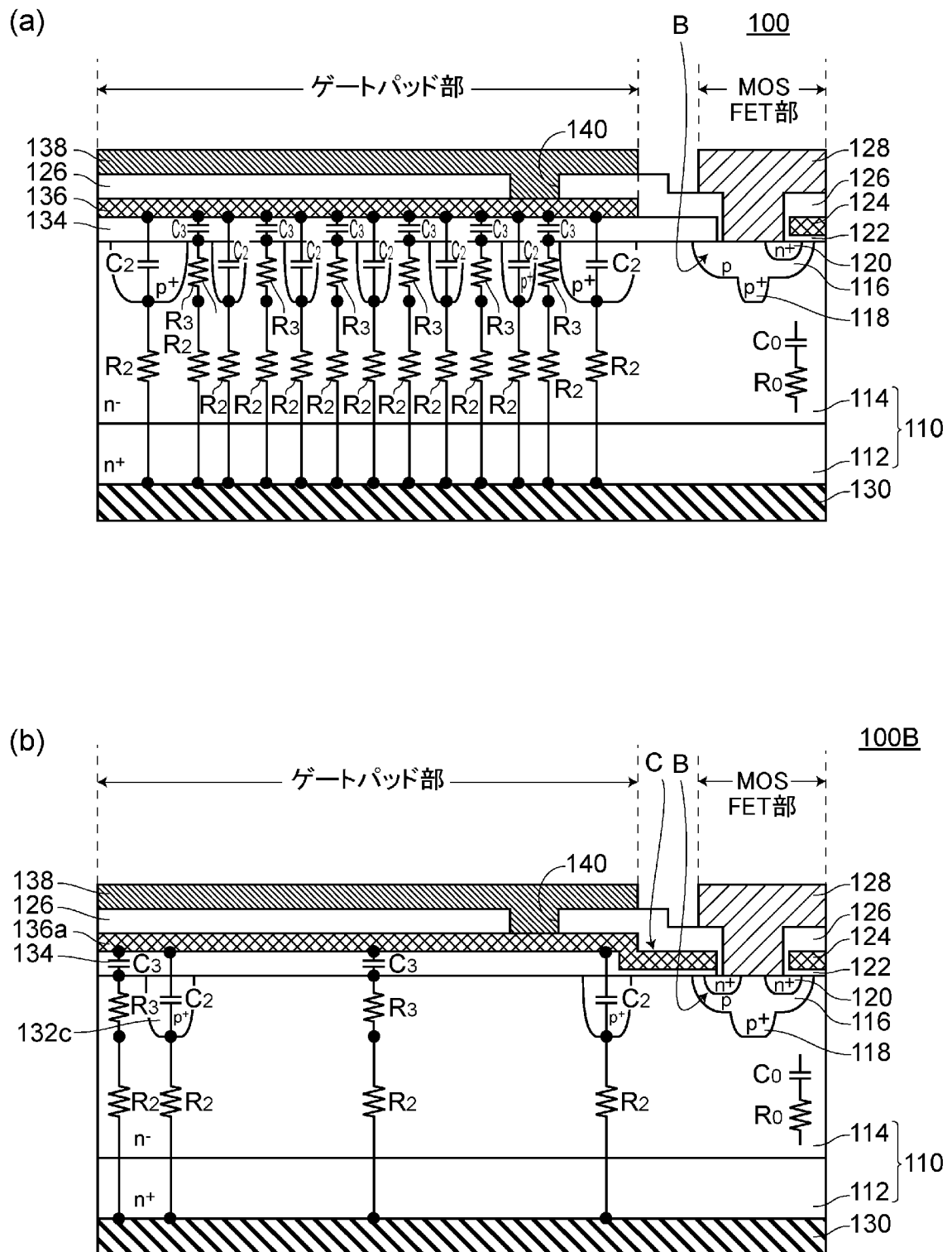
[図3]



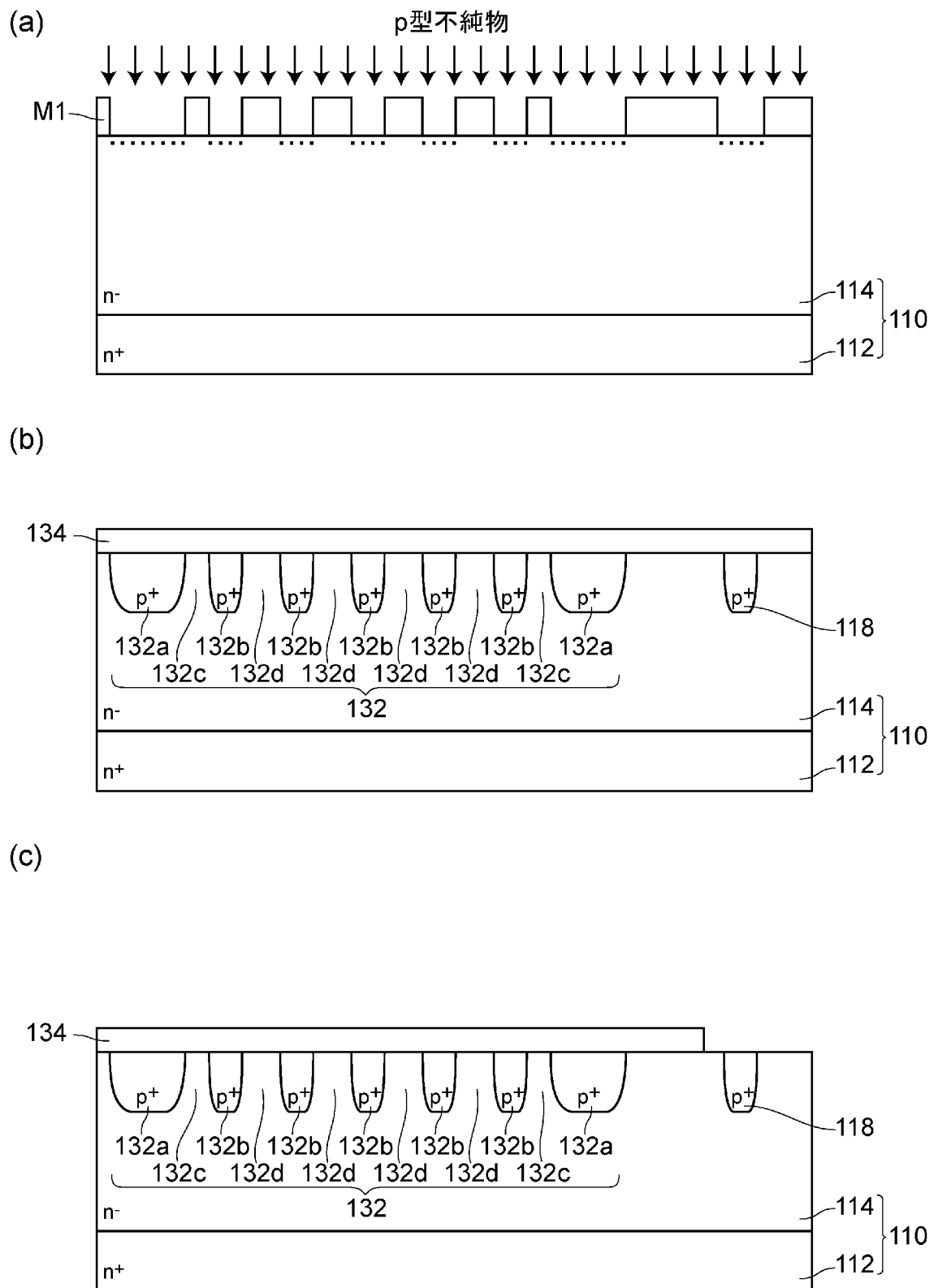
[図4]



[図5]

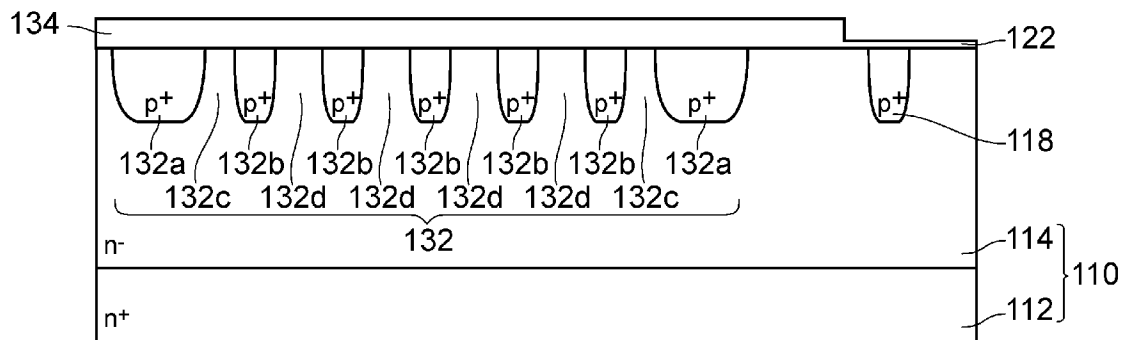


[図6]

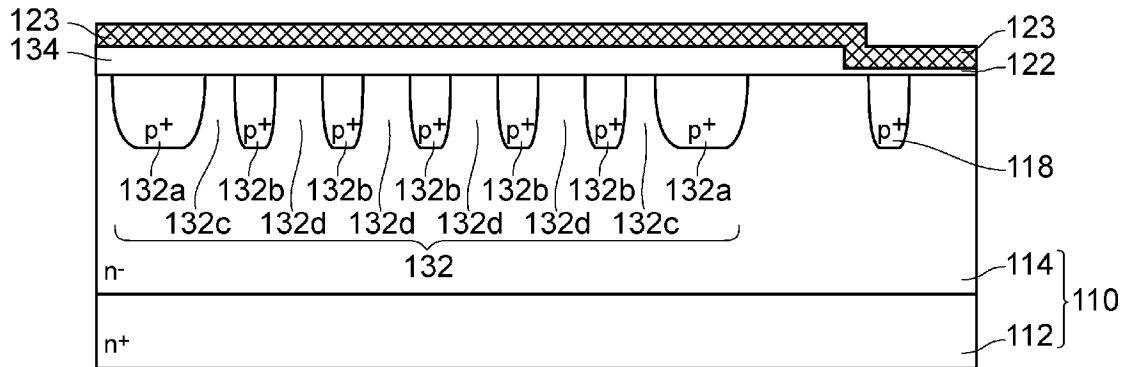


[図7]

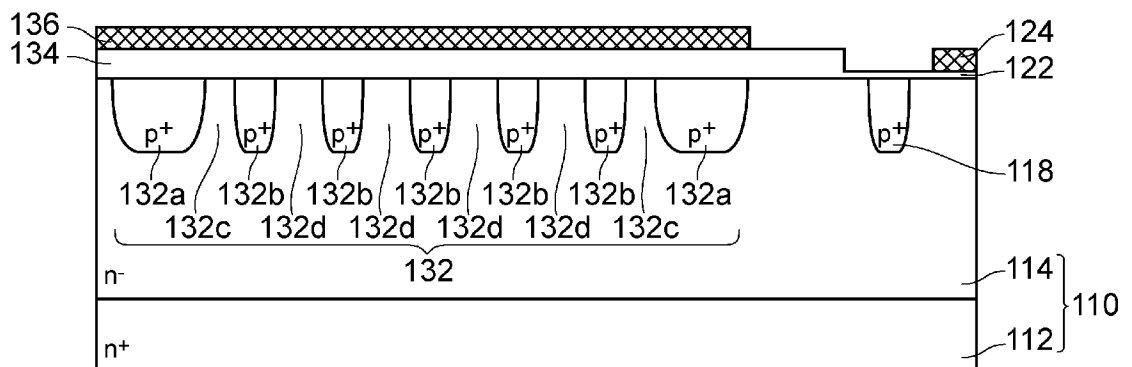
(a)



(b)

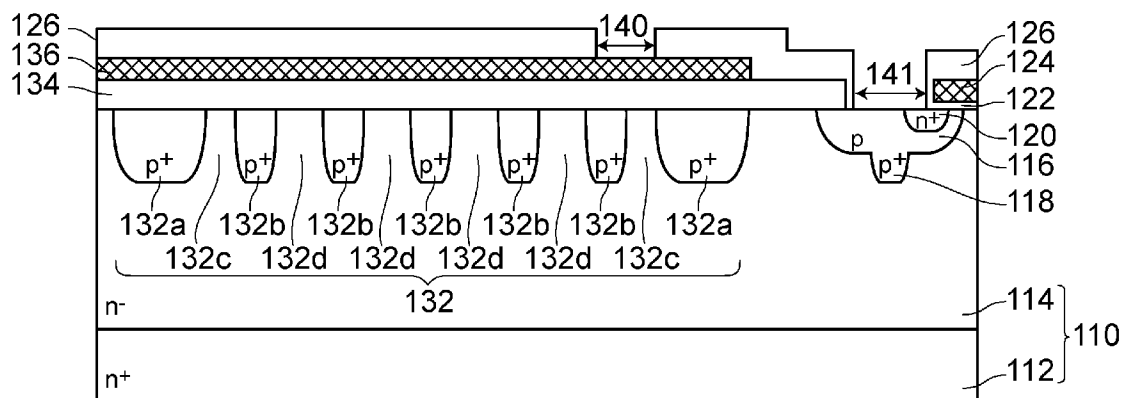


(c)



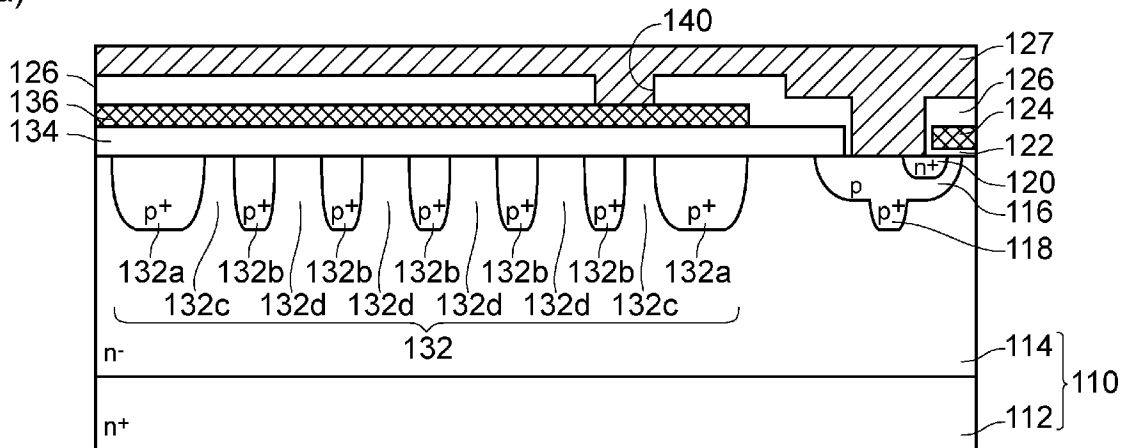
[illegible]

(a)

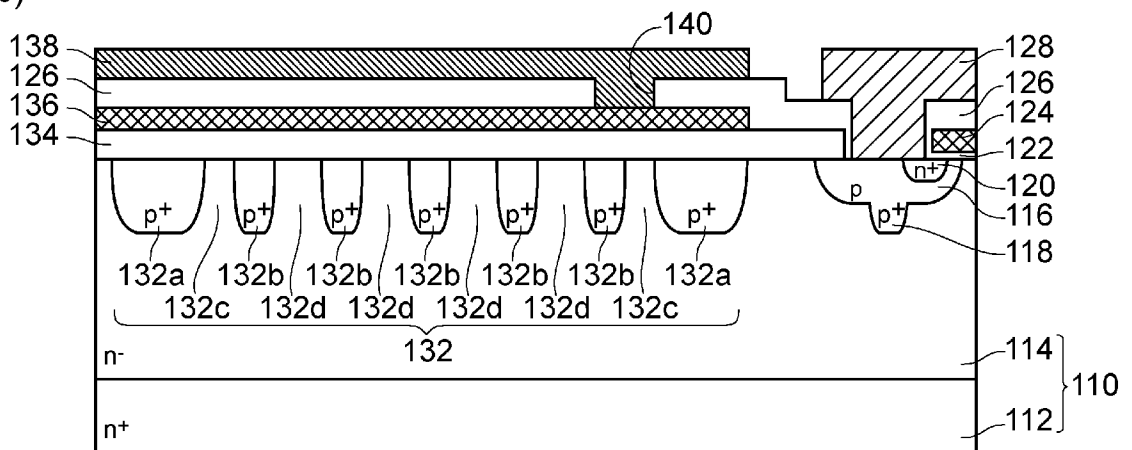


[図10]

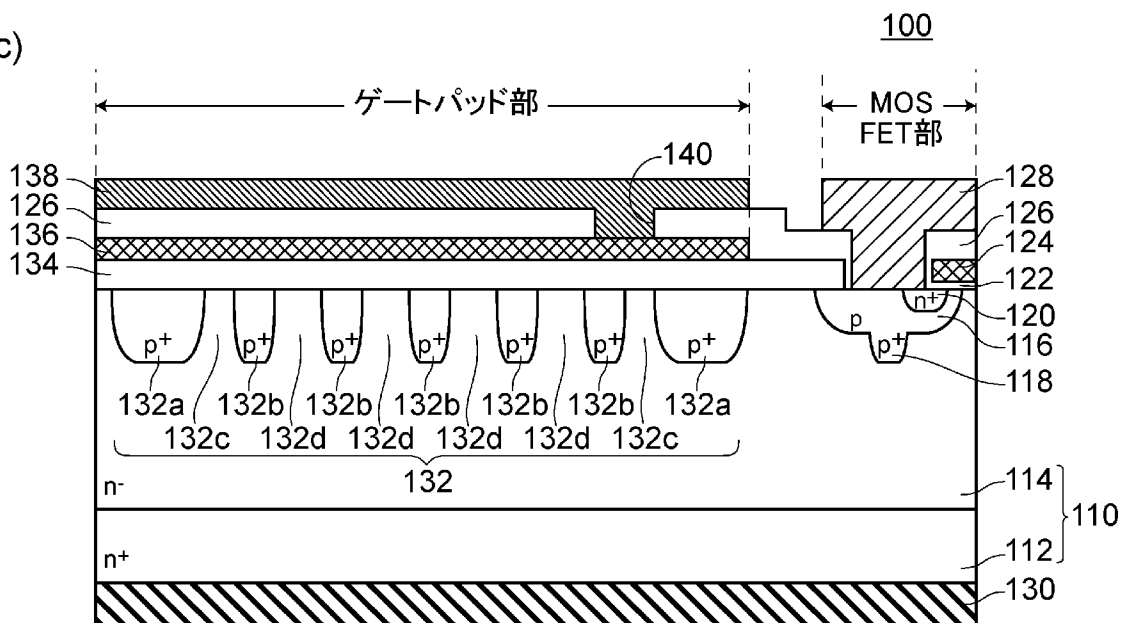
(a)



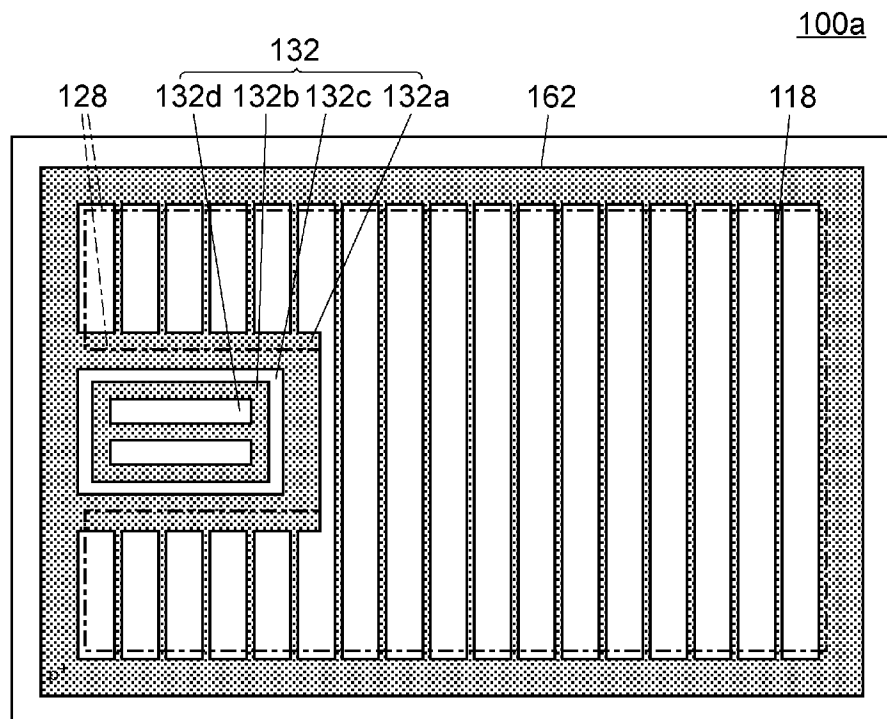
(b)



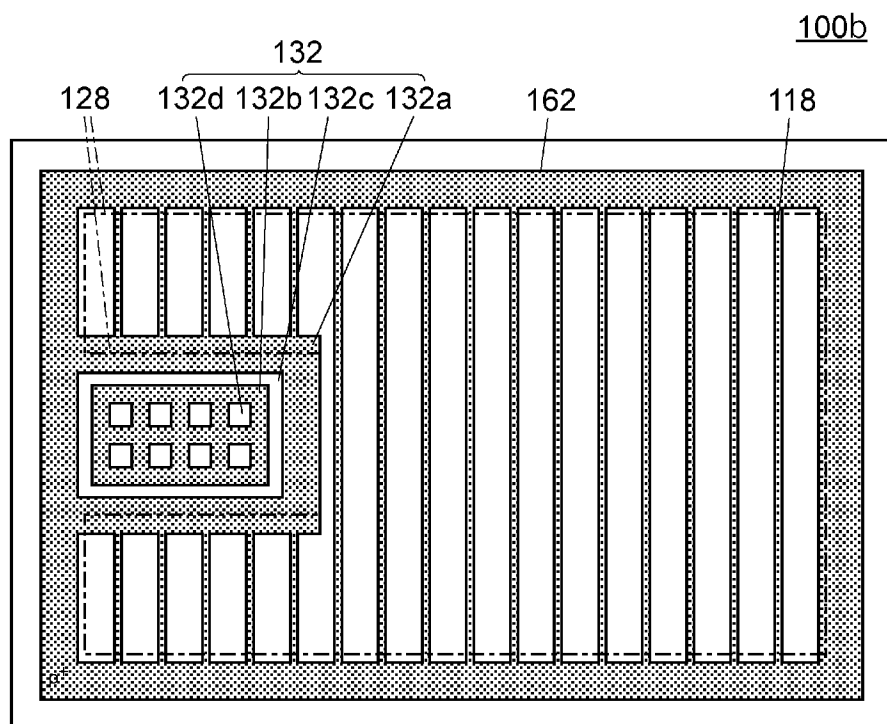
(c)



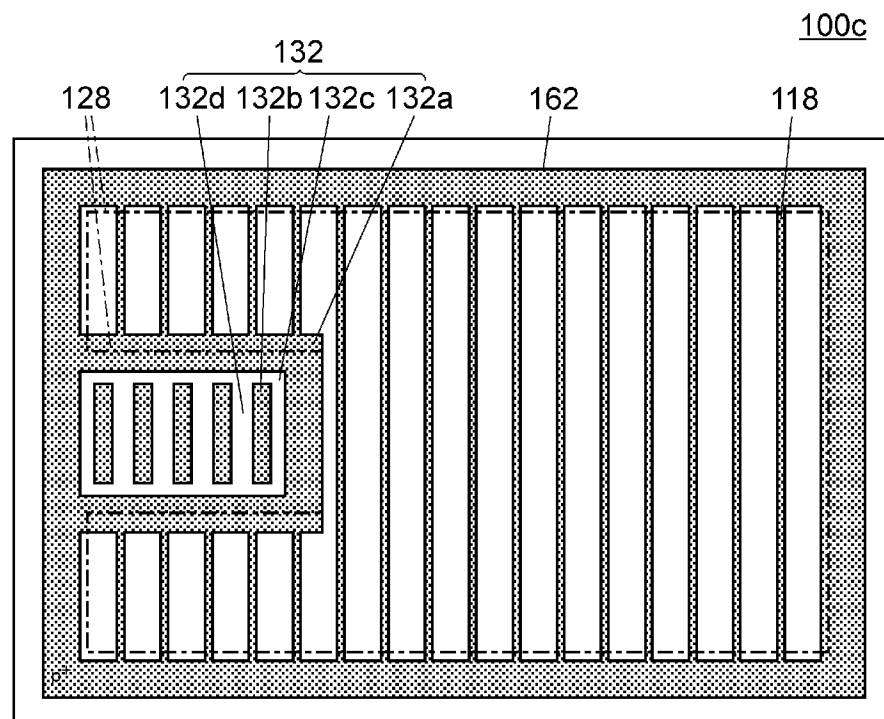
[図11]



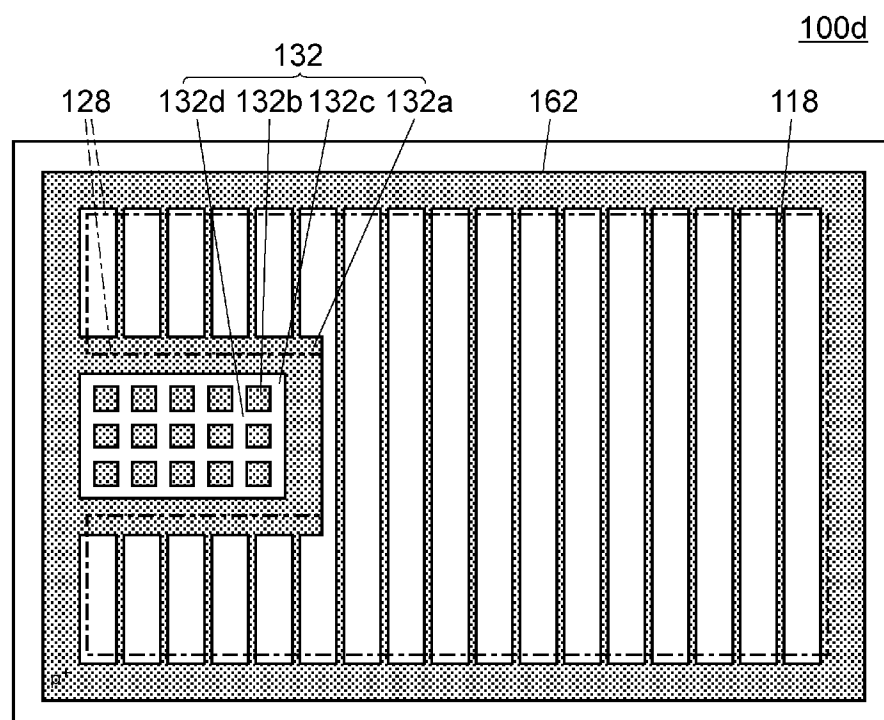
[図12]



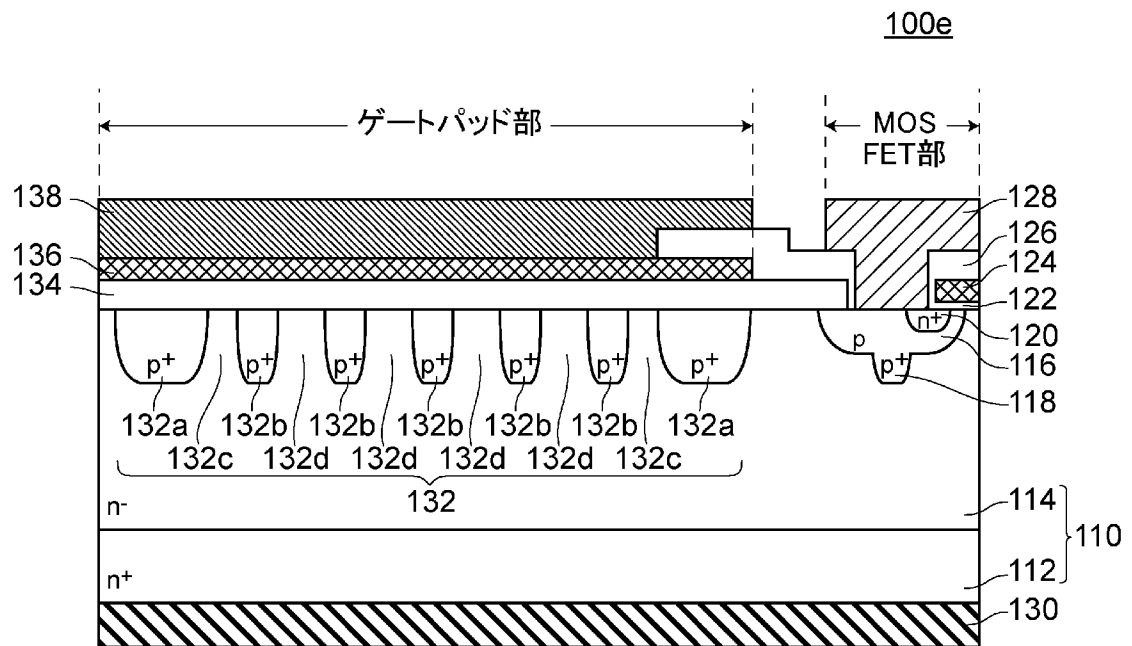
[図13]



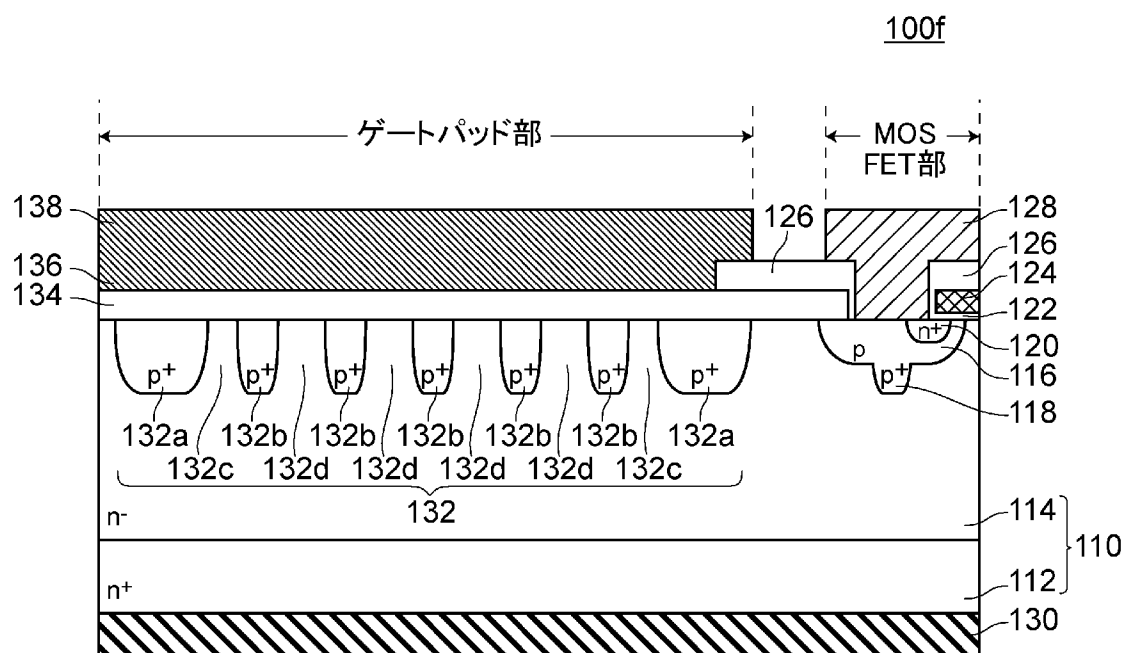
[図14]



[図15]

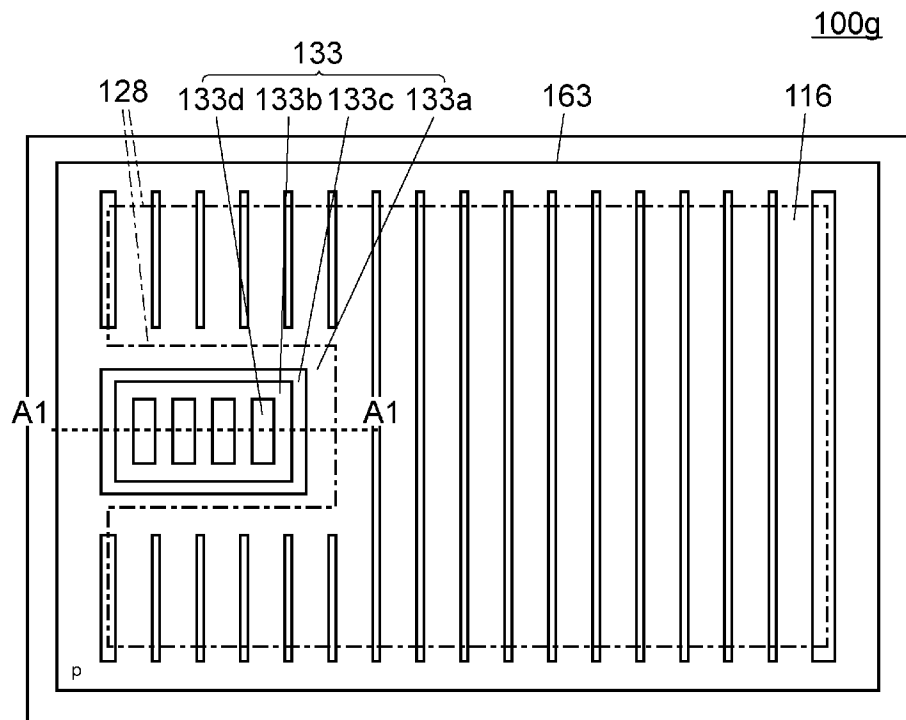


[図16]

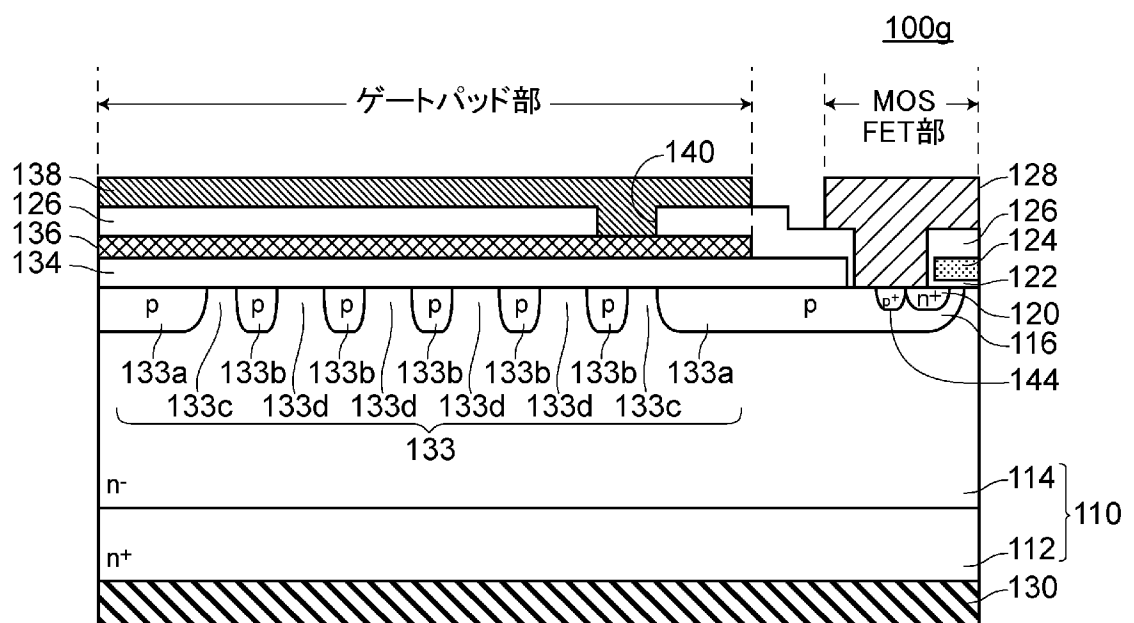


[図17]

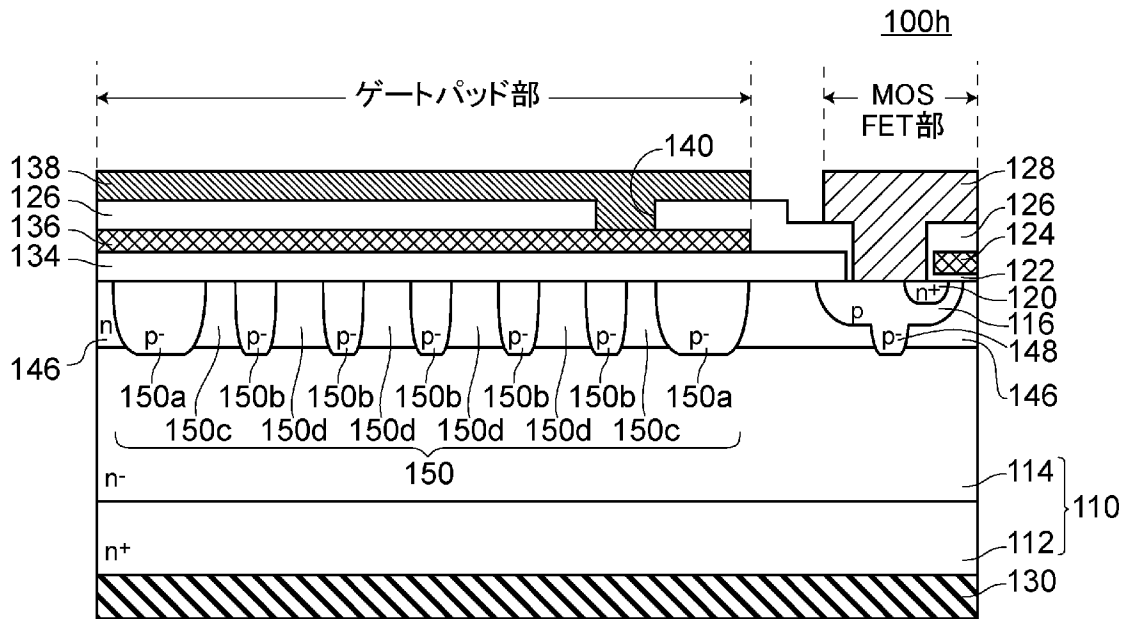
(a)



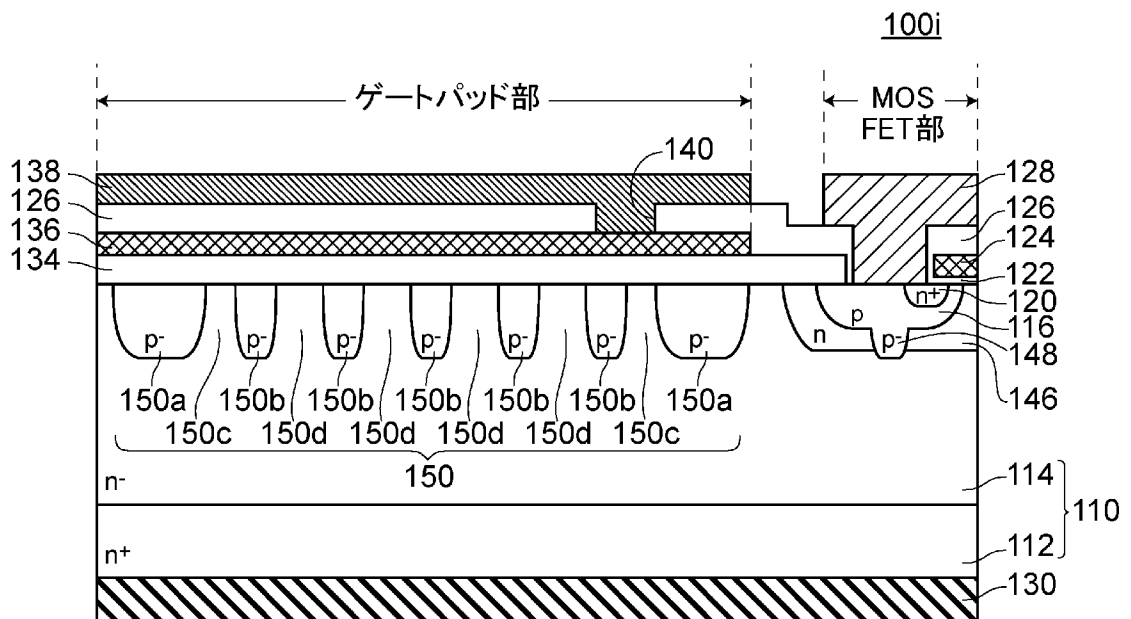
(b)



[図18]

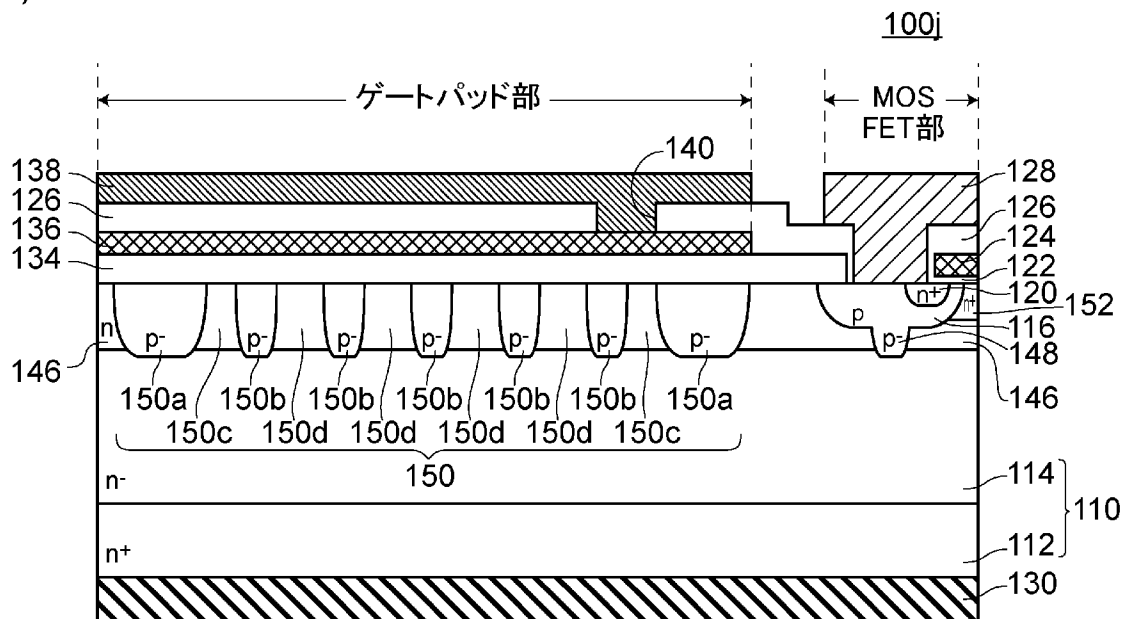


[図19]

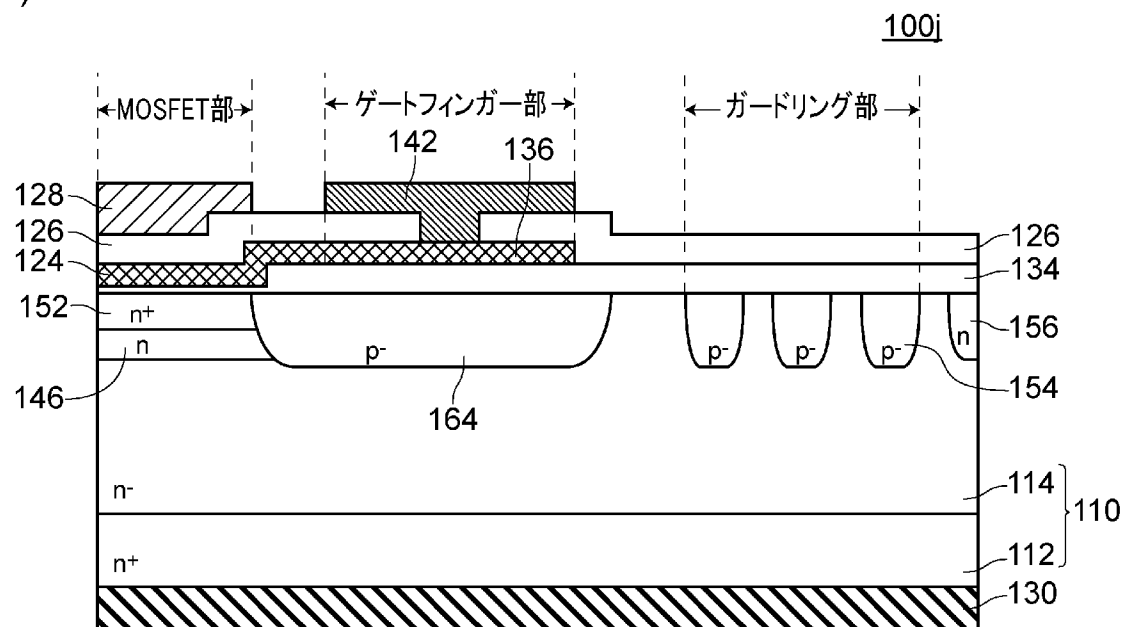


[図20]

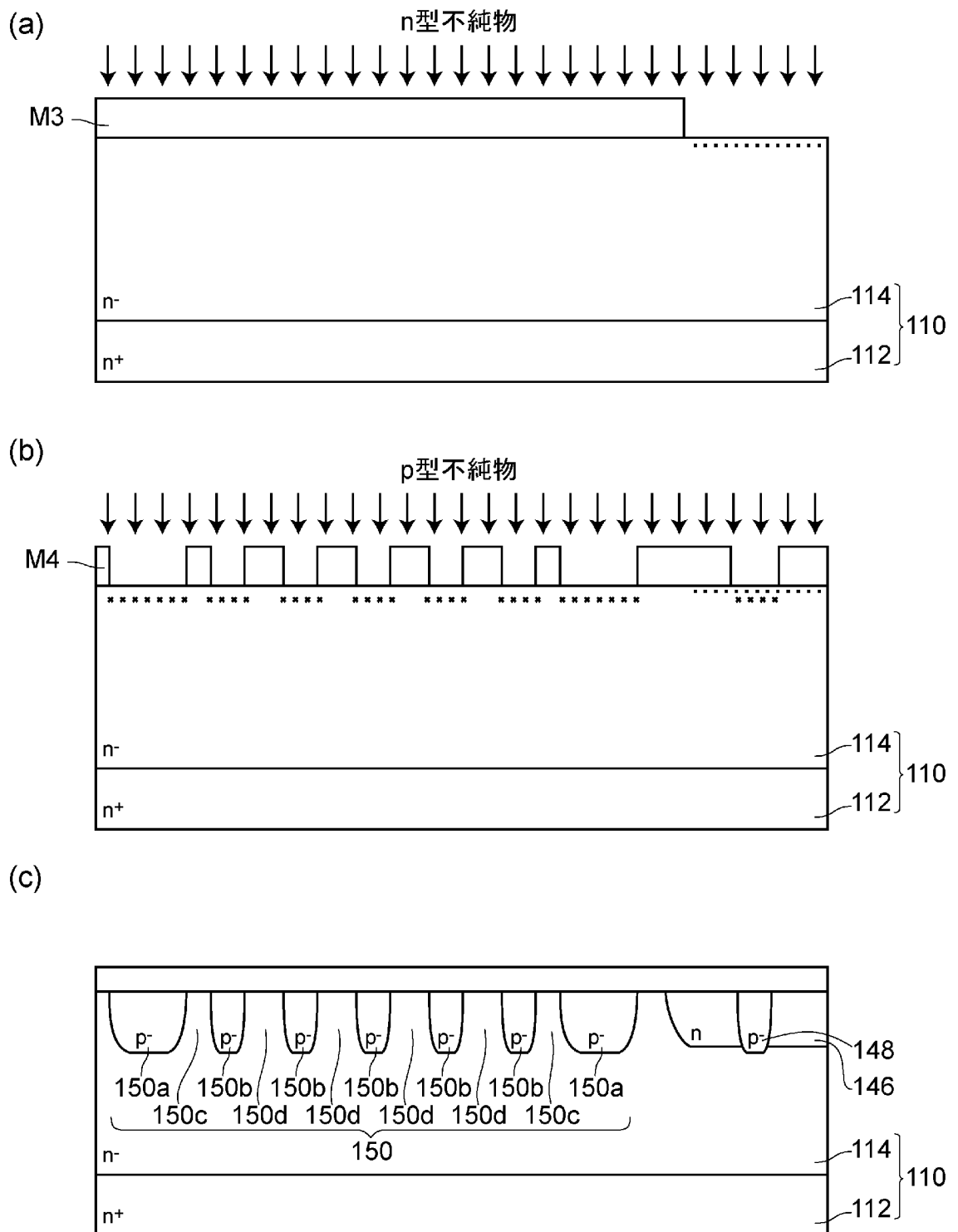
(a)



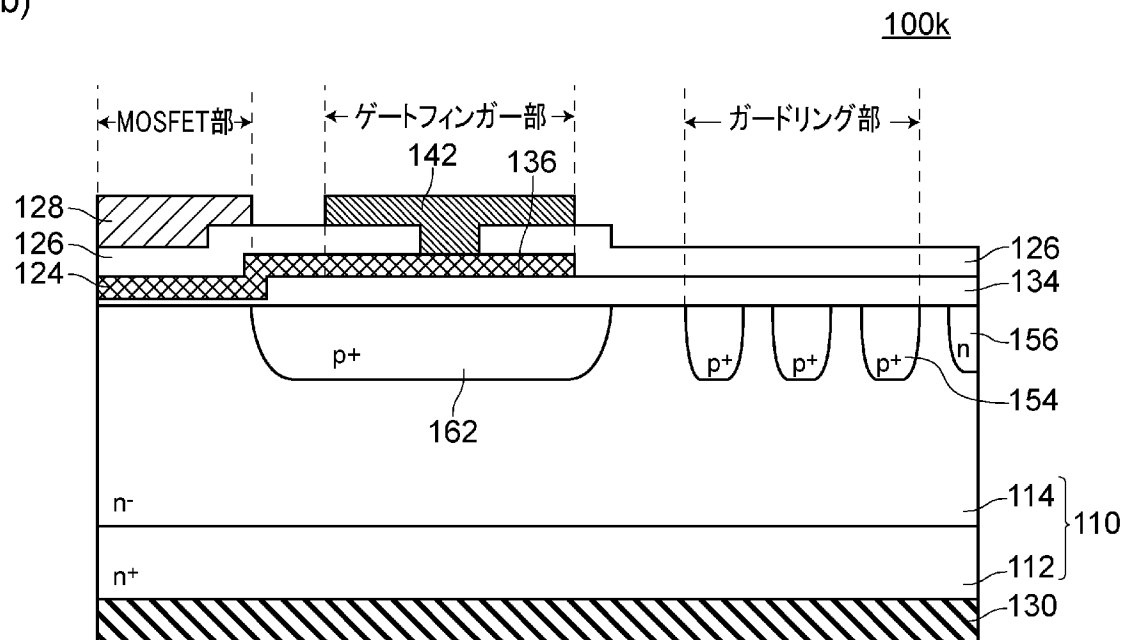
(b)



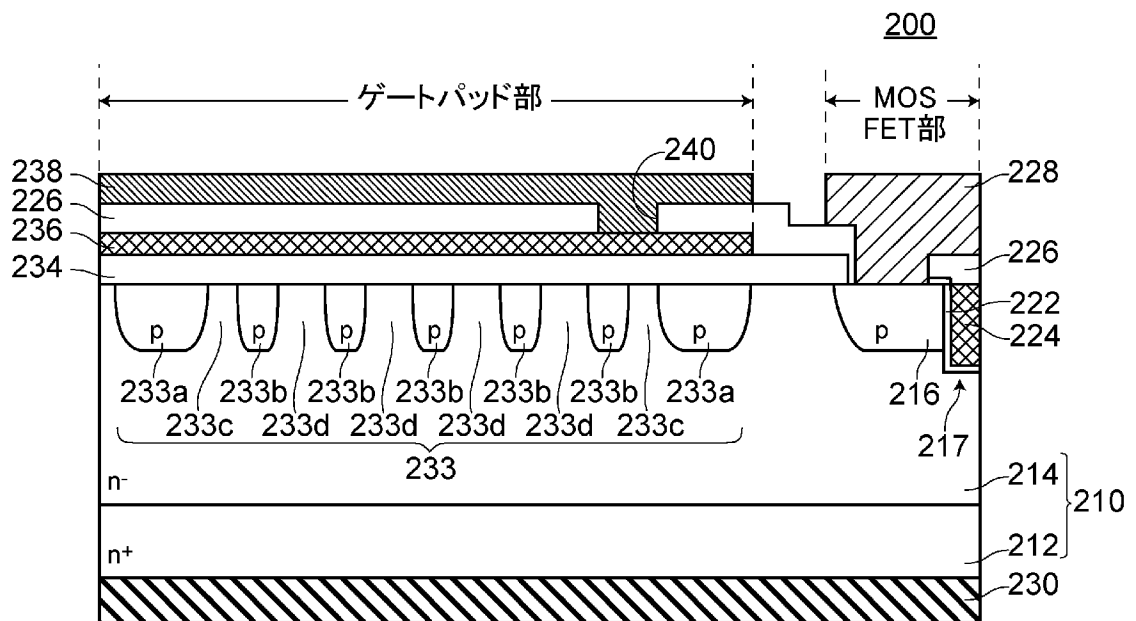
[図21]



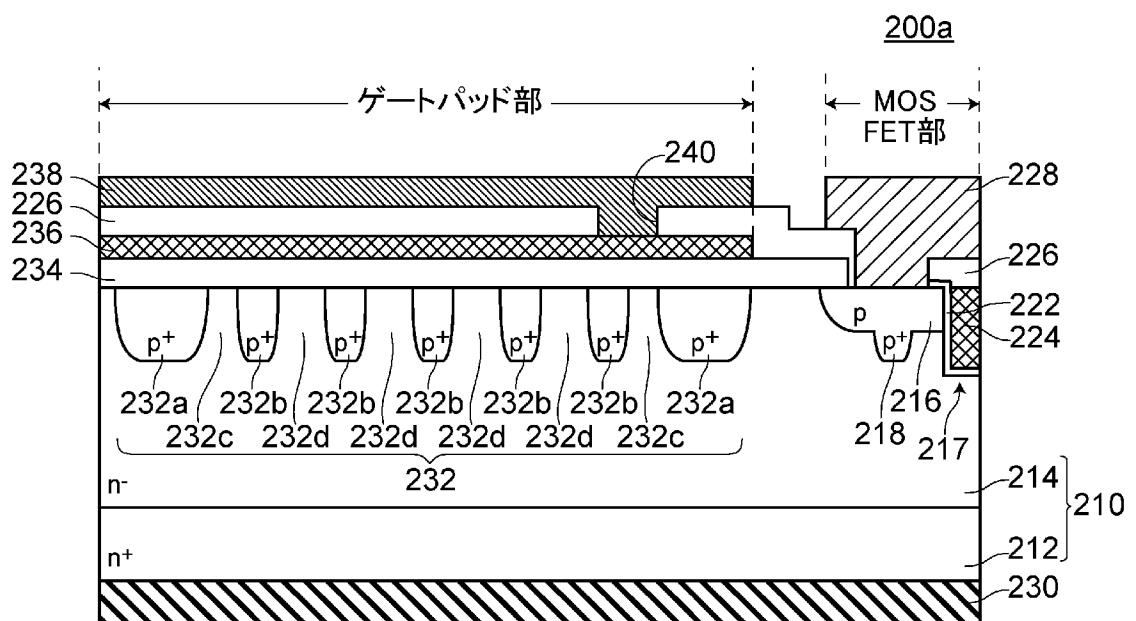
(a)



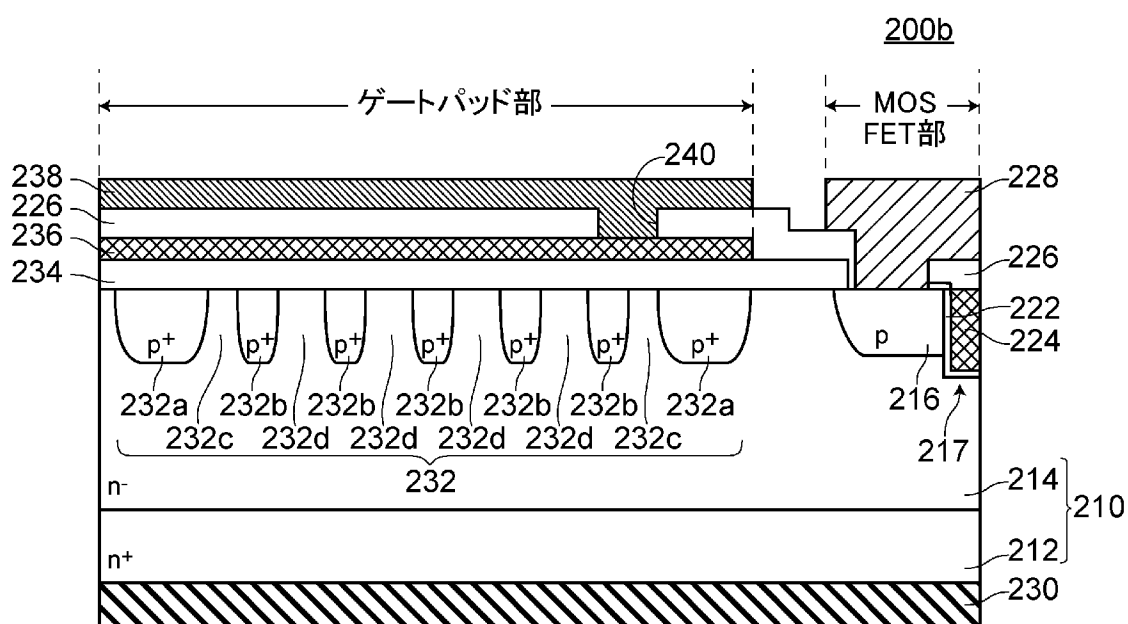
[図23]



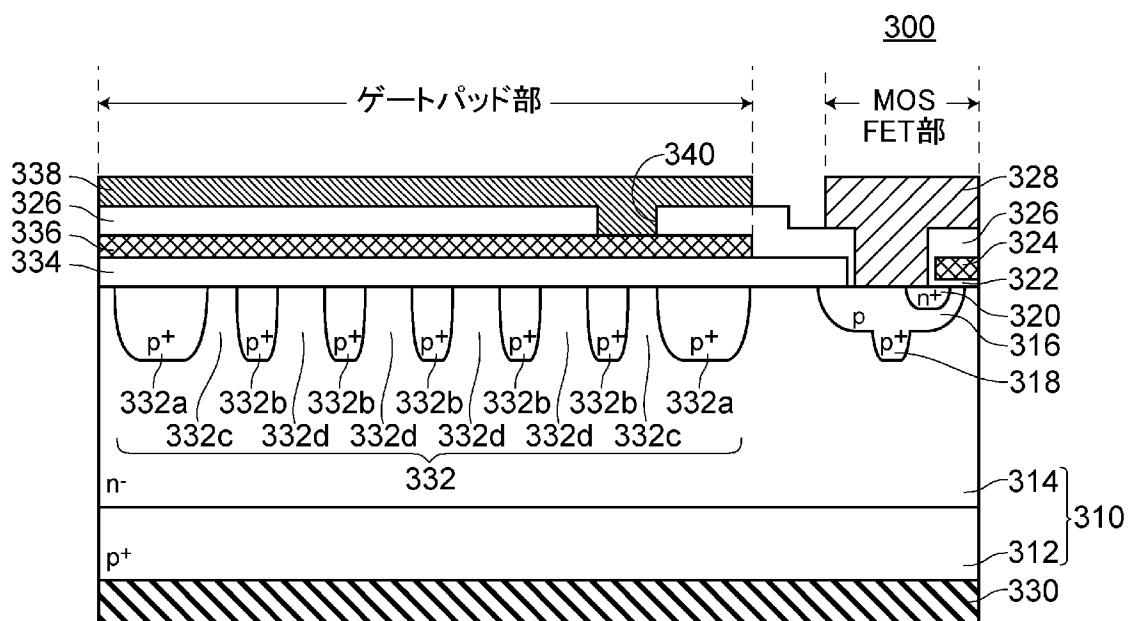
[図24]



[図25]

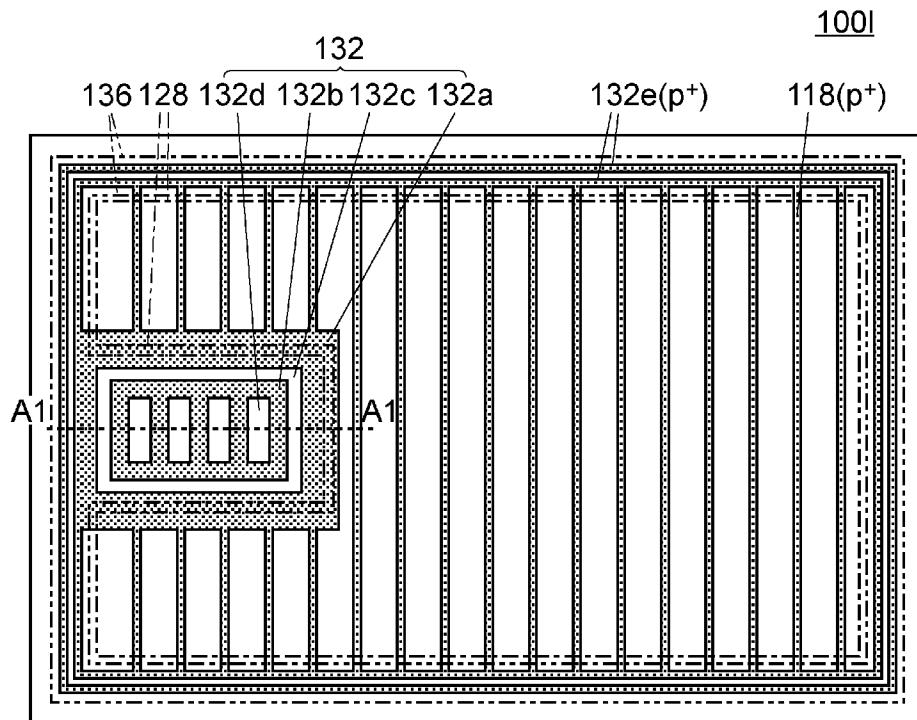


[図26]

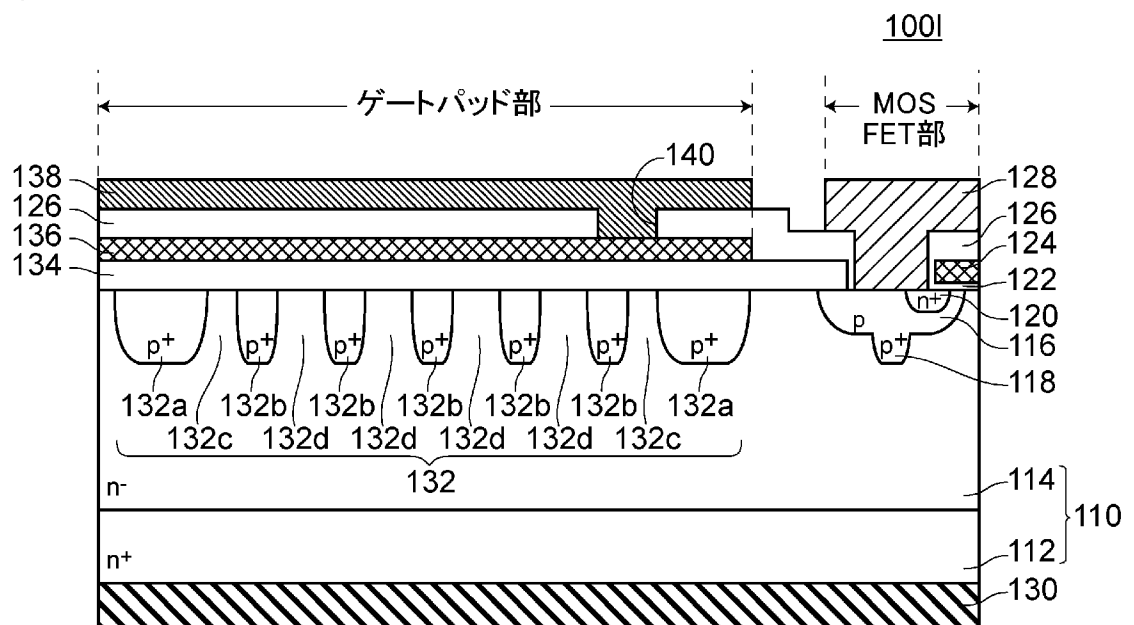


[図27]

(a)



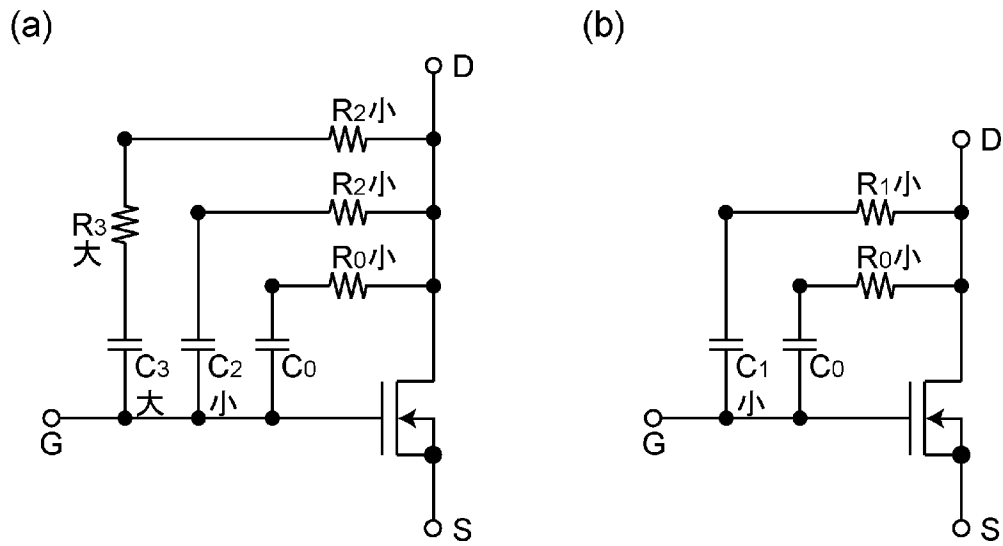
(b)



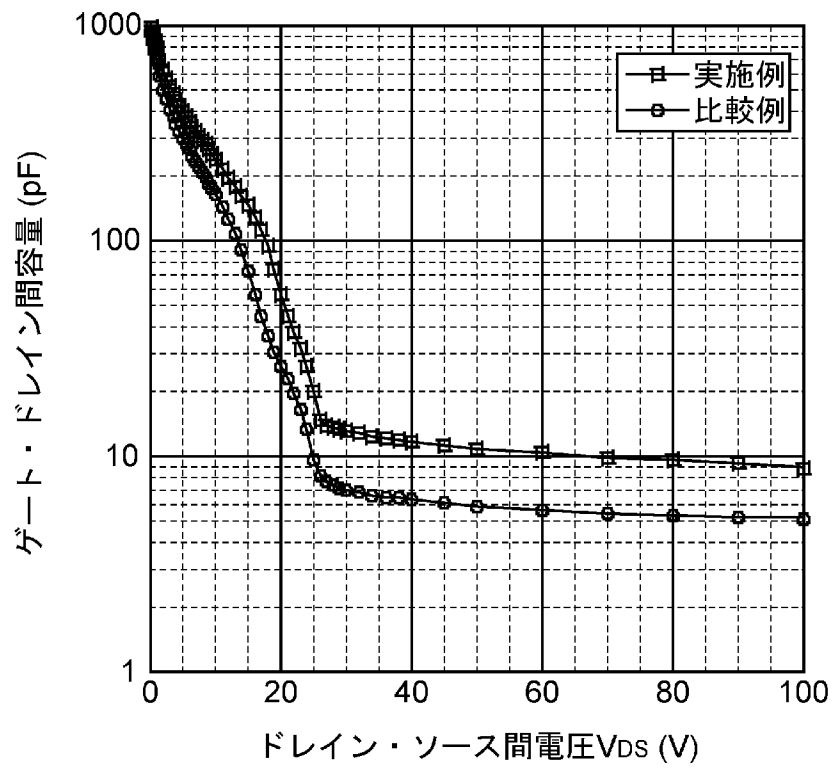
(a) Cross-sectional diagram of semiconductor device 100I. The device is divided into a "ゲートパッド部" (Gate Pad Portion) and a "MOS FET部" (MOS FET Portion). The gate pad portion features a series of resistors R_2 and R_3 connected to a p-type region p^- and an n-type region n^- . Capacitors C_2 and C_3 are also present. The MOS FET portion includes a p-type region p and an n-type region n , with a gate stack (128, 126, 124) and a source/drain region (122, 120, 116, 148). A resistor R_0 and capacitor C_0 are connected to the n-type region. The substrate is labeled 110, with layers 112 and 130.

(b) Cross-sectional diagram of semiconductor device 100C. Similar to 100I, it has a "ゲートパッド部" and a "MOS FET部". The gate pad portion features a single resistor R_1 and capacitor C_1 connected to a p-type region p^- and an n-type region n^- . The MOS FET portion is similar to 100I, with a p-type region p and an n-type region n , and a gate stack (128, 126, 124). A resistor R_0 and capacitor C_0 are connected to the n-type region. The substrate is labeled 110, with layers 112 and 130.

[図29]

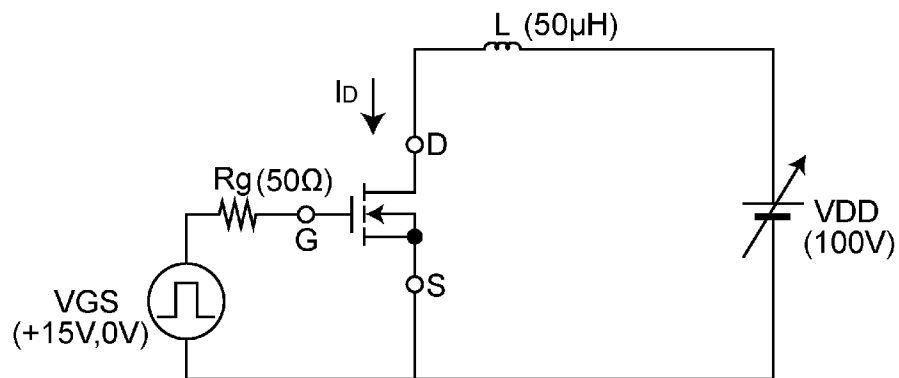


(c)

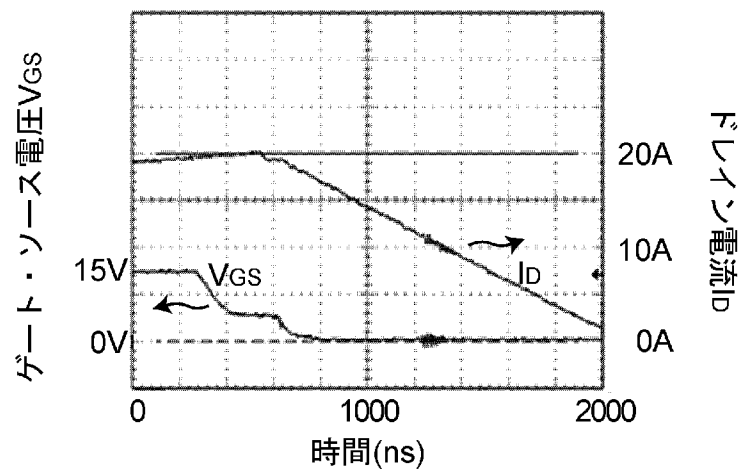


[図30]

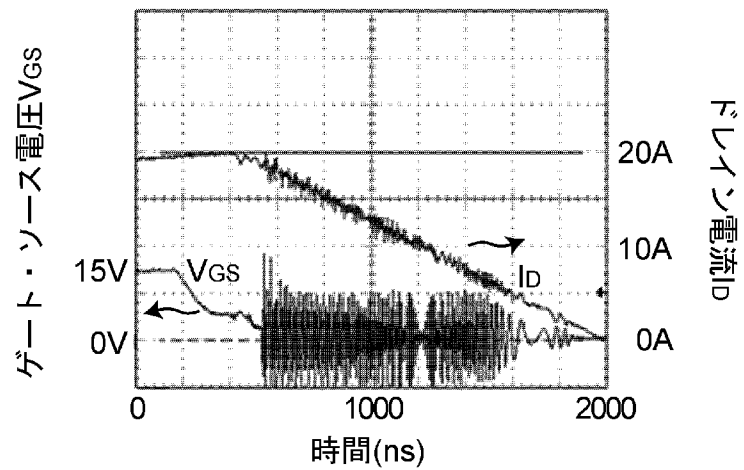
(a) 測定系



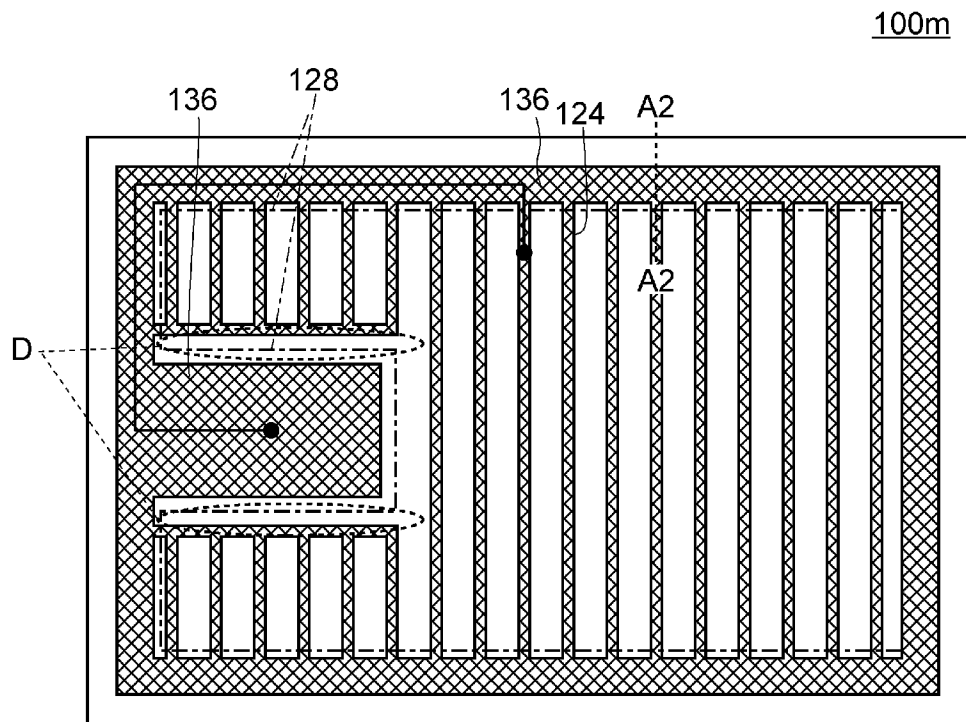
(b) 実施例



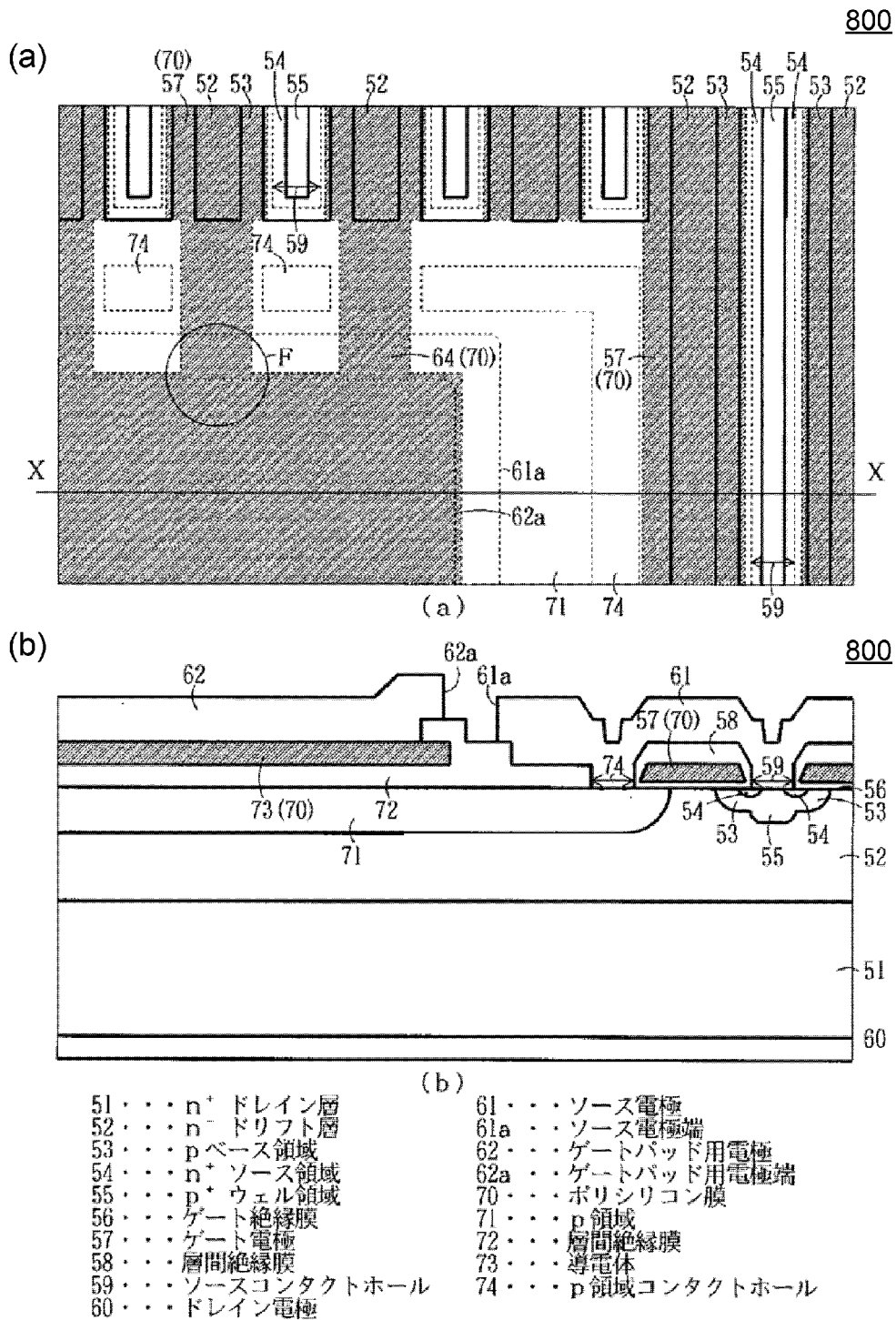
(c) 比較例



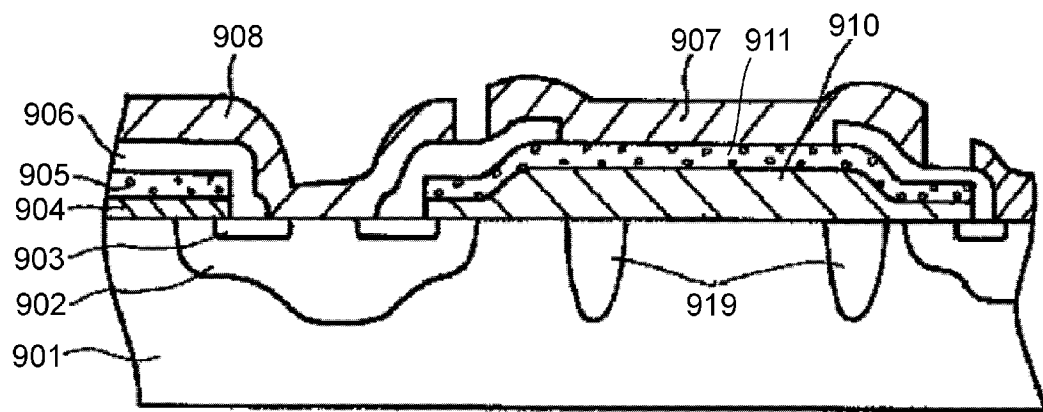
[図31]



[図32]



[図33]

900

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/059599

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-218438 A (Samsung Electronics Co., Ltd.), 27 August 1993 (27.08.1993), paragraphs [0016] to [0041]; fig. 3, 5 & US 5298770 A & GB 2258945 A & GB 9217142 D0 & DE 4227840 A & KR 10-1994-0008225 B1	1-18
A	JP 2007-305751 A (Sanyo Electric Co., Ltd.), 22 November 2007 (22.11.2007), fig. 1 to 3 & US 2007/0262390 A1 & KR 10-2007-0109907 A & CN 101071825 A	1-18
A	JP 5-167070 A (NEC Kansai, Ltd.), 02 July 1993 (02.07.1993), fig. 2 (Family: none)	1-18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 June, 2014 (24.06.14)

Date of mailing of the international search report
08 July, 2014 (08.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-218438 A（三星電子株式会社）1993.08.27, 段落 [0016]-[0041], 図3, 5 & US 5298770 A & GB 2258945 A & GB 9217142 D0 & DE 4227840 A & KR 10-1994-0008225 B1	1-18
A	JP 2007-305751 A（三洋電機株式会社）2007.11.22, 図1-3 & US 2007/0262390 A1 & KR 10-2007-0109907 A & CN 101071825 A	1-18
A	JP 5-167070 A（関西日本電気株式会社）1993.07.02, 図2（ファミ リーなし）	1-18

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24.06.2014

国際調査報告の発送日

08.07.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大橋 達也

5 F

4688

電話番号 03-3581-1101 内線 3516