

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/407

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0204792

(24) 등록일자 1999년03월30일

(21) 출원번호 10-1996-0007172

(65) 공개번호 특1997-0068440

(22) 출원일자 1996년03월 18일

(43) 공개일자 1997년 10월 13일

(73) 특허권자 엘지반도체주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지

(72) 발명자 최건규
서울특별시 구로구 구로동 642-46 우방아파트 2-304
전용원

서울특별시 송파구 오금동 70-1

손장섭

서울특별시 종로구 혜화동 109-2

(74) 대리인 양순석

심사관 : 김종진

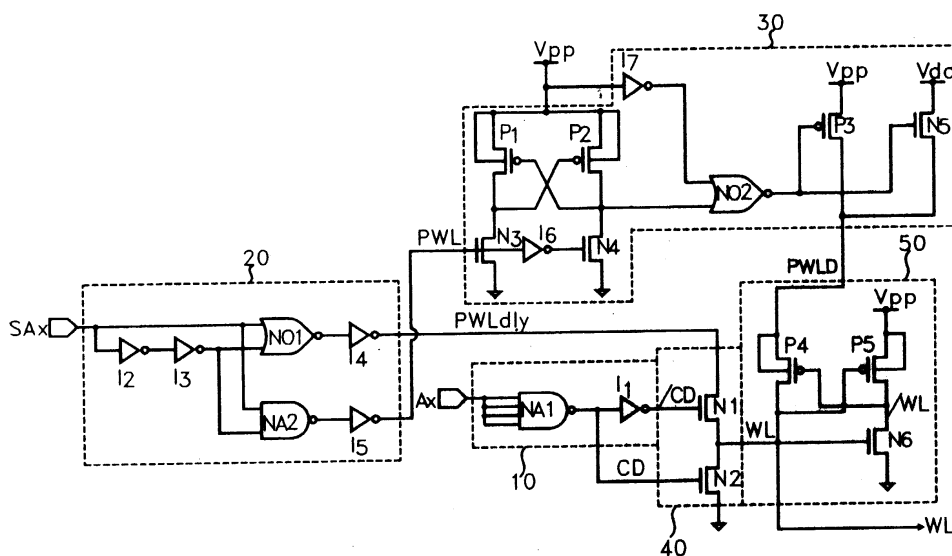
(54) 워드라인 구동회로

요약

본 발명은 워드라인 구동회로에 관한 것으로, 워드라인 구동시 내부 승압전압(Vpp)의 사용을 줄일 수 있는 워드라인 구동회로를 제공하는데 그 목적이 있다.

제1디코더는 메모리 소자의 외부로부터 입력되는 제1어드레스를 디코딩하여 위상이 서로 반대인 디코딩 신호를 출력한다. 제2디코더는 제1어드레스에 동기되어 제2어드레스가 입력된다. 이 제2디코더는 제2어드레스가 인에이블될 때 전원전압 레벨로 천이되고 제2어드레스가 디스에이블되면 지연수단에 의해 소정 시간이 경과한 이후 접지 레벨로 천이되는 프리-워드라인 지연신호를 발생시킨다. 또, 제2어드레스가 인에이블되면 지연수단에 의해 소정시간이 경과한 이후 전원전압 레벨로 천이되고 제2어드레스가 디스에이블될 때 접지 레벨로 천이되는 프리-워드라인 신호를 발생시킨다. 레벨 쉬프터는 프리-워드라인 신호(PWL)의 논리레벨에 따라 승압전압 또는 전원전압 레벨을 갖는 프리-워드라인 구동신호를 발생시킨다. 구동부는 디코딩 신호의 논리레벨에 따라 프리-워드라인 지연신호의 레벨 또는 접지 레벨로 워드라인을 구동한다. 레벨 조절부는 워드라인이 전원전압 레벨로 프리차지된 상태에서 제2어드레스가 인에이블되면 워드라인을 승압전압 레벨로 승압시키고 제2어드레스가 디스에이블되면 워드라인을 접지 레벨로 감압시킨다.

대표도



명세서

[발명의 명칭]

워드라인 구동회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 워드라인 구동회로의 회로도.

제2도(A)~(I)는 제1도에 도시된 워드라인 구동회로의 동작 파형도.

* 도면의 주요부분에 대한 부호의 설명

10 : 제1디코더 20 : 제2디코더

30 : 구동부 40 : 레벨 쉬프터

50 : 레벨 조절부

[발명의 상세한 설명]

본 발명은 반도체 메모리에 관한 것으로, 특히 반도체 메모리의 워드라인 구동회로에 관한 것이다.

일반적으로, 반도체 메모리에서 셀 트랜지스터의 임계전압 V_t (threshold voltage)은 다른 부분의 트랜지스터보다 상대적으로 높게 형성되는데, 그 이유는 셀 캐패시터에서 발생하는 누설 전류의 크기를 극소화하기 위한 것이다. 이 때문에 셀 트랜지스터를 통하여 데이터 신호가 전달될 때 높은 V_t 에 의한 커다란 전압강하로 인하여 데이터 값이 유실될 수 있다. 이를 방지하기 위하여 셀 트랜지스터의 게이트를 전원전압인 V_{dd} 레벨보다 더 높은 V_{pp} 레벨의 내부 승압전압으로 구동한다.

워드라인 구동회로는 어드레스 버퍼에서 디코더까지는 일반적인 V_{dd} 의 전원전압 레벨로 유지되며, 디코딩된 이후에는 내부 승압회로에 의해 V_{dd} 의 내부 승압전압 레벨로 전압이 상승한다.

승압전압(V_{pp})은 전원전압(V_{dd})이 승압회로의 전하펌핑(charge pumping) 동작에 의해 발생하므로, 장시간 공급하기에는 어려움이 많다. 따라서 승압전압(V_{pp})의 사용을 최소화하기 위하여 디코딩이 완료된 이후 실제로 워드라인을 구동할 때 승압전압(V_{pp})을 사용한다.

그러나, 이 경우에도 워드라인이 승압전압(V_{pp}) 레벨과 접지전압(V_{ss}) 레벨 사이를 천이하기 때문에, 매우 큰 소비전력이 요구되는 문제가 있다.

따라서, 본 발명의 목적은 워드라인 구동시 내부 승압전압(V_{pp})의 사용을 줄일 수 있는 워드라인 구동회로를 제공함에 있다.

이와 같은 목적의 본 발명은 제1 및 제2디코더와 레벨 쉬프터, 구동부, 레벨 조절부를 포함하여 이루어진다.

제1디코더는 메모리 소자의 외부로부터 입력되는 제1어드레스를 디코딩하여 위상이 서로 반대인 디코딩 신호를 출력한다.

제2디코더에는 제1어드레스에 동기되어 제2어드레스가 입력된다. 이 제2디코더는 제2어드레스가 인에이블될 때 전원전압 레벨로 천이되고 제2어드레스가 디스에이블되면 지연수단에 의해 소정시간이 경과한 이후 접지 레벨로 천이되는 프리-워드라인 지연신호를 발생시킨다.

또, 제2어드레스가 인에이블되면 지연수단에 의해 소정시간이 경과한 이후 전원전압 레벨로 천이되고 제2어드레스가 디스에이블될 때 접지 레벨로 천이되는 프리-워드라인 신호를 발생시킨다.

레벨 쉬프터는 프리-워드라인 신호(PWL)의 논리레벨에 따라 승압전압 또는 전원전압 레벨을 갖는 프리-워드라인 구동신호를 발생시킨다.

구동부는 디코딩 신호의 논리레벨에 따라 프리-워드라인 지연신호의 레벨 또는 접지 레벨로 워드라인을 구동한다.

레벨 조절부는 워드라인이 전원전압 레벨로 프리차지된 상태에서 제2어드레스가 인에이블되면 워드라인을 승압전압 레벨로 승압시키고 제2어드레스가 디스에이블되면 워드라인을 접지 레벨로 감압시킨다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다. 제1도는 본 발명에 따른 워드라인 구동회로의 회로도이며, 제2도는 제1도에 도시된 워드라인 구동회로의 동작 파형도이다.

본 발명에 따른 워드라인 구동회로는 제1 및 제2디코더(10)(20), 구동부(30), 레벨 쉬프터(40) 및 레벨 조절부(50)를 포함하여 이루어진다.

제1디코더(10)는 낸드 게이트(NA)와 인버터(I1)가 직렬로 연결되어 메모리 소자의 외부로부터 입력되는 제1어드레스(A_x)를 디코딩하여 위상이 서로 다른 디코딩 신호(CD)(/CD)를 발생시킨다. 제1어드레스(A_x)와 디코딩 신호(CD)(/CD)의 관계는 제2도의 (A), (B), (C)와 같다. 즉, A_x 와 /CD가 동일한 위상을 갖고, CD는 A_x 에 대하여 반대의 위상을 갖는다.

제2디코더(20)는 노어 게이트(N01)와 낸드 게이트(NA2), 지연 수단인 두 개의 인버터(I2)(I3)와 노어 게이트(N01)와 낸드 게이트(NA2)의 출력을 반전시키는 두 개의 인버터(I2)(I3)로 이루어진다. 제2디코더(20)는 제2어드레스(S_{Ax})를 디코딩하여 프리-워드라인 신호(PWL)와 프리-워드라인 지연신호(PWLdiy)를 발생시킨다.

제2디코더(20)에서, 2입력 노어 게이트(N01)의 제1입력은 제2어드레스(S_{Ax})가 직접 입력되는 것이고, 제2입력은 제2어드레스(S_{Ax})가 직렬 연결된 두 개의 인버터(I2)(I3)로 이루어지는 지연수단을 통하여 입력되는 것이다. 2입력 낸드 게이트(NA2)의 제1 입력 역시 제2어드레스(S_{Ax})가 직렬 연결된 두 개의 인버터

(12)(13)를 통하여 입력되는 것이다.

이 지연수단(즉, 두 개의 인버터 12, 13)의 작용에 의해 제2어드레스(SAx)에 대한 프리-워드라인 신호(PWL)와 프리-워드라인 지연신호(PWLdly)가 제2도의 (D), (E), (G)와 같은 관계를 갖는다. 제2어드레스(SAx)가 하이레벨로 천이하면 프리-워드라인 지연신호(PWLdly) 역시 거의 동시에 하이레벨로 천이하지만, 프리-워드라인 신호(PWL)는 지연수단(12, 13)의 지연시간 만큼 지연된 이후에 하이레벨로 천이한다. 반대로 제2어드레스(SAx)가 로우레벨로 천이하면 프리-워드라인 신호(PWL)는 거의 동시에 로우레벨로 천이하지만, 프리-워드라인 지연신호(PWLdly)는 지연수단(12, 13)의 지연시간만큼 지연된 이후에 로우레벨로 천이한다.

레벨 스위처(30)는 피모스 트랜지스터(P1)와 엔모스 트랜지스터(N3)가 승압전압(Vpp)과 접지 사이에 직렬 연결되고, 또 다른 피모스 트랜지스터(P2)와 엔모스 트랜지스터(N4)가 역시 승압전압(Vpp)과 접지 사이에 직렬 연결되어 이루어진다.

피모스 트랜지스터(P1)(P2)의 각각의 드레인과 게이트는 서로 교차 연결(cross coupled)된다. 레벨 스위처(30)의 구동 트랜지스터인 엔모스 트랜지스터(N3)는 제2디코더(20)에서 출력되는 프리-워드라인 신호(PWL)에 의해 제어되고, 엔모스 트랜지스터(N4)는 프리-워드라인 신호(PWL)의 반전된 신호에 의해 제어된다.

2입력 노어 게이트(N02)의 제1입력은 승압전압(Vpp)이 인버터(17)에 의해 반전된 것이고, 제2입력은 피모스 트랜지스터(P2)의 드레인 전압이다. 따라서 프리-워드라인 신호(PWL)가 하이레벨이면 피모스 트랜지스터(P2)의 드레인 전압 역시 승압전압(Vpp)에 따른 하이레벨이 되어 노어 게이트(N02)의 출력은 로우레벨이 된다. 그러나 프리-워드라인 신호(PWL)가 로우레벨이면 엔모스 트랜지스터(N4)가 턴온되어 피모스 트랜지스터(P2)의 드레인 전압은 접지전압에 의한 로우레벨이 된다. 따라서 이때 노어 게이트(N02)의 출력은 하이레벨이 된다.

노어 게이트(N02)의 출력은 피모스 트랜지스터(P3)와 엔모스 트랜지스터(N5)를 제어하는데 사용된다. 피모스 트랜지스터(P3)의 소스에는 승압전압(Vpp)이 공급되고, 엔모스 트랜지스터(N5)의 드레인에는 전원전압(Vdd)이 공급된다. 이 피모스 트랜지스터(P3)의 드레인 전압 또는 엔모스 트랜지스터(N5)의 소스 전압은 프리-워드라인 구동신호(PWLD)로서, 레벨 조절부(50)에 입력된다. 만약 노어 게이트(N02)의 출력이 로우레벨이면 피모스 트랜지스터(P3)가 턴 온되어 프리-워드라인 구동신호(PWLD)는 승압전압(Vpp) 레벨이 된다. 반대로 노어 게이트(N02)의 출력이 하이레벨이면 엔모스 트랜지스터(N5)가 턴 온되어 프리-워드라인 구동신호(PWLD)는 전원전압(Vdd) 레벨이 된다.

구동부(40)는 제2디코더(20)의 프리-워드라인 지연신호(PWLdly) 출력단과 접지 사이에 두 개의 엔모스 트랜지스터(N1)(N2)가 직렬 연결되어 이루어진다. 엔모스 트랜지스터(N1)는 제1디코더(10)에서 출력되는 /CD 신호에 의해 제어되고, 나머지 엔모스 트랜지스터(N2)는 CD 신호에 의해 제어된다. 이 구동부(40)의 출력이 워드라인(WL)을 구동하게 된다. 이때 워드라인 구동전압은 1차적으로 프리-워드라인 지연신호(PWLdly)에서 엔모스 트랜지스터(N1)의 임계전압을 뺀 전압, 즉, $V_{dd}-V_t$ 로 프리차지(pre-charge)되어 워드라인을 세트(set) 또는 리세트(reset)시킨다.

레벨 조절부(50)는 두 개의 피모스 트랜지스터(P4)(P5)와 하나의 엔모스 트랜지스터(N6)로 이루어진다. 피모스 트랜지스터(P4)의 소스에는 프리-워드라인 구동신호(PWLD)가 입력되고, 드레인은 워드라인(WL)에 연결된다. 또 다른 피모스 트랜지스터(P5)의 소스에는 승압전압(Vpp)이 입력되며 드레인은 워드바라인(/WL)에 입력된다. 엔모스 트랜지스터(N6)는 워드바라인(/WL)과 접지 사이에 연결된다. 두 개의 피모스 트랜지스터(P4)(P5)의 각각의 게이트와 드레인은 교차 연결(cross coupling)된다. 구동 트랜지스터인 엔모스 트랜지스터(N6)의 게이트는 워드라인(WL)의 전압에 의해 제어된다.

이와 같이 제1도에 나타낸 본 발명의 구성에 따르면, 제1어드레스(Ax)의 논리레벨은 디코딩 신호인 CD와 /CD의 논리레벨을 결정하고, 제2어드레스(SAx)의 논리레벨은 프리-워드라인 신호(PWL)와 프리-워드라인 지연신호(PWLdly)의 논리레벨을 결정한다. 또, 프리-워드라인 신호(PWL)는 프리-워드라인 구동신호(PWLD)의 논리레벨을 결정한다.

먼저, 제1어드레스(Ax)와 제2어드레스(SAx)가 모두 로우레벨일 때의 각 신호의 논리레벨을 살펴보면 다음과 같다.

제1어드레스(Ax)가 로우레벨인 동안에는 CD 신호만이 하이레벨로 활성화되어 엔모스 트랜지스터(N2)를 턴 온시킨다. 따라서 이때의 워드라인(WL)의 전압레벨은 접지전압 레벨이고, 워드바라인(/WL)은 승압전압(Vpp) 레벨이다.

제2어드레스(SAx)가 로우레벨인 동안에는 프리-워드라인 신호(PWL)와 프리-워드라인 지연신호(PWLdly)는 모두 로우레벨이다. 프리-워드라인 신호(PWL)가 로우레벨이므로, 제1도의 레벨 스위처(30)에서 출력되는 프리-워드라인 구동신호(PWLD)는 전원전압(Vdd) 레벨이다.

다음으로, 제1어드레스(Ax)와 제2어드레스(SAx)가 하이레벨로 천이하는 경우의 각 신호의 논리레벨의 변화는 다음과 같다.

제1어드레스(Ax)가 하이레벨로 천이하면 /CD 신호만이 하이레벨로 천이되어 워드라인(WL)의 전압은 프리-워드라인 지연신호(PWLdly)의 전압레벨에 따라 결정된다. 제2어드레스(SAx)가 하이레벨로 천이하면 프리-워드라인 지연신호(PWLdly)는 즉시 하이레벨로 천이하지만, 프리-워드라인 신호(PWL)는 아직 로우레벨의 상태로 유지된다. 하이레벨의 프리-워드라인 지연신호(PWLdly)는 워드라인(WL)의 전압을 $V_{dd}-V_t$ 레벨까지 상승시킨다. V_t 는 엔모스 트랜지스터(N1)의 임계전압이다. 이때 워드바라인(/WL)의 전압은 접지전압의 로우 레벨이다. 로우레벨의 워드바라인(/WL)전압에 의해 레벨 조절부의 피모스 트랜지스터(P4)가 턴 온되어 워드라인(WL)의 전압은 프리-워드라인 구동신호(PWLD)의 레벨에 따라 결정된다.

제2어드레스(SAx)가 하이레벨로 천이한 다음 소정의 지연시간이 경과하면 프리-워드라인 신호(PWL)도 하이레벨로 천이한다. 따라서 레벨 스위처(30)의 작용에 의해 프리-워드라인 구동신호(PWLD)는 승압전압

(Vpp)의 레벨이 된다. 전술한 바와 같이 제1어드레스(Ax)가 하이레벨로 천이하였을 때 워드라인(WL)의 전압은 프리-워드라인 구동신호(PWLD)의 전압레벨에 따라 결정되므로, 이때의 워드라인(WL)의 전압은 승압 전압(Vpp) 레벨이다.

이와 같이, 제1어드레스(Ax)와 제2어드레스(SAx)가 로우레벨에서 하이레벨로 천이할 때의 워드라인(WL)의 전압레벨의 변화가 제2도(H)에 나타나 있다. 제2도(H)에 나타난 바와 같이, 워드라인(WL)의 전압이 접지 레벨과 Vdd-Vt, Vdd, Vpp 레벨로 점진적으로 상승하는 것을 알 수 있다.

제1어드레스(Ax)가 하이레벨인 상태에서, 제2어드레스(SAx)가 로우레벨로 천이하는 경우의 각 신호의 논리레벨의 변화는 다음과 같다.

제1어드레스(Ax)가 계속 하이레벨로 유지되므로, 워드라인(WL)의 전압은 프리-워드라인 지연신호(PWLdly)의 전압레벨에 따라 결정된다. 제2어드레스(SAx)가 로우레벨로 천이하면, 프리-워드라인 신호(PWL)는 즉시 로우레벨로 천이하고, 프리-워드라인 지연신호(PWLdly)는 소정시간이 경과한 이후에 로우레벨로 천이한다.

프리-워드라인 신호(PWL)가 로우레벨로 천이함에 따라 레벨 쉬프터(30)에서 출력되는 프리-워드라인 구동신호(PWLD)는 승압전압(Vpp) 레벨에서 전원전압(Vdd) 레벨로 낮아진다. 결과적으로 워드라인(WL)의 전압레벨 역시 승압전압(Vpp)에서 전원전압(Vdd)레벨로 낮아진다. 워드바라인(/WL)의 전압은 계속 접지 레벨로 유지된다.

소정의 지연시간이 경과하여 프리-워드라인 지연신호(PWLdly)가 로우레벨로 천이하면 레벨 조절부(50)의 엔모스 트랜지스터(N6)가 턴 오프되어 워드바라인(/WL)은 승압전압(Vpp) 레벨로 상승한다. 이와 같이 워드라인(WL)의 전압이 하이레벨서 로우레벨로 천이하는 경우에는 Vpp, Vdd, 접지전압의 순서로 점진적으로 낮아지는 것을 알 수 있다.

따라서, 본 발명은 워드라인을 세트시킬 할 때 전원전압(Vdd) 레벨로 충전한 후 내부 승압전압(Vpp) 레벨로 충전하고 리셋 시킬 때 내부 승압전압(Vpp) 레벨에서 전원전압(Vdd) 레벨로 감압시킨 후 접지 레벨로 감압시키므로 내부 승압전압(Vpp)의 사용을 억제하여 전류소모를 감소시키는 효과를 제공한다.

(57) 청구의 범위

청구항 1

워드라인 구동회로에 있어서, 메모리 소자의 외부로부터 입력되는 제1어드레스를 디코딩하여 위상이 서로 반대인 디코딩 신호를 출력하는 제1디코더와; 상기 제1어드레스에 동기되어 제2어드레스가 입력되고, 상기 제2어드레스가 인에이블될 때 전원전압 레벨로 천이되고 상기 제2어드레스가 디스에이블되면 지연수단에 의해 소정시간이 경과한 이후 접지 레벨로 천이되는 프리-워드라인 지연신호를 발생시키며, 상기 제2어드레스가 인에이블되면 상기 지연수단에 의해 소정시간이 경과한 이후 상기 전원전압 레벨로 천이되고 상기 제2어드레스가 디스에이블될 때 상기 접지 레벨로 천이되는 프리-워드라인 신호를 발생시키는 제2디코더와; 상기 프리-워드라인 신호(PWL)의 논리레벨에 따라 승압전압 또는 상기 전원전압 레벨을 갖는 프리-워드라인 구동신호를 발생시키는 레벨 쉬프터; 상기 디코딩 신호의 논리레벨에 따라 상기 프리-워드라인 지연신호의 레벨 또는 상기 접지 레벨로 워드라인을 구동하는 구동부와; 상기 워드라인이 상기 전원전압 레벨로 프리차지된 상태에서 상기 제2어드레스가 인에이블되면 상기 워드라인을 상기 승압전압 레벨로 승압시키고 상기 제2어드레스가 디스에이블되면 상기 워드라인을 상기 접지 레벨로 감압시키는 레벨 조절부를 포함하는 워드라인 구동회로.

청구항 2

제1항에 있어서, 상기 제2디코더는, 제1입력단에 상기 제2어드레스가 직접 입력되고, 제2입력단에 상기 제2어드레스가 지연수단을 통하여 입력되는 노어 게이트와; 제1입력단에 상기 제2어드레스가 직접 입력되고, 제2입력단에 상기 제2어드레스가 지연수단을 통하여 입력되는 낸드 게이트를 포함하여 이루어지는 워드라인 구동회로.

청구항 3

제2항에 있어서, 상기 노어 게이트의 출력신호가 반전되어 상기 프리-워드라인 지연신호로서 출력되는 워드라인 구동회로.

청구항 4

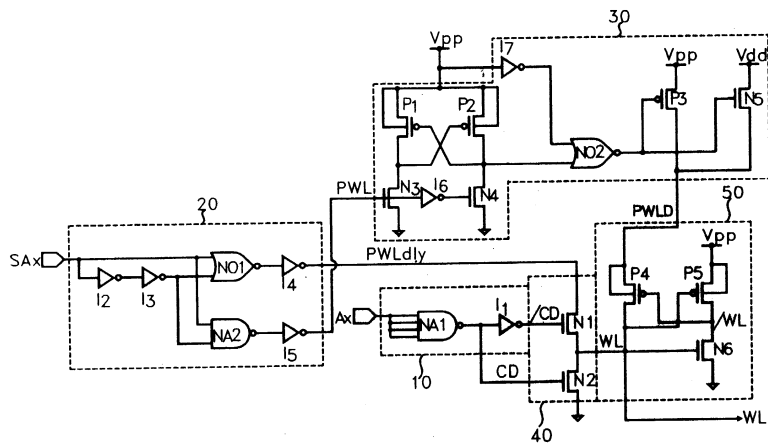
제2항에 있어서, 상기 제2디코더는 낸드 게이트의 출력신호를 반전시켜 프리-워드라인 신호(PWL)를 출력하도록 이루어지는 워드라인 구동회로.

청구항 5

제1항에 있어서, 상기 레벨 쉬프터는 상기 프리-워드라인 신호에 의해 선택적으로 턴 온되어 상기 프리-워드라인 구동신호(PWLD)가 상기 승압전압 레벨 또는 상기 전원전압 레벨로 승압되도록 하는 피모스 트랜지스터 및 엔모스 트랜지스터를 포함하여 이루어지는 워드라인 구동회로.

도면

도면1



도면2

