

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-189767

(P2006-189767A)

(43) 公開日 平成18年7月20日(2006.7.20)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H092
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611J	5C006
<b>G09G 3/36 (2006.01)</b>	G09G 3/20 621A	5C080
	G09G 3/20 622B	

審査請求 有 請求項の数 15 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-190892 (P2005-190892)  
 (22) 出願日 平成17年6月30日 (2005.6.30)  
 (31) 優先権主張番号 2004-118456  
 (32) 優先日 平成16年12月31日 (2004.12.31)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046  
 エルジー・フィリップス エルシーデー  
 カンパニー, リミテッド  
 大韓民国 ソウル, ヨンドゥンポーク, ヨ  
 イドードン 20  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100085176  
 弁理士 加藤 伸晃  
 (74) 代理人 100106703  
 弁理士 産形 和央  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100096943  
 弁理士 臼井 伸一

最終頁に続く

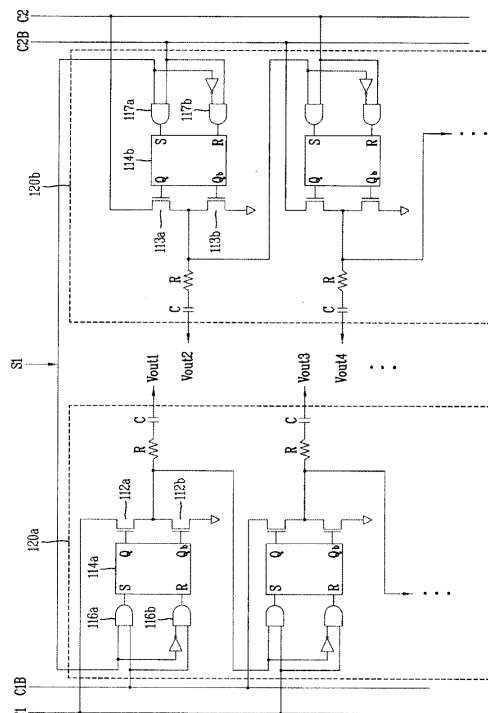
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】 ゲートラインを通して画素領域内の薄膜トランジスタに供給される走査信号のパルス幅を薄膜トランジスタのオンタイムより長くすることにより、信号のパルス立ち上がりの遅延による不良を防止すると共に、隣接するゲートラインに重なる走査信号を供給することにより、サイズやコストを増大・増加させることなく、信号のパルス立ち上がりの遅延による不良を効率的に防止する液晶表示素子を提供する。

【解決手段】 液晶表示素子は、複数のゲートラインと複数のデータラインとにより定義される複数の画素を備え、各画素に薄膜トランジスタを備える画素領域を含む液晶パネルと、非晶質半導体からなり液晶パネル内に形成され、上記画素領域の薄膜トランジスタのオンタイムより長いパルス幅を有する走査信号をゲートラインに入力するゲート駆動部と、データラインと接続されてデータラインに画像信号を入力するデータ駆動部とを含む。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

複数のゲートラインと複数のデータラインとにより定義される複数の画素を備え、前記各画素に薄膜トランジスタを備える画素領域を含む液晶パネルと、

非晶質半導体からなり前記液晶パネル内に形成され、前記画素領域の薄膜トランジスタのオンタイムより長いパルス幅を有する走査信号を前記ゲートラインに入力するゲート駆動部と、

前記データラインと接続されて前記データラインに画像信号を入力するデータ駆動部と、

を含むことを特徴とする液晶表示素子。

10

## 【請求項 2】

前記ゲート駆動部が、

奇数番目のゲートラインに走査信号を供給する第 1 のゲート駆動部と、

偶数番目のゲートラインに走査信号を供給する第 2 のゲート駆動部と、

からなることを特徴とする請求項 1 に記載の液晶表示素子。

## 【請求項 3】

前記第 1 のゲート駆動部及び / 又は前記第 2 のゲート駆動部がそれぞれ同期化された信号を順次出力することを特徴とする請求項 2 に記載の液晶表示素子。

## 【請求項 4】

前記第 1 のゲート駆動部と前記第 2 のゲート駆動部とから出力されて隣接するゲートラインに供給される走査信号は、パルス幅が重なることを特徴とする請求項 2 に記載の液晶表示素子。

20

## 【請求項 5】

前記隣接するゲートラインに供給される走査信号は、パルス幅が半周期重なることを特徴とする請求項 4 に記載の液晶表示素子。

## 【請求項 6】

前記第 1 のゲート駆動部及び前記第 2 のゲート駆動部がそれぞれ、

クロック信号を出力するクロック発生部と、

前記クロック発生部から入力されたクロック信号によって出力電圧を出力する複数のシフトレジスタと、

を含むことを特徴とする請求項 2 に記載の液晶表示素子。

30

## 【請求項 7】

前記シフトレジスタに、スタート信号が入力されることを特徴とする請求項 6 に記載の液晶表示素子。

## 【請求項 8】

第 2 段以後のシフトレジスタのスタート信号が、直前段の出力電圧であることを特徴とする請求項 7 に記載の液晶表示素子。

## 【請求項 9】

前記第 1 のゲート駆動部と前記第 2 のゲート駆動部とから出力されるクロック信号は、一部のパルスが重なることを特徴とする請求項 6 に記載の液晶表示素子。

40

## 【請求項 10】

前記第 1 のゲート駆動部と前記第 2 のゲート駆動部とが、前記液晶パネルの左右両側面に配置され、前記奇数番目のゲートラインと前記偶数番目のゲートラインとに両方向から信号を供給することを特徴とする請求項 2 に記載の液晶表示素子。

## 【請求項 11】

複数のゲートラインと複数のデータラインとにより定義される複数の画素を備え、前記各画素に薄膜トランジスタを備える画素領域を含む液晶パネルと、

非晶質半導体からなり前記液晶パネル内に形成され、隣接するゲートラインにそれぞれ互いに重なる走査信号を供給するゲート駆動部と、

前記データラインと接続されて前記データラインに画像信号を入力するデータ駆動部と

50

を含むことを特徴とする液晶表示素子。

【請求項 1 2】

前記隣接するゲートラインに供給される走査信号は、パルス幅が半周期重なることを特徴とする請求項 1 1 に記載の液晶表示素子。

【請求項 1 3】

前記ゲート駆動部が、  
奇数番目のゲートラインに走査信号を供給する第 1 のゲート駆動部と、  
偶数番目のゲートラインに走査信号を供給する第 2 のゲート駆動部と、  
からなることを特徴とする請求項 1 1 に記載の液晶表示素子。

10

【請求項 1 4】

前記第 1 のゲート駆動部及び前記第 2 のゲート駆動部がそれぞれ、  
クロック信号を出力するクロック発生部と、  
前記クロック発生部から入力されたクロック信号によって出力電圧を出力する複数のシフトレジスタと、  
を含むことを特徴とする請求項 1 3 に記載の液晶表示素子。

【請求項 1 5】

前記第 1 のゲート駆動部と前記第 2 のゲート駆動部とが、前記液晶パネルの左右両側面に配置され、前記奇数番目のゲートラインと前記偶数番目のゲートラインとに両方向から信号を供給することを特徴とする請求項 1 4 に記載の液晶表示素子。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示素子に関し、特に、ゲートラインに供給される走査信号を設定されたパルス幅より延長することにより、信号のパルス立ち上がりの遅延による不良を防止できる液晶表示素子に関する。

【背景技術】

【0002】

液晶表示装置（以下、「LCD」という。）は、透過型フラットパネルディスプレイであって、携帯電話、PDA、ノートブックコンピュータのような各種電子機器に広く適用されている。近年、このようなLCDは、軽薄短小化が可能であり、高画質を実現できるという点で、他のフラットパネルディスプレイに比べて実用化が急速に進んでいる。さらに、デジタルテレビ、高画質テレビ、壁掛けテレビに対する要求が増加するにつれて、テレビに適用できる大面積のLCDに対する研究がさらに活発に行われている。

30

【0003】

一般に、LCDは、液晶分子を動作させる方法によっていくつかの方式に分けられるが、現在は、反応速度が速く残像が少ないという点で、主にアクティブマトリクス薄膜トランジスタLCDが使用されている。

【0004】

図7に前記薄膜トランジスタLCDの液晶パネル1の構造を示す。図7に示したように、液晶パネル1には、縦横に配列されて複数の画素を定義する複数のゲートライン3と複数のデータライン5とが形成されている。各画素内には、スイッチング素子である薄膜トランジスタが配置され、ゲートライン3を通して走査信号が入力された際にスイッチングされて、データライン5を通して入力される画像信号を液晶層9に供給する。図7において、符号11は蓄積キャパシタであり、入力されるデータ信号を次の走査信号が供給されるまで維持する役割を果たす。

40

【0005】

走査信号は、ゲート駆動部20からゲートライン3に供給され、画像信号は、データ駆動部34からデータライン5に供給される。通常、ゲート駆動部20とデータ駆動部34は、駆動IC（driver Integrated Circuit）からなり、液晶パネル1の外部に配置され

50

ていたが、図7に示したように、近年、ゲート駆動部20が液晶パネル1に一体に形成された構造の液晶表示素子に関する研究が活発に行われている。このように、ゲート駆動部20を液晶パネル1と一体に形成することにより、液晶表示素子の体積を減少させると共に、製造コストを削減することができる。

#### 【0006】

一方、データ駆動部34は、液晶パネル1とプリント基板(PCB)36とを接続させるフレキシブルプリント基板(FPCB)30上に装着され、データライン5を通して液晶層9に画像信号を供給する。このとき、プリント基板36には、タイミング制御部のような部品と配線が形成される。

#### 【0007】

図8は、ゲート駆動部20の構造を示す概略図である。図8に示したように、ゲート駆動部20は、複数のシフトレジスタ22を備えており、シフトレジスタ22から信号が順次出力されてゲートラインG1~Gnに供給される。シフトレジスタ22には、クロック発生部24が接続されて、クロック発生部24から発生したクロック信号が供給される。また、シフトレジスタ22には、スタート信号が入力されるが、第1段以後のシフトレジスタ22には、直前段の出力信号がスタート信号として入力される。

#### 【0008】

図9は、前述したような構造のシフトレジスタ22に入力されるスタート信号Sとクロック信号C1、C2、C3、C4、及びシフトレジスタ22から出力される出力電圧Vout1~Voutnを示す波形図である。各段にスタート信号C1、C2、C3、C4とクロック信号Sが入力されることによって、各段のシフトレジスタ22では、出力電圧Vout1~Voutnを出力してゲートラインに順次供給する。

#### 【0009】

一方、ゲート駆動部は、液晶パネル部と一体に形成される。即ち、シフトレジスタ22が液晶パネル部と一体に基板上に形成される。従って、シフトレジスタ22を構成するトランジスタなどは、液晶パネル部の画素領域に形成されるスイッチング素子である薄膜トランジスタと同様に、フォトリソグラフィにより形成される。従って、このトランジスタは、通常、非晶質シリコンで形成するが、このように非晶質シリコンで形成されたトランジスタが備えられたシフトレジスタが採用されたゲート駆動部には、次のような問題が発生する。

#### 【0010】

一般に、シフトレジスタ22から出力された出力電圧が、走査信号としてゲートラインを通して画素領域の薄膜トランジスタに供給されることによって、薄膜トランジスタがターンオンすると共に、データ駆動部から供給される画像信号がターンオンした薄膜トランジスタのチャネルを通して蓄積キャパシタに充電される。即ち、図9に示す矩形波状の出力電圧の1周期(1H、即ち、液晶パネルの薄膜トランジスタがターンオンするオンタイム、又は画素に信号が供給される信号供給時間)に液晶層に信号が供給されると共に、蓄積キャパシタに信号が充電される。

#### 【0011】

一方、非晶質シリコンは、電界効果移動度が低いことが知られている。このような低い電界効果移動度は、画素領域の薄膜トランジスタに供給される走査信号(即ち、シフトレジスタの出力電圧)が完全な矩形波になることを妨害する。即ち、図10に示すように、信号の上昇時間と下降時間が遅延して理想的な矩形波に達しないテールエリア(tail area)が形成される。このような波形は、薄膜トランジスタのオンタイムを減少させるため、液晶パネルに画像信号の有効充電時間を減少させ、その結果、液晶表示素子の画質を低下させる主な原因となる。

#### 【0012】

特に、近年、液晶表示素子の解像度が増加するにつれて、画像信号の充電時間は次第に減少する傾向にある。例えば、QVGA級液晶表示素子の場合、1つの画素における充電時間が約60μsecであるのに対し、高解像度であるXGA級液晶表示素子の場合、

10

20

30

40

50

1つの画素における充電時間が約20 $\mu$ sである。

【発明の開示】

【発明が解決しようとする課題】

【0013】

このように、充電時間の減少によって、低い電界効果移動度による走査信号におけるパルス立ち上がりの遅延は、相対的にさらに大きな有効充電時間の減少を誘発するため、高解像度になるにつれて液晶表示素子の画質がさらに低下するという問題があった。

【0014】

低い電界効果移動度による問題を解決するためには、薄膜トランジスタを非常に大きく（例えば、数千 $\mu$ m程度）製作しなければならないが、この場合、ゲート駆動部を形成するための領域が大幅に増加するため、薄膜トランジスタを大きく形成する場合の問題を解決することは実質的に不可能であった。

10

【0015】

本発明は、このような問題を解決するためになされたもので、ゲートラインを通して画素領域内の薄膜トランジスタに供給される走査信号のパルス幅を薄膜トランジスタのオンタイムより長くすることにより、信号のパルス立ち上がりの遅延による不良を防止できる液晶表示素子を提供することを目的とする。

【0016】

本発明の他の目的は、隣接するゲートラインに重なる走査信号を供給することにより、サイズやコストを増大・増加させることなく、信号のパルス立ち上がりの遅延による不良

20

を効率的に防止できる液晶表示素子を提供することにある。

【課題を解決するための手段】

【0017】

このような目的を達成するために、本発明による液晶表示素子は、複数のゲートラインと複数のデータラインとにより定義される複数の画素を備え、各画素に薄膜トランジスタを備える画素領域を含む液晶パネルと、この液晶パネルに形成され、画素領域の薄膜トランジスタのオンタイムより長いパルス幅を有する走査信号をゲートラインに入力するゲート駆動部と、データラインと接続されてデータラインに画像信号を入力するデータ駆動部とを含む。

【0018】

上記ゲート駆動部が、奇数番目のゲートラインに走査信号を供給する第1のゲート駆動部と、偶数番目のゲートラインに走査信号を供給する第2のゲート駆動部とからなり、第1のゲート駆動部及び/又は第2のゲート駆動部がそれぞれ同期化された信号を順次出力すると共に、第1のゲート駆動部と第2のゲート駆動部とから出力されて隣接するゲートラインに供給される走査信号は、パルス幅が重なる。

30

【0019】

また、第1のゲート駆動部及び第2のゲート駆動部がそれぞれ、クロック信号を出力するクロック発生部と、このクロック発生部から入力されたクロック信号によって出力電圧を出力する複数のシフトレジスタとを含む。シフトレジスタは、出力部分に形成された第1及び第2のトランジスタと、第1及び第2のトランジスタのゲートに接続されたフリッ

40

プフロップと、クロック信号及びスタート信号が入力されてフリップフロップに信号を供給する論理ゲートとからなる。

【発明の効果】

【0020】

本発明によれば、ゲートラインに供給される走査信号のパルス幅を画素領域の薄膜トランジスタのオンタイムより長く延長することにより、走査信号にパルス立ち上がりの遅延がある場合でも、薄膜トランジスタが設定された時間の間ターンオン状態を維持する。従って、ゲート駆動部に形成される薄膜トランジスタのサイズを増大させること、又は高価な多結晶シリコンを使用することをしなくても、信号のパルス立ち上がりの遅延による不良を効率的に防止することができる。

50

## 【発明を実施するための最良の形態】

## 【0021】

画素領域に形成された薄膜トランジスタに供給される走査信号の歪み（即ち、信号のパルス立ち上がりの遅延により出力波形が延びる現象）を防止するために、次のような方法があり得る。第1に、前述したように、トランジスタのサイズを増大させて低い電界効果移動度による影響を最小化する方法があり、第2に、トランジスタを非晶質シリコンに代えて多結晶シリコンで形成することにより電界効果移動度を向上させる方法がある。第1の方法は、前述したように、トランジスタのサイズを増大によって、液晶パネルに一体に形成されるゲート駆動部のサイズが増大するため、実質的に不可能な方法である。第2の方法は、実質的に可能な方法であるが、製造コストが増加し、製造工程が複雑になるとい

10

## 【0022】

本発明においては、最も簡単な方法により、ゲートラインに供給される走査信号の歪みを防止する。言い換えれば、本発明は、多結晶シリコンを使用したり、ゲート駆動部のサイズを増大させたりすることなく、走査信号の歪みを実質的に防止するものである。

## 【0023】

走査信号の歪みは、画素領域内のスイッチング素子である薄膜トランジスタのオンタイムを減少させ、これにより、薄膜トランジスタのオンタイムに画素内に画像信号が充電される充電時間が短くなる。従って、トランジスタのオンタイムを設定された時間になるように確保することができれば、半導体層の結晶化やトランジスタのサイズを増大は必要なくなる。

20

## 【0024】

本発明は、次のような観点で提案されたものである。本発明は、トランジスタのオンタイム、即ち、画素領域のスイッチング素子である薄膜トランジスタに供給される走査信号のパルス幅を調整して、設定された時間の間、薄膜トランジスタを完全にターンオンにすることにより不良を防止するものである。

## 【0025】

図1に本発明のシフトレジスタから出力されてゲートラインを通して画素領域の薄膜トランジスタに供給される出力電圧（即ち、走査信号） $V_{out1}$ 、 $V_{out2}$ 、 $V_{out3}$ 、 $V_{out4}$ を示す。それぞれの出力電圧は、それぞれのゲートラインに入力されて該当するゲートラインに接続された薄膜トランジスタを駆動させる。図1に示したように、本発明においては、隣接するゲートラインに入力されるパルスと重なるように、特定ゲートラインに入力される出力電圧のパルス幅を延長することによって、非晶質半導体の低い電界効果移動度による信号のパルス立ち上がりの遅延がある場合でも、該当するゲートラインに接続された薄膜トランジスタを設定された時間の間、完全にターンオンにすることができる。このとき、クロック発生部から発生してシフトレジスタに入力されるクロック信号も、設定されたパルス幅より延長して前後のパルスが重なる。

30

## 【0026】

図2は、液晶パネルのデータラインに供給されるソースデータ、及びゲートラインに供給される従来の走査信号と本発明の走査信号を示す波形図である。画素にソース信号を完全に充電するためには、図2に示したように、ソース信号のパルス幅Hの間、薄膜トランジスタがターンオンしていなければならない。しかしながら、従来の場合、パルスが延びて、 $t_1$ 期間にパルスの立ち上がりが遅延した走査信号がゲートラインを通して画素領域の薄膜トランジスタに供給される。従って、薄膜トランジスタは、H1期間には完全にターンオンするが、 $t_1$ 期間には部分的にターンオンするため（閾値電圧以上の信号のみでターンオンするため）、薄膜トランジスタを通して供給されるソースデータの一部分のみが画素に入力される。

40

## 【0027】

本発明においては、図2に示したように、ゲートラインに供給される走査信号のパルス幅を $t_2$ 期間だけ延長する。 $t_2$ は信号のパルスの立ち上がりが遅延した期間であり、従

50

来の波形の立ち上がりが遅延した期間  $t_1$  と実質的に同じであるため（即ち、 $t_1 = t_2$ ）、パルス幅  $H$  の間には完全な矩形波のパルスが入力されて、パルス幅  $H$  の間に画素領域の薄膜トランジスタがターンオンする。従って、画素には完全なソース信号が充電される。

#### 【0028】

このように、本発明においては、非晶質半導体を使用する場合、低い電界効果移動度による信号のパルス立ち上がりの遅延を考慮して、立ち上がりが遅延する信号の幅だけパルス幅を長くすることにより、画素領域の薄膜トランジスタが所望の時間ターンオンになって、ソース信号が完全に画素に充電されるようにする。このような信号の供給により、それぞれのゲートラインに供給される信号は、図1に示すように、隣接するゲートラインに供給される信号と重なって供給される。

10

#### 【0029】

図3は、このような信号波形が採択された本発明による液晶表示素子の構造を示す図である。図3に示す本発明による液晶表示素子は、図7に示す構造の液晶表示素子とゲート駆動部120a、120bを除いては実質的に同様であるので、その詳細な説明を省略し、ゲート駆動部120a、120bを中心に説明する。

#### 【0030】

図3に示したように、液晶パネル101の外郭領域、即ち、画素領域の外部には、第1及び第2のゲート駆動部120a、120bが形成されている。第1及び第2のゲート駆動部120a、120bは、画素領域の薄膜トランジスタと同様の工程により一体に形成されたもので、その内部には、非晶質半導体からなる薄膜トランジスタが形成される。ここで、第1のゲート駆動部120aは、画素領域に形成されるゲートライン103のうち、奇数番目のゲートライン103に接続され、第2のゲート駆動部120bは、偶数番目のゲートライン103に接続される。言い換えれば、ゲートライン103は、第1のゲート駆動部120aと第2のゲート駆動部120bとに交互に接続され、第1及び第2のゲート駆動部120a、120bから走査信号が供給される。

20

#### 【0031】

ここで、第1のゲート駆動部120aと第2のゲート駆動部120bとからは、それぞれ順次的な出力電圧（即ち、走査信号）が出力されるが、第1のゲート駆動部120aと第2のゲート駆動部120bとから出力される出力信号は互いに重なって、隣接するゲートライン103には重なる走査信号が供給される。

30

#### 【0032】

前述したように、本発明においては、ゲートライン103に走査信号を供給する第1のゲート駆動部120aと第2のゲート駆動部120bを液晶パネルの両側面に配置してゲートライン103に信号を供給するが、第1及び第2のゲート駆動部120a、120bの構造や位置が特別に重要なものではない。言い換えれば、延長したパルス幅を有する信号を出力して、画素領域の薄膜トランジスタを設定された時間の間、完全にターンオンにすることができれば、ゲート駆動部は、1つとして形成することもでき、2つに分離して形成することもできる。また、その形成位置も、別個の順次的な信号を出力して結果的に重なる信号をゲートラインに供給することができれば、いかなる位置に形成してもよい。

40

#### 【0033】

このように構成されたゲート駆動部120a、120bの詳細な構造について図4を参照して説明する。

#### 【0034】

図4は、ゲート駆動部120a、120bに形成されて信号を画素領域のゲートラインに出力するシフトレジスタを示す図である。

#### 【0035】

図示のように、第1のゲート駆動部120a及び第2のゲート駆動部120bは、それぞれ複数の第1のシフトレジスタ122a及び複数の第2のシフトレジスタ122bを備え、第1のシフトレジスタ122a及び第2のシフトレジスタ122bからは信号が順次

50

出力されて、それぞれ奇数番目のゲートライン  $G_1 \sim G_{(2n-1)}$  及び偶数番目のゲートライン  $G_2 \sim G_{2n}$  に供給される。

【0036】

第1のシフトレジスタ122a及び第2のシフトレジスタ122bは、それぞれ第1のクロック発生部124a及び第2のクロック発生部124bと接続されて、第1のクロック発生部124a及び第2のクロック発生部124bから発生したクロック信号が第1のシフトレジスタ122a及び第2のシフトレジスタ122bに供給される。また、第1のシフトレジスタ122a及び第2のシフトレジスタ122bには、それぞれスタート信号  $S_1$ 、 $S_2$  が入力され、第1段以後の第1のシフトレジスタ122a及び第2のシフトレジスタ122bには、直前段の出力信号がスタート信号として入力される。

10

【0037】

このとき、第1のシフトレジスタ122a及び第2のシフトレジスタ122bから出力されてゲートライン  $G_1 \sim G_{2n}$  に供給される走査信号は、そのパルスが画素領域の薄膜トランジスタのオンタイムだけ延長して、前後の信号と一部が重なった波形を有する。

【0038】

以下、前述したような信号を出力するゲート駆動部のシフトレジスタの詳細な回路について波形図を参照して説明する。

【0039】

図5は、本発明の図4に示す第1及び第2のゲート駆動部120a、120bのシフトレジスタを詳細に示す回路図である。図5にはフリップフロップを示しているが、これは、シフトレジスタの機能を説明するために概念的に示すものである。従って、フリップフロップは、特定の電気素子を示すものではなく、シフトレジスタを機能的に表現するための一例として示すものである。従って、以下に記載されたフリップフロップという用語の代わりに、機能を表現する適切な用語を使用することもできる。

20

【0040】

図5に示すように、第1のゲート駆動部120aの第1段のシフトレジスタの出力部分には、第1のトランジスタ112a及び第2のトランジスタ112bが接続されており、第2のゲート駆動部120bの第1段のシフトレジスタの出力部分には、第3のトランジスタ113a及び第4のトランジスタ113bが接続されている。第1及び第2のトランジスタ112a、112bと第3及び第4のトランジスタ113a、113bのゲートは、それぞれ第1のフリップフロップ114aと第2のフリップフロップ114bのQ端子、Qb端子にそれぞれ接続されている。また、第1のフリップフロップ114aのS、R入力端子には、第1の論理ゲート116aと第2の論理ゲート116bが接続されており、第2のフリップフロップ114bのS、R入力端子には、第3の論理ゲート117aと第4の論理ゲート117bが接続されている。

30

【0041】

第1のトランジスタ112a及び第3のトランジスタ113aのソースは、それぞれクロック発生部(図示せず)に接続されてクロック信号  $C_1$ 、 $C_2$  が入力され、第1のトランジスタ112a及び第3のトランジスタ113aのドレインと、第2のトランジスタ112b及び第4のトランジスタ113bのソースには、出力端が接続される。また、第2のトランジスタ112b及び第4のトランジスタ113bのドレインは、接地に接続される。第1のフリップフロップ114a及び第2のフリップフロップ114bのS、R入力端子にそれぞれ接続された論理ゲート116a、116b、117a、117bには、それぞれクロック信号  $C_1B$ 、 $C_2B$  とスタート信号  $S_1$  が入力される。

40

【0042】

図6は、このような構造を有する第1及び第2のゲート駆動部120a、120bのスタート信号  $S_1$  とクロック信号  $C_1$ 、 $C_1B$ 、 $C_2$ 、 $C_2B$ 、及び出力端を通して出力されてゲートラインに供給される出力電圧  $V_{out1}$ 、 $V_{out2}$ 、 $V_{out3}$ 、 $V_{out4}$  を示す波形図である。図6においては、波形を第1のゲート駆動部と第2のゲート駆動部とに分けて示す。

50



## 【0043】

図6に示したように、第1のクロック発生部(図示せず)から出力されるクロック信号C1、C1Bは、従来のクロック信号に比べて2倍に延長した信号であり、同期化されて第1のゲート駆動部120aのシフトレジスタに順次供給され、第2のクロック発生部(図示せず)から出力されるクロック信号C2、C2Bも、従来のクロック信号に比べて2倍に延長した信号であり、同期化されて第2のゲート駆動部120bのシフトレジスタに順次供給される。ここで、第1のゲート駆動部120a及び第2のゲート駆動部120bの第1段のシフトレジスタからそれぞれ出力される信号(即ち、C1及びC2、C1B及びC2B)は、ハイ状態のパルス幅に対して半周期が重なる信号である(もちろん、この重なる程度は半周期に限定されない)。

10

## 【0044】

以下、このようなスタート信号S1とクロック信号C1、C1B、C2、C2Bによるシフトレジスタの動作とその出力波形を詳細に説明する。

## 【0045】

まず、図5に示すように、第1のゲート駆動部120aの第1段のシフトレジスタにロー状態のスタート信号S1が入力されると共に、ロー状態のクロック信号C1、C1Bが入力されると、第1のフリップフロップ114aのS、R入力端子にはそれぞれロー状態の信号が供給されるため、第1のフリップフロップ114aは以前の状態を維持して、Q端子からはハイ状態の信号を出力し、Qb端子からはロー状態の信号を出力する。従って、第1のトランジスタ112aはターンオンし、第2のトランジスタ112bはオフ状態を維持するため、クロック信号C1が出力電圧Vout1に出力されるので出力電圧Vout1はロー状態となる。

20

## 【0046】

次に、ハイ状態のスタート信号S1とロー状態のクロック信号C1、C1Bが入力されると、第1のフリップフロップ114aのS、R入力端子にはそれぞれロー状態の信号が供給されるため、第1のフリップフロップ114aは以前の状態を維持して、Q端子からはハイ状態の信号を出力し、Qb端子からはロー状態の信号を出力する。従って、第1のトランジスタ112aはターンオン状態を維持し、第2のトランジスタ112bはオフ状態を維持するため、クロック信号C1が出力電圧Vout1に出力されるので出力電圧Vout1はロー状態となる。

30

## 【0047】

その後、スタート信号S1がハイ状態を維持する状態でクロック信号C1がハイ状態になると、ハイ状態のクロック信号C1がターンオンになった第1のトランジスタ112aを通して出力されるため、出力電圧Vout1はハイ状態となる。このようなハイ状態の出力電圧Vout1は、クロック信号C1Bがハイ状態になるまで維持される。即ち、クロック信号C1Bがハイ状態になると(このとき、スタート信号S1はロー状態)、第1のフリップフロップ114aのS、R端子にはそれぞれロー状態の信号、ハイ状態の信号が入力されるため、第1のフリップフロップ114aはリセットになり、Q、Qb出力端子にはそれぞれロー状態の信号、ハイ状態の信号が出力されて、第1のトランジスタ112aはターンオフになり、第2のトランジスタ112bはターンオンになる。従って、出力電圧Vout1はロー状態となる。

40

## 【0048】

その後、ロー状態のスタート信号S1が入力され、ハイ状態のクロック信号C1とロー状態のクロック信号C1Bが入力されると、第1のフリップフロップ114aのS、R入力端子にはそれぞれロー状態の信号が供給されるため、第1のフリップフロップ114aは以前の状態を維持して、Q端子、Qb端子にはそれぞれロー状態の信号、ハイ状態の信号が出力される。従って、第1のトランジスタ112a、第2のトランジスタ112bは、それぞれターンオン状態、ターンオフ状態を維持して、出力電圧Vout1はロー状態となる。このような出力電圧Vout1のロー状態は以後継続する。

## 【0049】

50

このように、スタート信号  $S_1$  が第 1 のシフトレジスタの第 1 段に入力されることによって、第 1 段のシフトレジスタの出力端に出力電圧  $V_{out1}$  が出力されると、この電圧が液晶表示素子の第 1 のゲートラインに供給される。

【0050】

第 1 のゲート駆動部 120a の第 1 段のシフトレジスタから出力された出力電圧  $V_{out1}$  は、次段のスタート信号として入力され、次段のシフトレジスタをイネーブルにする。次段のシフトレジスタでは、第 1 段のシフトレジスタと同様の動作を繰り返して第 1 の出力電圧  $V_{out1}$  と同期し、順次的な第 3 の出力電圧  $V_{out3}$  を出力して第 3 のゲートラインに供給する。このような動作が繰り返されて、奇数番目のゲートラインには順次的な出力電圧  $V_{out1} \sim V_{out(2n-1)}$  が供給される。

10

【0051】

一方、第 2 のゲート駆動部 120b の第 1 段のシフトレジスタには、第 1 のゲート駆動部 120a の第 1 段のシフトレジスタに入力されるクロック信号  $C_1$ 、 $C_1B$  と半周期が重なったクロック信号  $C_2$ 、 $C_2B$  が入力される。このようなクロック信号  $C_2$ 、 $C_2B$  とスタート信号  $S_1$  の入力により、第 1 の出力電圧  $V_{out1}$  と半周期が重なる第 2 の出力電圧  $V_{out2}$  が出力されて第 2 のゲートラインに供給される。また、第 2 の出力電圧  $V_{out2}$  が次段のシフトレジスタにスタート信号として入力されて、第 2 の出力電圧  $V_{out2}$  と順次的な第 4 の出力電圧  $V_{out4}$  が出力されて第 4 のゲートラインに入力され、このような過程が繰り返されて、第 2 のゲート駆動部 120b のシフトレジスタには、第 1 のゲート駆動部 120a のシフトレジスタから出力される出力電圧  $V_{out1} \sim V_{out(2n-1)}$  と半周期が重なった出力電圧  $V_{out2} \sim V_{out2n}$  が偶数のゲートラインに供給される。

20

【0052】

前述したように、本発明による液晶表示素子においては、出力電圧を順次出力する複数のシフトレジスタを備える第 1 及び第 2 のゲート駆動部が液晶パネルに個別に備えられて、第 1 及び第 2 のゲート駆動部がそれぞれ奇数番目及び偶数番目のゲートラインに別途に出力電圧を供給する。このとき、上記奇数番目及び偶数番目のゲートラインに交互に走査信号を供給する第 1 及び第 2 のゲート駆動部のシフトレジスタから出力される出力電圧（即ち、走査信号）は、画素領域のスイッチング素子である薄膜トランジスタのオンタイムより長いパルス幅を有するため、互いに所定のパルス幅（例えば、半周期）が重なる。従って、シフトレジスタに形成される薄膜トランジスタが非晶質半導体からなり、低い電界効果移動度による走査信号のパルス立ち上がりの遅延がある場合でも、液晶パネル内の画素領域の薄膜トランジスタに供給される信号は薄膜トランジスタを完全にターンオンにすることができるため、薄膜トランジスタのオンタイムの減少による不良を防止することができる。

30

【0053】

前述したような点を勘案すると、第 1 のゲート駆動部と第 2 のゲート駆動部とのシフトレジスタからそれぞれ出力される走査信号のパルス延長幅（言い換えれば、隣接する信号との重なり幅）は、半周期のみに限定される必要はない。即ち、非晶質半導体の低い電界効果移動度による走査信号のパルス立ち上がりの遅延の程度から、そのパルス延長幅の程度を決定し、画素内の薄膜トランジスタを完全にターンオンにすることができるので、パルス延長幅の程度は必要に応じて調節することができる。

40

【図面の簡単な説明】

【0054】

【図 1】本発明による液晶表示素子のゲート駆動部の波形図である。

【図 2】従来のゲート駆動部から出力される走査信号のパルスと、本発明によるゲート駆動部から出力される走査信号のパルスを示す波形図である。

【図 3】本発明による液晶表示素子を示す図である。

【図 4】本発明による液晶表示素子のゲート駆動部の構造を示すブロック図である。

【図 5】本発明による液晶表示素子のゲート駆動部の回路図である。

50

【図 6】図 5 に示すゲート駆動部の波形図である。

【図 7】一般的な液晶表示素子の平面図である。

【図 8】従来の液晶表示素子のゲート駆動部の構造を示すブロック図である。

【図 9】図 8 に示すゲート駆動部の波形図である。

【図 10】従来のゲート駆動部から出力される出力電圧のパルスを示す波形図である。

【符号の説明】

【 0 0 5 5 】

1 0 1 液晶パネル

1 1 2 a、1 1 2 b、1 1 3 a、1 1 3 b トランジスタ

1 1 4 a、1 1 4 b フリップフロップ

1 1 6 a、1 1 6 b、1 1 7 a、1 1 7 b 論理ゲート

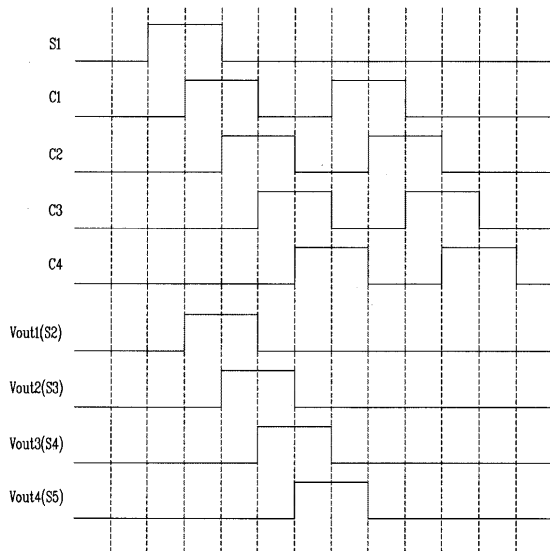
1 2 0 a、1 2 0 b ゲート駆動部

1 2 2 a、1 2 2 b シフトレジスタ

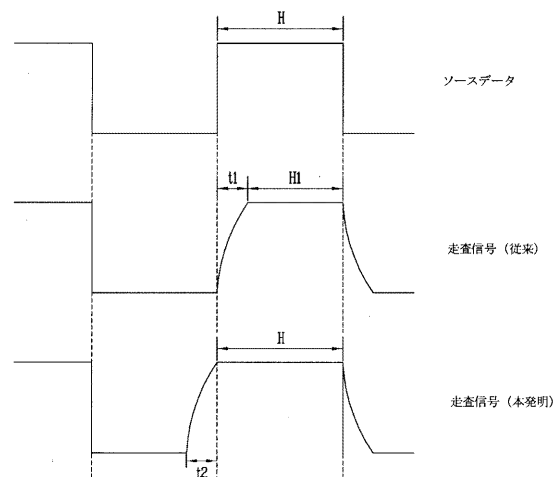
1 2 4 a、1 2 4 b クロック発生部

10

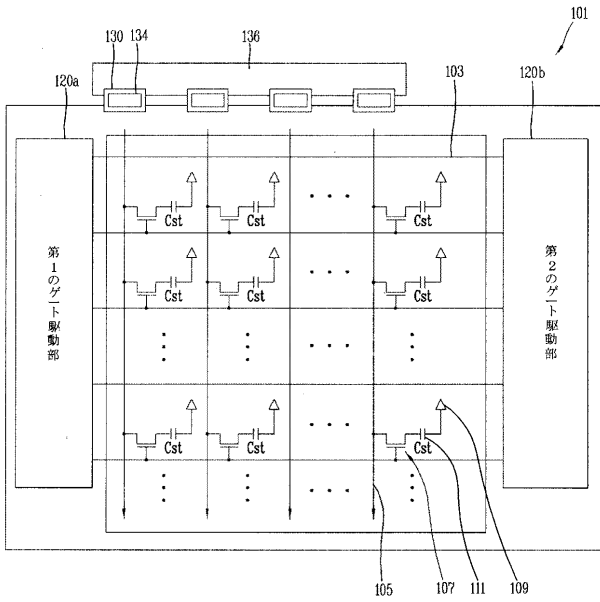
【図 1】



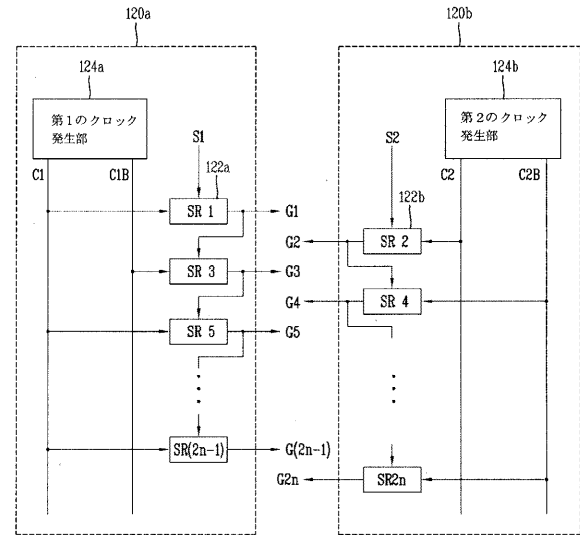
【図 2】



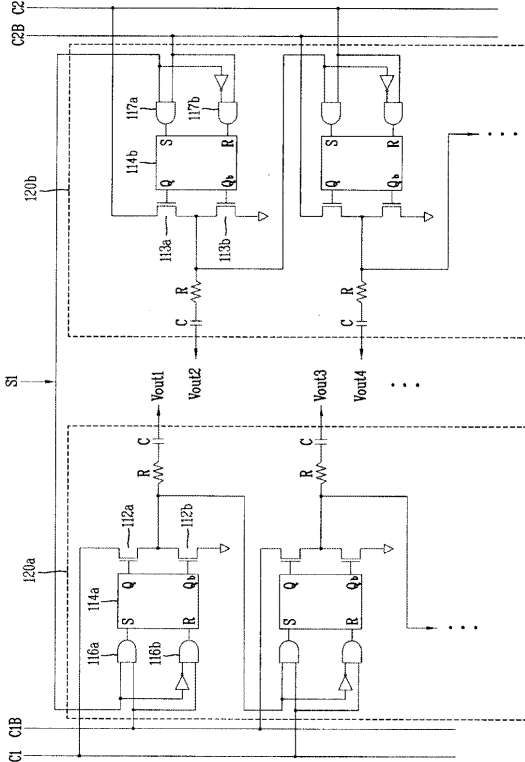
【図3】



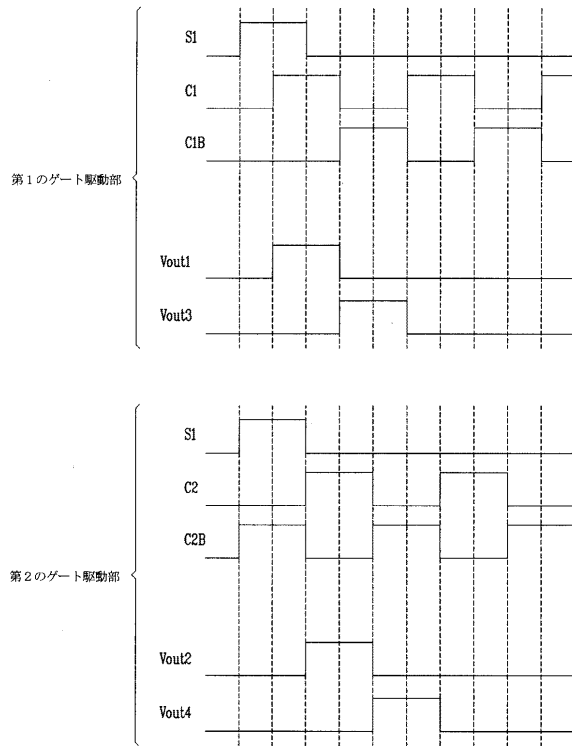
【図4】



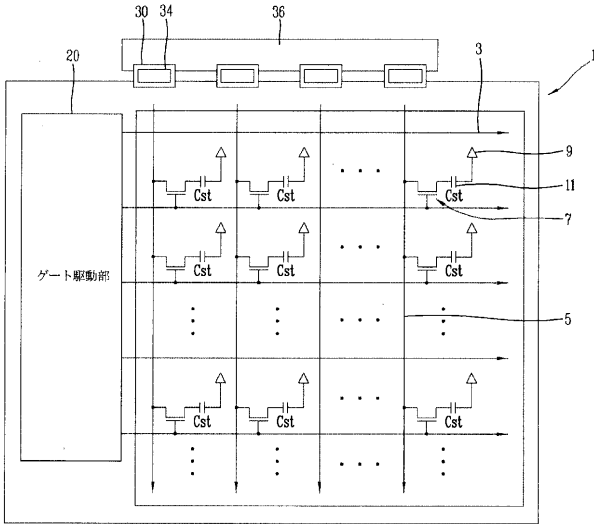
【図5】



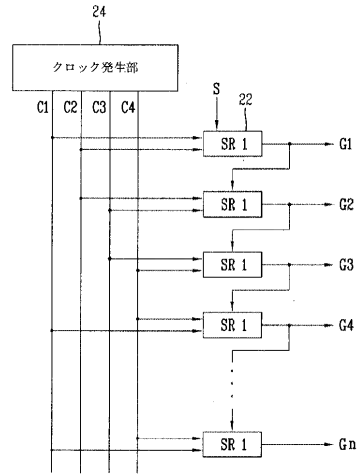
【図6】



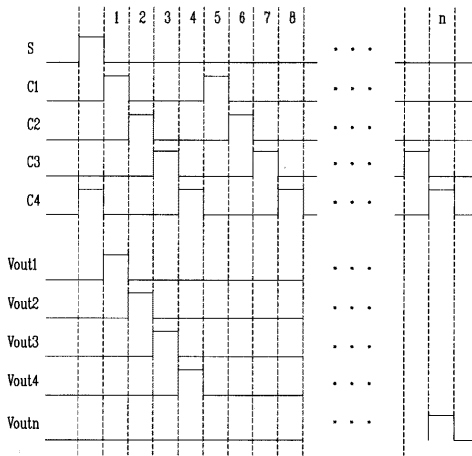
【 図 7 】



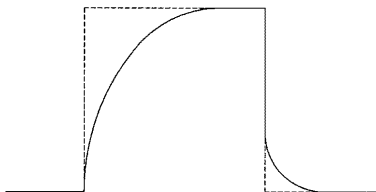
【 図 8 】



【 図 9 】



【 図 10 】



## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 2 2 M
	G 0 9 G 3/36	

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 張 容 豪

大韓民国 京畿道 城南市 盆唐區 盆唐洞 セトビョル - メウル アパート 4 1 4 - 8 0 6

(72)発明者 金 彬

大韓民国 ソウル特別市 陽川區 木5洞 木洞 アパート 4 0 8 - 2 0 0 3

(72)発明者 文 秀 煥

大韓民国 慶尚北道 龜尾市 上毛洞 友邦 - 新世界 タウン アパート 1 0 5 - 9 0 1

(72)発明者 趙 南 旭

大韓民国 京畿道 軍浦市 衿井洞 8 7 5 退溪 - 住公 アパート 3 5 2 - 1 7 0 4

(72)発明者 尹 洙 榮

大韓民国 京畿道 高陽市 徳陽區 幸信2洞 ムウォン - メウル アパート 1 0 1 0 - 8 0 2

F ターム(参考) 2H092 GA59 JA24 JB13 JB63 JB69 PA06

2H093 NA16 NC34 NC35 ND32

5C006 AC22 AF42 AF50 AF71 AF72 BB16 BC03 BC20 BC22 BF03

BF49 FA16 FA18 FA51

5C080 AA10 BB05 DD01 DD22 DD27 FF11 JJ02 JJ03 JJ04 JJ05