

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年4月5日(2018.4.5)

【公表番号】特表2017-517143(P2017-517143A)

【公表日】平成29年6月22日(2017.6.22)

【年通号数】公開・登録公報2017-023

【出願番号】特願2016-565277(P2016-565277)

【国際特許分類】

H 01 L 21/82 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

【F I】

H 01 L 21/82 L

H 01 L 21/82 B

H 01 L 27/04 D

【手続補正書】

【提出日】平成30年2月23日(2018.2.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

スタンダードセル相補型金属酸化物半導体(CMOS)デバイスであって、前記スタンダードセルCMOSデバイスは下記を備える、

前記スタンダードセルを横切って延びる第1のパワーレール、ここで、前記第1のパワーレールが、第1の電圧、または前記第1の電圧よりも小さい第2の電圧のうちの1つに接続される、と、

前記スタンダードセルを横切って第1の方向に延びる第2のパワーレール、ここで、前記第2のパワーレールが、前記第1の電圧または前記第2の電圧のうちの他の1つに接続され、前記第2のパワーレールが、前記スタンダードセルを横切って前記第1の方向に延びる金属×層配線接続を含み、および前記第1の方向に延び前記金属×層配線接続に接続された金属×-1層配線接続のセットを含み、金属×-1層配線接続の前記セットが、前記金属×層配線接続の下を前記金属×層配線接続に平行に延びる、と、

前記第1のパワーレールと前記第2のパワーレールとの間の、前記第1のパワーレールと前記第2のパワーレールとによって電力供給されるCMOSトランジスタデバイスのセットと、

前記第2のパワーレールの下を前記第2のパワーレールに直交して延びる×-1層配線接続、ここで、前記×-1層配線接続が、CMOSトランジスタデバイスの前記セットに結合される。

【請求項2】

前記×-1層配線接続が、前記第2のパワーレールの一部である金属×-1層配線接続の前記セットのうちの2つの×-1層配線接続の間に延びる、請求項1に記載のデバイス。

【請求項3】

×が2に等しく、前記第2のパワーレールが、金属2(M2)層配線接続と金属1(M1)層配線接続のセットとを含む、請求項2に記載のデバイス。

【請求項 4】

前記第1のパワーレールが、金属1（M1）層配線接続または金属2（M2）層配線接続のうちの少なくとも1つを含む、請求項3に記載のデバイス。

【請求項 5】

前記第1のパワーレールおよび前記第2のパワーレールが互いに平行に延びる、請求項1に記載のデバイス。

【請求項 6】

前記スタンダードセルを横切って延びる第3のパワーレール、ここで、前記第3のパワーレールが、前記第1の電圧または前記第2の電圧のうちの前記1つに接続され、前記第3のパワーレールが、金属 \times 層配線接続または金属 \times -1層配線接続のうちの少なくとも1つを含む、と、

前記第2のパワーレールと前記第3のパワーレールとの間の、前記第2のパワーレールと前記第3のパワーレールとによって電力供給されるCMOSトランジスタデバイスの第2のセットと、

をさらに備え、

前記 \times -1層配線接続が、CMOSトランジスタデバイスの前記第2のセットにも結合される、

請求項1に記載のデバイス。

【請求項 7】

CMOSトランジスタデバイスの前記セットが、p型金属酸化物半導体（pMOS）トランジスタデバイスのセットと、n型金属酸化物半導体（nMOS）トランジスタデバイスのセットとを備え、前記pMOSトランジスタデバイスの幅が、前記nMOSトランジスタデバイスの幅にほぼ等しい、請求項1に記載のデバイス。

【請求項 8】

nウェルをさらに備え、前記pMOSトランジスタデバイスが前記nウェル上にあり、ここにおいて、前記nウェルの1つのエッジが、前記第1のパワーレールと前記第2のパワーレールとの間のほぼ中間にある、請求項7に記載のデバイス。

【請求項 9】

スタンダードセル相補型金属酸化物半導体（CMOS）デバイスを動作させる方法であって、前記方法は下記を備える、

第1のパワーレールおよび第2のパワーレールを介して、CMOSトランジスタデバイスのセットに電力を供給すること、ここで、前記第1のパワーレールが前記スタンダードセルを横切って延び、前記第1のパワーレールが、第1の電圧、または前記第1の電圧よりも小さい第2の電圧のうちの1つに接続され、前記第2のパワーレールが、前記スタンダードセルを横切って第1の方向に延び、前記第2のパワーレールが、前記第1の電圧または前記第2の電圧のうちの他の1つに接続され、前記第2のパワーレールが、前記スタンダードセルを横切って前記第1の方向に延びる金属 \times 層配線接続を含み、および前記第1の方向に延び前記金属 \times 層配線接続に接続された金属 \times -1層配線接続のセットを含み、金属 \times -1層配線接続の前記セットが、前記金属 \times 層配線接続の下を延び、前記金属 \times 層配線接続に平行であり、

CMOSトランジスタデバイスの前記セットが、前記第1のパワーレールと前記第2のパワーレールとの間にある、と、

前記第2のパワーレールの下を前記第2のパワーレールに直交して延びる \times -1層配線接続を介して、電流を流すこと、ここで、前記 \times -1層配線接続が、CMOSトランジスタデバイスの前記セットに結合される。

【請求項 10】

前記 \times -1層配線接続が、前記第2のパワーレールの一部である金属 \times -1層配線接続の前記セットのうちの2つの \times -1層配線接続の間に延びる、請求項9に記載の方法。

【請求項 11】

\times が2に等しく、前記第2のパワーレールが、金属2（M2）層配線接続と金属1（M

1) 層配線接続のセットとを含む、請求項1_0に記載の方法。

【請求項12】

前記第1のパワーレールが、金属1(M1)層配線接続または金属2(M2)層配線接続のうちの少なくとも1つを含む、請求項1_1に記載の方法。

【請求項13】

前記第1のパワーレールおよび前記第2のパワーレールが互いに平行に延びる、請求項9に記載の方法。

【請求項14】

前記第2のパワーレールおよび第3のパワーレールを介して、CMOSトランジスタデバイスの第2のセットに電力を供給することをさらに備え、前記第3のパワーレールが前記スタンダードセルを横切って延び、前記第3のパワーレールが、前記第1の電圧または前記第2の電圧のうちの前記1つに接続され、前記第3のパワーレールが、金属x層配線接続または金属x-1層配線接続のうちの少なくとも1つを含み、CMOSトランジスタデバイスの前記第2のセットが、前記第2のパワーレールと前記第3のパワーレールとの間にあり、前記第2のパワーレールと前記第3のパワーレールとによって電力供給され、前記x-1層配線接続が、CMOSトランジスタデバイスの前記第2のセットにも結合される、請求項9に記載の方法。

【請求項15】

CMOSトランジスタデバイスの前記セットが、p型金属酸化物半導体(pMOS)トランジスタデバイスのセットと、n型金属酸化物半導体(nMOS)トランジスタデバイスのセットとを備え、前記pMOSトランジスタデバイスの幅が、前記nMOSトランジスタデバイスの幅にほぼ等しい、およびオプションで、

前記pMOSトランジスタデバイスがnウェル上にあり、前記nウェルの1つのエッジが、前記第1のパワーレールと前記第2のパワーレールとの間のほぼ中間にある、

請求項1_0に記載の方法。