

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年2月19日 (2009.2.19)

【公表番号】特表2008-537359(P2008-537359A)

【公表日】平成20年9月11日 (2008.9.11)

【年通号数】公開・登録公報2008-036

【出願番号】特願2008-507794(P2008-507794)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 D

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/58 G

H 0 1 L 21/28 3 0 1 R

H 0 1 L 29/78 6 1 3 A

H 0 1 L 29/78 6 1 7 M

H 0 1 L 29/78 6 1 7 U

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/78 6 1 7 L

【手続補正書】

【提出日】平成20年12月22日 (2008.12.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

相補型金属酸化膜半導体 (C M O S) 構造体であって、
半導体基板と、

前記半導体基板の 1 つの領域上に配置された少なくとも 1 つの n M O S デバイスと、

前記半導体基板の別の領域上に配置された少なくとも 1 つの p M O S デバイスと

を備え、前記少なくとも 1 つの n M O S デバイスは、4. 2 e V 未満の仕事関数を有する
少なくとも低仕事関数の元素状金属と、その場合金属キャッピング層とを含むゲート・スタ
ックを含み、前記少なくとも 1 つの p M O S デバイスは、4. 9 e V より大きい仕事関数
を有する少なくとも高仕事関数の元素状金属と、金属キャッピング層とを含むゲート・ス
タックを含む、C M O S 構造体。

【請求項 2】

前記 n M O S デバイス及び前記 p M O S デバイスは、前記半導体基板と前記高仕事関数
及び低仕事関数の元素状金属との間に配置された同じゲート誘電体層を含む、請求項 1 に
記載の C M O S 構造体。

【請求項 3】

前記 nMOS デバイス及び前記 pMOS デバイスは、前記半導体基板と前記高仕事関数及び低仕事関数の元素状金属との間に配置された異なるゲート誘電体層を含む、請求項 1 に記載の CMOS 構造体。

【請求項 4】

前記半導体基板と前記高仕事関数及び低仕事関数の元素状金属との間のゲート誘電体層をさらに備え、前記ゲート誘電体層は、酸化物、酸窒化物、窒化物、金属シリケート、窒化金属シリケート、又はそれらの多層構造を含む、請求項 1 に記載の CMOS 構造体。

【請求項 5】

前記ゲート誘電体層は、 SiO_2 、窒化 SiO_2 、 Si_3N_4 、 SiON 、4.0 より大きい誘電率を有する高 k 絶縁体、又はそれらの多層構造である、請求項 4 に記載の CMOS 構造体。

【請求項 6】

前記ゲート誘電体層は、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 、 CeO_2 、 Y_2O_3 及びそれらの混合物からなる群から選択される高 k ゲート誘電体である、請求項 5 に記載の CMOS 構造体。

【請求項 7】

前記ゲート誘電体層は、 SiO_2 、又は SiO_2 及び HfO_2 を含むスタックである、請求項 4 に記載の CMOS 構造体。

【請求項 8】

前記ゲート誘電体と前記高仕事関数及び低仕事関数の元素状金属との間の金属安定化層をさらに備える、請求項 4 に記載の CMOS 構造体。

【請求項 9】

前記金属安定化層は、30 Å 未満の厚さを有し、 TiN 、 TaSiN 、 TaSi 、 TaN 及び HfSi からなる群から選択される、請求項 8 に記載の CMOS 構造体。

【請求項 10】

前記低仕事関数の元素状金属は、元素周期表の III B 族、IV B 族、又は V B 族からの金属を含む、請求項 1 に記載の CMOS 構造体。

【請求項 11】

前記高仕事関数の元素状金属は、元素周期表の V B 族、VI B 族、又は VII 族からの金属である、請求項 1 に記載の CMOS 構造体。

【請求項 12】

両方の前記金属キャッピング層は、金属窒化物又は金属シリサイドを含み、前記金属は、元素周期表の IV B 族又は V B 族からのものである、請求項 1 に記載の CMOS 構造体。

【請求項 13】

前記その場合金属キャッピング層は、前記高仕事関数の元素状金属を含有する表面層を含む、請求項 1 に記載の CMOS 構造体。

【請求項 14】

前記金属キャッピング層は、前記低仕事関数の元素状金属を含有する表面層を含む、請求項 1 に記載の CMOS 構造体。

【請求項 15】

前記高仕事関数金属の上の前記金属キャッピング層は、表面酸化物層を含む、請求項 1 に記載の CMOS 構造体。

【請求項 16】

前記 nMOS デバイスは、 SiO_2 及び HfO_2 を含有する誘電体スタック、前記低仕事関数の元素状金属としての Ti、及び前記その場合金属キャッピング層としての TiN を含む、請求項 1 に記載の CMOS 構造体。

【請求項 17】

制御された界面層を有する半導体構造体であって、

半導体基板と、
前記半導体基板の表面上に配置された界面層と、
前記界面層上に配置された5 nm未満の厚さを有する誘電体層と、
前記誘電体層の上の金属層であって、前記金属層は3 nm未満の厚さを有し、前記厚さは前記界面に影響を与える、金属層と、
前記金属を保護する金属キャッピング層と
を備える、半導体構造体。

【請求項18】

前記金属は、4.2 eV未満の仕事関数を有する低仕事関数の元素状金属である、請求項17に記載の半導体構造体。

【請求項19】

前記金属は、4.9 eVより大きい仕事関数を有する高仕事関数の元素状金属である、請求項17に記載の半導体構造体。