



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월22일
 (11) 등록번호 10-1422330
 (24) 등록일자 2014년07월16일

(51) 국제특허분류(Int. Cl.)
 H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
 (21) 출원번호 10-2012-0003739
 (22) 출원일자 2012년01월12일
 심사청구일자 2014년04월16일
 (65) 공개번호 10-2012-0082479
 (43) 공개일자 2012년07월23일
 (30) 우선권주장
 JP-P-2011-004716 2011년01월13일 일본(JP)
 (56) 선행기술조사문헌
 JP2007507908 A
 JP2005328029 A
 JP2007053171 A
 US20070145468 A1

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 다케무라 야스히코
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (74) 대리인
 이중희, 장수길, 박충범

전체 청구항 수 : 총 7 항

심사관 : 류정현

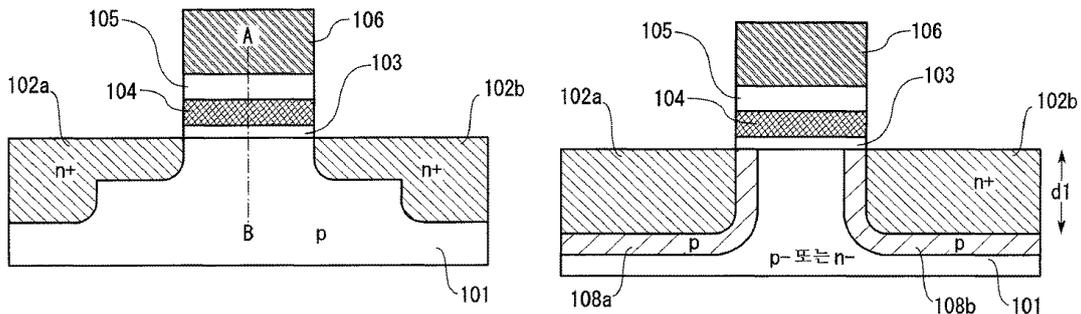
(54) 발명의 명칭 **반도체 메모리 장치**

(57) 요약

본 발명은 단채널이라도 동작하는 플로팅 게이트를 갖는 반도체 메모리 장치를 제공한다.

플로팅 게이트(104)에 질화인듐, 질화아연 등의 일함수가 5.5 전자볼트 이상인 일함수가 큰 화합물 반도체를 사용한다. 이로써, 기판(101)과 플로팅 게이트(104) 사이의 플로팅 게이트 절연막(103)의 포텐셜 장벽이 종래의 것보다 높아지고, 플로팅 게이트 절연막(103)을 얇게 하더라도 터널 효과에 기인한 전하의 누설을 저감할 수 있다. 플로팅 게이트 절연막(103)을 더 얇게 할 수 있기 때문에 채널을 더 짧게 할 수 있다.

대표도



특허청구의 범위

청구항 1

반도체 메모리 장치로서,
 플로팅 게이트 절연막과;
 상기 플로팅 게이트 절연막 위의 플로팅 게이트와;
 상기 플로팅 게이트 위의 컨트롤 게이트 절연막과;
 상기 컨트롤 게이트 절연막 위의 컨트롤 게이트를 포함하고,
 상기 플로팅 게이트는 일함수가 5.5 전자볼트(eV) 이상인 n형 반도체를 포함하고,
 상기 플로팅 게이트는 인듐 및 아연으로 구성된 그룹에서 선택된 하나와 질소를 포함하는, 반도체 메모리 장치.

청구항 2

반도체 메모리 장치로서,
 플로팅 게이트 절연막과;
 상기 플로팅 게이트 절연막 위의 플로팅 게이트와;
 상기 플로팅 게이트 위의 컨트롤 게이트 절연막과;
 상기 컨트롤 게이트 절연막 위의 컨트롤 게이트를 포함하고,
 상기 플로팅 게이트는 인듐 및 아연으로 구성된 그룹에서 선택된 하나와 5 atoms% 이상 50 atoms% 이하의 농도의 질소를 포함하는, 반도체 메모리 장치.

청구항 3

반도체 메모리 장치로서,
 소스와 드레인을 포함하는 반도체와;
 상기 반도체 위의 플로팅 게이트 절연막과;
 상기 플로팅 게이트 절연막 위의 플로팅 게이트를 포함하고,
 상기 반도체는 전자 친화력이 3.5 전자볼트 내지 4.5 전자볼트이고 밴드갭이 1.5 전자볼트 이하인 재료이고,
 상기 플로팅 게이트는 일함수가 5.5 전자볼트 이상인 n형 반도체를 포함하는, 반도체 메모리 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 플로팅 게이트 내의 캐리어 농도는 $1 \times 10^{19} \text{ cm}^{-3}$ 이상인, 반도체 메모리 장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 플로팅 게이트 절연막의 두께는 2nm 이상 4nm 이하인, 반도체 메모리 장치.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 플로팅 게이트는 0.01 atoms% 내지 10 atoms%의 농도의 수소를 포함하는, 반도체 메모리 장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 플로팅 게이트는 산소를 함유하는, 반도체 메모리 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술분야

[0001] 본 발명은 플로팅 게이트형 반도체 메모리 장치에 관한 것이다.

배경 기술

- [0002] 플래시 메모리 등의 플로팅 게이트에 전하를 축적함으로써 데이터를 기억하는 반도체 메모리 장치(이하, FG 메모리 장치라고 함)는 근년에 들어, 많은 전자 기기나 가전 제품 등에 사용되고 있다. FG 메모리 장치는 고집적화되고, 그것에 따라 비트당 가격도 저하되고 있다.
- [0003] 종래에는 플로팅 게이트에는 실리콘이 사용되는 일이 많았지만(예를 들어, 특허문헌 1 참조), 근년에 들어서는 실리콘 이외의 재료를 사용하려는 시도도 보고되어 있다(예를 들어, 비특허문헌 1 참조). 또한, 반도체 미립자를 플로팅 게이트 대신에 사용하는 것도 제안되어 있다(예를 들어, 특허문헌 2 및 특허문헌 3 참조).
- [0004] (특허문헌 1)
- [0005] 미국 특허 제 6815755호 명세서
- [0006] (특허문헌 2)
- [0007] 미국 특허 제 7550802호 명세서
- [0008] (특허문헌 3)
- [0009] 미국 특허 제 7482619호 명세서
- [0010] (비특허문헌 1)
- [0011] L.Chen et al., "Poly-Si Nanowire Nonvolatile Memory With Nanocrystal Indium-Gallium-Zinc-Oxide Charge-Trapping Layer", IEEE Electron Device Letters, Vol.31, No.12, p.1407, (2010).

발명의 내용

해결하려는 과제

- [0012] 상술한 바와 같이 FG 메모리 장치의 미세화는 놀라운 정도로 발달되어, 채널 길이가 30nm 이하인 FG 메모리 장치도 실용화되고 있는 한편, 물리적인 한계에 다다르고 있다. 즉, 물리적인 스케이링의 한계이다.
- [0013] FG 메모리 장치에서는 플로팅 게이트에 전하를 일정 기간(일반적으로는 10년간) 유지하는 것이 요구된다. 그러므로, 플로팅 게이트를 둘러싸는 절연막(플로팅 게이트 절연막이나 컨트롤 게이트 절연막 등)의 두께를 무제한으로 얇게 할 수는 없다.
- [0014] 예를 들어, 플로팅 게이트로서 실리콘을 사용하고, 플로팅 게이트 절연막으로서 산화실리콘을 사용하는 경우, 플로팅 게이트 절연막의 두께를 6nm 이하로 하면 터널 효과(tunnel effect)로 인해 플로팅 게이트의 전하가 누설되어, 전하를 10년간이나 유지할 수 없는 것이 지적되어 있다(특허문헌 1 참조).
- [0015] 한편, 플로팅 게이트 절연막의 두께가 6nm보다 크면, 채널 길이를 20nm 이하로 하기 어렵다. 만약에 채널 길이를 20nm 이하로 한다 해도 단채널 효과(short-channel effect)로 인해 트랜지스터의 온/오프 비율을 크게 할 수 없어 매트릭스 구동이 어렵기 때문이다.
- [0016] 이러한 상황을 감안하여, 본 발명에서는 플로팅 게이트 절연막을 더 얇게 할 수 있는 FG 메모리 장치를 제공하는 것을 과제로 한다. 또한, 본 발명에서는 신규한 반도체 장치(특히, 트랜지스터)를 제공하는 것을 과제로 한다. 또한, 신규한 반도체 장치의 구동 방법(특히, 트랜지스터의 구동 방법)을 제공하는 것을 과제로 한다. 더구나, 신규한 반도체 장치의 제작 방법(특히, 트랜지스터의 제작 방법)을 제공하는 것을 과제로 한다.
- [0017] 또한, 본 발명에서는 성능이 향상되거나 또는 소비 전력을 저감할 수 있는 반도체 장치(특히, 트랜지스터)를 제공하는 것을 과제로 한다. 또한, 성능이 향상되거나 또는 소비 전력을 저감할 수 있는 반도체 장치의 구동 방법(특히, 트랜지스터의 구동 방법)을 제공하는 것을 과제로 한다. 더구나, 성능이 향상되거나 또는 소비 전력을 저감할 수 있는 반도체 장치의 제작 방법(특히, 트랜지스터의 제작 방법)을 제공하는 것을 과제로 한다. 본 발명에서는 상술한 과제 중 적어도 하나를 해결한다.

과제의 해결 수단

- [0018] 본 발명의 일 형태는 플로팅 게이트의 재료로서 인듐 또는 아연 중 적어도 하나와 질소를 갖고, 일함수가 5.5 전자볼트(eV) 이상인 일함수가 큰 n형 반도체(이하에서는 일함수가 큰 화합물 반도체라고도 함)를 사용하는 것

을 특징으로 하는 FG 메모리 장치이다.

- [0019] 상기 FG 메모리 장치에서, 플로팅 게이트의 재료의 캐리어 농도는 $1 \times 10^{19} \text{ cm}^{-3}$ 이상인 것이 바람직하다. 또한, 상기 FG 메모리 장치에서, 플로팅 게이트 절연막의 두께를 2nm 이상 4nm 이하로 하는 것이 바람직하다.
- [0020] 여기서, 일함수가 큰 화합물 반도체는 5 atoms% 이상 50 atoms% 이하의 농도의 질소를 갖는다. 또한, 일함수가 큰 화합물 반도체는 5 atoms% 이상 66.7 atoms% 이하의 농도의 아연 또는 5 atoms% 이상 50 atoms% 이하의 농도의 인듐을 갖는 것이 바람직하다.
- [0021] 또한, 일함수가 큰 화합물 반도체에서는 원자 번호가 20 이하인 금속 원소의 농도를 1% 이하, 바람직하게는 0.01% 이하로 하면 좋다. 또한, 일함수가 큰 화합물 반도체는 산소나 원자 번호가 21 이상인 다른 금속 원소를 갖고 있어도 좋다. 또한, 일함수가 큰 화합물 반도체는 수소를 0.01 atoms% 내지 10 atoms% 함유하여도 좋다.
- [0022] 또한, 일함수가 큰 화합물 반도체는 섬유아연석 결정 구조를 갖는 단결정 또는 다결정체이면 바람직하다. 또한, 일함수가 큰 화합물 반도체는 섬유아연석 이외의 육방정 결정 구조를 가져도 좋다.
- [0023] 상기 일함수가 큰 화합물 반도체의 전자 친화력은 5.5 전자볼트 이상이다. 그러므로, 진공 준위로부터 4 전자볼트 내지 5 전자볼트 낮은 준위(전형적으로는 진공 준위로부터 4.9 전자볼트 낮은 준위)에 형성되는 많은 결합 준위가 도너가 되어, 특히 도핑 처리를 실시하지 않아도 $1 \times 10^{19} \text{ cm}^{-3}$ 이상, 바람직하게는 $1 \times 10^{20} \text{ cm}^{-3}$ 이상의 전자 농도를 갖는 n형 반도체가 된다(자세한 내용은 W. Walukiewicz, "Intrinsic limitations to the doping of wide-gap semiconductors", Physica B 302-303, p.123-134 (2001) 참조).
- [0024] 상기 일함수가 큰 화합물 반도체의 일레로서 화학식 InN으로 알려져 있는 질화인듐이 있다. 질화인듐은 밴드갭이 0.7 전자볼트 이하인 반도체이지만, 그 전자 친화력은 5.6 전자볼트이다. 질화인듐은 섬유아연석 구조인 것이 알려져 있다.
- [0025] 다른 예로서는 화학식 Zn_3N_2 로서 알려져 있는 질화아연이 있다. 질화아연의 자세한 물성값에 대해서는 알려져 있지 않지만, 전자 친화력은 5.5 전자볼트 정도이다. 질화아연은 입방정 구조인 것이 알려져 있다.
- [0026] 이러한 일함수가 큰 화합물 반도체의 제작에는 공지의 스퍼터링법, 진공 증착법, 이온 플레이팅법, MBE(molecular beam epitaxy)법, CVD(MOCVD(metal organic CVD)법이나 ALD(atomic layer deposition)법) 등을 이용하면 좋다.
- [0027] 예를 들어, 질화갈륨인듐($\text{In}_{1-a}\text{Ga}_a\text{N}$)을 MOCVD법으로 제작하는 경우에는, 원료 가스로서 트리메틸인듐($(\text{CH}_3)_3\text{In}$)과 트리메틸갈륨($(\text{CH}_3)_3\text{Ga}$)과 암모니아를 사용하고, 기판 온도는 350℃ 내지 550℃로 하면 좋다.

발명의 효과

- [0028] 상술한 바와 같이, 일함수가 큰 화합물 반도체의 일함수는 5.5 전자볼트 이상이다. 그러므로, 이것에 산화실리콘을 접합한 경우의 산화실리콘의 전도대 하단과 일함수가 큰 화합물 반도체의 페르미 준위의 차이는 4.6 전자볼트가 된다. 이것은 산화실리콘의 전도대 하단과 n형 실리콘의 페르미 준위의 차이인 3.2 전자볼트나 산화실리콘의 전도대 하단과 p형 실리콘의 페르미 준위의 차이인 4.3 전자볼트보다 크기 때문에, 플로팅 게이트의 재료로 한 경우에는 플로팅 게이트 절연막이 더 큰 포텐셜 장벽이 된다.
- [0029] 이로써, 플로팅 게이트 절연막을 종래보다 얇게 하더라도, 터널 효과에 기인하여 플로팅 게이트로부터 전하가 유출되는 것을 방지할 수 있다. 플로팅 게이트 절연막을 얇게 함으로써, 채널 길이를 더 작게 할 수 있다. 예를 들어, 플로팅 게이트 절연막의 두께를 2nm로 하면 채널 길이가 7nm인 FG 메모리 장치도 제작할 수 있다.
- [0030] 또한, 상술한 설명에서는 플로팅 게이트 절연막으로서 산화실리콘을 사용한 예를 설명하였지만, 다른 절연막이라도 마찬가지이다.

도면의 간단한 설명

- [0031] 도 1a 내지 도 1c는 본 발명의 반도체 메모리 장치의 예를 도시한 도면.
- 도 2a 내지 도 2c는 본 발명의 반도체 메모리 장치의 예를 도시한 도면.
- 도 3a 내지 도 3c는 본 발명의 반도체 메모리 장치의 제작 방법의 예를 설명하기 위한 도면.

도 4a 및 도 4b는 본 발명의 반도체 메모리 장치의 밴드 상태 및 전기 특성의 예를 설명하기 위한 도면.

도 5a 내지 도 5c는 본 발명의 반도체 메모리 장치의 예를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하에서는 실시형태에 대해서 도면을 참조하면서 설명하기로 한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있으며, 취지 및 그 범위에서 이탈하지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에서 제시할 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0033] (실시형태 1)
- [0034] 도 1a에 본 실시형태의 FG 메모리 장치의 예를 도시하였다. 여기서는 트랜지스터의 채널 방향의 단면 모식도를 도시하였다. 트랜지스터에는 p형 단결정 실리콘의 기판(101) 위에 두께가 5nm 이상 100nm 이하이고 일함수가 큰 화합물 반도체로 이루어진 플로팅 게이트(104)를 갖고, 기판(101)과 플로팅 게이트(104) 사이에 적절한 두께를 갖는 플로팅 게이트 절연막(103)을 갖는다.
- [0035] 또한, 기판(101)에는 실리콘 이외에 게르마늄, 갈륨비소, 갈륨안티몬 등의 전자 친화력이 3.5 전자볼트 내지 4.5 전자볼트이고, 밴드갭이 1.5 전자볼트 이하인 반도체 재료를 사용할 수 있다.
- [0036] 플로팅 게이트(104) 폭은 트랜지스터의 채널 길이를 결정하는 데 중요한 요소이며, 50nm 이하, 바람직하게는 20nm 이하로 한다. 또한, 플로팅 게이트 절연막(103)의 두께는 2nm 내지 4nm로 하면 좋다.
- [0037] 기판(101)에는 소스(102a), 드레인(102b)을 형성한다. 형성할 때는 도 1a에 도시된 바와 같이 소스(102a) 및 드레인(102b)은 공지의 VLSI 기술로 사용되는, 소위 확장 영역(extension region)과 마찬가지로 형성하면, 단채널 효과를 방지하는 데 효과적이다. 또한, 단채널 효과를 방지하기 위해서는 기판(101)의 불순물 농도도 적절한 값으로 하면 좋다.
- [0038] 플로팅 게이트(104) 위에 적절한 두께를 갖는 컨트롤 게이트 절연막(105)을 개재(介在)하여 컨트롤 게이트(106)를 형성한다. 컨트롤 게이트 절연막(105)의 두께는 2nm 내지 20nm로 할 수 있다. 컨트롤 게이트 절연막(105)은 플로팅 게이트 절연막(103)보다 두꺼운 것이 바람직하다.
- [0039] 또한, 일함수가 큰 화합물 반도체의 일함수는 5.5 전자볼트로 p형 실리콘(일함수가 5.15 전자볼트)보다 크기 때문에, 채널 영역의 전자 상태에 큰 영향을 미친다. 구체적으로는 일함수가 큰 화합물 반도체는 채널 표면에 정공을 유기하는 작용을 나타낸다. 이로써, 트랜지스터가 n형이고 채널 표면이 p형이면, 임계값 전압이 지나치게 높아져서 적절한 스위칭할 수 없는 경우도 있다. 그러므로, 도 1b에 도시한 바와 같이 플로팅 게이트(104)의 바로 아래 부분에 n형 영역(107)을 형성하여도 좋다.
- [0040] 또한, 단채널 효과를 방지하기 위해서, 도 1c에 도시한 바와 같이 소스(102a), 드레인(102b) 주위에 할로(halo) 영역(108a, 108b)(기판(101)보다 p형 불순물 농도가 높은 영역)을 형성하여도 좋다. 할로 영역(108a, 108b)을 형성하는 경우에는 채널 근방의 소스(102a), 드레인(102b)의 깊이를 비교적 두껍게 하여도 좋다. 예를 들어, 도 1c에 도시한 깊이 d1을 채널 길이의 2배 이하로 하여도 좋다.
- [0041] 물론, 도 1a에 도시한 구조의 트랜지스터에도 할로 영역(108a, 108b)을 형성하여도 좋다(도 5a 참조). 또한, 이와 같이 할로 영역(108a, 108b)이 소스(102a), 드레인(102b)을 둘러싸는 경우에는 기판(101)의 불순물 농도는 극히 낮게 하여도 좋고, 또 그 도전형은 n형이든 p형이든 어느 쪽이든 상관없다.
- [0042] 기판(101)은 채널이 형성되는 영역을 포함하지만, 그 부분의 불순물 농도를 낮게 함으로써, 단채널 트랜지스터의 임계값의 편차를 저감할 수 있다. 예를 들어, 채널 길이가 20nm 이하인 경우에 임계값의 편차를 충분히 저감하기 위해서는, 채널이 형성되는 부분의 불순물 농도를 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{13} \text{ cm}^{-3}$ 이하로 하면 좋다.
- [0043] 또한, 일함수가 큰 화합물 반도체를 플로팅 게이트로서 사용하는 경우에는 그 일함수가 크기 때문에, 채널 근방의 정공 농도가 매우 높아져서, 비록 p형 불순물이 전혀 도핑되지 않더라도 소스(102a), 드레인(102b)으로부터 전자가 유입되는 것을 방지할 수 있다.
- [0044] 이 효과에 착안하면, 채널이 형성되는 부분에 p형 불순물을 도핑할 필요가 없고, 예를 들어, 도 5b에 도시한 바와 같이 소스(102a), 드레인(102b) 하부에만 할로 영역(또는 그것에 상당하는 불순물 영역)(108a, 108b)을 형성

하여도 좋다.

- [0045] 이 경우에는 채널이 형성되는 부분에 농도가 높은 p형 불순물을 도입할 필요가 없기 때문에, 트랜지스터의 임계값의 편차를 더 저감할 수 있다. 또한, 단채널 효과를 방지하기 위해서는 소스(102a), 드레인(102b)의 깊이 d3은 채널 길이의 0.75배 이하, 바람직하게는 0.5배 이하로 하면 좋다. 도 5b에 도시한 기술 사상을 도 1a에 도시한 트랜지스터에 적용하면, 도 5c에 도시한 바와 같은 할로 영역(108a, 108b)을 갖는 트랜지스터를 얻을 수 있다.
- [0046] 특히 도 5b 및 도 5c에 도시한 바와 같이 할로 영역(108a, 108b)이 채널 영역의 외측에 형성된다는 것은 이온주입법을 이용하여 할로 영역(108a, 108b)을 형성할 때 이온이 채널 영역 위의 플로팅 게이트 절연막(103)을 통과하지 않다는 것이기 때문에, 플로팅 게이트 절연막(103)에 트랩 준위 등이 형성되지 않고 트랜지스터의 신뢰성을 향상하는 데 바람직하다.
- [0047] 도 1a에 도시한 트랜지스터의 중앙부에 있는 선분 AB에서의 에너지 밴드 상태의 예를 도 4a에 도시하였다. 또한, 여기서는 컨트롤 게이트(106), 소스(102a), 드레인(102b)의 전위는 동일하고, 플로팅 게이트에 전하가 없는 것으로 한다. 또한, Ef는 페르미 준위, Ec는 전도대 하단, Ev는 가전자대 상단을 가리킨다. 컨트롤 게이트로서는 일함수가 4.9 전자볼트인 금속을 상정하지만, 일반적으로 흔히 사용되는 n형 실리콘이라도 마찬가지이다.
- [0048] 도 4a는 컨트롤 게이트(106)로부터 플로팅 게이트(104)를 거쳐서 기판(101)으로 향하는 부분을 도시한 에너지 밴드이다. 기판(101)은 불순물 농도가 극히 낮은 것으로 하지만, 표면 부근에서는 일함수가 큰 화합물 반도체(도 4a에서는 일함수가 5.5 전자볼트)로 이루어진 플로팅 게이트(104)의 영향을 받아서 정공 농도가 높아진다.
- [0049] 또한, 상술한 바와 같이 일함수가 큰 화합물 반도체는 n형이 되기 때문에, 그 페르미 준위는 전도대 하단과 같은 정도 또는 전도대 하단보다 높게 된다. 도 4a에서는 캐리어 농도가 $1 \times 10^{21} \text{ cm}^{-3}$ 정도이고 축퇴된 상태인 경우를 도시하였다.
- [0050] 도 4a에 도시된 에너지 차이 E1은 (플로팅 게이트(104)의 일함수)-(플로팅 게이트 절연막(103)의 전자 친화력), 에너지 차이 E2는 (기판(101)의 전자 친화력)-(플로팅 게이트 절연막(103)의 전자 친화력)의 식으로 구할 수 있다. 플로팅 게이트 절연막(103)을 산화실리콘(전자 친화력 0.9 전자볼트)으로 하면, E1=4.6 [전자볼트], E2=4.0 [전자볼트]이다.
- [0051] 또한, E4는 플로팅 게이트 절연막(103)에 접촉하는 부분의 기판(101)의 전도대 하단 Ec와 페르미 준위 Ef의 에너지 차이이며, 상술한 바와 같이 일함수가 큰 화합물 반도체를 플로팅 게이트(104)에 사용하기 때문에, 일반적으로 0.8 전자볼트 이상이 된다.
- [0052] 또한, E3은 식 $E1 - E2 - E4$ 로 구할 수 있다. E4=1.1 [전자볼트]로 한 경우, E3=1.2 [전자볼트]이다. 여기서, 전도대에 존재하는 전자가 어떤 요인으로 인해 플로팅 게이트(104)로 이동하는 경우에는 $E2 + E3 = 4.4$ [전자볼트]인 포텐셜 장벽을 초과할 필요가 있다.
- [0053] 한편, 공지의 FG 메모리 장치와 같이 실리콘을 플로팅 게이트로서 사용한 경우에는, 포텐셜 장벽이 3.2 전자볼트에 불과하다. 이와 같이 일함수가 큰 화합물 반도체를 플로팅 게이트(104)에 사용하면, 포텐셜 장벽이 1 전자볼트 이상이나 높기 때문에, 전자가 이동하는 확률(터널 확률)이 매우 작다. 따라서, 일함수가 큰 화합물 반도체를 플로팅 게이트에 사용하는 경우에는 플로팅 게이트 절연막(103)을 더 얇게 할 수 있다.
- [0054] 도 1a에 도시한 트랜지스터는 플로팅 게이트(104)가 대전되지 않는 경우에는 도 4b의 곡선(301)으로 도시한 바와 같은 게이트 전압(Vg)-드레인 전류(Id) 특성을 나타낸다. 그리고, 플로팅 게이트(104)가 양으로 대전되어 있으면 곡선(302)으로 도시된 바와 같이 특성이 마이너스 측으로 이동되고, 플로팅 게이트(104)가 음으로 대전되어 있으면 곡선(303)으로 도시된 바와 같이 특성이 플러스 측으로 이동된다. 또한, 도 4b는 특성 변화를 이해하기 쉽게 하기 위한 도면이다.
- [0055] 일함수가 큰 화합물 반도체를 플로팅 게이트(104)에 사용하면, 공지의 FG 메모리 장치보다 임계값이 1 볼트 이상이나 크다. 임계값은 기판(101)(또는 채널이 형성되는 부분)의 불순물 농도에도 의존하지만, 1.6 볼트 이상이 된다. 이와 같이 큰 임계값을 갖는 트랜지스터는 일반적인 MOS 트랜지스터에서는 사용이 불편하지만, FG 메모리 장치라면 문제가 되지 않을 수도 있다.
- [0056] 예를 들어, 데이터 1은 플로팅 게이트(104)가 양으로 대전된(임계값이 0.6 볼트 정도) 경우이고, 데이터 0은 플로팅 게이트(104)가 대전되지 않은(임계값이 1.6 볼트 정도) 경우로 하면, 컨트롤 게이트(106)의 전압이 1V일

때, 데이터 1이면 트랜지스터는 온 상태이고 데이터 0일 때는 오프 상태이다. 또한, 컨트롤 게이트(106)의 전압을 0V로 하면, 데이터 1의 경우도 데이터 0의 경우도 트랜지스터는 오프 상태이다. 즉, NOR형 메모리 회로로서 사용하는 데 적합하다.

- [0057] (실시형태 2)
- [0058] 도 2a에 본 실시형태의 FG 메모리 장치의 예를 도시하였다. 또한, 일부의 내용에 대해서는 실시형태 1의 기체를 참조할 수 있다. 여기서는 트랜지스터의 채널 방향의 단면 모식도를 도시하였다. 트랜지스터는 n형 단결정 실리콘의 기판(201) 위에 두께가 5nm 이상 100nm 이하인 일함수가 큰 화합물 반도체로 이루어진 플로팅 게이트(204)를 갖고, 기판(201)과 플로팅 게이트(204) 사이에 적절한 두께의 플로팅 게이트 절연막(203)을 갖는다.
- [0059] 플로팅 게이트(204) 폭은 50nm 이하, 바람직하게는 20nm 이하, 더 바람직하게는 10nm 이하로 한다. 또한, 플로팅 게이트 절연막(203)의 두께는 2nm 내지 4nm로 하면 좋다.
- [0060] 기판(201)에는 p형 불순물을 도핑하여 소스(202a), 드레인(202b)을 형성한다. 플로팅 게이트(204) 위에는 적절한 두께의 컨트롤 게이트 절연막(205)을 개재하여 컨트롤 게이트(206)를 형성한다. 컨트롤 게이트 절연막(205)의 두께도 2nm 내지 20nm로 할 수 있다.
- [0061] 플로팅 게이트(204)에 일함수가 큰 화합물 반도체를 사용하기 때문에, 기판(201)의 플로팅 게이트(204)의 바로 아래 부분은 정공 농도가 높다. 플로팅 게이트(204)를 양으로 대전시키면, 기판(201)의 플로팅 게이트(204)의 바로 아래 부분의 정공 농도가 저하된다.
- [0062] 소스(202a), 드레인(202b) 사이의 펀치스루(punch-through) 전류를 방지하기 위해서는 도 2b에 도시한 바와 같이 소스(202a), 드레인(202b)의 저면 및 측면에 접촉하는 영역의 일부에 n형 불순물을 도핑하여 n형 영역(208)을 형성하여도 좋다. 또한, 이러한 방법을 채용하면, 기판(201)(및 n형 영역(208)에 의해 기판(201)으로부터 분리된 약한 n형 영역(207))의 불순물 농도를 가능한 한 낮게 할 수 있기 때문에, 임계값 편차를 저감하는 데 적합하다.
- [0063] 또한, 도 2c에 도시한 바와 같이, 플로팅 게이트(204)와 소스(202a), 드레인(202b) 사이에 폭 d2를 갖는 오프셋 영역을 형성하여도 좋다.
- [0064] (실시형태 3)
- [0065] 도 2b와 도 2c에 도시한 바와 같은 특징 양쪽을 갖는 FG 메모리 장치의 제작 방법의 예에 대해서 도 3a 내지 도 3c를 사용하여 간단하게 설명하기로 한다. 또한, 대부분의 공정은 공지의 반도체 기술을 이용하면 되므로, 자세한 내용은 이들을 참조할 수 있다.
- [0066] 우선, n형 고저항 단결정 실리콘(불순물 농도가 $1 \times 10^{13} \text{ cm}^{-3}$ 내지 $1 \times 10^{17} \text{ cm}^{-3}$)의 기판(201)의 깊이가 10nm 내지 200nm인 부분에 n형 불순물을 도핑하여 n형 영역(208)을 형성한다. n형 불순물 원소로서는 비소와 같이 깊이를 정밀하게 제어할 수 있는 것을 사용하고, 불순물 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 로 하면 좋다. 이로써, 기판 표면 부근의 얇은 부분에, 약한 n형 영역(207)(기판(201)과 같은 불순물 농도를 가짐)이 분리된다.
- [0067] 또는, n형 영역(208) 표면에, 약한 n형 영역(207)을 에피택셜 성장시켜도 좋다. 이 경우에는 약한 n형 영역(207)의 두께는 5nm 내지 50nm(바람직하게는 5nm 내지 20nm), 불순물 농도는 $1 \times 10^{11} \text{ cm}^{-3}$ 내지 $1 \times 10^{17} \text{ cm}^{-3}$ 로 하면 좋고, 약한 n형 영역(207)의 불순물 농도는 기판(201)과 상이하여도 좋다.
- [0068] 그리고, 약한 n형 영역(207) 위에 플로팅 게이트 절연막(203)을 형성한다. 플로팅 게이트 절연막(203)으로서는 예를 들어, 열산화됨으로써 얻어지는, 두께가 2nm 내지 4nm인 산화질화실리콘막을 사용하면 좋다(도 3a 참조).
- [0069] 이 후, 반응성 스퍼터링법에 의해 산화질화아연 또는 산화질화인듐, 산화질화인듐아연, 산화질화인듐아연갈륨(조성식은 $\text{In}_a\text{Ga}_b\text{Zn}_c\text{O}_d\text{N}_e$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 \leq c \leq 1$, $0 \leq d \leq 1$, $0 \leq e \leq 1$) 등 일함수가 큰 산화질화물막을 형성한다.
- [0070] 예를 들어, 산화질화아연을 성막하는 경우에는 산화아연을 타깃으로 하여, 질소 농도가 50% 이상 및 산소 농도가 5% 이하인 분위기라는 조건을 채용하면 좋다. 마찬가지로, 산화질화인듐, 산화질화인듐아연, 산화질화인듐아연갈륨을 성막하는 경우에는 질소 농도가 50% 이상 및 산소 농도가 5% 이하인 분위기하에서 각각 산화인듐, 산화인듐아연, 산화인듐아연갈륨을 타깃으로서 사용하면 좋다.

- [0071] 또한, 이 경우에는 기판 온도는 100℃ 내지 600℃, 바람직하게는 150℃ 내지 450℃로 하면 좋다. 또한, 막을 형성한 후, 100℃ 내지 600℃, 바람직하게는 150℃ 내지 450℃의 비산화성 분위기하에서 열처리하여도 좋다.
- [0072] 또한, 스퍼터링법 이외에도 ALD법이나 CVD법(MOCVD법 등)을 채용하여도 좋다. 특히, 기판에 대한 데미지가 적은 ALD법이나 CVD법을 이용하는 것이 바람직하다.
- [0073] 일함수가 큰 산화질화물막의 두께는 5nm 내지 100nm로 하면 좋다. 두께가 5nm 미만이면, 일함수의 영향이 기판 (201) 표면에 미치지 않고, 두께가 100nm를 초과하면 일함수가 큰 산화질화물막의 저항이 커져서 회로의 특성에 바람직하지 않다. 상술한 바와 같이 일함수가 큰 산화질화물막에서는 계면 근방의 결함 준위가 도너가 되기 때문에, 계면으로부터 떨어진 부분에서는 도너 농도가 저하되어 도전성이 악화될 수 있다. 도전성을 유지하기 위해서는 도너를 별도로 도핑하면 좋다.
- [0074] 산화인듐아연갈륨의 예로서, 조성식 InGaZnO_4 로 나타내는 것은 YbFe_2O_4 구조라고 불리는 결정 구조를 갖는 것이 알려져 있다(예를 들어, M.Nakamura, N.Kimizuka, and T.Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350℃", J.Solid State Chem., Vol.93, p.298-315 (1991) 참조).
- [0075] 그러나, 예를 들어, 5 atoms% 이상의 농도의 질소가 첨가되면, 섬유아연석 구조가 안정상(stable phase)이 되고 그것에 따라 전자 상태도 현저히 변화된다. 또한, YbFe_2O_4 구조에 비해 섬유아연석 구조는 결정화되기 쉽기 때문에, 비교적 낮은 온도로 결정화된다.
- [0076] 전자 상태에 관해서는 예를 들어, YbFe_2O_4 구조를 갖는 것의 밴드갭이 3.2 전자볼트 정도인 한편, 섬유아연석 구조를 갖는 것의 밴드갭은 2.2 전자볼트 이하가 되고, 전자 친화력도 각각 4.3 전자볼트 정도, 5.5 전자볼트 이상이 된다. 전자 친화력이 4.9 전자볼트 이상이 되기 때문에, 결함 준위에 기인하여 n형 도전성을 나타내게 된다. 또한, 수소는 도너로서 기능하기 때문에, 수소 첨가에 의해서도 캐리어 농도를 높일 수 있다.
- [0077] 또한, 일함수가 큰 산화질화물막이 질소나 아연, 인듐 이외에 산소를 질소의 2배 내지 5배 함유하면, 산화질화물막과 산화실리콘의 계면에서 트랩 준위가 발생하는 것을 억제하는 데 바람직하다. 또한, 일함수가 큰 산화질화물막은 수소를 1 atoms% 내지 10 atoms% 함유하면, 계면 상태가 개선되며 캐리어가 증가하여 도전율이 향상되기 때문에 바람직하다. 일함수가 큰 산화질화물막에 대한 수소 첨가는 막 형성시 이외에 도핑 공정이 끝난 후의 수소화 처리에서도 실시할 수 있다.
- [0078] 또한, 산화인듐아연갈륨(In-Ga-Zn-O) 대신에 2원계 금속 산화물인 In-Sn-O, Sn-Zn-O, Al-Zn-O, In-Ga-O나, 3원계 금속 산화물인 In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O나, 4원계 금속 산화물인 In-Sn-Ga-Zn-O 등을 타깃으로서 사용하여도 좋다. 여기서, 예를 들어 In-Ga-Zn-O란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 의미이다.
- [0079] 이 후, 일함수가 큰 산화질화물막을 에칭하여, 플로팅 게이트(204)를 형성한다. 또한, 플로팅 게이트(204) 위에 절연막과 도전성이 높은 금속막 (또는 금속 화합물막)을 적절한 두께만큼 형성한다. 절연막으로서는 산화실리콘이나 산화질화실리콘 이외에도 산화하프늄, 산화알루미늄, 산화란탄 등의 고유전율 재료를 사용할 수 있다. 예를 들어, 산화실리콘과 고유전율 재료의 적층 구조로 하면 좋다.
- [0080] 금속막으로서는 알루미늄, 티타늄, 탄탈, 텅스텐 등이나 이들을 50% 이상 함유한 합금을 사용할 수 있고, 금속 화합물막으로서는 이들의 질화물막을 사용할 수 있다.
- [0081] 그리고, 절연막과 금속막 (또는 금속 화합물막)을 필요한 형상으로 가공하여 컨트롤 게이트 절연막(205), 컨트롤 게이트(206)를 형성한다. 다음에, 컨트롤 게이트(206) 측면에 측벽(209a, 209b)을 형성한다(도 3b 참조).
- [0082] 또한, 이온 주입법에 의해 붕소 이온을 주입하여 소스(202a), 드레인(202b)을 형성한다. 이 때, 소스(202a), 드레인(202b)의 저면은 n형 영역(208)의 저면보다 얇게 되도록 형성하면 좋다(도 3c 참조). 이온 주입에 이용하는 이온종(ion species)은 보란 등의 붕소를 함유한 화합물이라도 좋다.
- [0083] 상술한 공정에 의해, 트랜지스터의 주요한 구조가 형성된다. 이 후는 공지의 반도체 제작 기술을 이용하여 실리콘사이드화, 다층 배선이나 전극의 형성, 수소화 처리 등을 실시하면 좋다. 본 실시형태에는 기판(201)으로서 단결정 실리콘을 사용하는 예를 제시하였지만, 기판으로서는 절연막 위에 단결정 실리콘층이 형성된, 소위 실리콘 온 인슐레이터(SOI) 기판을 사용하여도 좋다.

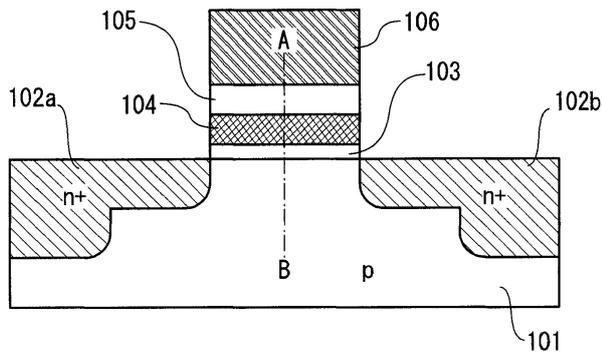
부호의 설명

[0084]

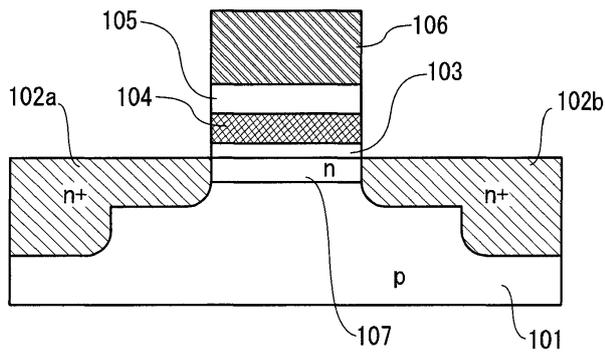
- 101: 기판
- 102a: 소스
- 102b: 드레인
- 103: 플로팅 게이트 절연막
- 104: 플로팅 게이트
- 105: 컨트롤 게이트 절연막
- 106: 컨트롤 게이트
- 107: n형 영역
- 108a: 할로 영역
- 108b: 할로 영역
- 201: 기판
- 202a: 소스
- 202b: 드레인
- 203: 플로팅 게이트 절연막
- 204: 플로팅 게이트
- 205: 컨트롤 게이트 절연막
- 206: 컨트롤 게이트
- 207: 약한 n형 영역
- 208: n형 영역
- 209a: 측벽
- 209b: 측벽

도면

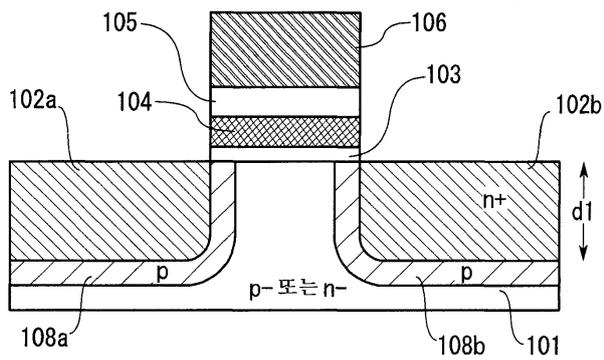
도면1a



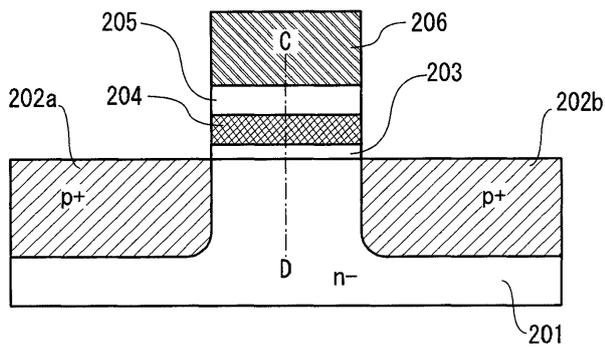
도면1b



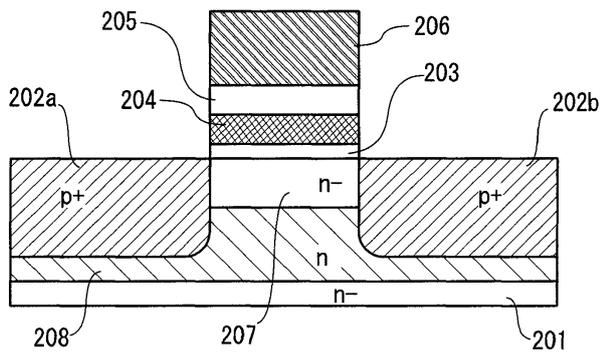
도면1c



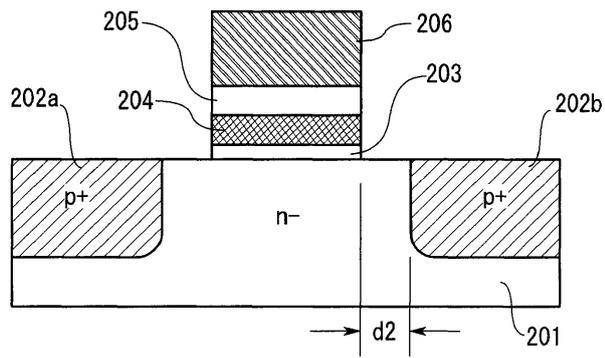
도면2a



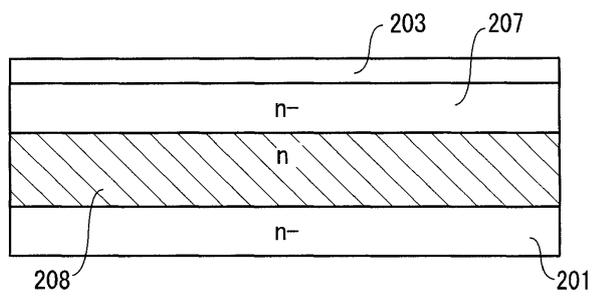
도면2b



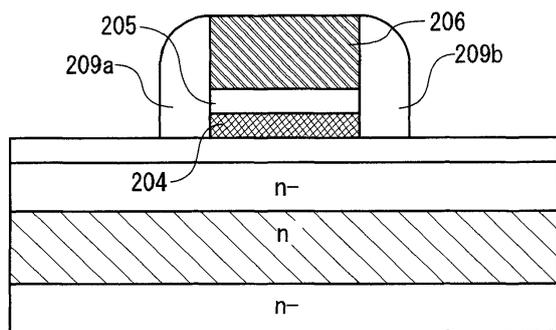
도면2c



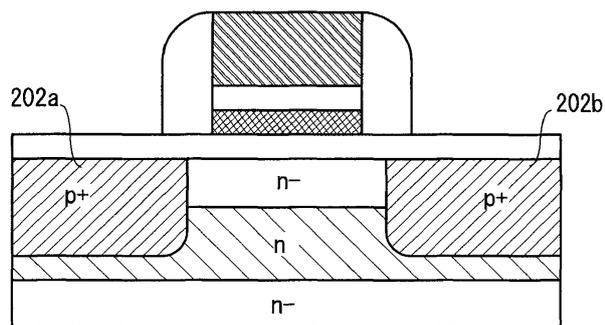
도면3a



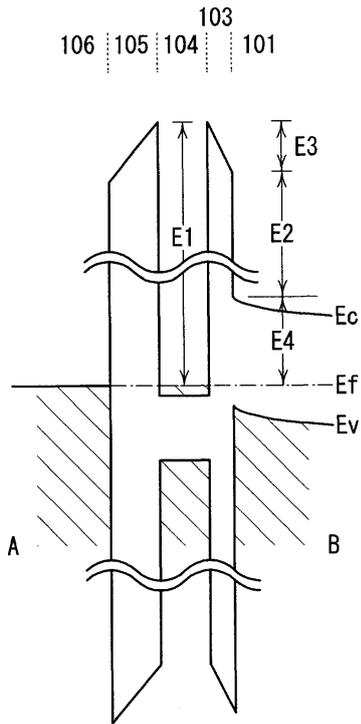
도면3b



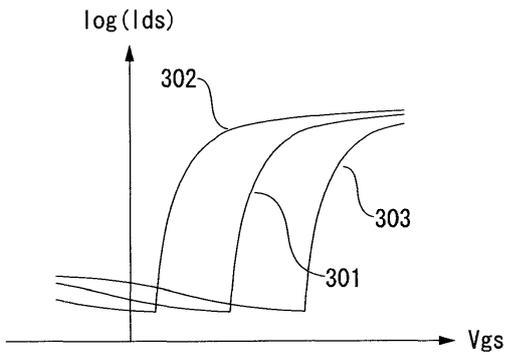
도면3c



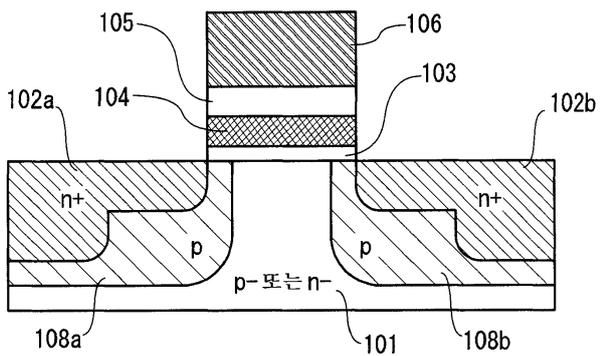
도면4a



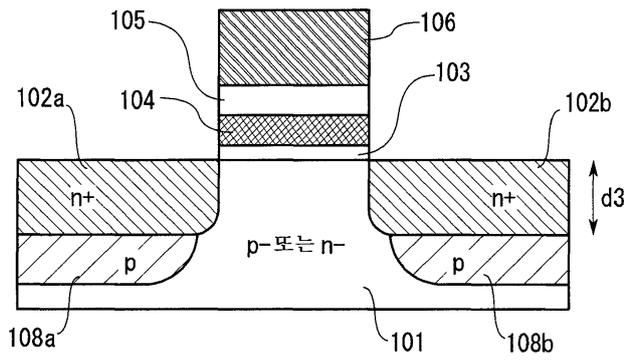
도면4b



도면5a



도면5b



도면5c

