



(12) 发明专利

(10) 授权公告号 CN 112201746 B

(45) 授权公告日 2024. 11. 19

(21) 申请号 201910609150.5

(22) 申请日 2019.07.08

(65) 同一申请的已公布的文献号

申请公布号 CN 112201746 A

(43) 申请公布日 2021.01.08

(73) 专利权人 联华电子股份有限公司

地址 中国台湾新竹市

(72) 发明人 李珮臻 何坤展 陈炫旭 陈俊隆

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 陈小雯

(51) Int. Cl.

H10N 50/10 (2023.01)

H10N 50/01 (2023.01)

G11C 11/16 (2006.01)

(56) 对比文件

US 2011089511 A1, 2011.04.21

US 2013015541 A1, 2013.01.17

US 2014061917 A1, 2014.03.06

审查员 游润

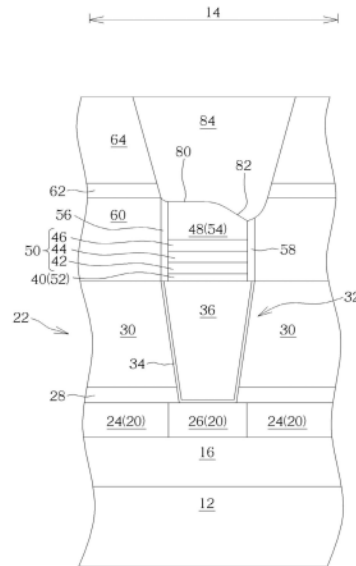
权利要求书2页 说明书5页 附图4页

(54) 发明名称

半导体元件及其制作方法

(57) 摘要

本发明公开一种半导体元件及其制作方法,其中该制作半导体元件的方法为,首先形成一磁性隧穿结(magnetic tunneling junction, MTJ)于一基底上以及一上电极于该MTJ上,然后形成一第一金属间介电层环绕该MTJ以及该上电极,形成一停止层于该第一金属间介电层上,形成一第二金属间介电层于该停止层上,进行一第一蚀刻制作工艺去除该第二金属间介电层以及该停止层,进行一第二蚀刻制作工艺去除部分该上电极,再形成一金属内连线连接该上电极。



1. 一种制作半导体元件的方法,其特征在于,包含:
 - 形成磁性隧穿结于基底上以及上电极于该磁性隧穿结上;
 - 形成第一间隙壁于该上电极的第一侧壁以及第二间隙壁于该上电极的第二侧壁,
 - 形成第一金属间介电层环绕该磁性隧穿结、该第一间隙壁、该第二间隙壁以及该上电极;
 - 形成停止层于该第一金属间介电层上;
 - 形成一第二金属间介电层于该停止层上;
 - 进行第一蚀刻制作工艺去除部分该第二金属间介电层、部分该停止层以及部分该第二间隙壁以形成接触洞,该接触洞暴露出该上电极的部分该第二侧壁,该接触洞的第三侧壁的最下端在预定位置接触该上电极的该第二侧壁;
 - 进行第二蚀刻制作工艺去除部分该上电极而使得该上电极具有经由该第二蚀刻制作工艺而形成的蚀刻后上表面,该蚀刻后上表面在该预定位置接触该接触洞的该第三侧壁,该上电极的该第二侧壁旁的上表面为该蚀刻后上表面,该上电极的该蚀刻后上表面包含曲面;以及
 - 形成金属内连线连接该上电极。
2. 如权利要求1所述的方法,其中该第一蚀刻制作工艺包含干蚀刻制作工艺。
3. 如权利要求1所述的方法,其中该第二蚀刻制作工艺包含湿蚀刻制作工艺。
4. 如权利要求3所述的方法,其中该第二蚀刻制作工艺包含过氧化氢及氟。
5. 如权利要求1所述的方法,另包含进行该第二蚀刻制作工艺去除部分该上电极并使该上电极的第一侧壁旁的上表面不同于该上电极的第二侧壁旁的上表面。
6. 如权利要求5所述的方法,其中该上电极的该第一侧壁旁的上表面包含平坦表面。
7. 如权利要求1所述的方法,其中该上电极在该第二侧壁处的角落经由所述第一蚀刻制作工艺和所述第二蚀刻制作工艺形成圆弧形角落。
8. 如权利要求1所述的方法,其中该第二间隙壁上表面低于该第一间隙壁上表面。
9. 一种由权利要求1的方法制作的半导体元件,其特征在于,包含:
 - 磁性隧穿结,设于基底上;
 - 上电极,设于该磁性隧穿结上,其中该上电极的第一侧壁旁的上表面不同于该上电极的第二侧壁旁的上表面;
 - 第一间隙壁,设于该上电极的该第一侧壁;
 - 第二间隙壁,设于该上电极的该第二侧壁,其中该第二间隙壁上表面低于该第一间隙壁上表面;
 - 第一金属间介电层,环绕该磁性隧穿结以及该上电极;
 - 停止层,设于该第一金属间介电层上;
 - 第二金属间介电层,设于该停止层上;以及
 - 金属内连线,设于该停止层及该第二金属间介电层内并连接该上电极。
10. 如权利要求9所述的半导体元件,其中该上电极的该第一侧壁旁的上表面包含平坦表面。
11. 如权利要求9所述的半导体元件,其中该上电极的该第一侧壁旁的该金属内连线下表面不同于该上电极的该第二侧壁旁的该金属内连线下表面。

12. 如权利要求11所述的半导体元件,其中该上电极的该第一侧壁旁的该金属内连线下表面包含平坦表面。

半导体元件及其制作方法

技术领域

[0001] 本发明涉及一种半导体元件及其制作方法,尤其是涉及一种磁阻式随机存取存储器(Magnetoresistive Random Access Memory,MRAM)及其制作方法。

背景技术

[0002] 已知,磁阻(magnetoresistance,MR)效应是材料的电阻随着外加磁场的变化而改变的效应,其物理量的定义,是在有无磁场下的电阻差除上原先电阻,用以代表电阻变化率。目前,磁阻效应已被成功地运用在硬盘生产上,具有重要的商业应用价值。此外,利用巨磁电阻物质在不同的磁化状态下具有不同电阻值的特点,还可以制成磁性随机存储器(MRAM),其优点是在不通电的情况下可以继续保留存储的数据。

[0003] 上述磁阻效应还被应用在磁场感测(magnetic field sensor)领域,例如,移动电话中搭配全球定位系统(global positioning system,GPS)的电子罗盘(electronic compass)零组件,用来提供使用者移动方位等资讯。目前,市场上已有各式的磁场感测技术,例如,各向异性磁阻(anisotropic magnetoresistance,AMR)感测元件、巨磁阻(GMR)感测元件、磁隧穿结(magnetic tunneling junction,MTJ)感测元件等等。然而,上述现有技术的缺点通常包括:较占芯片面积、制作工艺较昂贵、较耗电、灵敏度不足,以及易受温度变化影响等等,而有必要进一步改进。

发明内容

[0004] 本发明一实施例公开一种制作半导体元件的方法。首先形成一磁性隧穿结(magnetic tunneling junction,MTJ)于一基底上以及一上电极于该MTJ上,然后形成一第一金属间介电层环绕该MTJ以及该上电极,形成一停止层于该第一金属间介电层上,形成一第二金属间介电层于该停止层上,进行一第一蚀刻制作工艺去除该第二金属间介电层以及该停止层,进行一第二蚀刻制作工艺去除部分该上电极,再形成一金属内连线连接该上电极。

[0005] 本发明另一实施例公开一种半导体元件,其主要包含一磁性隧穿结(magnetic tunneling junction,MTJ)设于一基底上,一上电极设于该MTJ上且上电极的一第一侧壁旁的上表面不同于该上电极的一第二侧壁旁的上表面以及一第一金属间介电层环绕该MTJ以及该上电极。

附图说明

[0006] 图1至图4为本发明一实施例制作一半导体元件的方式示意图。

[0007] 主要元件符号说明

[0008] 12 基底 14 MTJ区域

[0009] 16 层间介电层 20 金属内连线结构

[0010] 22 金属内连线结构 24 金属间介电层

- [0011] 26 金属内连线 28 停止层
- [0012] 30 金属间介电层 32 金属内连线
- [0013] 34 阻障层 36 金属层
- [0014] 40 第一电极层 42 固定层
- [0015] 44 阻障层 46 自由层
- [0016] 48 第二电极层 50 MTJ
- [0017] 52 下电极 54 上电极
- [0018] 56 间隙壁 58 间隙壁
- [0019] 60 金属间介电层 62 停止层
- [0020] 64 金属间介电层 66 图案化掩模
- [0021] 68 掩模层 70 掩模层
- [0022] 72 掩模层 74 第一蚀刻制作工艺
- [0023] 76 接触洞 78 第二蚀刻制作工艺
- [0024] 80 平坦表面 82 倾斜面
- [0025] 84 金属内连线

具体实施方式

[0026] 请参照图1至图4,图1至图4为本发明一实施例制作一半导体元件,或更具体而言一MRAM单元的方式示意图。如图1至图4所示,首先提供一基底12,例如一由半导体材料所构成的基底12,其中半导体材料可选自由硅、锗、硅锗复合物、硅碳化物(silicon carbide)、砷化镓(gallium arsenide)等所构成的群组,且基底12上较佳定义有一磁性隧穿结(magnetic tunneling junction,MTJ)区域14以及一逻辑区域(图未示)。

[0027] 基底12上可包含例如金属氧化物半导体(metal-oxide semiconductor,MOS)晶体管等主动(有源)元件、被动(无源)元件、导电层以及例如层间介电层(interlayer dielectric,ILD)16等介电层覆盖于其上。更具体而言,基底12上可包含平面型或非平面型(如鳍状结构晶体管)等MOS晶体管元件,其中MOS晶体管可包含栅极结构(例如金属栅极)以及源极/漏极区域、间隙壁、外延层、接触洞蚀刻停止层等晶体管元件,层间介电层16可设于基底12上并覆盖MOS晶体管,且层间介电层16可具有多个接触插塞电连接MOS晶体管的栅极以及/或源极/漏极区域。由于平面型或非平面型晶体管与层间介电层等相关制作工艺均为本领域所熟知技术,在此不另加赘述。

[0028] 然后于层间介电层16上依序形成金属内连线结构20、22电连接前述的接触插塞,其中金属内连线结构20包含一金属间介电层24以及金属内连线26镶嵌于金属间介电层24中,金属内连线结构22则包含一停止层28、一金属间介电层30以及多个金属内连线32镶嵌于停止层28与金属间介电层30中。

[0029] 在本实施例中,金属内连线结构20中的各金属内连线26较佳包含一沟槽导体(trench conductor),金属内连线结构22中设于MTJ区域14的金属内连线32则包含接触洞导体(via conductor)。另外各金属内连线结构20、22中的各金属内连线26、32均可依据单镶嵌制作工艺或双镶嵌制作工艺镶嵌于金属间介电层24、30以及/或停止层28中并彼此电连接。例如各金属内连线26、32可更细部包含一阻障层34以及一金属层36,其中阻障层34可

选自由钛(Ti)、氮化钛(TiN)、钽(Ta)以及氮化钽(TaN)所构成的群组,而金属层36可选自由钨(W)、铜(Cu)、铝(Al)、钛铝合金(TiAl)、钴钨磷化物(cobalt tungsten phosphide,CoWP)等所构成的群组,但不局限于此。由于单镶嵌或双镶嵌制作工艺是本领域所熟知技术,在此不另加赘述。此外在本实施例中金属内连线26较佳包含铜、金属层36较佳包含钨、金属间介电层24、30较佳包含氧化硅、而停止层28则包含氮掺杂碳化物层(nitrogen doped carbide, NDC)、氮化硅、或氮碳化硅(silicon carbon nitride,SiCN),但不局限于此。

[0030] 接着形成一MTJ堆叠结构(图未示)于金属内连线结构22上。在本实施例中,形成MTJ堆叠结构的方式可先依序形成一第一电极层40、一固定层(fixed layer)42、一阻障层(barrier layer)44、一自由层(free layer)46以及一第二电极层48。在本实施例中,第一电极层40以及第二电极层48较佳包含导电材料,例如但不局限于钽(Ta)、铂(Pt)、铜(Cu)、金(Au)、铝(Al)。固定层42可以是由反铁磁性(antiferromagnetic,AFM)材料所构成者,例如铁锰(FeMn)、铂锰(PtMn)、铱锰(IrMn)、氧化镍(NiO)等,用以固定或限制邻近层的磁矩方向。阻障层44可由包含氧化物的绝缘材料所构成,例如氧化铝(Al₂O₃)或氧化镁(MgO),但均不局限于此。自由层46可以是由铁磁性材料所构成者,例如铁、钴、镍或其合金如钴铁硼(cobalt-iron-boron,CoFeB),但不限于此。其中,自由层46的磁化方向会受外部磁场而「自由」改变。

[0031] 随后利用一图案化掩模(图未示)为掩模进行一道或一道以上蚀刻制作工艺去除部分MTJ堆叠结构以形成上下电极以及MTJ 50于金属内连线32上,其中第一电极层40较佳于此阶段成为MTJ 50的下电极52而第二电极层48则成为MTJ 50的上电极54。然后形成一衬垫层(图未示)于MTJ 50上覆盖金属间介电层30表面,并进行一蚀刻制作工艺去除部分衬垫层以形成一间隙壁环绕MTJ 50,例如间隙壁56设于MTJ 50左侧以及间隙壁58设于MTJ 50右侧。在本实施例中,间隙壁56、58较佳包含氧化硅,但又可依据制作工艺需求选用其他介电材料,例如又可包含氧化硅、氮氧化硅或氮碳化硅。

[0032] 接着形成另一金属间介电层60并覆盖MTJ 50,再进行一平坦化制作工艺,例如利用化学机械研磨(chemical mechanical polishing,CMP)制作工艺去除部分金属间介电层60并使剩余的金属间介电层60上表面约略切齐间隙壁56、58以及上电极54上表面。然后依序形成一停止层62于金属间介电层60表面,一金属间介电层64于停止层62上以及一图案化掩模66于金属间介电层64上。在本实施例中,停止层62较佳包含氮掺杂碳化物层(nitrogen doped carbide,NDC),金属间介电层64较佳包含一超低介电常数介电层,例如可包含多孔性介电材料例如但不局限于氧碳化硅(silicon oxycarbide,SiOC),图案化掩模66则可细部包含掩模层68、掩模层70以及掩模层72,其中掩模层68较佳包含氮氧化硅、掩模层70包含氮化钛且掩模层72包含氧化硅。

[0033] 如图2所示,随后进行一第一蚀刻制作工艺74去除部分掩模层72、部分掩模层70、部分掩模层68、部分金属间介电层64、部分停止层62、部分间隙壁58以及部分金属间介电层60以形成一接触洞76,其中掩模层72可在蚀刻过程中消耗殆尽。在本实施例中,第一蚀刻制作工艺74较佳包含一干蚀刻制作工艺,其较佳以八氟环丁烷(C₄F₈)以及/或四氟化碳(CF₄)为主要蚀刻气体成分在不去除任何上电极54的形况下去除上述材料层以形成接触洞76。值得注意的是,本阶段所进行的第一蚀刻制作工艺74除了去除上电极54以上的部分掩模层外又同时去除上电极54一侧的部分间隙壁58及部分金属间介电层60,由此形成左右不对称的

间隙壁56、58并使接触洞76深入部分金属间介电层60内。由于上电极54在此阶段未被蚀刻气体去除,因此上电极54顶部与右侧侧壁之间的夹角或上电极54顶部与左侧侧壁之间的夹角均各自包含一直角。

[0034] 接着如图3所示,进行一第二蚀刻制作工艺78去除部分上电极54并使上电极54第一侧壁旁的上表面不同于上电极第二侧壁旁的上表面,其中第二蚀刻制作工艺78较佳包含一湿蚀刻制作工艺,其主要利用过氧化氢(H_2O_2)以及含氟成分蚀刻剂例如但不局限于氟化氨(NH_4F)为主要蚀刻成分去除部分上电极54。更具体而言,本阶段所进行的第二蚀刻制作工艺78较佳利用过氧化氢将部分由氮化钛所构成的上电极54氧化形成氮氧化钛($TiON$),然后再利用含氟成分蚀刻剂如氟化氨(NH_4F)去除氮氧化钛,使靠近上电极54左侧壁的上电极54上表面不同于靠近上电极54右侧壁的上电极54上表面。从细部来看,靠近上电极54左侧壁旁的上电极54上表面由于未被第二蚀刻制作工艺78去除因此包含一平行于基底12表面的平坦表面80,而靠近上电极54右侧壁旁的上电极54上表面由于被第二蚀刻制作工艺78去除因此包含一不平行于基底12表面的倾斜面82或一曲面。从另一角度来看,上电极54顶部与左侧侧壁之间的夹角仍呈现90度直角,但上电极54顶部与右侧侧壁之间的夹角则较佳大于90度。

[0035] 如图4所示,然后于接触洞76中填入所需的金属材料,例如包含钛(Ti)、氮化钛(TiN)、钽(Ta)、氮化钽(TaN)等的阻障层以及选自钨(W)、铜(Cu)、铝(Al)、钛铝合金($TiAl$)、钴钨磷化物(cobalt tungsten phosphide,CoWP)等低电阻材料或其组合的低阻抗金属层。接着进行一平坦化制作工艺,例如以化学机械研磨制作工艺去除部分金属材料以形成接触插塞或金属内连线84于接触洞76内电连接下方的上电极54。

[0036] 请再参照图4,图4又揭露本发明一实施例的一半导体元件的结构示意图。如图4所示,半导体元件主要包含MTJ 50设于基底12上,下电极52设于MTJ 50下方,上电极54设于MTJ 50上方,间隙壁56设于下电极52、MTJ 50以及上电极54左侧壁,间隙壁58设于下电极52、MTJ 50以及上电极54右侧壁,金属间介电层60环绕间隙壁56及间隙壁58,停止层62设于金属间介电层60上,金属间介电层64设于停止层62上以及金属内连线84设于停止层62与金属间介电层64内并直接接触上电极54。

[0037] 整体来看,上电极54左侧壁旁的上电极54上表面较佳不同于上电极54右侧壁旁的上电极54上表面,例如上电极54左侧壁旁的上表面较佳包含一平行于基底12表面的平坦表面80而上电极54右侧壁旁的上表面则包含一不平行于基底12表面的倾斜面82或一曲面。另外设于上电极54左侧的间隙壁56与设于上电极54右侧的间隙壁58较佳具有不同高度,其中间隙壁58的高度较佳低于间隙壁56的高度,或间隙壁58上表面较佳低于间隙壁56上表面但两者底部较佳切齐。从连接上电极54上方金属内连线84的角度来看,设于上电极54左侧壁旁的金属内连线84下表面较佳不同于上电极54右侧壁旁的金属内连线84下表面,其中上电极54左侧壁旁的金属内连线84下表面较佳包含一平行于基底12表面的平坦表面80而上电极54右侧壁旁的金属内连线84下表面则包含一不平行于基底12表面的倾斜面82或一曲面。从另一角度来看,上电极54顶部与左侧侧壁之间的夹角仍呈现90度直角,但上电极54顶部与右侧侧壁之间的夹角则较佳大于90度。

[0038] 综上所述,本发明主要先形成金属间介电层覆盖MTJ,然后进行第一蚀刻制作工艺去除部分金属间介电层并暴露出MTJ上方的上电极,再进行第二蚀刻制作工艺去除部分上

电极将原本呈现直角的单一上电极角落修整为约略圆弧的角落。由于上电极顶部的其中一角落经由上述两段式蚀刻制作工艺所形成的圆弧形角落可降低上电极与相邻金属间介电层之间的高低差,如此后续填入导电材料形成金属内连线后金属内连线与上电极之间便不致产生孔洞或缝隙影响元件的电性表现。

[0039] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,都应属本发明的涵盖范围。

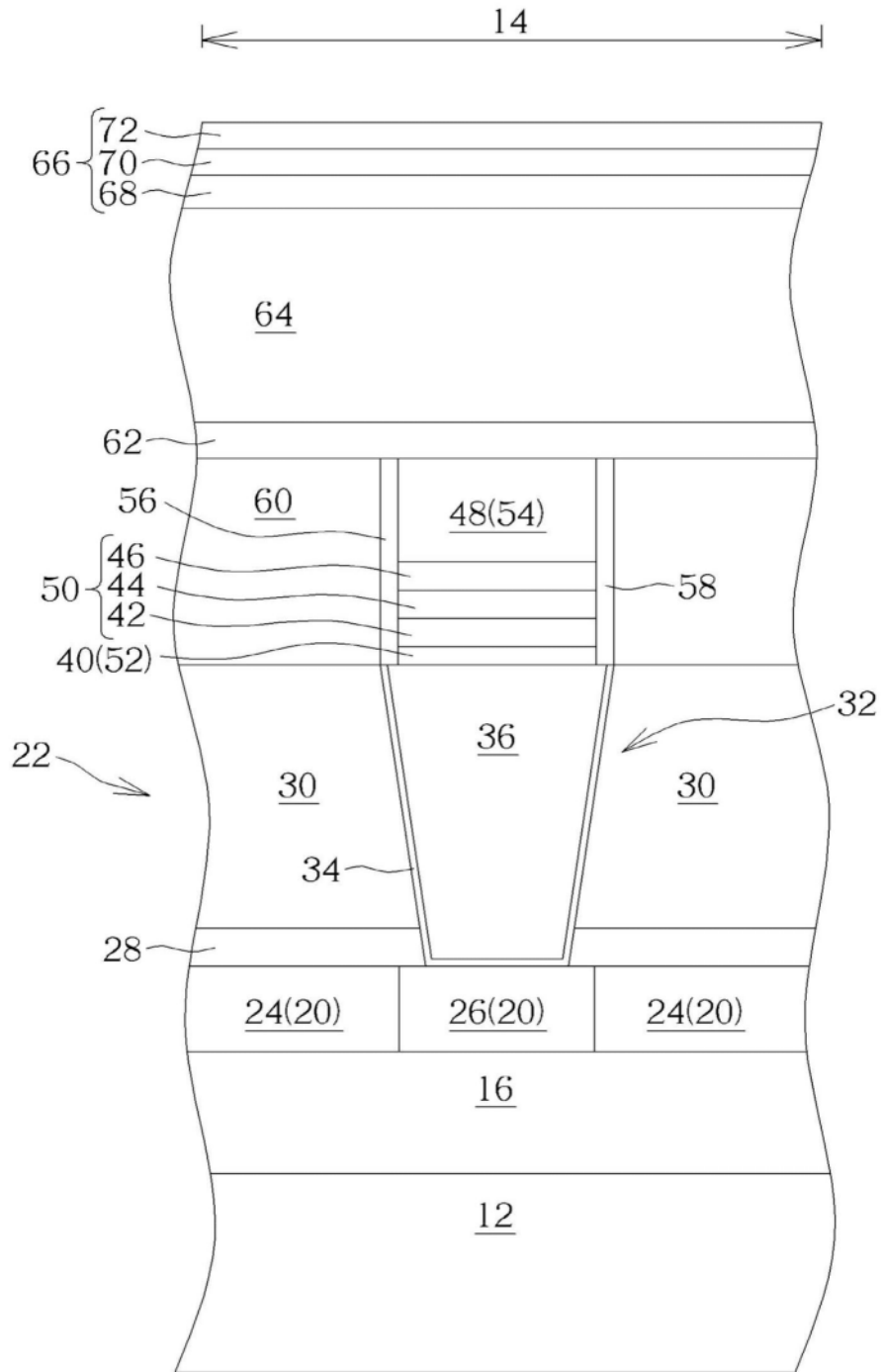


图1

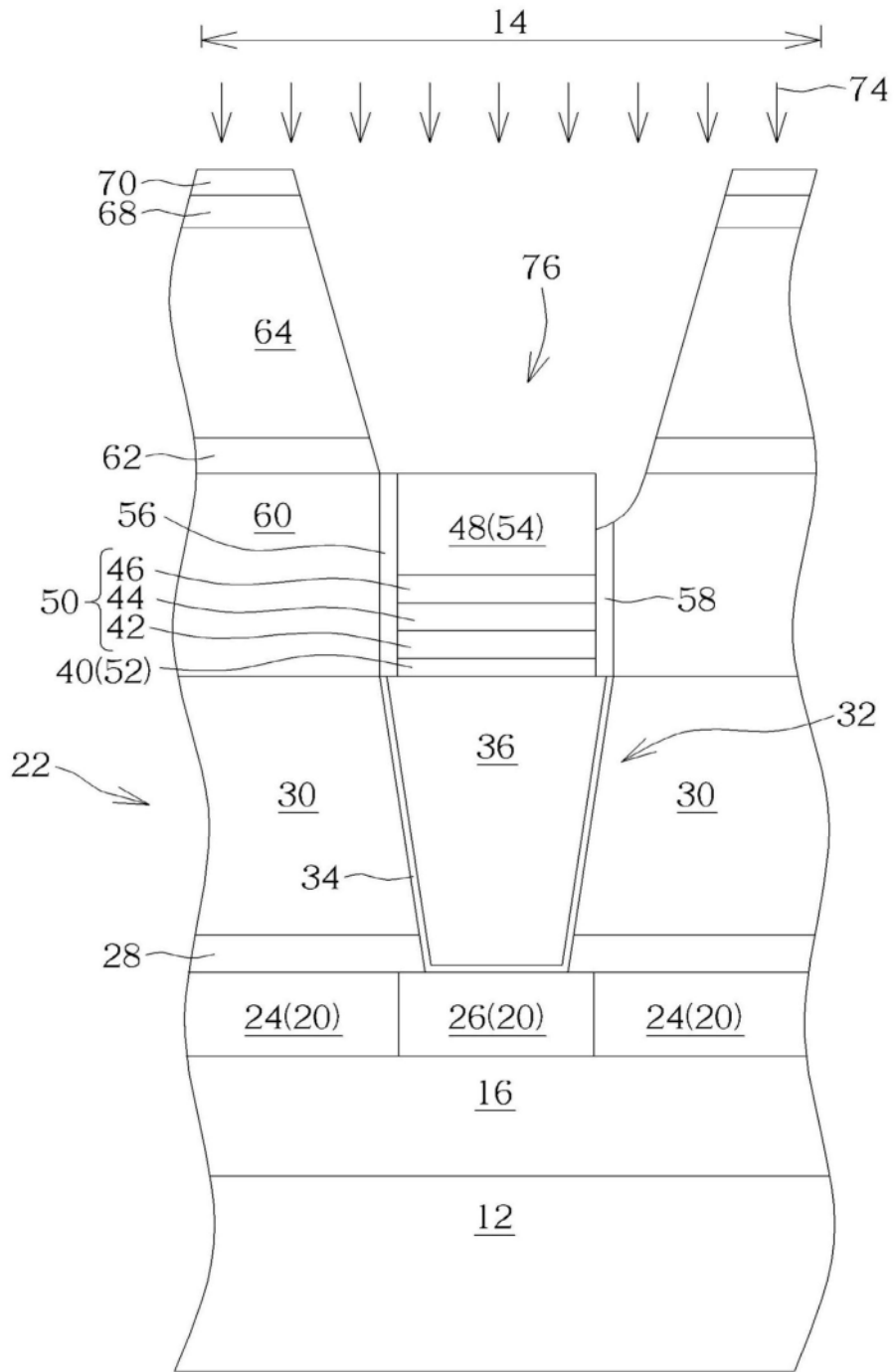


图2

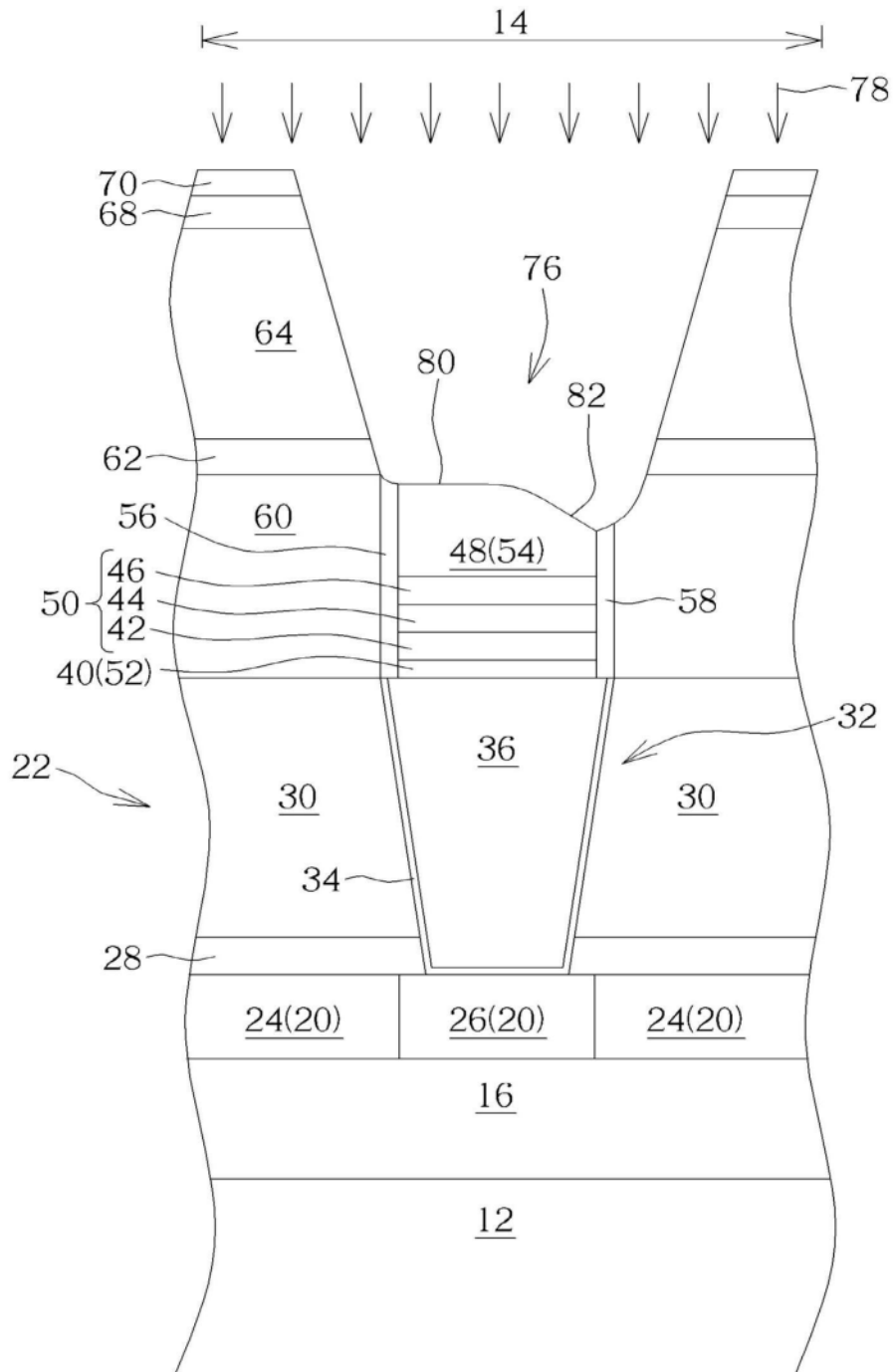


图3

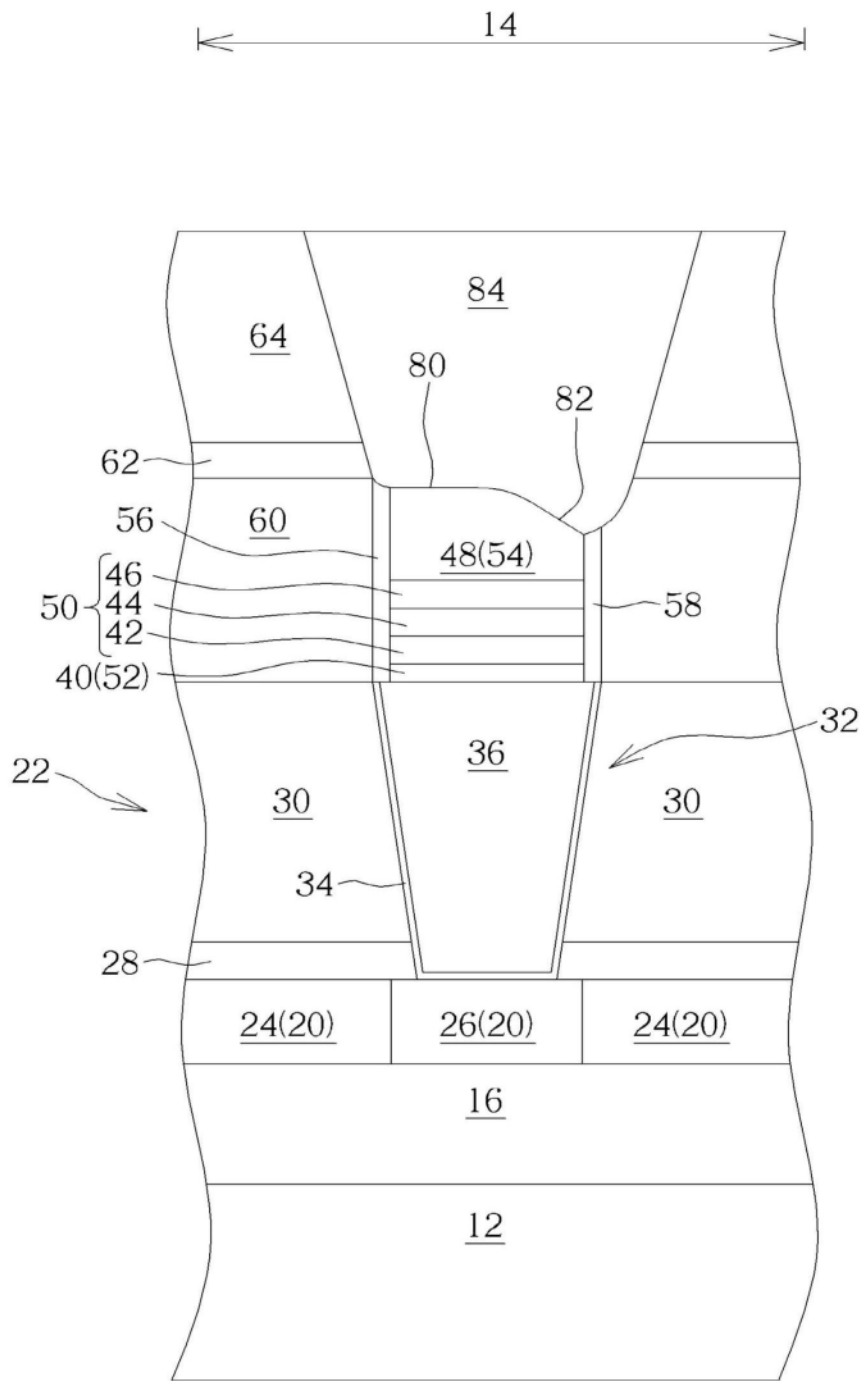


图4