

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成27年10月1日(2015.10.1)

【公開番号】特開2014-89790(P2014-89790A)

【公開日】平成26年5月15日(2014.5.15)

【年通号数】公開・登録公報2014-025

【出願番号】特願2012-240610(P2012-240610)

【国際特許分類】

G 1 1 C 11/419 (2006.01)

【F I】

G 1 1 C 11/34 3 1 1

【手続補正書】

【提出日】平成27年8月12日(2015.8.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワード線およびビット線と接続されたメモリセルを行列状に配置したメモリセルアレイと、

ワード線アシスト電圧を生成するアシスト電圧生成回路と、

選択した前記ワード線に前記ワード線アシスト電圧を印加するワードドライバと、

前記ビット線の電圧を増幅して出力するセンスアンプと、

基準タイミング信号を生成する制御回路と、

前記ワード線アシスト電圧が印加される遅延回路と、を備える半導体装置であって、

前記アシスト電圧生成回路および前記制御回路には、第 1 電圧が印加され、

前記遅延回路は、前記基準タイミング信号を所定時間遅延させたセンスアンプ起動信号を生成し、

前記センスアンプは、前記センスアンプ起動信号に応答して、起動される、半導体装置。

【請求項 2】

前記アシスト電圧生成回路は、印加された前記第 1 電圧を前記ワード線アシスト電圧に変換して出力し、

前記遅延回路は、前記ワード線アシスト電圧に応答して遅延時間が変化する第 1 インバータを有する、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 インバータは、前記ワード線アシスト電圧を電源電圧として動作する、請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 インバータは、前記第 1 電圧を電源電圧として動作するとともに、前記ワード線アシスト電圧に応答して駆動能力が変化する、請求項 2 記載の半導体装置。

【請求項 5】

前記遅延回路は、さらに、前記第 1 電圧を電源電圧として動作する第 2 インバータを有し、

前記第 1 インバータおよび前記第 2 インバータは直列接続される、請求項 2 記載の半導体装置。

【請求項 6】

前記アシスト電圧生成回路は、アシスト電圧制御信号に応答して、前記ワード線アシスト電圧の値を変更し、

前記遅延回路は、前記アシスト電圧制御信号に応答して、前記基準タイミング信号の遅延時間を変更する、請求項 1 記載の半導体装置。

【請求項 7】

第 1 セレクタおよび第 2 セレクタを、さらに備え、

前記遅延回路は、前記ワード線アシスト電圧に応答して遅延時間が変化する第 3 インバータおよび第 4 インバータを有し、

前記第 1 セレクタは、前記アシスト電圧制御信号に応答して、前記基準タイミング信号および前記第 3 インバータの出力のいずれか一方を出力し、

前記第 2 セレクタは、前記アシスト電圧制御信号に応答して、前記第 1 セレクタの出力および前記第 4 インバータの出力のいずれか一方を前記センスアンプ起動信号として出力する、請求項 6 記載の半導体装置。

【請求項 8】

ワード線およびビット線と接続されたメモリセルを行列状に配置したメモリセルアレイと、

ワード線アシスト電圧を生成するアシスト電圧生成回路と、

選択した前記ワード線に前記ワード線アシスト電圧を印加するワードドライバと、

前記ビット線の電圧を増幅して出力するセンスアンプと、

基準タイミング信号を生成する制御回路と、

第 1 レプリカセル選択線と、

第 1 レプリカビット線と、

前記第 1 レプリカセル選択線および前記第 1 レプリカビット線と接続されるレプリカセルを有するレプリカセル遅延回路と、

前記ワード線アシスト電圧が印加され、前記基準タイミング信号に応答して前記第 1 レプリカセル選択線を駆動するレプリカセル駆動回路と、を備える半導体装置であって、

前記アシスト電圧生成回路および前記制御回路には、第 2 電圧が印加され、

前記レプリカセル遅延回路は、前記レプリカセル駆動回路の出力に応答して、センスアンプ起動信号を生成し、

前記センスアンプは、前記センスアンプ起動信号に応答して、起動される、半導体装置

。

【請求項 9】

前記レプリカセルは、第 1 ノードにソース/ドレインの一端が接続され、前記第 1 レプリカビット線にソース/ドレインの他端が接続され、前記第 1 レプリカセル選択線がゲートと接続された第 1 トランジスタを有する、請求項 8 記載の半導体装置。

【請求項 10】

第 2 レプリカビット線と、

前記第 1 レプリカビット線および前記第 2 レプリカビット線と接続された第 1 カレントミラー回路と、をさらに備え、

前記レプリカセルは、さらに、前記第 2 レプリカビット線と接続され、

前記レプリカセルは、第 2 ノードにソース/ドレインの一端が接続され、前記第 2 レプリカビット線にソース/ドレインの他端が接続され、前記第 1 レプリカセル選択線がゲートと接続された第 2 トランジスタを有する、請求項 8 記載の半導体装置。

【請求項 11】

前記レプリカセル駆動回路は、さらに、前記センスアンプ起動信号に応答して、前記第 2 トランジスタを非導通状態とする、請求項 10 記載の半導体装置。

【請求項 12】

第 2 レプリカセル選択線を、さらに備え、

前記アシスト電圧生成回路は、アシスト電圧制御信号に応答して、前記ワード線アシス

ト電圧の値を変更し、

前記レプリカセル遅延回路は、さらに、前記第2レプリカセル選択線および前記第1レプリカビット線と接続される前記レプリカセルを有し、

前記レプリカセル駆動回路は、前記アシスト電圧制御信号に応答して、前記第1レプリカセル選択線または前記第2レプリカセル選択線を駆動する、請求項8記載の半導体装置。

【請求項13】

前記アシスト電圧生成回路は、アシスト電圧制御信号に応答して、前記ワード線アシスト電圧の値を変更し、

前記レプリカセルは、前記アシスト電圧制御信号に応答して、その動作状態が制御される、請求項8記載の半導体装置。

【請求項14】

第2レプリカビット線およびカレントミラー回路を、さらに備え、

前記レプリカセルは、前記第2レプリカビット線と、さらに接続され、

前記アシスト電圧生成回路は、アシスト電圧制御信号に応答して、前記ワード線アシスト電圧の値を変更し、

前記カレントミラー回路は、前記第1レプリカビット線および前記第2レプリカビット線と接続され、

前記カレントミラー回路の電流駆動能力は、前記アシスト電圧制御信号および前記センスアンプ起動信号に応答して決定される、請求項8記載の半導体装置。

【請求項15】

ワード線およびビット線と接続されたメモリセルを行列状に配置したメモリセルアレイと、

前記ワード線を駆動するワードドライバと、

アドレス信号に基づき、前記ワードドライバを選択するワードデコーダと、

前記ビット線の電圧を増幅して出力するセンスアンプと、

基準タイミング信号を生成する制御回路と、

前記基準タイミング信号を所定時間遅延させてセンスアンプ起動信号を生成する遅延回路と、を備える半導体装置であって、

前記制御回路および前記ワードデコーダには、第3電圧が印加され、

前記ワードドライバおよび前記メモリセルアレイには、第4電圧が印加され、

前記センスアンプは、前記センスアンプ起動信号に応答して、起動される、半導体装置。

。

【請求項16】

レベルシフト回路を、さらに備え、

前記レベルシフト回路は、前記ワードデコーダの出力をレベル変換して前記ワードドライバに inputs、請求項15記載の半導体装置。

【請求項17】

前記第4電圧の値は、前記第3電圧の値より大きく設定される請求項15記載の半導体装置。