(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2010 年 4 月 1 日 (01.04.2010)

PCT

(10) 国际公布号
WO 2010/034167 A1

(51) 国际专利分类号:
G06F 15/80 (2006.01)

(21) 国际申请号: PCT/CN2008/073514

(22) 国际申请日: 2008 年 12 月 15 日 (15.12.2008)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
200810216362.9 2008 年 9 月 28 日 (28.09.2008) CN
200810216858.6 2008 年 10 月 20 日 (20.10.2008) CN
200810216859.0 2008 年 10 月 20 日 (20.10.2008) CN

(71) 申请人 (对除美国外的所有指定国): **北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **戴鹏 (DAI, Peng)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。 **胡子一 (HU, Ziyi)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。 **王新安 (WANG, Xinan)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。 **张兴 (ZHANG, Xing)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。

(74) 代理人: **北京信慧永光知识产权代理有限责任公司 (BEIJING SUNHOPE INTELLECTUAL PROPERTY LTD.)**; 中国北京市海淀区知春路 9 号坤讯大厦 1106 室, Beijing 100083 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,

[见续页]

(54) Title: PROCESSOR STRUCTURE OF INTEGRATED CIRCUIT

(54) 发明名称 : 一种集成电路的处理器结构

(57) Abstract: A processor structure of integrated circuit is provided. The processor structure includes at least one processor capable of configuring an operation component and at least one processor capable of configuring a storage component. The processor capable of configuring an operation component or the processor capable of configuring a storage component cascades the processor capable of configuring an operation component and the processor capable of configuring a storage component. The processor capable of configuring an operation component includes the first arithmetic data control component and at least one operation component, and the first arithmetic data control component performs a configuration instruction to configure the operation function of the operation component; The processor able to configure an storage component includes the second arithmetic data control component and at least one storage component, and the second arithmetic data control component performs a configuration instruction to configure the storage function of the storage component.

[见续页]

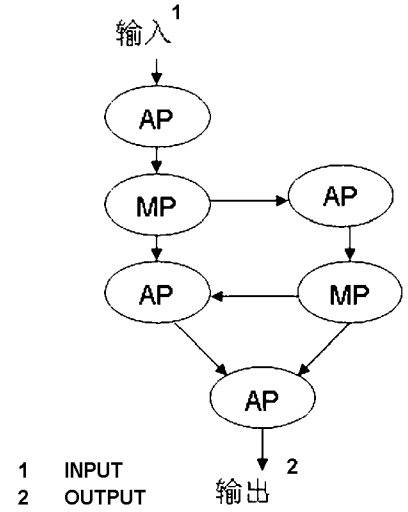


图 12 / Fig.12

WO 2010/034167 A1

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) **摘要**:

提供了一种集成电路的处理器结构。处理器结构包括至少一个可配置运算部件的处理器和至少一个可配置存储部件的处理器。可配置运算部件的处理器或可配置存储部件的处理器与可配置运算部件的处理器、可配置存储部件的处理器级联。可配置运算部件的处理器包括第一算法数据控制部件和至少一个运算部件，第一算法数据控制部件执行配置指令，对运算部件的运算功能进行配置；可配置存储部件的处理器包括第二算法数据控制部件和至少一个存储部件，第二算法数据控制部件执行配置指令，对存储部件的存储功能进行配置。

说明书

一种集成电路的处理器结构

技术领域

[1] 本发明涉及集成电路设计领域，具体涉及一种集成电路的处理器结构或系统。

背景技术

[2] 随着集成电路制造工艺进入90nm-45nm阶段，复杂算法（如数字媒体和无线通信算法等）的ASIC（Application Specific Integrated Circuit，即专用集成电路）实现，面临设计周期长、设计成本高、灵活性差、扩展性差，难以满足产品快速上市、功能不断提升的需求。因此，基于支持存储指令控制的处理器来实现复杂算法，就显得越来越重要。

[3] 然而，一般处理器和指令系统的设计方法，要支持复杂算法的实现，必然需要相对复杂的指令系统和指令格式以及实现方式，并且不易扩展，比如，当处理器需要支持一种新的运算/存储功能或增加新的运算/存储部件时，往往需要重新修改整个处理器的设计、甚至修改整个指令系统，以支持新功能的实现。

[4] 同时，基于一般处理器指令系统的算法设计，程序代码的语义明确，比较容易被抄袭，难以保护设计者的智力劳动成果。

发明内容

[5] 本发明要解决的技术问题是：提供一种集成电路的处理器结构或系统,具有可配置、可编程的灵活性，操作简便并具有良好的算法保密性。

[6] 为解决上述问题，本发明提供一种集成电路的处理器结构，包括至少一个可配置运算部件的处理器（简称AP）和至少一个可配置存储部件的处理器（简称MP），所述可配置运算部件的处理器与可配置运算部件的处理器、可配置存储部件的处理器中的至少一个互联，所述可配置存储部件的处理器与可配置运算部件的处理器、可配置存储部件的处理器中的至少一个互联；所述可配置运算部件的处理器包括第一算法数据控制部件和至少一个用于对输入数据执行运算操作的运算部件，所述运算部件包括逻辑运算单元和配置寄存器，所述第一算法数据控制部件执行配置指令，将配置信息写入指令中指定的运算部件的配置寄

存器，所述运算部件根据其自身配置寄存器中的配置信息进行逻辑运算；所述可配置存储部件的处理器包括第二算法数据控制部件和至少一个用于对数据进行存储或读出操作的存储部件，所述存储部件包括存储单元和配置寄存器，所述第二算法数据控制部件执行配置指令，将配置信息写入指令中指定的存储部件的配置寄存器，所述存储部件根据其自身配置寄存器中的配置信息进行数据存取。

[7] 所述配置指令包含操作码、配置信息和配置目的三个操作元素，所述操作码为规定指令所执行操作的命令码，所述配置信息为指令操作的对象，所述配置目的用于指定写入配置信息的配置寄存器。

[8] 在另一实施例中，还提供一种集成电路的处理器结构，包括第二算法数据控制部件和至少一个用于对数据进行存储或读出操作的存储部件，所述存储部件包括存储单元和配置寄存器，所述第二算法数据控制部件执行配置指令，将配置信息写入指令中指定的存储部件的配置寄存器，所述存储部件根据其自身配置寄存器中的配置信息进行数据存取。

[9] 在又一实施例中，还提供一种集成电路的处理器结构，包括第一算法数据控制部件和至少一个用于对输入数据执行运算操作的运算部件，所述运算部件包括逻辑运算单元和配置寄存器，所述第一算法数据控制部件执行配置指令，将配置信息写入指令中指定的运算部件的配置寄存器，所述运算部件根据其自身配置寄存器中的配置信息进行逻辑运算。

[10] 本发明的有益效果是：

[11] 本发明采用一种可配置运算部件的处理器AP和一种可配置存储部件的处理器MP，通过多个AP和/或MP处理器的级联，实现ASIC的快速设计。本发明的AP和MP级联较简明，具有可配置、可编程的灵活性，不需要复杂的逻辑，可简化硬件结构，但可支持复杂的算法功能。在需要增加运算功能（或运算部件）和存储功能（或存储部件）时，因为本发明将配置信息写入相应的配置寄存器，而运算部件和存储部件分别根据其自身的配置寄存器中的内容进行逻辑运算和数据存取，不需要对AP和MP的指令系统进行修改和增加，只需定义新增配置信息即可。

[12] 同时，本发明的指令系统与现有技术中的具有确定性语义的指令不同，本发明的配置指令中包含操作码、配置信息和配置目的三个操作元素，不同的配置信息来源和不同的配置目的，可产生不同的语义，可能同样的指令完成不同的配置，所以本发明具有良好的算法保密性。

附图说明

[13] 图1是本发明一种实施例中ADU的硬件模块框图；

[14] 图2是本发明一种实施例的可配置运算部件的处理器的硬件框图；

[15] 图3是本发明另一种实施例的可配置存储部件的处理器的硬件框图；

[16] 图4是本发明存储部件的一种实施例的结构框图；

[17] 图5是本发明多核DSP间直接级联的结构框图；

[18] 图6是是本发明多核DSP间通过交换开关间接级联的结构框图；

[19] 图7——图10是本发明可配置运算部件的处理器和可配置存储部件的处理器的几种级联方式；

[20] 图11是本发明一种实施例的特定应用算法需求分析图；

[21] 图12是根据图11的级联图。

具体实施方式

[22] 下面通过实施例结合附图对本发明作进一步详细说明。

[23] 本发明的处理器结构或系统中的可配置DSP通过选择优化的可配置部件，支撑复杂算法的快速实现。其中，可配置部件包括可配置的算法数据控制部件（以下简称控制部件，如图1中的38，图2中10，图3中的20）、可配置的运算部件（图2中12）、可配置的存储部件（图3中22）及可配置的数据路径（图2中11a、11b，图3中的22a、22b）。本发明的可配置概念不仅表示通过一系列软件或硬件生成DSP软核或硬核，不同DSP软核/硬核中可配置部件的功能或数目不一致；也表示已生成的DSP软核/硬核中可配置部件在实际运行过程中根据需要进行实时的功能配置；还可表示多个DSP核级联的拓扑结构可配置。

[24] 其中，可配置的控制部件（ADU）可以理解为是一个不包括运算部件的只有几条指令的处理器，在一种实施例中，可配置的控制部件ADU包括加载模块、指令存储器、数据存储器、译码器、和通用寄存器，还可以进一步包括定时或计

数器等模块。如图1所示为可配置的控制部件ADU38的一种具体结构，模块31为程序计数器PC，用来指示当前运行程序的地址；模块32和33分别代表数据存储器DMEM和指令存储器IMEM，分别用来存储数据和指令，当然也可以采用一个存储器存储数据和指令；模块34是译码单元，用做分析指令含义，解释指令行为；模块36为通用寄存器组，用于存储数据或指令；模块37表示加载模块。加载模块37从外部端口加载数据存入数据存储器DMEM或指令存储器IMEM，定时或计数器35为ADU提供计时或计数处理。当加载模块37加载的是数据时，加载模块将数据从输入端口加载至数据存储器dmem，当加载模块37加载的是指令时，载模块将指令从输入端口加载至指令存储器imem，通过PC模块提供的地址将从指令存储器中选择对应指令进行操作。

[25] ADU的可配置主要表现在指令字长的变化上，希望一条指令完成全部配置（运算部件、数据通路等），还是只完成运算部件的配置。以运算部件为例说明如下：

[26] 假设配置一个ALU单元的配置信息为n bit,则同时配置四个ALU单元的配置信息为4n bit，配置指令的字长为4n+m bit，其中m为该配置指令的操作码。对于不同应用情况，DSP需要的ALU数目不同，因此ADU的指令字长也根据ALU的数目而变化。

[27] 可配置的运算部件可包括若干个运算单元，每个运算单元包括逻辑运算单元（简称ALU）和配置寄存器。可配置控制部件执行配置指令，将配置信息写入运算部件的配置寄存器，所述运算部件根据其自身配置寄存器中的配置信息进行指定的数据运算。

[28] 可配置的存储部件包括存储单元和配置寄存器，可配置控制部件执行配置指令，将配置信息写入指令中指定的存储部件的配置寄存器，所述存储部件根据其自身配置寄存器中的配置信息进行数据存取。

[29] 可配置的数据路径为用于选择数据输入或输出路径的数据通路，包括数据输入通路和输出选择单元，所述数据输入通路包括数据输入转换开关和配置寄存器，所述输出选择单元包括数据输出转换开关和输出端口配置寄存器。可配置控制部件还根据配置指令，将配置信息写入指令中指定的数据通路的配置寄存器

，数据输入通路根据其自身配置寄存器中的配置信息控制数据输入转换开关的切换，输出选择单元根据其自身配置寄存器中的配置信息控制数据输出转换开关的切换。

[30] 在本发明中可配置的数据路径有两种含义。一种为DSP内部可配置的数据路径，主要由转换开关和配置寄存器组成。在数据输入通路的输入端，输入数据来源有三个：可配置的控制部件ADU中的通用寄存器中暂存的数据、从输入端口输入的数据和输出选择单元输出的数据，数据输入通路可根据其配置寄存器中的配置信息在三个数据来源中进行选择。数据输出通路可通过四个路径输出数据，即：将数据输出到输出端口、输出到数据输入通路的输入口、存入ADU的通用寄存器和数据存储器，输出选择单元可根据配置信息在四个数据输出路径中进行选择。因此，对DSP内部数据路径的可配置表现在通过ADU向数据通路中的配置寄存器写配置值，选择数据输入来源和数据输出目标。

[31] 本发明中可配置数据路径的第二种含义为DSP核间的数据路径可配置，具体表现在多核之间的数据级联。本发明中每个DSP核最多可从两个DSP核接收数据，可向任意多的DSP核发送数据。多核级联可以采用静态级联的方式，即两个DSP核间连线直连(如图5)，也可以通过DSP核间的可配置互联开关进行核间DSP远距离互联（如图6）。对DSP核间数据路径的可配置表现在映射多核DSP拓扑结构时对核间数据路径的可配置。

[32] 针对上述可配置的硬件结构，在本发明的一种实施例中提出了一套语义简单的指令系统，具体说明如下：

[33] 本发明中，可配置运算部件、可配置存储部件及可配置的数据路径由其对应的控制部件执行配置指令完成配置功能。其中，配置指令包含操作码、配置信息和配置目的三个操作元素，所述操作码为规定指令所执行操作的命令码，所述配置信息为指令操作的对象，所述配置目的用于指定写入配置信息的配置寄存器。所述操作码、配置信息和配置目的可由用户设置，配置指令的格式和位宽不限，可根据实际情况进行调整格式和位宽。所述配置信息可以为通用寄存器中的内容，也可以是立即数或数据存储器的内容或输入端口的寄存器的内容。例如：

[34] Movesc reg，configreg：

[35] 该指令将通用寄存器reg中的数据写入指定的配置寄存器，该配置寄存器直接完成相应的运算部件的功能或数据通路的路径配置。

[36] 作为该类指令的变种，在指令位宽允许的情况下，也可将上述指令中的通用寄存器reg改为立即数imm，即Movesc
imm，configreg。将imm直接写入指定的配置寄存器。

[37] 立即数imm也可表示数据存储器的地址，将对应地址的数据存储器的数据作为配置信息，立即数还可以是具体的操作或数值。

[38] 上述配置寄存器中数据所代表的配置含义，即指定的运算操作或数据路径，可以根据需要定制，从而使非法的程序代码获取者无法破译实际执行的算法。

[39] Movesd reg，datareg：

[40] 该指令将通用寄存器reg中的数据写入指定的数据寄存器。

[41] 作为该指令的变种，该指令中的reg可以是处理器的数据输入端口寄存器，即将处理器的数据输入端口寄存器的值写入指定的数据寄存器，配置指令为：Inpu
t
port,datareg。同样，该指令中的datareg可以指处理器的数据输出端口寄存器，即将处理器的通用寄存器的值写入指定的数据输出端口寄存器，
配置指令为：Output reg, port。

[42] 在处理器进行运算或存储功能时，控制部件可有以下几种配置选择：

[43] 1.配置Switch的数据路径（也称为交换开关），选择运算部件簇的数据输入路径，相应的指令为：movesc reg
configreg，其中configreg用于配置Switch中的数据路径，即选择交换开关；

[44] 2.同样可以配置Switch的数据路径（也称为交换开关），选择存储部件簇的数据输入路径，相应的指令为：movesc reg
configreg，其中configreg用于配置Switch中的数据路径,即选择交换开关；

[45] 3. 配置运算单元簇各运算单元的运算功能，相应的指令为：movesc reg
configreg，其中configreg用于配置运算单元的运算操作；

[46] 4. 配置存储单元簇各存储单元的存储功能，相应的指令为：movesc reg

configreg，其中configreg用于配置存储单元的存储操作；

[47] 5.配置和管理数据输入和输出端口，配置运算单元/存储单元的结果写回目的地，如通用寄存器、switch中的数据存储器或者输出端口等，对应的指令为：move sc reg configreg，其中configreg对应的是数据输出转换开关选择的配置寄存器。

[48] 6. 配置和管理数据输入和输出端口。

[49] 根据算法的实现要求，按一定的时间和顺序重复上述步骤，即是实现算法的程序，便可完成预定的算法功能。

[50] 在进行数据流或数据段处理时，存在三种特殊情况：

[51] 1．在进行数据流处理时，常常会遇到一个逻辑运算单元仅需完成一个特定功能运算的情况下，这样往往需要反复循环地执行一段特定的程序。

[52] 2．当ADU单元执行完一个指令（例如该指令是存入一个数据段）后，需要等待存储部件操作完成后才可以执行下一条指令（例如下一条指令是存入另一个数据段）。

[53] 3．当处理单元a需要从另两个处理单元b和c取数再进行运算时，会出现其中一个处理单元b的数据到得比较早，另外一个处理单元c数据到得比较晚（由于两个处理器工作任务不同，很容易造成数据到达时间上的不统一），处理单元a会将处理单元b和一个空数据发生有效操作，而导致计算错误。

[54] 为解决上述三个问题，在本发明的另一实施例中，定义了控制处理器暂停的暂停指令，所述暂停指令包括操作码和暂停时间计数信息两个操作元素，其一种格式是：

[55] Rouser #imm；

[56] 在处理器对数据流进行处理时ADU执行暂停指令，控制处理器处于暂停状态，启动定时器计时或计数器计数，同时使处理器处于暂停状态，使所述数据通路和/或存储部件的配置信息保持不变，直到接收到恢复信息。这段时间内，ADU单元不执行指令，输出数据比较快的处理单元也处于等待状态。当计时或计数完成时，处理器中各部分恢复正常运行状态。

[57] 该指令也可写为rouser reg的形式，这时reg中的值取代imm。

[58] 暂停指令还可以是以下格式：

[59] HLT；

[60] 该指令作为rouser指令的特殊形式，即当ADU执行该指令时，将暂停处理器的工作，直到被其他信号（如中断信号等）唤醒。

[61] 例如，在处理数据流时，假设运算部件的上次运算是加法运算，执行暂停指令后，运算部件将保持加法运算功能，对输入的数据作加法运算，直到处理器恢复正常运行状态，运算部件被配置以新的运算功能。

[62] 以上可知，利用该配置指令及其硬件实现，可方便地改变其内部的运算单元/存储单元的连接关系和运算/存储功能，实现处理器的数据通路和功能的可配置性，适用于对大规模数据流处理的情况，特别是针对数字信号处理的阵列。

[63] 本发明在需要增加计算功能时，不需要对指令进行修改和增加，仅需定义新增配置信息的语义即可，有利于处理器功能的扩展并且不增加硬件设计的复杂性。

[64] 本发明仅需通过简单的配置指令即可完成各种复杂的运算操作和算法映射，从指令设计上来看各功能单元执行的指令基本相同，而通过配置信息的不同却可完成不同的操作。例如同样的movesc指令，根据所写的配置寄存器不同而配置不同步骤的功能实现；由于ALU可根据硬件设计者自行设计运算单元/存储单元，因此即使执行配置ALU指令的配置信息完全一样，计算/存储单元的执行功能也可根据运算/存储单元的不同而不同。因此，本发明中的指令具有加密性，各系统设计厂商可根据实际情况自定义阵列中运算/存储单元簇的配置信息的语义，从而得到自定义的指令系统，并可有效保护自主知识产权。

[65] 本发明的指令和硬件结构有利于数据流处理。阵列结构中的每个处理单元都可通过该配置指令完成相应配置从而实现不同的计算功能，在进行大规模数字信号处理时，数据从阵列的输入端口流进，途经各个处理单元完成相应的运算操作，即可完成复杂的数字信号处理的算法映射，而不需要各处理单元频繁地执行指令，仅需在初始化时完成各计算单元功能和数据路径配置，或在少数处理单元工作过程中进行相应的运算/存储功能和数据路径的修改。

[66] 根据上述可配置的控制部件、可配置的运算部件、可配置的存储部件以及可配置的数据路径，本发明可组合形成可配置运算部件的处理器及可配置存储部件

的处理器两类处理器结构，并可通过可配置的数据路径方便地将两类处理器进行级联，已完成快速算法实现功能。

[67] 实施例一：

[68] 本实施例为具有可配置运算部件的处理器。处理器中包括至少一个可配置的控制部件、用于选择数据输入/输出来源的数据通路和用于对输入数据执行运算操作的可配置的运算部件（简称ALU），ADU负责配置数据通路的数据输入和/或输出路径和ALU的运算功能，即针对相关的算法应用，ADU通过执行配置指令进行数据通路的路径配置和ALU的运算功能配置。

[69] 如图2所示为可配置运算部件处理器的一种具体结构，为方便说明，本图中可配置的运算部件仅画了两个，运算部件可以有一个或多个，可根据具体需要设计。每个可配置的运算部件包括逻辑运算单元ALU和配置寄存器。模块12代表可配置的运算部件（简称ALU簇），每个ALU簇包括逻辑运算单元ALU14和配置寄存器17a。图中模块10表示处理器中的ADU单元，该单元负责执行本发明中的一系列指令，其可采用前述的ADU或图1所示的结构。本实施例中，ADU单元可执行配置指令，将配置信息写入配置寄存器17a，将逻辑运算单元（ALU）14配置成需要的逻辑运算单元。例如，通过配置，ALU单元可以是但不限于加法器、乘法器、移位器等基本的运算模块。特别的，ALU还可以包括各种专用的运算单元，如蝶形运算单元、cordic单元等。对ALU单元的可配置表现在根据ADU的配置指令对操作数进行不同的运算操作。

[70] 数据通路包括数据输入通路11a和输出选择单元11b，数据输入通路11a包括数据输入交换开关13a和配置寄存器17c，输出选择单元11b包括数据输出转换开关13b和输出端口配置寄存器17b。

[71] 模块15和16分别代表处理器的输入端口和输出端口，负责数据的输入和输出。模块18代表数据通路的数据寄存器，为ALU簇保存操作数据。

[72] 在数据输入通路11a的输入端，输入数据来源有三个：可配置的控制部件ADU中的通用寄存器中暂存的数据、从输入端口输入的数据和输出选择单元输出的数据，数据输入通路11a可根据配置信息在三个数据来源中进行选择。

[73] 输出选择单元11b可通过三个路径输出数据，即：将数据输出到输出端口、输

出到数据通路Switch的输入口和存入ADU的通用寄存器，输出选择单元可根据配置信息在三个数据输出路径中进行选择。

[74] 由上可知，可配置的控制部件ADU执行配置指令，将配置信息写入指令中指定的配置寄存器。配置信息可以是通用寄存器的内容或者是立即数。数据作为配置信息，配置寄存器的各种配置信息经过简单的译码操作，可对应选择相应的功能模块进行运算。例如，假定000是加法，001减法。则该指令将000写入配置寄存器后，一个很小的译码器（或者是选择器）根据000选择加法器使能工作，因此进入逻辑运算单元中的两个操作数a和b完成加法。指令中指定的配置寄存器可以是数据输入通路的配置寄存器，也可以是运算部件ALU的配置寄存器，还可以是输出选择单元的配置寄存器。

[75] 基于本实施例的硬件结构，处理器可通过对如下可配置单元进行配置完成各种运算操作，配置指令为前述指令中的某一种：

[76] 1.配置数据输入路径（也称为交换开关），即选择ALU簇的数据输入路径，相应的指令为：movesc reg configreg，其中configreg用于配置数据输入通路中的数据路径,即选择数据输入通路中的交换开关,确定输入数据来源；

[77] 2.配置ALU簇各ALU的运算功能，相应的指令为：movesc reg configreg，其中configreg用于配置ALU的运算操作；

[78] 3.配置和管理数据输入和输出端口，配置ALU运算结果写回目的地，如通用寄存器、数据输入通路中的数据存储器或者输出端口等，对应的指令为：movesc reg configreg，其中configreg对应的是数据输出转换开关选择的配置寄存器。

[79] 按照以上步骤，配置信息被写入相关配置寄存器，完成对相关单元的配置，且配置信息被保存至配置寄存器中，直到下一次再写入时才会改变。ALU功能、数据路径都配置完成之后，即可自动完成后续数据处理。

[80] 实施例二：

[81] 本实施例为具有可配置存储部件的处理器。可配置存储部件的处理器中包括可配置的控制部件（简称ADU）、用于选择数据输入和/或输出路径的数据通路和至少一个用于对数据进行存储或读出操作的存储部件。ADU负责执行配置指令

，对数据通路的数据路径和存储部件的存取功能进行配置。

[82] 每个存储部件包括存储单元和配置寄存器，所述可配置的控制部件执行配置指令，将配置信息写入指令中指定的存储部件的配置寄存器，所述存储部件根据其自身配置寄存器中的配置信息进行数据存取。

[83] 如图3所示为处理器的一种具体结构，为方便说明，本图中存储部件仅画了两个，存储部件可以有一个或多个，可根据具体需要设计。图中模块20表示处理器中的ADU单元，该单元负责执行本发明中的一系列指令，其可采用前述的ADU或图1所示的结构；ADU单元20执行配置指令，对数据通路和存储部件22的存取功能进行配置。所述数据通路包括数据输入通路21a和输出选择单元21b，所述数据输入通路21a包括数据输入转换开关23a和配置寄存器27c，所述输出选择单元21b包括数据输出转换开关23b和输出端口配置寄存器27b。ADU单元20根据配置指令，将配置信息写入指令中指定的数据通路的配置寄存器，所述数据输入通路21a根据其自身配置寄存器27c中的配置信息控制数据输入转换开关23a的切换，所述输出选择单元21b根据其自身配置寄存器27b中的配置信息控制数据输出转换开关23b的切换。即将配置信息作为控制信号，控制开关的切换。数据输入通路21a连接输入端口25和ADU单元20中的通用寄存器，数据的输入来源可以是ADU单元20中的通用寄存器，还可以是输入端口25。输出选择单元21b连接输出端口26和ADU单元20中的通用寄存器，数据的输出路径可以是通过输出端口26输出，也可以输出到通用寄存器。

[84] 存储部件22的一种实施方式是包括存储单元（即MEM）24和配置寄存器27a，ADU单元20执行配置指令，将配置信息写入其配置寄存器27a中，存储部件22根据配置信息将数据存入存储单元24中，或将数据从存储单元24中读出。

[85] 存储部件的另一种实施方式是包括存储单元、配置寄存器和地址产生器，如图4所示，地址产生器分别连接该存储部件的配置寄存器和存储单元，所述地址产生器根据所述配置寄存器中的配置信息设定所述存储单元存取数据的地址基址（即存取数据的初始地址）、跳变步长和跳变次数，根据地址基址，跳变步长，跳变次数可确定数据存取的实际物理地址。例如，需要存储1-16的一个数据段时，地址产生器可根据配置信息，产生出存储数据的地址基址，控制数据从存

储单元的该地址开始存储，并以跳变步长为1，跳变15次，直到将最后一个数据存入。采用这种方式存取数据，可以通过地址产生器根据配置信息中的内容自动产生一大段有规律的地址，而面对DSP算法，大段数据的存取都是有规律的，如地址自增1，自增2等。这样可以只需要执行一次指令，即可对一段数据进行存取操作，而不需要重复执行16条指令或进行一段指令的循环，从而简化了操作，尤其是对流处理或者大块数据存取的操作比较方便，不用每次存取都由程序员控制给出地址。

[86] 因存储单元可以是FLASH，EEPROM或SRAM等任意一种存储介质，不同的存储介质进行存储的方式不同，为通过配置将相同的输入数据格式转化为不同存储器的读写数据格式，在另外的具体实施例中，存储部件还可以包括至少一个分别连接该存储部件的配置寄存器和存储单元的格式转换器，将所述配置寄存器中的配置信息进行译码，选择相应的格式转换器，通过该格式转换器将外部数据转化为针对该存储单元存取的格式。例如，EEPROM是串行数据存取，和SRAM的存取方式不同，则需要对数据进行一定的打包或解包等转换操作才能进行存取，而转换操作就由格式转换器完成。不同的存储器需要不同的格式转换器，因而在该实施例中，可设置多种格式转换器，并根据配置信息在多种格式转换器中进行选择。

[87] 需要存入数据时，配置数据输入通路21a的数据路径, 相应的指令为：movesc reg

configreg,其中configreg用于配置数据输入通路21a中的数据路径,即选择转换开关。数据输入通路21a根据其配置寄存器27c中的配置信息,选择数据的输入来源，数据在数据输入通路21a的数据寄存器28中进行暂存后输入到某个指定的存储部件22中。配置存储部件簇各存储部件22的存储功能，相应的指令为：movesc reg configreg，其中configreg用于配置存储部件22的存储功能,存储部件22根据其配置寄存器27a中的配置信息,从地址基址按照跳变步长和跳变次数存入数据。并配置和管理数据输入和输出端口。

[88] 按一定的时间和顺序重复上述步骤，即是实现算法的程序，便可完成预定算法的存储功能。

[89] 需要读出数据时，存储部件22根据其配置寄存器27a中的配置信息，从地址基址按照跳变步长和跳变次数读出数据，并输出数据到输出选择单元21b，输出选择单元21b根据其配置寄存器23b中的配置信息，选择数据的输出路径。

[90] 基于本实施例的硬件结构，可配置的控制部件执行的配置指令可为前述指令中的某一种。

[91] 因此，对存储部件的可配置主要体现在对地址产生器的可配置，使之可以产生不同的存取访问地址；以及通过对存储单元、格式转换器的配置进行不同容量，不同类型的存储介质的选择。

[92] 实施例三：

[93] 本实施例为具有可配置运算部件处理器和可配置存储部件处理器的处理器及其级联。

[94] 为表述方便，我们将可配置运算部件的处理器称为AP，将可配置存储部件的处理器称为MP。通过一系列AP和MP的级联就可以实现任何特定应用算法专用集成电路（即ASIC），该种结构包括至少一个AP和至少一个MP，AP与AP、MP中的至少一个互联，MP与AP、MP中的至少一个互联，如图7-10所示。

[95] 图11是本发明一种实施例的特定应用算法需求分析，将输入的数据先通过两个AP进行运算，暂存结果，然后再分别经两个和四个AP运算，再暂存结果，暂存的结果再经四个AP运算，最后将数据输出。通过对特定应用算法的需求分析，形成一个运算和存储需求流程图，然后就可以形成AP和MP的级联图，如图12所示。当然，还需要根据算法的时间约束等条件，通过AP和MP的复用、减少AP和MP的数量，同时在完成算法功能后进一步定制，取消没有使用的可配置功能。

[96] 根据本发明的构思，可以根据需要设置AP和MP的级联方式，实现所需要的算法。

[97] AP中的可配置的控制部件和MP中的可配置的控制部件可以采用相同的结构，也可以采用不同的结构。本实施例中以AP和MP采用相同结构的ADU进行说明。上述实施例中，AP的第一可配置的控制部件和MP的第二可配置的控制部件可以是每个单元独立拥有的，也可以是若干单元共用的。

[98] AP和MP的指令处理部件较简单，将运算功能和存储功能都规整到可配置运算部件和可配置存储部件的内部处理。

[99] 这样的AP和MP能够高效级联支撑应用算法的实现，并具有可配置和可编程的灵活性。如果特定应用算法专用集成电路的设计已经采用AP和MP级联的方式实现，需要进一步缩小芯片面积、降低成本，则可以将可配置部件（运算部件、存储部件等）按照应用算法的需要进行定制：取消没有使用的可配置功能。

[100] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

权利要求书

[1] 1.一种集成电路的处理器结构，其特征在于：包括至少一个可配置运算部件的处理器和至少一个可配置存储部件的处理器，所述每个可配置运算部件的处理器与可配置运算部件的处理器、可配置存储部件的处理器中的至少一个互联，所述每个可配置存储部件的处理器与可配置运算部件的处理器、可配置存储部件的处理器中的至少一个互联；所述可配置运算部件的处理器包括第一算法数据控制部件和至少一个用于对输入数据执行运算操作的运算部件，所述运算部件包括逻辑运算单元和配置寄存器，所述第一算法数据控制部件执行配置指令，将配置信息写入指令中指定的运算部件的配置寄存器，所述运算部件根据其自身配置寄存器中的配置信息进行逻辑运算；所述可配置存储部件的处理器包括第二算法数据控制部件和至少一个用于对数据进行存储或读出操作的存储部件，所述存储部件包括存储单元和配置寄存器，所述第二算法数据控制部件执行配置指令，将配置信息写入指令中指定的存储部件的配置寄存器，所述存储部件根据其自身配置寄存器中的配置信息进行数据存取。

[2] 2.如权利要求1所述的处理器结构，其特征在于：所述配置指令包含操作码、配置信息和配置目的三个操作元素，所述操作码为规定指令所执行操作的命令码，所述配置信息为指令操作的对象，所述配置目的用于指定写入配置信息的配置寄存器。

[3] 3.如权利要求2所述的处理器结构，其特征在于：所述操作码、配置信息和配置目的可由用户设置，所述指令的位宽可根据实际情况进行调整。

[4] 4.如权利要求1至3中任一项所述的处理器结构，其特征在于：所述存储部件还包括分别连接该存储部件的配置寄存器和存储单元的地址产生器和至少一个格式转换器，所述地址产生器根据所述配置寄存器中的配置信息设定所述存储单元存取数据的地址基址、跳变步长和跳变次数，所述配置寄存器根据其中的配置信息选择相应的格式转换器，使所述格式转换器将外部数据转化为针对该存储单元存取的格式。

[5] 5.如权利要求1所述的处理器结构，其特征在于：所述可配置运算部件的处

理器和可配置存储部件的处理器还分别包括用于选择数据输入或输出路径的数据通路，所述数据通路包括数据输入通路和输出选择单元，所述数据输入通路包括数据输入转换开关和配置寄存器，所述输出选择单元包括数据输出转换开关和输出端口配置寄存器，所述第一或第二算法数据控制部件还根据配置指令，将配置信息写入指令中指定的数据通路的配置寄存器，所述数据输入通路根据其自身配置寄存器中的配置信息控制数据输入交换开关的切换，所述输出选择单元根据其自身配置寄存器中的配置信息控制数据输出转换开关的切换。

[6] 6.如权利要求1至3中任一项所述的处理器结构，其特征在于：所述第一算法数据控制部件和第二算法数据控制部件都包括加载模块和通用寄存器，所述加载模块用于从外部端口加载指令或数据并存入通用寄存器，所述配置信息为通用寄存器中的内容、立即数或数据存储器中的内容。

[7] 7.如权利要求1至3中任一项所述的处理器结构，其特征在于：所述第一算法数据控制部件和第二算法数据控制部件还执行暂停指令，控制各自的处理器处于暂停状态，并使所述运算部件和存储部件的配置信息保持不变，直到接收到恢复信息。

[8] 8.如权利要求7所述的处理器结构，其特征在于：所述恢复信息为从执行暂停指令开始计时或计数完成的信息或中断信号。

[9] 9.如权利要求7或8所述的处理器结构，其特征在于：所述暂停指令包括操作码和暂停时间计数信息两个操作元素。

[10] 10.如权利要求1所述的处理器结构，其特征在于：所述可配置运算部件的处理器或可配置存储部件的处理器最多与可配置运算部件的处理器、可配置存储部件的处理器中的四个互联。

[11] 11.一种集成电路的处理器结构，包括第二算法数据控制部件和至少一个用于对数据进行存储或读出操作的存储部件，其特征在于：所述存储部件包括存储单元和配置寄存器，所述第二算法数据控制部件执行配置指令，将配置信息写入指令中指定的存储部件的配置寄存器，所述存储部件根据其自身配置寄存器中的配置信息进行数据存取。

[12] 12.如权利要求11所述的处理器结构，其特征在于：所述配置指令包含操作码、配置信息和配置目的三个操作元素，所述操作码为规定指令所执行操作的命令码，所述配置信息为指令操作的对象，所述配置目的用于指定写入配置信息的配置寄存器。

[13] 13.如权利要求11或12所述的处理器结构，其特征在于：所述存储部件还包括分别连接该存储部件的配置寄存器和存储单元的地址产生器，所述地址产生器根据所述配置寄存器中的配置信息设定所述存储单元存取数据的地址基址、跳变步长和跳变次数。

[14] 14.如权利要求13所述的处理器结构，其特征在于：所述存储部件还包括至少一个分别连接该存储部件的配置寄存器和存储单元的格式转换器，根据所述配置寄存器中的配置信息选择相应的格式转换器，将外部数据转化为针对该存储单元存取的格式。

[15] 15.如权利要求13所述的处理器结构，其特征在于：所述处理器还包括用于选择数据输入或输出路径的第二数据通路，所述第二数据通路包括数据输入通路和输出选择单元，所述数据输入通路包括数据输入交换开关和配置寄存器，所述输出选择单元包括数据输出转换开关和输出端口配置寄存器，所述第二算法数据控制部件还根据配置指令，将配置信息写入指令中指定的第二数据通路的配置寄存器，所述数据输入通路根据其自身配置寄存器中的配置信息控制数据输入交换开关的切换，所述输出选择单元根据其自身配置寄存器中的配置信息控制数据输出转换开关的切换。

[16] 16.如权利要求11至13中任一项所述的处理器结构，其特征在于：所述第二算法数据控制部件包括加载模块和通用寄存器，所述加载模块用于从外部端口加载指令或数据并存入通用寄存器，所述配置信息为通用寄存器中的内容、立即数或数据存储器中的内容。

[17] 17.一种集成电路的处理器结构，包括第一算法数据控制部件和至少一个用于对输入数据执行运算操作的运算部件，其特征在于：所述运算部件包括逻辑运算单元和配置寄存器，所述第一算法数据控制部件执行配置指令，将配置信息写入指令中指定的运算部件的配置寄存器，所述运算部件根据

其自身配置寄存器中的配置信息进行逻辑运算。

[18] 18.如权利要求17所述的处理器结构，其特征在于：所述配置指令包含操作码、配置信息和配置目的三个操作元素，所述操作码为规定指令所执行操作的命令码，所述配置信息为指令操作的对象，所述配置目的用于指定写入配置信息的配置寄存器。

[19] 19.如权利要求18所述的处理器结构，其特征在于：所述处理器还包括用于选择数据输入或输出路径的第一数据通路，所述第一数据通路包括数据输入通路和输出选择单元，所述数据输入通路包括数据输入交换开关和配置寄存器，所述输出选择单元包括数据输出转换开关和输出端口配置寄存器，所述第一算法数据控制部件还根据配置指令，将配置信息写入指令中指定的第一数据通路的配置寄存器，所述数据输入通路根据其自身配置寄存器中的配置信息控制数据输入交换开关的切换，所述输出选择单元根据其自身配置寄存器中的配置信息控制数据输出转换开关的切换。

[20] 20.如权利要求17所述的处理器结构，其特征在于：所述第一算法数据控制部件包括加载模块和通用寄存器，所述加载模块用于从外部端口加载指令或数据并存入通用寄存器，所述配置信息为通用寄存器中的内容、立即数或数据存储器中的内容。

[21] 21.如权利要求19所述的处理器结构，其特征在于：所述第一算法数据控制部件还用于在处理器对数据流进行运算时执行暂停指令，控制处理器处于暂停状态，并使所述第一数据通路和/或运算部件的配置信息保持不变，直到接收到恢复信息。

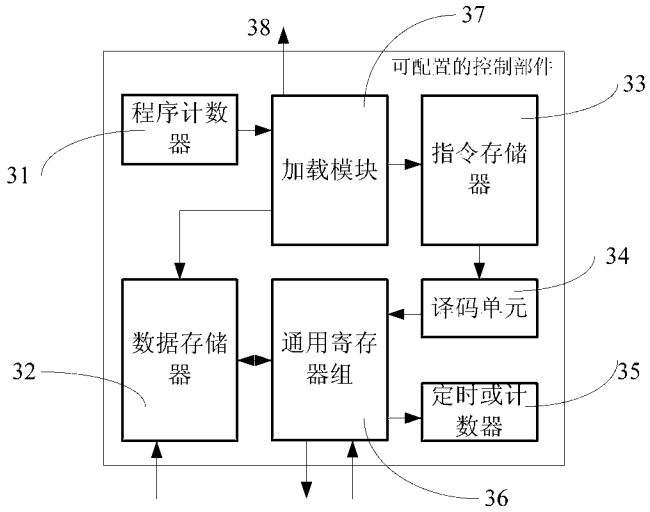

38
37
可配置的控制部件
33
程序计数器
加载模块
指令存储器
31
34
译码单元
数据存储器
通用寄存器组
32
35
定时或计数器
36

图 1

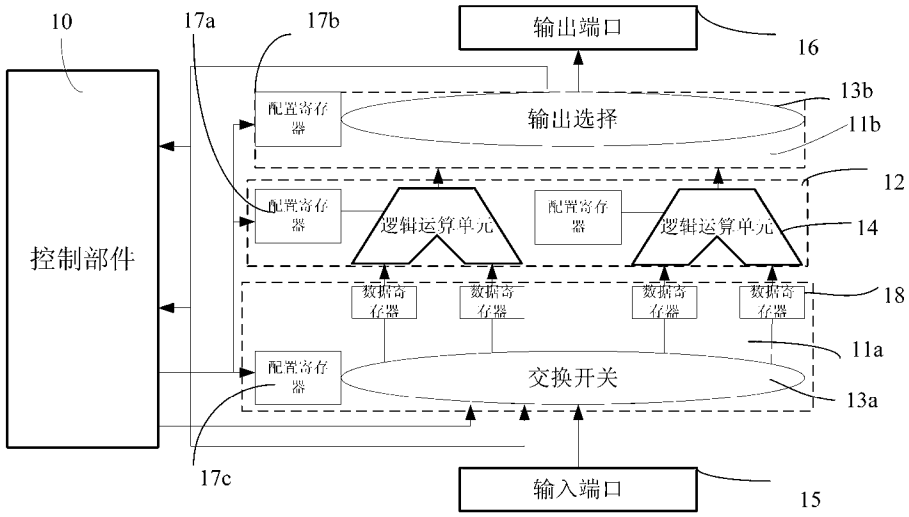

10
17a
17b
输出端口
16
13b
配置寄存器
输出选择
11b
12
配置寄存器
逻辑运算单元
配置寄存器
逻辑运算单元
14
控制部件
数据寄存器
数据寄存器
数据寄存器
数据寄存器
18
11a
配置寄存器
交换开关
13a
17c
输入端口
15

图 2

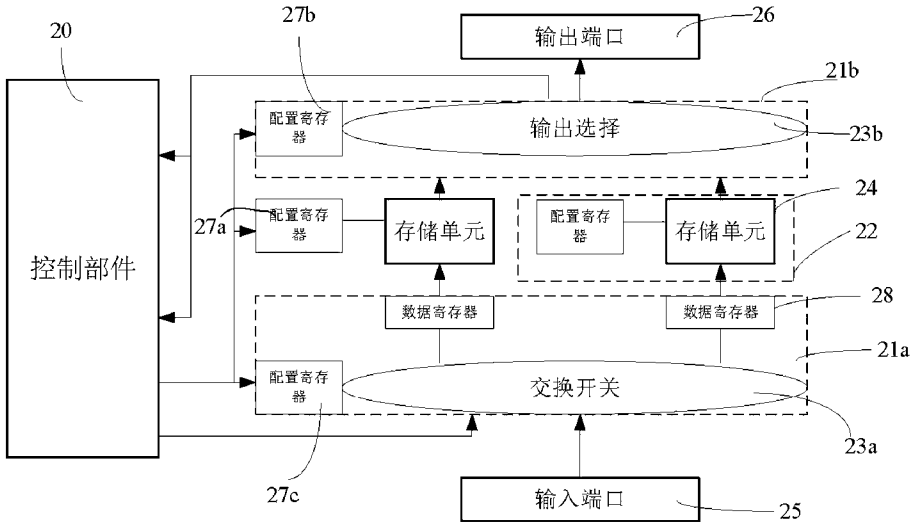

20
27b
输出端口
26
21b
配置寄存器
输出选择
23b
24
27a
配置寄存器
存储单元
配置寄存器
存储单元
22
控制部件
数据寄存器
数据寄存器
28
21a
配置寄存器
交换开关
23a
27c
输入端口
25

图 3

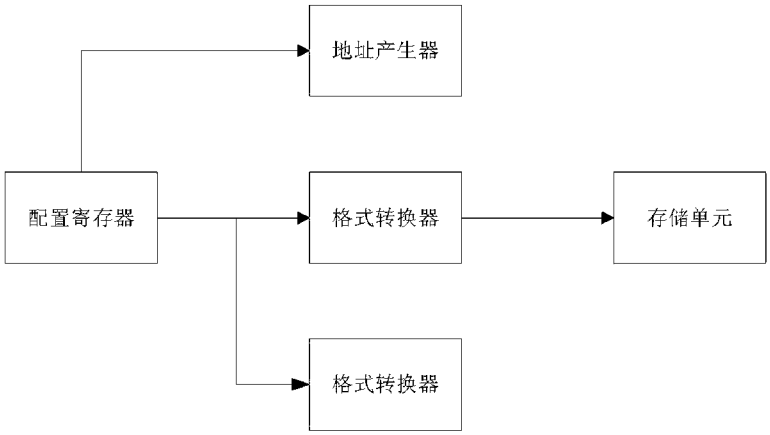

地址产生器
配置寄存器
格式转换器
存储单元
格式转换器

图 4

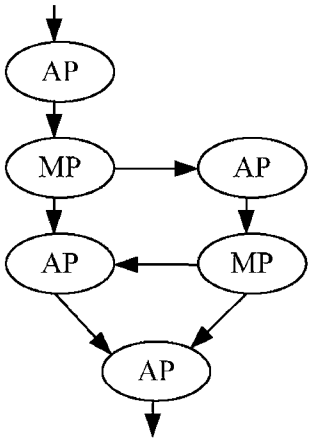


图 5

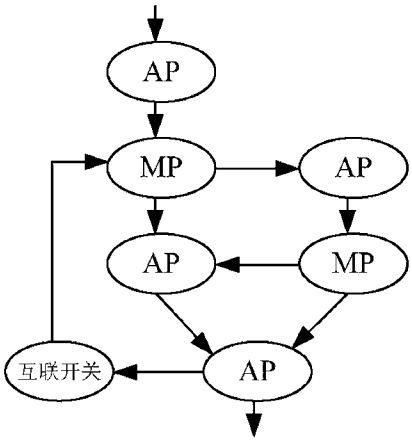


图 6

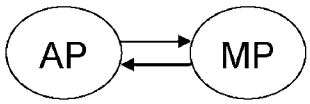


图 7



图 8

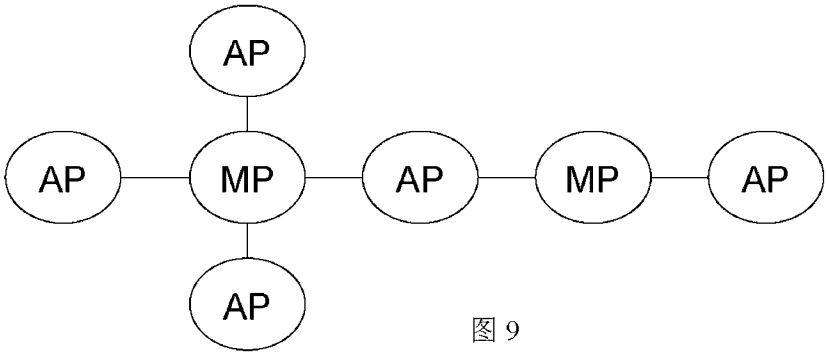


图 9

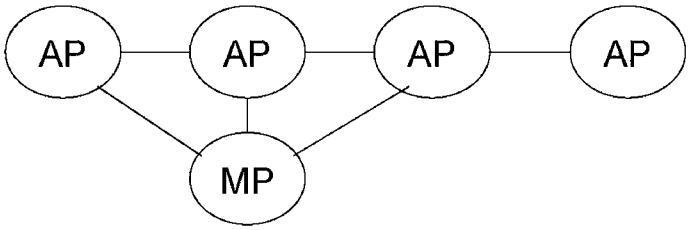


图 10

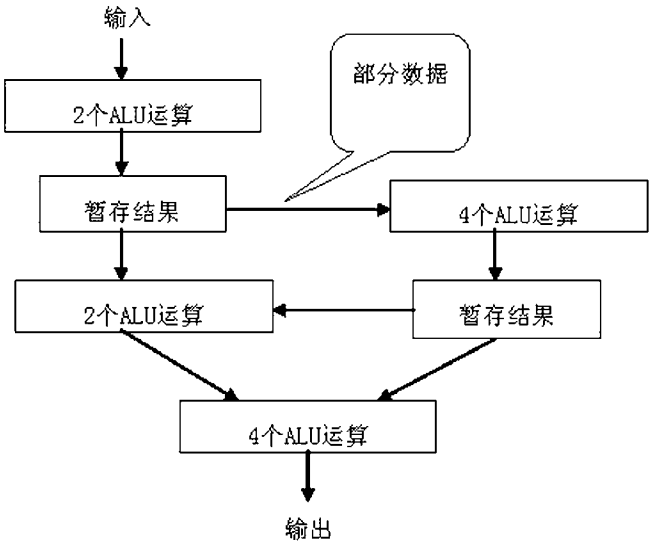

输入
2个ALU运算
暂存结果
部分数据
4个ALU运算
2个ALU运算
暂存结果
4个ALU运算
输出

图 11

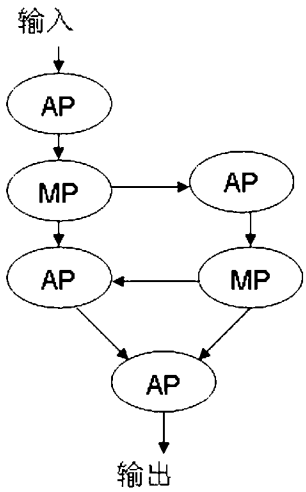

输入
AP
MP
AP
AP
MP
AP
输出

图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2008/073514

A. CLASSIFICATION OF SUBJECT MATTER

G06F 15/80 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F 15/-; G06F 9/-; G06K 17/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI, WPI,EPODOC,PAJ: ASIC, integrated circuit, processor, cascad+, configur+, instruction, register, information

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101136070A, (UNIV FUDAN), 05 Mar. 2008 (05.03.2008), the whole document	1-21
A	CN1659540A, (KONINKL PHILIPS ELECTRONICS NV),24 Aug. 2005 (24.08.2005), the whole document	1-21
A	CN101211330A, (GU Shiping),02 Jul. 2008 (02.07.2008), the whole document	1-21

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 Jun. 2009 (26.06.2009)	**09 Jul. 2009 (09.07.2009)**
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer WU,Min Telephone No. (86-10)62411697

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2008/073514

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101136070A	05.03.2008	none	
CN1659540A	24.08.2005	WO03103015A2	11.12.2003
		AU2003228062A1	19.12.2003
		EP1514198A2	16.03.2005
		JP2005528792T	22.09.2005
		TW200405546A	01.04.2004
		US2005235173A1	20.10.2005
		AU2003228062A8	03.11.2005
CN101211330A	02.07.2008	none	

国际检索报告

国际申请号
PCT/CN2008/073514

A. 主题的分类

G06F 15/80 (2006.01)i

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G06F 15/-; G06F 9/-; G06K 17/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI: 特定用途集成电路，集成电路，处理器，级联，配置，指令，寄存器，信息

WPI,EPODOC,PAJ: ASIC, integrated circuit, processor, cascad+, configur+, instruction, register, information

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN101136070A，（复旦大学），05.3 月 2008（05.03.2008），全文	1-21
A	CN1659540A，（皇家飞利浦电子股份有限公司），24.8 月 2005（24.08.2005），全文	1-21
A	CN101211330A，（顾士平），02.7 月 2008（02.07.2008），全文	1-21

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
26.6 月 2009（26.06.2009）	**09.7 月 2009 (09.07.2009)**
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 吴敏 电话号码：(86-10) **62411697**

国际检索报告

关于同族专利的信息

国际申请号 **PCT/CN2008/073514**

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN101136070A	05.03.2008	无	
CN1659540A	24.08.2005	WO03103015A2	11.12.2003
		AU2003228062A1	19.12.2003
		EP1514198A2	16.03.2005
		JP2005528792T	22.09.2005
		TW200405546A	01.04.2004
		US2005235173A1	20.10.2005
		AU2003228062A8	03.11.2005
CN101211330A	02.07.2008	无	