(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月18日(18.01.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/012133 A1

(51) 国際特許分類:
H04N 5/357 (2011.01) *H04N 5/374* (2011.01)
H04N 5/369 (2011.01)

(21) 国際出願番号： PCT/JP2017/020212

(22) 国際出願日： 2017年5月31日(31.05.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-140711 2016年7月15日(15.07.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 冨田 和寿 (**TOMITA Kazutoshi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 平田 英治(**HIRATA Eiji**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 山本 孝久, 外(**YAMAMOTO Takahisa et al.**); 〒1410032 東京都品川区大崎４丁目３番２号 秋葉ビル３０１号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** SOLID-STATE IMAGING DEVICE, DRIVING METHOD OF SOLID-STATE IMAGING DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称： 固体撮像素子、及び、固体撮像素子の駆動方法、並びに、電子機器

[図11]

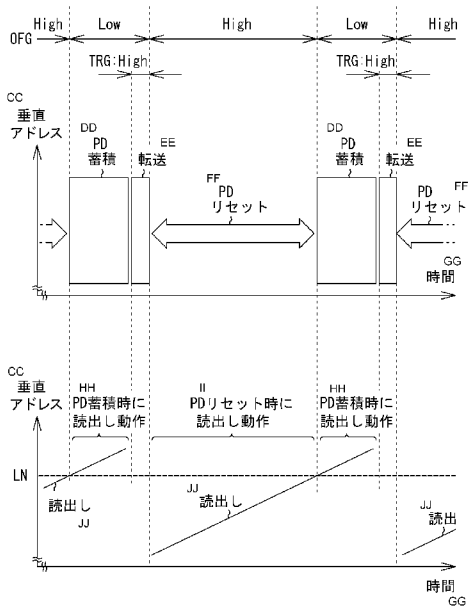


FIG. 11:

CC	Vertical address
DD	PD accumulation
EE	Transfer
FF	PD reset
GG	Time
HH	Read operation during PD accumulation
II	Read operation during PD reset
JJ	Read

(57) **Abstract:** Within a period in which pixels of a pixel array unit are sequentially scanned row by row to read all the pixels, a driving unit of this solid-state imaging device initializes photoelectric conversion units of all the pixels; subsequently performs global exposure by simultaneously accumulating signal charges in the photoelectric conversion units in all the pixels; and also transfers, in capturing a current frame, the photoelectrically converted charges to a floating diffusion area in a state where the floating diffusion area has been reset to a prescribed voltage in an immediately preceding

WO 2018/012133 A1

［続葉有］

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

frame, then reads, from the floating diffusion area as a signal level, a voltage corresponding to the charges, subsequently reads, as a reset level, a voltage after resetting the floating diffusion area to the prescribed voltage, calculates a difference between the signal level and the reset level, and generates a pixel signal.

(57) 要約:固体撮像素子の駆動部は、画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、現フレームの撮像において、直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、信号レベルとリセットレベルとの差分を算出して画素信号を生成する。

明　細　書

発明の名称 ：

固体撮像素子、及び、固体撮像素子の駆動方法、並びに、電子機器

技術分野

[0001] 本開示は、固体撮像素子、及び、固体撮像素子の駆動方法、並びに、電子機器に関する。

背景技術

[0002] デジタルビデオカメラ等の撮像機能を備えた電子機器において、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサなどの固体撮像素子が使用されている。固体撮像素子は、フォトダイオード（Photo Diode：ＰＤ）などから成る光電変換部、光電変換された電荷が転送される浮遊拡散領域（Floating Diffusion region：ＦＤ）、及び、複数のトランジスタなどが組み合わされて成る画素を有している。そして、二次元マトリクス状に配置された複数の画素から出力される信号に基づいて画像が構築される。画素から出力される信号は、例えば、画素の列ごとに配置された複数のＡ／Ｄ（Analog to Digital）変換器によって並列的にＡ／Ｄ変換され、デジタル信号として出力される。

[0003] 固体撮像素子を動作させる際に、画素の動作を制御する制御線と浮遊拡散領域との間にはカップリングが生ずる。画素からの信号を（リセットレベル、信号レベル）の順で読み出し、相関２重サンプリング（Correlated Double Sampling：ＣＤＳ)によって信号処理を行う構成の固体撮像素子にあっては、光電変換部から浮遊拡散領域への電荷転送の直前に浮遊拡散領域がリセットされるため、通常、制御線と浮遊拡散領域との間のカップリングは画質に影響を与えない。一方、画素からの信号を（信号レベル、リセットレベル）の順で読み出し、２重サンプリング（Double Data Sampling：ＤＤＳ)によって信号処理を行う構成の固体撮像素子にあっては、信号レベルが制御線と浮遊拡散領域との間のカップリングの影響を受ける。このため、ＤＤＳによっ

て信号処理を行う構成において、カップリングによる浮遊拡散領域の電圧変動の影響を低減するといった技術が提案されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１１－２１６９６９号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献１に記載の技術にあっては、浮遊拡散領域のリセット動作の前と後とでカップリングの影響が相殺するように制御線を駆動する。しかしながら、この動作では、制御線の駆動に要する期間は長くなる。従って、動作の高速化を図るといった点に対して妨げとなる。また、フレームとフレームとの間で光電変換部の露光期間が変化するといった構成では、カップリングによる浮遊拡散領域の電圧変動の影響が残るといった問題がある。

[0006] そこで、本開示は、カップリングによる浮遊拡散領域の電圧変動の影響を低減することができ、動作の高速化、更には、光電変換部における露光期間の可変化にも対応できる固体撮像素子、及び、固体撮像素子の駆動方法、並びに、固体撮像素子を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 上記の目的を達成するための本開示に係る固体撮像素子は、

光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部、及び、

画素アレイ部を駆動する駆動部、

を有しており、

駆動部は、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変

換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、

次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する、

固体撮像素子である。

[0008] 上記の目的を達成するための本開示に係る固体撮像素子の駆動方法は、

光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部を有している固体撮像素子の駆動方法であって、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域を所定の電圧にリセットした状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出す工程、及び、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する工程、

を含む、

固体撮像素子の駆動方法である。

[0009] 上記の目的を達成するための本開示の電子機器は、

光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画

素がマトリクス状に配列されて成る画素アレイ部、及び、

画素アレイ部を駆動する駆動部、

を有しており、

駆動部は、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、

次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する、

固体撮像素子を備えた電子機器である。

発明の効果

[0010] 本開示によれば、カップリングによる浮遊拡散領域の電圧変動の影響を低減しつつ動作の高速化を図ることができる。また、フレームとフレームとの間で光電変換部の露光期間が変化するといった場合であっても、カップリングによる浮遊拡散領域の電圧変動の影響を低減することができる。

[0011] 尚、ここに記載された効果に必ずしも限定されるものではなく、本明細書中に記載されたいずれかの効果であってもよい。また、本明細書に記載された効果はあくまで例示であって、これに限定されるものではなく、また付加的な効果があってもよい。

図面の簡単な説明

[0012] [図1]図１は、本開示が適用される固体撮像素子としてＣＭＯＳイメージセンサの構成を説明するための模式図である。

[図2]図２は、第１の参考例に係る画素を説明するための模式的な回路図であ

る。

[図3]図３は、第１の参考例に係る固体撮像素子の基本的な動作を説明するための、模式的なタイミングチャートである。

[図4]図４は、制御線ＳＥＬがローレベルからハイレベルに切り替わるときの影響を考慮したときの、模式的なタイミングチャートである。

[図5]図５は、本開示の固体撮像素子に用いられるＦＤ蓄積型画素を説明するための模式的な回路図である。

[図6]図６は、第２の参考例の基本的な動作を説明するための図であって、本開示の固体撮像素子に用いられるＦＤ蓄積型画素を用いて一般的なグローバル露光の動作をするときの、模式的なタイミングチャートである。

[図7]図７は、制御線ＳＥＬがローレベルからハイレベルに切り替わるときの影響を考慮したときの、模式的なタイミングチャートである。

[図8]図８は、特許文献１に開示された画素を説明するための模式的な回路図である。

[図9]図９は、特許文献１に開示された画素を用いて一般的なグローバル露光の動作をするときの、模式的なタイミングチャートである。

[図10]図１０は、制御線ＳＥＬと浮遊拡散領域のカップリングによる影響を低減することができる動作を説明するための、模式的なタイミングチャートである。

[図11]図１１は、本開示の第１の実施形態に係る固体撮像素子を説明するための、動作の概念図である。

[図12]図１２は、本開示の第１の実施形態に係る固体撮像素子の動作において、制御線ＳＥＬと浮遊拡散領域のカップリングを反映した状態の模式的なタイミングチャートである。

[図13]図１３は、本開示の固体撮像素子に用いられる画素において、制御線ＯＦＧと浮遊拡散領域のカップリングを説明するための、模式的な回路図である。

[図14]図１４は、本開示の第１の実施形態に係る固体撮像素子において、制

御線ＯＦＧと浮遊拡散領域のカップリングを反映した状態の模式的なタイミングチャートである。

[図15]図１５は、本開示の第１の実施形態に係る固体撮像素子において、露光時間を可変とした場合の動作の概念図である。

[図16]図１６は、露光時間を可変とした場合の課題を説明するための、模式的なタイミングチャートである。

[図17]図１７は、本開示の第２の実施形態に係る固体撮像素子において、各行の制御線ＯＦＧに供給される信号を説明するための、模式的なタイミングチャートである。

[図18]図１８は、本開示の第２の実施形態に係る固体撮像素子の動作において、制御線ＯＦＧと浮遊拡散領域のカップリングを反映した状態の模式的なタイミングチャートである。

[図19]図１９は、露光時間を可変としたときに、一部期間において空読みをする場合の動作の模式図である。

[図20]図２０は、各行の制御線ＯＦＧに供給される信号を説明するための、模式的なタイミングチャートである。

[図21]図２１は、一括制御回路を共通に設けた垂直駆動部の構造を説明するための、模式的なブロック図である。

[図22]図２２は、一括制御回路を各行に対応して個別に設けた垂直駆動部の構造を説明するための、模式的なブロック図である。

[図23]図２３は、第３の実施形態に関する固体撮像素子の動作の模式図である。

[図24]図２４は、第３の実施形態を説明するための模式的なタイミングチャートである。

発明を実施するための形態

[0013] 以下、図面を参照して、実施形態に基づいて本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料などは例示である。以下の説明において、同一要素または同一機能を有する要

素には同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

１．本開示に係る、固体撮像素子、及び、固体撮像素子の駆動方法、並びに、電子機器、全般に関する説明

２．第１の実施形態

２－１．システム構成

２－２．メモリ蓄積型画素とＦＤ蓄積型画素との説明

２－３．特許文献１に開示された動作の説明および課題

２－４．第１の実施形態の動作の説明

３．第２の実施形態

３－１．露光期間の可変動作および課題

３－２．第２の実施形態の動作の説明

４．第３の実施形態

５．その他

[0014] ［本開示に係る、固体撮像素子、及び、固体撮像素子の駆動方法、並びに、電子機器、全般に関する説明］

本開示に係る、固体撮像素子、及び、固体撮像素子の駆動方法に用いられる固体撮像素子、並びに、電子機器に用いられる固体撮像素子（以下、これらを単に、本開示の固体撮像素子と呼ぶ場合がある）において、画素を制御する制御線には、撮像フレームに関わらず同じタイミングで変化する制御信号が供給される構成とすることができる。

[0015] 上述した好ましい構成の本開示の固体撮像素子にあっては、

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導通／非導通は、直前フレームと現フレームとにおいて同じタイミングで制御される、

構成とすることができる。

[0016] あるいは又、画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行う構成の本開示の固体撮像素子にあっては、

画素を制御する制御線には、撮像フレームに応じてタイミングが可変可能な制御信号が供給され、

駆動部は、有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御するための回路を備えている、

構成とすることができる。

[0017] この場合において、

画素を制御する制御線には、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号が供給される、

構成とすることができる。

[0018] この場合において、

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

駆動部は、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御するための回路を備えている、

構成とすることができる。

[0019] 本開示に係る固体撮像素子の駆動方法にあっては、画素を制御する制御線に、撮像フレームに関わらず同じタイミングで変化する制御信号を供給する構成とすることができる。

[0020] 上述した好ましい構成の本開示に係る固体撮像素子の駆動方法にあっては、

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導通／非導通を、直前フレームと現フレームとにおいて同じタイミングで制御する、

構成とすることができる。

[0021] あるいは又、画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行う構成の本開示に係る固体撮像素子の駆動方法にあっては、

画素を制御する制御線に、撮像フレームに応じてタイミングが可変可能な制御信号を供給し、

有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御する、

構成とすることができる。

[0022] この場合において、

画素を制御する制御線に、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号を供給する、

構成とすることができる。

[0023] この場合において、

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御する、

構成とすることができる。

[0024] 本開示の固体撮像素子において、駆動部は、論理回路やメモリなどを用い

て構成することができる。また、画素アレイ部は、例えばシリコンなどから成る半導体基板に形成することができる。駆動部と画素アレイ部は一体であってもよいし、別体であってもよい。例えば、駆動部の全てまたは一部が画素アレイ部と別体として構成されていてもよい。

[0025] また、本開示の固体撮像素子を備えた電子機器として、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器を例示することができる。

[0026] ［第１の実施形態］

第１の実施形態は、本開示に係る、固体撮像素子、固体撮像素子の駆動方法、及び、電子機器に関する。

[0027] 図１は、本開示が適用される固体撮像素子としてＣＭＯＳイメージセンサの構成を説明するための模式図である。

[0028] 図１に示すように、固体撮像素子１０は、画素アレイ部１１、及び、画素アレイ部１１を駆動する駆動部１３を備えている。駆動部１３は、カラム処理部１４、水平駆動部１５、及び、垂直駆動部１７を備えている。駆動部１３の動作は、図示せぬ制御回路によって制御される。画素アレイ部１１、カラム処理部１４、水平駆動部１５、垂直駆動部１７は、図示せぬ半導体基板上に形成されている。固体撮像素子１０は、更に、信号処理部１９を備えている。

[0029] 画素アレイ部１１は、光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素１２がマトリクス状に配列されて成る。各画素１２は、行ごとに、制御線１８を介して垂直駆動部１７に接続される。また、各画素１２は、列ごとに、信号線１６を介してカラム処理部１４に接続される。

[0030] 画素アレイ部１１には、図示せぬ光学系により集光される光が入射する。画素１２は、受光する光の光量に応じたレベルの画素信号を出力する。画素信号によって、被写体の画像が構成される。

[0031] 画素１２は、フォトダイオードなどから成る光電変換部、光電変換部からの電荷が転送される浮遊拡散領域、及び、画素を駆動するためのトランジスタから構成される。例えば、これらの構成要素が、ｎ型の半導体基板に設けられたｐ型ウェル内に形成されている構成とすることができる。

[0032] 画素アレイ部１１には、各画素行に対応して制御線１８が形成されている。垂直駆動部１７は、画素アレイ部１１の画素１２を行ごとに順次駆動するための駆動信号を、制御線１８を介して画素１２に供給する。尚、図示の都合上、図１では画素行毎に１本の制御線１８を示した。実際には、後述する図２、図５、及び、図８に示すように、１つの画素行に対応して、複数の制御線が配される。

[0033] また、画素アレイ部１１には、各画素列に対応して信号線１６が形成されている。画素１２から出力される信号（信号レベル、リセットレベル）は、信号線１６を介して、カラム処理部１４に送られる。カラム処理部１４は、画素１２から出力される信号に基づいて２重サンプリング（Double Data Sampling：ＤＤＳ)を施した後、Ａ／Ｄ変換を行う。カラム処理部１４は、画素列ごとに並列的にＤＤＳ処理を行う構成とすることができる。

[0034] カラム処理部１４は、水平駆動部１５からの駆動信号によって動作する。水平駆動部１５は、シフトレジスタやアドレスデコーダなどの論理回路によって構成されている。画素アレイ部１１に配置される複数の画素列ごとに順次、カラム処理部１４から画素信号が信号処理部１９に出力される。

[0035] 信号処理部１９は、例えば、カラム処理部１４からの画素信号に対して種々の信号処理を施し、画像出力として生成する。信号処理部１９は、例えば、画素アレイ部１１が形成される半導体基板に一体として形成されていてもよいし、別の基板に設けられていてもよい。更には、信号処理部１９はＤＳＰやソフトウェアによる処理であってもよい。

[0036] 垂直駆動部１７は、シフトレジスタやアドレスデコーダなどの論理回路によって構成され、画素アレイ部１１の各画素１２を、全画素同時あるいは行単位で駆動する。具体的には、画素１２のリセット、露光、電荷の転送は全

画素同時で行い、読み出しは行単位で行うように駆動する。

[0037] 一括リセットと一括露光によって、所謂グローバル露光が行われる。また、読出し走査は、画素アレイ部１１の画素１２を行単位で順に選択走査する。本開示では、画素アレイ部１１の画素１２を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行う。光電変換部を初期化して新たに露光を開始してから転送を行うまでの期間が露光期間（光電荷の蓄積期間）となる。

[0038] ［メモリ蓄積型画素とＦＤ蓄積型画素との説明］

本開示の理解を助けるため、第１の参考例として、メモリ蓄積型画素を用いた場合の一般的なグローバル露光の動作を説明し、次いで、第２の参考例として、ＦＤ蓄積型画素を用いた場合の一般的なグローバル露光の動作について説明する。先ず、第１の参考例について説明する。

[0039] 図２は、第１の参考例に係る画素を説明するための模式的な回路図である。

[0040] この画素１１２は、メモリ蓄積型画素であって、

光電変換部ＰＤに所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷をメモリ部ＭＥＭに転送するためのメモリ部用転送トランジスタ、

メモリ部ＭＥＭの電荷を浮遊拡散領域ＦＤに転送するための転送トランジスタ、

浮遊拡散領域ＦＤに所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域ＦＤの電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線１６とを接続するための選択トランジスタ、

といった６つのトランジスタ（それぞれ、符号ＯＦＧ，ＴＲＸ，ＴＲＧ，ＲＳＴ，ＡＭＰ，ＳＥＬで表す）、フォトダイオードから成る光電変換部ＰＤ、メモリ部ＭＥＭ、及び、浮遊拡散領域ＦＤから構成されている。この画素

１１２を用いたＣＭＯＳイメージセンサの構成は、駆動部１３からの信号が相違する他は、基本的には図１と同様であって、図１における画素１２を画素１１２と読み替えた構成である。各トランジスタはｎチャネル型ＦＥＴから成るとする。但し、これに限るものではなく、必要に応じて、ｐチャネル型のＦＥＴを用いることもできる。

[0041] 以下の説明において、記載の都合上、トランジスタのゲート電極に供給される制御信号を表す符号として、トランジスタを表す符号をそのまま用いる場合がある。また、各トランジスタのゲート電極に接続される制御線１８を、単にトランジスタを表す符号をそのまま用いて表す場合がある。

[0042] 光電変換部ＰＤの一端（アノード側）、メモリ部ＭＥＭの一端、及び、浮遊拡散領域ＦＤの一端には、一定の電圧（例えば接地電圧）が供給される。駆動電圧が供給される電源線と光電変換部ＰＤの他端（カソード側）とは、初期化トランジスタＯＦＧを介して接続されている。駆動電圧が供給される電源線と浮遊拡散領域ＦＤの他端とは、リセットトランジスタＲＳＴを介して接続されている。光電変換部ＰＤの他端とメモリ部ＭＥＭの他端とは、メモリ部用転送トランジスタＴＲＸを介して接続されている。また、メモリ部ＭＥＭの他端と浮遊拡散領域ＦＤの他端とは、転送トランジスタＴＲＧを介して接続されている。

[0043] 光電変換部ＰＤは、アノード電極が低電位側に接続されており、受光した光（入射光）をその光量に応じた電荷に変換してその電荷を蓄積する。増幅トランジスタＡＭＰのゲート電極と電気的に繋がったノードが浮遊拡散領域ＦＤである。

[0044] 増幅トランジスタＡＭＰの一端は駆動電圧が供給される電源線に接続されている。増幅トランジスタＡＭＰの他端と信号線１６とは、選択トランジスタＳＥＬを介して接続されている。増幅トランジスタＡＭＰのゲート電極は、浮遊拡散領域ＦＤの他端に接続されている。選択トランジスタＳＥＬのゲート電極やこれに接続される制御線と浮遊拡散領域ＦＤとの間の浮遊容量を、符号$ＣＦ_1$で表す。

[0045] 図３は、第１の参考例に係る固体撮像素子の基本的な動作を説明するための、模式的なタイミングチャートである。図示の都合上、或る列における、第０行目、第１行目、及び、第２行目の画素における駆動のタイミングを示した。

[0046] 尚、図示の都合上、浮遊拡散領域ＦＤの電圧波形については、トランジスタのフィードスルーによる変動はないものとして示した。他の図面についても同様である。

[0047] 以下の説明において、第０行目、第１行目、第２行目のうちどの画素に関する事項であることを明示する場合に、符号の最後に［＜０＞］、［＜１＞］、［＜２＞］といった記載を付す場合がある。

[0048] 先ず、第１の参考例における画素の基本的な動作について説明する。次いで、選択トランジスタＳＥＬと浮遊拡散領域ＦＤとの間の浮遊容量$ＣＦ_1$による影響について説明する。

[0049] 全行の制御線ＯＦＧがハイレベルとされている状態（換言すれば、初期化トランジスタＯＦＧを介して電圧$Ｖ_{DD}$が印加され光電変換部ＰＤがリセットされている状態）から、全行の制御線ＯＦＧを一括してローレベルとする（図３においてグローバルシャッターと記した）。これによって、全画素において露光が開始される。

[0050] そして、所定の露光期間が経過した後、全行の制御線ＴＲＸを所定の期間ハイレベルとする（図３においてグローバル転送と記した）。これによって、メモリ部用転送トランジスタＴＲＸが導通状態となって、光電変換された電荷がメモリ部に転送され、保持される。

[0051] その後、全行の制御線ＯＦＧを一括してハイレベルとする（図３においてグローバルＰＤリセットと記した）。これによって、全画素において光電変換部ＰＤの初期化（リセット）が行われる。

[0052] 次いで、１行ずつ画素信号を読み出す。具体的には、読み出し対象となる行の制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６

に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとし、次いで、制御線ＲＳＴがローレベルの状態で制御線ＴＲＧを一定期間ハイレベルとする。以下説明するように、この動作によって、リセットレベルと信号レベルの読出しが行われる。

[0053] 説明の都合上、第０行目の画素の読み出し動作に注目して説明する。制御線ＳＥＬ＜０＞が所定の期間ハイレベルとされ、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。この期間内において制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、リセットトランジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧をＲＳＴ＿ＬＶＬと表す。尚、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0054] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。図３において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0055] 次いで、浮遊拡散領域ＦＤが電圧ＲＳＴ＿ＬＶＬにリセットされた状態で、制御線ＴＲＧ＜０＞が一定期間ハイレベルとされる。これによって、転送トランジスタＴＲＧが導通状態となり、メモリ部から電荷が浮遊拡散領域ＦＤに転送されるので、浮遊拡散領域ＦＤの電圧は転送される電荷に応じた値に変化する。転送トランジスタＴＲＸが非導通状態となっても、浮遊拡散領域ＦＤは従前の状態を維持する。電荷転送後の浮遊拡散領域ＦＤの電圧をＳＩＧ＿ＬＶＬ＜０＞と表す。

[0056] そして、浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜０＞が増幅トランジス

タＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図３において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

ＳＩＧ＿ＲＥＡＤ＜０＞＝ＳＩＧ＿ＬＶＬ＜０＞

である。

[0057] 信号線１６を介して読み出されるリセットレベル、信号レベルは、それぞれ、増幅トランジスタＡＭＰのゲート電圧によって制御される。カラム処理部１４は、リセットレベルと信号レベルとの差分を求め、それを映像信号V_{OUT}＜０＞とする。増幅による利得を係数k_{AMP}で表せば、基本的には、

V_{OUT}＜０＞＝k_{AMP}・（ＲＳＴ＿ＬＶＬ－ＳＩＧ＿ＬＶＬ＜０＞）

と表される。電圧ＲＳＴ＿ＬＶＬのゆらぎと電圧ＳＩＧ＿ＬＶＬ＜０＞のゆらぎには強い相関があるので、上記の演算は相関２重サンプリング（ＣＤＳ）処理となる。

[0058] 尚、図２における初期化トランジスタＯＦＧを省略した構成とすることもできる。この場合、トランジスタＲＳＴ，ＴＲＧ，ＴＲＸを同時に導通状態とすることで光電変換部ＰＤのリセットを行うことができる。

[0059] 以上、参考例の画素の基本的な動作について説明した。

[0060] 次いで、選択トランジスタＳＥＬと浮遊拡散領域ＦＤとの間の浮遊容量CF_1による影響について説明する。

[0061] 浮遊容量CF_1によるカップリングのため、制御線ＳＥＬにおけるローレベル／ハイレベルの切り替えに応じて、浮遊拡散領域ＦＤの電圧が変動する。

[0062] 図４は、制御線ＳＥＬがローレベルからハイレベルに切り替わるときの影響を考慮したときの、模式的なタイミングチャートである。制御線ＳＥＬがローレベルからハイレベルに切り替わるときの浮遊拡散領域ＦＤの電圧変化を、ΔV_{cp1}で表した。

[0063] メモリ蓄積型画素においては、浮遊容量CF_1によるカップリングは大きな問題とはならない。即ち、読み出しの際に制御線ＳＥＬがハイレベルになる

ことで浮遊拡散領域ＦＤの電圧が変動したとしても、リセットトランジスタＲＳＴが導通状態とされ浮遊拡散領域ＦＤの電圧はリセットされ、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。従って、浮遊容量CF_1によるカップリングはリセットレベルの読み出しになんら影響を与えない。更には、浮遊拡散領域ＦＤが電圧ＲＳＴ＿ＬＶＬにリセットされた状態でメモリ部から電荷が浮遊拡散領域ＦＤに転送されるので、電荷転送後の浮遊拡散領域ＦＤの電圧も、浮遊容量CF_1によるカップリングの影響を受けない。

[0064] 上述したように、メモリ蓄積型画素はカップリングの影響を受け難いという利点を有する。しかしながら、画素アレイ部１１の高精細度化に伴い、近年、画素ピッチをより微細化することが求められている。メモリ蓄積型画素は、画素を構成するトランジスタの数が多く、また、メモリ部を設ける必要があるといった点で、微細化を図る上では不利な構成である。

[0065] 次いで、第２の参考例について説明する。

[0066] 図５は、本開示の固体撮像素子に用いられるＦＤ蓄積型画素を説明するための模式的な回路図である。

[0067] 画素１２は、ＦＤ蓄積型画素であって、

光電変換部ＰＤに所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域ＦＤに転送するための転送トランジスタ、

浮遊拡散領域ＦＤに所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域ＦＤの電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

といった５つのトランジスタ（それぞれ、符号ＯＦＧ，ＴＲＧ，ＲＳＴ，ＡＭＰ，ＳＥＬで表す）、フォトダイオードから成る光電変換部ＰＤ、及び、浮遊拡散領域ＦＤから構成されている。図２に対してトランジスタＴＲＸと

メモリ部ＭＥＭとが省かれているので、画素ピッチの微細化を図る上で有利な構成である。

[0068] 光電変換部ＰＤの一端（アノード側）、及び、浮遊拡散領域ＦＤの一端には、一定の電圧（例えば接地電圧）が供給される。駆動電圧が供給される電源線と光電変換部ＰＤの他端（カソード側）とは、初期化トランジスタＯＦＧを介して接続されている。駆動電圧が供給される電源線と浮遊拡散領域ＦＤの他端とは、リセットトランジスタＲＳＴを介して接続されている。光電変換部ＰＤの他端と浮遊拡散領域ＦＤの他端とは、転送トランジスタＴＲＧを介して接続されている。

[0069] 増幅トランジスタＡＭＰの一端は駆動電圧が供給される電源線に接続されている。増幅トランジスタＡＭＰの他端と信号線１６とは、選択トランジスタＳＥＬを介して接続されている。増幅トランジスタＡＭＰのゲート電極は、浮遊拡散領域ＦＤの他端に接続されている。図２と同様に、選択トランジスタＳＥＬのゲート電極やこれに接続される制御線と浮遊拡散領域ＦＤとの間の浮遊容量を、符号$ＣＦ_1$で表す。

[0070] 図６は、第２の参考例の基本的な動作を説明するための図であって、本開示の固体撮像素子に用いられるＦＤ蓄積型画素を用いて一般的なグローバル露光の動作をするときの、模式的なタイミングチャートである。尚、図示の都合上、或る列における、第０行目、第１行目、及び、第２行目の画素における駆動のタイミングを示した。

[0071] 先ず、第２の参考例における画素の基本的な動作について説明する。次いで、選択トランジスタＳＥＬと浮遊拡散領域ＦＤとの間の浮遊容量$ＣＦ_1$による影響について説明する。

[0072] 全行の制御線ＯＦＧがハイレベルとされている状態（換言すれば、初期化トランジスタＯＦＧを介して電圧$Ｖ_{DD}$が印加され光電変換部ＰＤがリセットされている状態）から、全行の制御線ＯＦＧを一括してローレベルとする（図６においてグローバルシャッターと記した）。これによって、全画素において露光が開始される。

[0073] そして、所定の露光期間が経過した後、全行の制御線ＴＲＧを所定の期間ハイレベルとする（図６においてグローバル転送と記した）。これによって、転送トランジスタＴＲＧが導通状態となって、光電変換された電荷が浮遊拡散領域ＦＤに転送され、保持される。

[0074] 次いで、１行ずつ画素信号を読み出す。具体的には、読み出し対象となる行の制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。

[0075] 説明の都合上、第０行目の画素の読み出し動作に注目して説明する。グローバル転送直後の浮遊拡散領域ＦＤの電圧をＳＩＧ＿ＬＶＬ＜０＞と表す。浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜０＞が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図６において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

ＳＩＧ＿ＲＥＡＤ＜０＞＝ＳＩＧ＿ＬＶＬ＜０＞

である。

[0076] 次いで、制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、リセットトランジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧をＲＳＴ＿ＬＶＬと表す。尚、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0077] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。図６において、リセットレベルの読み出しのタイミングを矢

印で示した。リセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0078] 信号線１６を介して読み出される信号レベル、リセットレベルは、それぞれ、増幅トランジスタＡＭＰのゲート電圧によって制御される。カラム処理部１４は、リセットレベルと信号レベルとの差分を求め、それを映像信号V_{OUT}＜０＞とする。増幅による利得を係数k_{AMP}で表せば、基本的には、

V_{OUT}＜０＞＝k_{AMP}・（ＲＳＴ＿ＬＶＬ－ＳＩＧ＿ＬＶＬ＜０＞）

と表される。電圧ＳＩＧ＿ＬＶＬ＜０＞のゆらぎと電圧ＲＳＴ＿ＬＶＬのゆらぎとの相関はほぼないので、上記の演算は２重サンプリング（ＤＤＳ)処理となる。

[0079] 尚、上述した動作例の場合には、図５における初期化トランジスタＯＦＧを省略した構成とすることもできる。この場合、トランジスタＲＳＴ，ＴＲＧを同時に導通状態とすることで光電変換部ＰＤのリセットを行うことができる。

[0080] 以上、第２の参考例の基本的な動作について説明した。次いで、選択トランジスタＳＥＬと浮遊拡散領域ＦＤとの間の浮遊容量CF_1による影響について説明する。

[0081] 図７は、制御線ＳＥＬがローレベルからハイレベルに切り替わるときの影響を考慮したときの、模式的なタイミングチャートである。制御線ＳＥＬがローレベルからハイレベルに切り替わるときの浮遊拡散領域ＦＤの電圧変化を、ΔV_{cp1}で表した。

[0082] 図６においては、信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧ＳＩＧ＿ＲＥＡＤ＜０＞は、

ＳＩＧ＿ＲＥＡＤ＜０＞＝ＳＩＧ＿ＬＶＬ＜０＞

であった。

[0083] しかしながら、図７に示すように、制御線ＳＥＬがローレベルからハイレ

ベルに切り替わることで、浮遊拡散領域ＦＤの電圧はΔV_{cp1}上昇する。従って、信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧ＳＩＧ＿ＲＥＡＤ＜０＞は、

$SIG_READ<0>=SIG_LVL<0>+\Delta V_{cp1}$

となる。一方、リセットレベルの読み出しにおいては、この電圧変化は特段影響を与えないので、

$RST_READ<0>=RST_LVL$

である。

[0084] 従って、映像信号V_{OUT}＜０＞は、

$V_{OUT}<0>=k_{AMP}\cdot(RST_LVL-SIG_LVL<0>-\Delta V_{cp1})$

となり、カップリングの影響を受ける。これは、画質を劣化させる要因となる。

[0085] ［特許文献１に開示された動作の説明および課題］

特許文献１には、ＦＤ蓄積型画素を用いた固体撮像素子において、カップリングによる浮遊拡散領域の電圧変動の影響を回避する技術が記載されている。以下、図面を参照して、特許文献１に開示された動作の説明および課題について説明する。

[0086] 図８は、特許文献１に開示された画素を説明するための模式的な回路図である。

[0087] この画素２１２は、ＦＤ蓄積型画素であって、４つのトランジスタ（符号ＴＲＧ，ＲＳＴ，ＡＭＰ，ＳＥＬで表す）、フォトダイオードから成る光電変換部ＰＤ、及び、浮遊拡散領域ＦＤから構成されている。図５の画素１２に対してトランジスタＯＦＧが省かれた構成である。この画素２１２を用いたＣＭＯＳイメージセンサの構成は、駆動部１３からの信号が相違する他は、基本的には図１と同様であって、図１における画素１２を画素２１２と読み替えた構成である。各トランジスタはｎチャネル型ＦＥＴから成るとする。

[0088] 図９は、特許文献１に開示された画素を用いて一般的なグローバル露光の

動作をするときの、模式的なタイミングチャートである。尚、このタイミングチャートは、制御線ＳＥＬがローレベルからハイレベルに切り替わるときの影響と、制御線ＳＥＬがハイレベルからローレベルに切り替わるときの影響を考慮して記載されている。また、説明の都合上、撮像対象は暗状態であって、浮遊拡散領域ＦＤがリセットされた状態で電荷転送動作を行っても浮遊拡散領域ＦＤの電圧は変化しないとして波形を示した。

[0089] 全行の制御線ＴＲＧ，ＲＳＴがハイレベルとされている状態（換言すれば、リセットトランジスタＲＳＴと転送トランジスタＴＲＧを介して電圧V_{DD}が印加され光電変換部ＰＤがリセットされている状態）から、全行の制御線ＴＲＧ，ＲＳＴを一括してローレベルとする（図９においてグローバルシャッターと記した）。これによって、全画素において露光が開始される。

[0090] そして、露光期間（図９におけるグローバルシャッター直後からグローバル転送の直前までの期間）内に、全行の制御線ＲＳＴを所定の期間ハイレベルとする。これによって、浮遊拡散領域ＦＤはリセットされる。浮遊拡散領域ＦＤの電圧をＲＳＴ＿ＬＶＬと表す。尚、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0091] 所定の露光期間が経過した後、全行の制御線ＴＲＧを所定の期間ハイレベルとする（図８においてグローバル転送と記した）。これによって、転送トランジスタＴＲＧが導通状態となって、光電変換された電荷が浮遊拡散領域ＦＤに転送され、保持される。

[0092] 上述したように、撮像対象は暗状態であって、浮遊拡散領域ＦＤがリセットされた状態で電荷転送動作を行っても浮遊拡散領域ＦＤの電圧は変化しない。例えば第０行目の画素に注目すれば、グローバル転送直後の浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜０＞は、

ＳＩＧ＿ＬＶＬ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0093] 次いで、１行ずつ画素信号を読み出す。具体的には、読み出し対象となる行の制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅ト

ランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。

[0094] 説明の都合上、第０行目の画素の読み出し動作に注目して説明する。制御線ＳＥＬがローレベルからハイレベルに切り替わることによって、浮遊拡散領域ＦＤにはカップリングが生じ、電圧が変化する。電圧変化をΔV_{cp1}で表した。

[0095] 従って、浮遊拡散領域ＦＤの電圧は「ＳＩＧ＿ＬＶＬ＜０＞＋ΔV_{cp1}」となる。この電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図９において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

$$SIG_READ<0> = SIG_LVL<0> + \Delta V_{cp1}$$
$$= RST_LVL + \Delta V_{cp1}$$

である。

[0096] 次いで、制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、リセットトランジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧もＲＳＴ＿ＬＶＬで表され、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0097] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。図９において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0098] 従って、撮像対象は暗状態であって、浮遊拡散領域ＦＤがリセットされた状態で電荷転送動作を行っても浮遊拡散領域ＦＤの電圧は変化しないにもかかわらず、信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧ＳＩＧ＿ＲＥＡＤ＜０＞とリセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧ＲＳＴ＿ＲＥＡＤ＜０＞との間には、ΔV_{cp1}だけ差が生ずる。これは、画質を劣化させる要因となる。

[0099] 引用文献１には、上述した画質の劣化要因を低減するための駆動方法が提案されている。以下、図１０を参照して、この駆動方法について説明する。

[0100] 図１０は、制御線ＳＥＬと浮遊拡散領域のカップリングによる影響を低減することができる動作を説明するための、模式的なタイミングチャートである。図９と同様に、このタイミングチャートは、制御線ＳＥＬがローレベルからハイレベルに切り替わるときの影響と、制御線ＳＥＬがハイレベルからローレベルに切り替わるときの影響を考慮して記載されている。また、図９と同様に、説明の都合上、撮像対象は暗状態であって、浮遊拡散領域ＦＤがリセットされた状態で電荷転送動作を行っても浮遊拡散領域ＦＤの電圧は変化しないとして波形を示した。

[0101] 図１０に示すグローバル転送の終期までの動作は、図９を参照して説明した動作と同様であるので、説明を省略する。

[0102] 上述したように、撮像対象は暗状態であって、浮遊拡散領域ＦＤがリセットされた状態で電荷転送動作を行っても浮遊拡散領域ＦＤの電圧は変化しない。例えば、第０行目の画素に注目すれば、グローバル転送直後の浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜０＞は、

ＳＩＧ＿ＬＶＬ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0103] 次いで、１行ずつ画素信号を読み出す。具体的には、読み出し対象となる

行の制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。

[0104] 説明の都合上、第０行目の画素の読み出し動作に注目して説明する。制御線ＳＥＬがローレベルからハイレベルに切り替わることによって、浮遊拡散領域ＦＤにはカップリングが生じ、電圧が変化する。電圧変化をΔV_{cp1}で表した。

[0105] 従って、浮遊拡散領域ＦＤの電圧は「ＳＩＧ＿ＬＶＬ＜０＞＋ΔV_{cp1}」となる。この電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１０において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

$$SIG_READ<0> = SIG_LVL<0> + \Delta V_{cp1}$$
$$= RST_LVL + \Delta V_{cp1}$$

である。

[0106] この後、制御線ＳＥＬがハイレベルからローレベルに切り替わる。選択トランジスタＳＥＬは非導通状態となる。制御線ＳＥＬがローレベルである期間内に、制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧もＲＳＴ＿ＬＶＬで表され、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0107] 次いで、制御線ＳＥＬが所定の期間ハイレベルとされ、浮遊拡散領域ＦＤの電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。

[0108] 制御線ＳＥＬがローレベルからハイレベルに切り替わることによって、浮遊拡散領域ＦＤにはカップリングが生じ電圧が変化する。この電圧変化は、

基本的には、上述したΔV_{cp1}と同様である。図１０において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ＋ΔV_{cp1}

である。

[0109] 従って、撮像対象は暗状態であって、浮遊拡散領域ＦＤがリセットされた状態で電荷転送動作を行っても浮遊拡散領域ＦＤの電圧は変化しない場合に、信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧ＳＩＧ＿ＲＥＡＤ＜０＞とリセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧ＲＳＴ＿ＲＥＡＤ＜０＞との間には差が生じない。即ち、映像信号V_{OUT}＜０＞は、

V_{OUT}＜０＞＝k_{AMP}・（ＲＳＴ＿ＬＶＬ＋ΔV_{cp1}－ＳＩＧ＿ＬＶＬ＜０＞－ΔV_{cp1}）

＝k_{AMP}・（ＲＳＴ＿ＬＶＬ－ＳＩＧ＿ＬＶＬ＜０＞）

となり、カップリングの影響が低減されている。

[0110] 以上、特許文献１に開示された動作について説明した。

[0111] 図１０に示す動作では、信号レベルとリセットレベルの読み出しのそれぞれに同期するように、制御線ＳＥＬに制御パルスを供給する必要がある。この構成では、制御線ＳＥＬの駆動に要する期間を長くせざるを得ないので、動作の高速化を図るといった点に対して妨げとなる。また、フレームとフレームとの間で光電変換部の露光期間が変化するといった構成では、カップリングによる浮遊拡散領域の電圧変動の影響が残るといった課題がある。

[0112] 更には、光電変換部の露光期間が終了した後に各行の読み出しが開始されるといった動作であるので、フレーム期間の短縮化にも限界がある。上述した各参考例においても同様である。従って、高フレームレート化を図る上での課題がある。

[0113] ［第１の実施形態の動作の説明］

以下、図面を参照して、第１の実施形態の動作について説明する。

[0114] 図１１は、本開示の第１の実施形態に係る固体撮像素子を説明するための、動作の概念図である。図１２は、本開示の第１の実施形態に係る固体撮像素子の動作において、制御線ＳＥＬと浮遊拡散領域のカップリングを反映した状態の模式的なタイミングチャートである。

[0115] 図１１に示すように、第１の実施形態にあっては、

画素アレイ部１１の画素１２を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部ＰＤをリセットし、次いで、全画素において同時に光電変換部ＰＤでの信号電荷の蓄積を行うことによってグローバル露光を行う。従って、上述した各参考例よりもフレーム期間を短縮することができるので、高フレームレート化を図ることができる。

[0116] そして、第１の実施形態に係る固体撮像素子１０にあっては、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域ＦＤが所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域ＦＤに転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域ＦＤから読み出し、

次いで、浮遊拡散領域ＦＤを所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する。

[0117] 第１の実施形態に係る固体撮像素子１０にあっては、

画素１２を制御する制御線には、撮像フレームに関わらず同じタイミングで変化する制御信号が供給される。従って、グローバル露光の期間長やそのタイミングは、撮像フレームに関わらず一定（固定）された構成である。

[0118] 上述したように、本開示の第１の実施形態に係る固体撮像素子１０については、図５に示した画素１２が用いられる。画素１２を制御する制御線は、初期化トランジスタＯＦＧ、転送トランジスタＴＲＧ、リセットトランジスタＲＳＴ、及び、選択トランジスタＳＥＬのそれぞれに対応して設けられており、

転送トランジスタＴＲＧ、リセットトランジスタＲＳＴ、及び、選択トランジスタＳＥＬの導通／非導通は、直前フレームと現フレームとにおいて同じタイミングで制御される。

[0119] 以下、図１２を参照して、詳しく説明する。説明の都合上、図１２では、第０行目、第１行目については、ＰＤリセット期間内に読み出しが行われ、第２行目以降はグローバル露光期間内に読み出しが行われる場合の動作を示した。尚、図示せぬ動作直後の最初期フレームは、ロジック動作の初期化などのために用いられ捨てフレームとされる。

[0120] 特許文献１では、カップリングの影響を低減するために、信号レベルとリセットレベルの読み出しのそれぞれに同期するように、制御線ＳＥＬに制御パルスを供給する必要があった。これに対し、第１の実施形態にあっては、読み出しの際には制御線ＳＥＬに１つのパルスを供給すれば済む。

[0121] 全行の制御線ＯＦＧがハイレベルとされている状態（換言すれば、初期化トランジスタＯＦＧを介して電圧V_{DD}が印加され光電変換部ＰＤがリセットされている状態）から、全行の制御線ＯＦＧを一括してローレベルとする（図１２においてグローバルシャッター［Ａ］と記した）。これによって、全画素において露光が開始される。

[0122] そして、所定の露光期間が経過した後、全行の制御線ＴＲＧを所定の期間ハイレベルとする（図１２においてグローバル転送［Ａ］と記した）。これによって、転送トランジスタＴＲＧが導通状態となって、光電変換された電荷が浮遊拡散領域ＦＤに転送され、保持される。

[0123] その後、全行の制御線ＯＦＧを一括してハイレベルとする（図１２においてグローバルＰＤリセット［Ｂ］と記した）。これによって、全画素において光電変換部ＰＤのリセットが行われる。

[0124] 次いで、１行ずつ画素信号を読み出す。具体的には、読み出し対象となる行の制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベル

とする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。尚、説明の都合上、読み出し動作については、図１２においてグローバルＰＤリセット［Ｃ］と記す期間において詳しく説明する。

[0125] 上述したように、第０行目、第１行目については、光電変換部ＰＤのリセットが行われている間に読み出しが行われる。第２行目については、光電変換部ＰＤのリセットが終了した後のグローバル露光期間内に読み出しが行われる。説明の都合上、先ず、第０行目の画素１２の読み出し動作に注目して説明する。

[0126] 図１２においてグローバルＰＤリセット［Ｂ］と記す期間内に、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。浮遊拡散領域ＦＤの電圧は、ＰＤからの電荷転送後の電圧、次いで、リセット後の電圧ＲＳＴ＿ＬＶＬとなる。尚、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0127] 制御線ＳＥＬがハイレベルからローレベルに切り替わると、浮遊拡散領域ＦＤの電圧はカップリングによって降下する。降下分の絶対値をΔV_{cp2}と表す。従って、グローバルＰＤリセット［Ｂ］と記す期間内の読み出し終了後は、

浮遊拡散領域ＦＤ＜０＞の電圧＝ＲＳＴ＿ＬＶＬ－ΔV_{cp2}

である。尚、浮遊拡散領域ＦＤ＜１＞の電圧についても同様である。この電圧が、次フレームの電荷転送時における浮遊拡散領域ＦＤの基準電圧となる。

[0128] そして、次の露光期間が経過した後、全行の制御線ＴＲＧを所定の期間ハイレベルとする（図１２においてグローバル転送［Ｂ］と記した）。これによって、転送トランジスタＴＲＧが導通状態となって、光電変換された電荷が浮遊拡散領域ＦＤに転送され、保持される。

[0129] 前フレームにおいて浮遊拡散領域ＦＤ＜０＞の電圧が（ＲＳＴ＿ＬＶＬ－ΔV_{cp2}）となった状態を基準として、光電変換部ＰＤから浮遊拡散領域ＦＤ＜０＞に電荷が転送される。従って、定性的には、電荷転送後の浮遊拡散領域ＦＤ＜０＞の電圧ＳＩＧ＿ＬＶＬ＜０＞は、本来あるべき値よりも概ねΔV_{cp2}降下した値となる。電荷転送後の浮遊拡散領域ＦＤ＜０＞の本来あるべき電圧値をＳＩＧ＿ＲＥＦ＜０＞とすれば、

$$SIG_LVL<0> \fallingdotseq SIG_REF<0> - \Delta V_{cp2}$$

である。

[0130] 図１２においてグローバルＰＤリセット［Ｃ］と記す期間内に、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。

[0131] 制御線ＳＥＬがローレベルからハイレベルに切り替わることによって、浮遊拡散領域ＦＤにはカップリングが生じ電圧が上昇する。上昇分の絶対値をΔV_{cp1}と表す。これは、上述したΔV_{cp2}と略同様の値である。

[0132] 従って、浮遊拡散領域ＦＤの電圧は「$SIG_LVL<0> + \Delta V_{cp1}$」となる。この電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１２において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

$$\begin{aligned} SIG_READ<0> &= SIG_LVL<0> + \Delta V_{cp1} \\ &\fallingdotseq SIG_REF<0> - \Delta V_{cp2} + \Delta V_{cp1} \\ &\fallingdotseq SIG_REF<0> \end{aligned}$$

[0133] 信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧は、概ねＳＩＧ＿ＲＥＦ＜０＞となる。従って、カップリング

による電圧変動が低減された状態で、信号レベルを読み出すことができる。

[0134] 次いで、制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、リセットトランジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧もＲＳＴ＿ＬＶＬで表され、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0135] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。図１２において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0136] 信号線１６を介して読み出される信号レベル、リセットレベルは、それぞれ、増幅トランジスタＡＭＰのゲート電圧によって制御される。カラム処理部１４は、リセットレベルと信号レベルとの差分を求め、それを映像信号V_{OUT}＜０＞とする。増幅による利得を係数k_{AMP}で表せば、基本的には、

V_{OUT}＜０＞＝k_{AMP}・（ＲＳＴ＿ＬＶＬ－ＳＩＧ＿ＲＥＡＤ＜０＞）

と表される。上記の演算は２重サンプリング（ＤＤＳ)処理となる。

[0137] 以上、第０行目の読み出しについて説明した。第１行目の動作は、第０行目の動作と同様であるので、説明を省略する。

[0138] 次いで、第２行目の動作について説明する。

[0139] 第２行目は、光電変換部ＰＤのリセットが終了した後のグローバル露光期間内に読み出しが行われる点が相違する。しかしながら、図１２においてグローバルシャッター［Ｂ］と記す期間内の読み出し終了後は、

浮遊拡散領域ＦＤ＜２＞の電圧＝ＲＳＴ＿ＬＶＬ－ΔV_{cp2}

である。この電圧が、次フレームの電荷転送時における浮遊拡散領域ＦＤの

基準電圧となる。従って、第２行目においても、次フレームの電荷転送時における浮遊拡散領域ＦＤの基準電圧は、第０行目および第１行目と同様の電圧となる。

[0140] そして、図１２においてグローバル転送［Ｂ］と表した期間の後の浮遊拡散領域ＦＤの電圧変化は、第０行目において説明したのと同様である。電荷転送後の浮遊拡散領域ＦＤ＜２＞の本来あるべき電圧値をＳＩＧ＿ＲＥＦ＜２＞とすれば、

$$SIG_LVL<2> \fallingdotseq SIG_REF<2> - \Delta V_{cp2}$$

である。

[0141] 次いで、図１２においてグローバルシャッター［Ｃ］と記す期間内に、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。

[0142] 制御線ＳＥＬがローレベルからハイレベルに切り替わることによって、浮遊拡散領域ＦＤにはカップリングが生じ電圧が上昇する。上昇分の絶対値をΔV_{cp1}と表す。これは、上述したΔV_{cp2}と略同様の値である。

[0143] 従って、浮遊拡散領域ＦＤの電圧は「$SIG_LVL<2> + \Delta V_{cp1}$」となる。この電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１２において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜２＞と表せば、

$$\begin{aligned} SIG_READ<2> &= SIG_LVL<2> + \Delta V_{cp1} \\ &\fallingdotseq SIG_REF<2> - \Delta V_{cp2} + \Delta V_{cp1} \\ &\fallingdotseq SIG_REF<2> \end{aligned}$$

[0144] 従って、第２行目においても、信号レベルの読み出しにおいて増幅トラン

ジスタＡＭＰのゲート電極に印加される電圧は、概ねＳＩＧ＿ＲＥＦ＜２＞となる。従って、カップリングによる電圧変動が低減された状態で、信号レベルを読み出すことができる。

[0145] 以上説明したように、第１の実施形態にあっては、上述した各参考例よりもフレーム期間を短縮することができるので、高フレームレート化を図ることができ、更には、直前フレームのリセット状態を基準としてグローバル転送を行い読み出しを行うことで、カップリングの影響を低減することができる。

[0146] ［第２の実施形態］

第２の実施形態も、本開示に係る、固体撮像素子、固体撮像素子の駆動方法、及び、電子機器に関する。

[0147] ［露光期間の可変動作および課題］

第２の実施形態の理解を助けるため、第１の実施形態において露光期間を可変としたときの動作とそれに伴う課題について説明する。

[0148] 図１３は、本開示の固体撮像素子に用いられる画素において、制御線ＯＦＧと浮遊拡散領域のカップリングを説明するための、模式的な回路図である。

[0149] 露光期間が固定されている場合の浮遊容量CF_2のカップリングの影響について説明する。この場合には、制御線ＯＦＧの切り替わりのタイミングはフレーム間で変化しない。後で図１４を参照して説明するが、制御線ＳＥＬのカップリングと同様に、制御線ＯＦＧのカップリングによる電圧変動が低減された状態で、信号レベルを読み出すことができる。

[0150] 一方、第１の実施形態において露光期間を可変とすると、制御線ＯＦＧの切り替わりのタイミングが、フレーム間で変化する場合が生ずる。このため、初期化トランジスタＯＦＧと浮遊拡散領域ＦＤとの間の浮遊容量CF_2によって、カップリングの影響が生ずる。

[0151] 先ず、露光期間が固定されている場合の動作について説明する。

[0152] 図１４は、本開示の第１の実施形態に係る固体撮像素子において、制御線

ＯＦＧと浮遊拡散領域のカップリングを反映した状態の模式的なタイミングチャートである。各制御線の動作タイミング自体は、第１の実施形態で参照した図１２と同様である。即ち、露光期間は固定されている。

[0153] 尚、判読性を考慮し、図１４では、制御線ＳＥＬと浮遊拡散領域ＦＤとのカップリングの影響は省略して波形を示した。後述する図１６、図１８、図２０においても同様である。また、以下、制御線ＳＥＬと浮遊拡散領域ＦＤとのカップリングには言及せずに説明する。

[0154] 図１４においてグローバルＰＤリセット［Ｂ］と記した期間の直前までの動作は、第１の実施形態において図１２を参照して説明した動作と同様であるので、説明を省略する。

[0155] 図１４においてグローバルＰＤリセット［Ｂ］と記した期間に、全行の制御線ＯＦＧを一括してハイレベルとする。これによって、全画素において光電変換部ＰＤのリセットが行われる。このとき、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は上昇する。上昇分の絶対値を$\Delta V_{cp\ ofg1}$と表す。

[0156] 次いで、１行ずつ画素信号を読み出す。具体的には、読み出し対象となる行の制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。尚、説明の都合上、読み出し動作については、図１４においてグローバルＰＤリセット［Ｃ］と記す期間において詳しく説明する。

[0157] 第０行目、第１行目については、光電変換部ＰＤのリセットが行われている間に読み出しが行われる。第２行目については、光電変換部ＰＤのリセットが終了した後のグローバル露光期間内に読み出しが行われる。説明の都合上、先ず、第０行目の画素１２の読み出し動作に注目して説明する。

[0158] 図１４においてグローバルＰＤリセット［Ｂ］と記す期間内に、制御線Ｓ

ＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。浮遊拡散領域ＦＤの電圧は、ＰＤからの電荷転送後の電圧、次いで、リセット後の電圧ＲＳＴ＿ＬＶＬとなる。尚、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0159] その後、制御線ＳＥＬがハイレベルからローレベルに切り替わり、次いで、制御線ＯＦＧもハイレベルからローレベルに切り替わる。制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧はカップリングによって降下する。降下分の絶対値を$\Delta V_{cp\ ofg2}$と表す。従って、グローバルシャッター［Ｂ］と記す期間において、

浮遊拡散領域ＦＤ＜０＞の電圧＝ＲＳＴ＿ＬＶＬ－$\Delta V_{cp\ ofg2}$

である。尚、浮遊拡散領域ＦＤ＜１＞の電圧についても同様である。この電圧が、次フレームの電荷転送時における浮遊拡散領域ＦＤの基準電圧となる。

[0160] そして、次の露光期間が経過した後、全行の制御線ＴＲＧを所定の期間ハイレベルとする（図１４においてグローバル転送［Ｂ］と記した）。これによって、転送トランジスタＴＲＧが導通状態となって、光電変換された電荷が浮遊拡散領域ＦＤに転送され、保持される。

[0161] 前フレームにおいて浮遊拡散領域ＦＤ＜０＞の電圧が（ＲＳＴ＿ＬＶＬ－$\Delta V_{cp\ ofg2}$）となった状態を基準として、光電変換部ＰＤから浮遊拡散領域ＦＤ＜０＞に電荷が転送される。従って、定性的には、電荷転送後の浮遊拡散領域ＦＤ＜０＞の電圧ＳＩＧ＿ＬＶＬ＜０＞は、本来あるべき値よりも概ね$\Delta V_{cp\ ofg2}$降下した値となる。電荷転送後の浮遊拡散領域ＦＤ＜０＞の本来あるべき電圧値をＳＩＧ＿ＲＥＦ＜０＞とすれば、

ＳＩＧ＿ＬＶＬ＜０＞≒ＳＩＧ＿ＲＥＦ＜０＞－$\Delta V_{cp\ ofg2}$

である。

[0162] 図１４においてグローバルＰＤリセット［Ｃ］と記す期間の始期において

、全行の制御線ＯＦＧを一括してハイレベルとする。このとき、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は上昇する。上昇分は上述した$\Delta V_{cp\ ofg1}$である。

[0163] そして、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。

[0164] 信号レベルの読み出しにおいて、浮遊拡散領域ＦＤの電圧は「ＳＩＧ＿ＬＶＬ＜０＞＋$\Delta V_{cp\ ofg1}$」となる。この電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１４において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

$$SIG_READ<0> = SIG_LVL<0> + \Delta V_{cp\ ofg1}$$
$$\fallingdotseq SIG_REF<0> - \Delta V_{cp\ ofg2} + \Delta V_{cp\ ofg1}$$
$$\fallingdotseq SIG_REF<0>$$

[0165] 信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧は、概ねＳＩＧ＿ＲＥＦ＜０＞となる。従って、カップリングによる電圧変動が低減された状態で、信号レベルを読み出すことができる。

[0166] 次いで、制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、リセットトランジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧もＲＳＴ＿ＬＶＬで表され、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0167] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介してリセットレベ

ルを読み出す。図１２において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0168] 信号線１６を介して読み出される信号レベル、リセットレベルは、それぞれ、増幅トランジスタＡＭＰのゲート電圧によって制御される。カラム処理部１４は、リセットレベルと信号レベルとの差分を求め、それを映像信号V_{OUT}＜０＞とする。増幅による利得を係数k_{AMP}で表せば、基本的には、

V_{OUT}＜０＞＝k_{AMP}・（ＲＳＴ＿ＬＶＬ－ＳＩＧ＿ＲＥＡＤ＜０＞）

と表される。上記の演算は２重サンプリング（ＤＤＳ)処理となる。

[0169] 以上、第０行目の読み出しについて説明した。第１行目の動作は、第０行目の動作と同様であるので、説明を省略する。

[0170] 次いで、第２行目の動作について説明する。

[0171] 第２行目は、光電変換部ＰＤのリセットが終了した後のグローバル露光期間内に読み出しが行われる点が相違する。しかしながら、図１４においてグローバルシャッター［Ｂ］と記す期間内の読み出し終了後は、

浮遊拡散領域ＦＤ＜２＞の電圧＝ＲＳＴ＿ＬＶＬ

である。この電圧が、次フレームの電荷転送時における浮遊拡散領域ＦＤの基準電圧となる。

[0172] 従って、図１４においてグローバル転送［Ｂ］と表した期間の後の浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜２＞は、本来あるべき電圧値をＳＩＧ＿ＲＥＦ＜２＞とすれば、

ＳＩＧ＿ＬＶＬ＜２＞＝ＳＩＧ＿ＲＥＦ＜２＞

である。

[0173] 次いで、図１４においてグローバルＰＤリセット［Ｃ］と記す期間の始期において、全行の制御線ＯＦＧは一括してローレベルからハイレベルとなる。そして、グローバルＰＤリセット［Ｃ］と記す期間の終期において、全行

の制御線ＯＦＧは一括してハイレベルからローレベルとなる。

[0174] 従って、グローバルＰＤリセット［Ｃ］と記す期間の始期において、浮遊拡散領域ＦＤの電圧はカップリングにより上昇し、グローバルＰＤリセット［Ｃ］と記す期間の終期において、浮遊拡散領域ＦＤの電圧はカップリングにより下降する。従って、カップリングの影響は相殺され、グローバルＰＤリセット［Ｃ］と記す期間の経過後の浮遊拡散領域ＦＤの電圧は、概ね従前のＳＩＧ＿ＬＶＬ＜２＞に戻る。

[0175] 次いで、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。以下説明するように、この動作によって、信号レベルとリセットレベルの読出しが行われる。

[0176] 信号レベルの読み出しにおいて、浮遊拡散領域ＦＤの電圧は「ＳＩＧ＿ＬＶＬ＜２＞」となる。この電圧が増幅トランジスタＡＭＰのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１４において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

ＳＩＧ＿ＲＥＡＤ＜２＞≒ＳＩＧ＿ＬＶＬ＜２＞

≒ＳＩＧ＿ＲＥＦ＜２＞

[0177] 従って、第２行目においても、信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧は、概ねＳＩＧ＿ＲＥＦ＜２＞となる。従って、カップリングによる電圧変動が低減された状態で、信号レベルを読み出すことができる。

[0178] 次いで、第１の実施形態において露光期間を可変としたときの動作とそれに伴う課題について説明する。

[0179] 図１５は、本開示の第１の実施形態に係る固体撮像素子において、露光時間を可変とした場合の動作の概念図である。図１６は、露光時間を可変とし

た場合の課題を説明するための、模式的なタイミングチャートである。

[0180] 露光時間を可変とする構成にあっては、フレーム間において、ＰＤリセットの終了時のタイミング（換言すれば、グローバルシャッターの開始時のタイミング）が相違する場合がある。従って、例えば、或る行の読み出し処理が、直前フレームではＰＤ蓄積時に行われ、現フレームではＰＤリセット時に行われるといった場合がある。これに伴い、制御線ＯＦＧのカップリングの影響が低減されないといった現象が発生する。

[0181] 図１６は、露光時間を可変とした場合の課題を説明するための、模式的なタイミングチャートである。

[0182] 以下、図１６を参照して、詳しく説明する。図１６は、第０行目、第１行目については、グローバルＰＤリセット［Ｂ］で示す期間内、及び、グローバルＰＤリセット［Ｃ］で示す期間内に読み出しが行われ、第２行目については、グローバルシャッター［Ｂ］で示す期間内、及び、グローバルＰＤリセット［Ｃ］で示す期間内に読み出しが行われる場合を示した。

[0183] 第０行目と第１行目の動作は、図１４を参照して説明した動作と同様であるので、説明を省略する。以下、第２行目に注目して説明する。

[0184] 第２行目においても、図１６に示すグローバル転送［Ｂ］の終期までの動作は、図１４を参照して説明した動作と同様である。従って、グローバルシャッター［Ｂ］と記す期間内の読み出し終了後は、

浮遊拡散領域ＦＤ＜２＞の電圧＝ＲＳＴ__ＬＶＬ

であり、グローバル転送［Ｂ］と表した期間の後の浮遊拡散領域ＦＤの電圧ＳＩＧ__ＬＶＬ＜２＞は、本来あるべき電圧値をＳＩＧ__ＲＥＦ＜２＞とすれば、

ＳＩＧ__ＬＶＬ＜２＞＝ＳＩＧ__ＲＥＦ＜２＞

である。

[0185] 次いで、図１６においてグローバルＰＤリセット［Ｃ］と記す期間の始期において、全行の制御線ＯＦＧは一括してローレベルからハイレベルとなる。

[0186] 従って、グローバルＰＤリセット［Ｃ］と記す期間の始期において、浮遊拡散領域ＦＤの電圧はカップリングにより上昇する。上昇分の絶対値を$\Delta V_{cp\ ofg1}$と表せば、

浮遊拡散領域ＦＤの電圧は、

$$SIG_LVL<2>=SIG_REF<2>+\Delta V_{cp\ ofg1}$$

である。

[0187] 次いで、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。図１６において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

$$SIG_READ<2>=SIG_LVL<2>$$
$$=SIG_REF<2>+\Delta V_{cp\ ofg1}$$

である。

[0188] 従って、第２行目においては、信号レベルの読み出しにおいて増幅トランジスタＡＭＰのゲート電極に印加される電圧は、カップリングによる上昇分$\Delta V_{cp\ ofg1}$の影響を受ける。これは、画質を劣化させる要因となる。

[0189] 以上説明したように、露光期間を可変とした構成にあっては、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングが十分に低減されないといったことが生じ得る。

[0190] ［第２の実施形態の動作の説明］

第２の実施形態にあっては、制御線ＯＦＧに供給する制御パルスを、読み出しのタイミングに併せて変調するといったことを特徴とする。これによって、露光期間を可変とした構成においても、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングが十分に低減される。

[0191] 第２の実施形態においても、図５に示した画素１２が用いられる。駆動部１３を構成する垂直駆動部１７が制御線ＯＦＧに供給する制御パルスが相違する他、第２の実施形態の固体撮像素子は、第１の実施形態と同様の同様で

ある。

[0192] 第２の実施形態にあっては、

画素１２を制御する制御線には、撮像フレームに応じてタイミングが可変可能な制御信号が供給され、

駆動部１３は、有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御するための回路を備えている。

[0193] 画素１２を制御する制御線には、光電変換部ＰＤでの信号電荷の蓄積を行う露光期間が可変可能な制御信号が供給される。駆動部１３は、光電変換部ＰＤの初期化の開始から光電変換部ＰＤでの信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタＳＥＬが導通状態となる場合に、当該画素行において、選択トランジスタＳＥＬが導通状態となるときに初期化トランジスタＯＦＧが非導通状態となるように初期化トランジスタＯＦＧを制御するための回路を備えている。

[0194] 駆動部１３を構成する垂直駆動部１７の構成においては、後述する図２１および図２２を参照して、後で詳しく説明する。

[0195] 図１７は、本開示の第２の実施形態に係る固体撮像素子において、各行の制御線ＯＦＧに供給される信号を説明するための、模式的なタイミングチャートである。

[0196] 第２の実施形態においても、基本的には、一括リセットと一括露光によって、所謂グローバル露光が行われる。但し、一括のＰＤリセット期間中において読み出しが行われる行にあっては、読み出し期間に同期してＯＦＧ制御信号をローレベルにするといった動作を行う。尚、図１７に第（ｎ＋２）行はグローバルシャッターが発動する際に選択されている行となるが、この場合は有効な画素信号として読み出さない行を選択する。

[0197] 以下、図１８を参照して、第２の実施形態の動作について説明する。図１８では、上述した図１６と同様に、第０行目、第１行目については、グローバルＰＤリセット［Ｂ］で示す期間内、及び、グローバルＰＤリセット［Ｃ

］で示す期間内に読み出しが行われ、第２行目については、グローバルシャッター［Ｂ］で示す期間内、及び、グローバルＰＤリセット［Ｃ］で示す期間内に読み出しが行われる場合を示した。

[0198] 図１８においてグローバルＰＤリセット［Ｂ］と記した期間の直前までの動作は、第１の実施形態において図１２を参照して説明した動作と同様であるので、説明を省略する。

[0199] 図１８においてグローバルＰＤリセット［Ｂ］と記した期間に、全行の制御線ＯＦＧを一括してハイレベルとする。これによって、全画素において光電変換部ＰＤのリセットが行われる。但し、第０行目にあっては制御線ＳＥＬ＜０＞がハイレベルとなる期間に同期して制御線ＯＦＧ＜０＞はローレベルとされ、第１行目にあっては制御線ＳＥＬ＜１＞がハイレベルとなる期間に同期して制御線ＯＦＧ＜１＞はローレベルとされる。

[0200] 第０行目、第１行目については、グローバルＰＤリセット［Ｂ］で示す期間内、及び、グローバルＰＤリセット［Ｃ］で示す期間内に読み出しが行われる。読み出し動作については、図１８においてグローバルＰＤリセット［Ｃ］と記す期間において詳しく説明する。説明の都合上、第０行目の画素１２の読み出し動作に注目して説明する。

[0201] 図１８においてグローバルＰＤリセット［Ｂ］と記す期間内に、制御線ＳＥＬを、所定の期間ハイレベルとする。これによって、増幅トランジスタＡＭＰは導通状態の選択トランジスタＳＥＬを介して信号線１６に接続される。そして、その期間内に、制御線ＲＳＴを一定期間ハイレベルとする。浮遊拡散領域ＦＤの電圧は、ＰＤからの電荷転送後の電圧、次いで、リセット後の電圧ＲＳＴ＿ＬＶＬとなる。尚、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0202] その後、制御線ＳＥＬのハイレベルからローレベルへの切り替わりに同期して制御線ＯＦＧはローレベルからハイレベルに切り替わる。制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は上昇する。しかしながら、グローバルシャッター［Ｂ］と記す期間の終期にお

いて、制御線ＯＦＧはハイレベルからローレベルに切り替わる。制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は下降する。従って、カップリングによる変化は相殺され、グローバルシャッター［Ｂ］と記す期間の経過後、浮遊拡散領域ＦＤの電圧は、ＲＳＴ＿ＬＶＬに戻る。この電圧が、次フレームの電荷転送時における浮遊拡散領域ＦＤの基準電圧となる。

[0203] そして、次の露光期間が経過した後、全行の制御線ＴＲＧを所定の期間ハイレベルとする（図１８においてグローバル転送［Ｂ］と記した）。これによって、転送トランジスタＴＲＧが導通状態となって、光電変換された電荷が浮遊拡散領域ＦＤに転送され、保持される。

[0204] 前フレームにおいて浮遊拡散領域ＦＤ＜０＞の電圧がＲＳＴ＿ＬＶＬとなった状態を基準として、光電変換部ＰＤから浮遊拡散領域に電荷が転送される。グローバル転送［Ｂ］と表した期間の後の浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜０＞は、本来あるべき電圧値をＳＩＧ＿ＲＥＦ＜０＞とすれば、

ＳＩＧ＿ＬＶＬ＜０＞＝ＳＩＧ＿ＲＥＦ＜０＞

である。

[0205] そして、図１８においてグローバルＰＤリセット［Ｃ］と記す期間の始期において、全行の制御線ＯＦＧは一括してローレベルからハイレベルとなる。但し、制御線ＯＦＧ＜０＞にあっては、制御線ＳＥＬ＜０＞がハイレベルとなる期間に同期して制御線ＯＦＧ＜０＞はローレベルとされる。

[0206] グローバルＰＤリセット［Ｃ］と記す期間の始期において、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は上昇する。しかしながら、制御線ＳＥＬのローレベルからハイレベルへの切り替わりに同期して制御線ＯＦＧはハイレベルからローレベルに切り替わるので、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は下降する。従って、信号レベルの読み込みの際には、カップリングによる変化は相殺され、浮遊拡散領域ＦＤの電圧は概ねＳＩＧ＿ＬＶ

Ｌ＜０＞となる。この電圧が増幅トランジスタのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１８において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜０＞と表せば、

ＳＩＧ＿ＲＥＡＤ＜０＞≒ＳＩＧ＿ＬＶＬ＜０＞

≒ＳＩＧ＿ＲＥＦ＜０＞

である。

[0207] 次いで、制御線ＲＳＴ＜０＞が一定期間ハイレベルとされ、リセットトランジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜０＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧もＲＳＴ＿ＬＶＬで表され、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0208] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。図１８において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜０＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜０＞＝ＲＳＴ＿ＬＶＬ

である。

[0209] 信号線１６を介して読み出される信号レベル、リセットレベルは、それぞれ、増幅トランジスタＡＭＰのゲート電圧によって制御される。カラム処理部１４は、リセットレベルと信号レベルとの差分を求め、それを映像信号V_{OUT}＜０＞とする。増幅による利得を係数k_{AMP}で表せば、基本的には、

V_{OUT}＜０＞＝k_{AMP}・（ＲＳＴ＿ＬＶＬ－ＳＩＧ＿ＲＥＡＤ＜０＞）

と表される。上記の演算は２重サンプリング（ＤＤＳ)処理となる。

[0210] 以上、第０行目の読み出しについて説明した。第１行目の動作は、第０行

目の動作と同様であるので、説明を省略する。

[0211] 次いで、第２行目の動作について説明する。図１８に示すグローバル転送［Ｂ］の終期までの動作は、図１４を参照して説明した動作と同様である。従って、グローバルシャッター［Ｂ］と記す期間内の読み出し終了後は、

浮遊拡散領域ＦＤ＜２＞の電圧＝ＲＳＴ＿ＬＶＬ

であり、グローバル転送［Ｂ］と表した期間の後の浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜２＞は、本来あるべき電圧値をＳＩＧ＿ＲＥＦ＜２＞とすれば、

ＳＩＧ＿ＬＶＬ＜２＞＝ＳＩＧ＿ＲＥＦ＜２＞

である。

[0212] 次いで、図１８においてグローバルＰＤリセット［Ｃ］と記す期間の始期において、全行の制御線ＯＦＧは一括してローレベルからハイレベルとなる。

[0213] 従って、グローバルＰＤリセット［Ｃ］と記す期間の始期において、浮遊拡散領域ＦＤの電圧はカップリングにより上昇する。しかしながら、制御線ＳＥＬのローレベルからハイレベルへの切り替わりに同期して制御線ＯＦＧはハイレベルからローレベルに切り替わるので、制御線ＯＦＧと浮遊拡散領域ＦＤのカップリングによって、浮遊拡散領域ＦＤの電圧は下降する。従って、信号レベルの読み込みの際には、カップリングによる変化は相殺され、浮遊拡散領域ＦＤの電圧は概ねＳＩＧ＿ＬＶＬ＜２＞となる。この電圧が増幅トランジスタのゲート電極に印加されている状態で、信号線１６を介して信号レベルを読み出す。図１８において、信号レベルの読み出しのタイミングを矢印で示した。信号レベルの読み出しにおいて増幅トランジスタのゲート電極に印加される電圧をＳＩＧ＿ＲＥＡＤ＜２＞と表せば、

ＳＩＧ＿ＲＥＡＤ＜０＞≒ＳＩＧ＿ＬＶＬ＜２＞

≒ＳＩＧ＿ＲＥＦ＜２＞

である。

[0214] 次いで、制御線ＲＳＴ＜２＞が一定期間ハイレベルとされ、リセットトラ

ンジスタＲＳＴが導通状態となる。これによって、浮遊拡散領域ＦＤの電圧はリセットされる。リセットトランジスタＲＳＴ＜２＞が非導通状態となった後も、浮遊拡散領域ＦＤはリセットされた状態を維持する。このときの浮遊拡散領域ＦＤの電圧もＲＳＴ＿ＬＶＬで表され、基本的には、ＲＳＴ＿ＬＶＬ＝V_{DD}である。

[0215] そして、浮遊拡散領域ＦＤの電圧ＲＳＴ＿ＬＶＬが増幅トランジスタのゲート電極に印加されている状態で、信号線１６を介してリセットレベルを読み出す。図１８において、リセットレベルの読み出しのタイミングを矢印で示した。リセットレベルの読み出しにおいて増幅トランジスタのゲート電極に印加される電圧をＲＳＴ＿ＲＥＡＤ＜２＞と表せば、

ＲＳＴ＿ＲＥＡＤ＜２＞＝ＲＳＴ＿ＬＶＬ

である。

[0216] 従って、第２行目においても、信号レベルの読み出しにおいて増幅トランジスタのゲート電極に印加される電圧は、概ねＳＩＧ＿ＲＥＦ＜２＞となる。従って、カップリングによる電圧変動が低減された状態で、信号レベルを読み出すことができる。即ち、露光期間のタイミングが直前フレームと現フレームとで変わっても、カップリングによる影響を低減して信号レベルを読み出すことができる。

[0217] なお、グローバルシャッターの発動時には、全行一斉に動作することによって電源電圧の変動や制御線の信号変動などが生ずることが考えられる。したがって、図１９に示すように、信号変動が納まるまでの間、有効な画素信号として読み出さない行を選択して空読みするといったことを行ってもよい。図２０に、第１行目の読み出しと第２行目の読み出しとの間に１行分の空読みを行った例を示す。

[0218] 次いで、第２の実施形態における垂直駆動部１７の構成例について説明する。

[0219] 制御線ＯＦＧは、基本的には同じタイミングで一括して駆動する必要がある。図２１は、制御線ＯＦＧの制御のための一括制御回路を共通に設けた垂

直駆動部の構造を説明するための、模式的なブロック図である。

[0220] 垂直駆動部１７は、制御線ＯＦＧの制御のための一括制御回路１７Ａ、及び、画素行毎に対応して設けられた行単位駆動回路１７Ｂを備えている。図に示す例では、同時性の向上のため一括制御回路１７Ａを上側と下側に一対設けているが、片側のみでもよい。この構成は、回路規模を抑えて小面積化を測ることができる利点を備えている。

[0221] 行単位駆動回路１７Ｂは、画素制御回路１７Ｃ、判定回路１７Ｄ、及び、ＯＦＧ制御回路１７Ｅを備えている。画素制御回路１７Ｃは、制御線ＴＲＸ、ＴＲＧ，ＲＳＴ，ＳＥＬに制御信号を供給する。

[0222] ＯＦＧ制御回路１７Ｅには、一括制御回路１７Ａから基本的なＯＦＧ制御信号が供給される。判定回路１７Ｄは、ＯＦＧ制御信号がハイレベルである期間内に制御線ＳＥＬがハイレベルとなるか否かを判断する。ＯＦＧ制御回路は、判定回路１７Ｄの判定結果に基づいて、一括制御回路１７Ａからの基本的なＯＦＧ制御信号がハイレベルである期間内に制御線ＳＥＬがハイレベルとなる場合には、その期間に同期してＯＦＧ制御信号がローレベルになるようにして、制御線ＯＦＧに信号を供給する。

[0223] また、垂直駆動部１７の他の構成例について説明する。図２２は、一括制御回路を各行に対応して個別に設けた垂直駆動部の構造を説明するための、模式的なブロック図である。

[0224] この構成では、行単位駆動回路１７Ｂのそれぞれに、一括制御回路１７Ａが組み込まれている。画素制御回路１７Ｃ、判定回路１７Ｄ、及び、ＯＦＧ制御回路１７Ｅの動作は、図２１を参照して説明したのと同様の動作である。

[0225] 図２１に示す構成では、一括制御回路１７Ａからの信号が遅延する程度が、行単位駆動回路１７Ｂの位置に応じて変わる。一方、図２２に示す構成では、行単位駆動回路１７Ｂの位置に係らず、一括制御回路１７Ａからの信号は略同じタイミングで供給される。従って、図２２に示す構成は、制御線に供給される信号の精度を高められるといった利点を備えている。

[0226] ［第３の実施形態］

第３の実施形態も、本開示に係る、固体撮像素子、固体撮像素子の駆動方法、及び、電子機器に関する。

[0227] 図２３は、第３の実施形態に関する固体撮像素子の動作の模式図である。

[0228] 第２の実施形態に説明において、直前フレームと現フレームとで制御線ＯＦＧの極性が同じであれば、カップリングの影響が低減できることを説明した。従って、図３に示すように、ＰＤリセット期間の始期を遅らせることでＰＤリセット期間長を短く設定し、かつ、ＰＤリセット期間には有効な画素信号として読み出さない空読み行うことで、信号レベルおよびリセットレベルの読み出し時には全行およびフレーム間で制御線ＯＦＧの極性が変化しないようにすることができる。

[0229] 図２４は、第３の実施形態を説明するための模式的なタイミングチャートである。

[0230] 図２４に示すように、第０行目ないし第２行目において、読み出し期間の経過後の浮遊拡散領域ＦＤの電圧はＲＳＴ＿ＬＶＬである。グローバルＰＤリセットの始期において制御線ＯＦＧがローレベルからハイレベルに切り替わり、浮遊拡散領域ＦＤの電圧はカップリングにより上昇する。しかしながら、グローバルシャッターの終期において制御線ＯＦＧがハイレベルからローレベルに切り替わり、浮遊拡散領域ＦＤの電圧はカップリングにより下降する。よって、カップリングの影響は相殺され、浮遊拡散領域ＦＤの電圧は概ねＲＳＴ＿ＬＶＬに戻る。

[0231] 従って、第０行目ないし第２行目のいずれについても、浮遊拡散領域ＦＤの電圧がＲＳＴ＿ＬＶＬの状態で、グローバル転送が行われる。グローバル転送後の浮遊拡散領域ＦＤの電圧ＳＩＧ＿ＬＶＬ＜２＞は、本来あるべき電圧値となる。

[0232] 尚、グローバルシャッターの発動時には、全行一斉に動作することによって電源電圧の変動や制御線の信号変動などが生ずることが考えられる。図１９を参照して説明したように、信号変動が納まるまでの間、有効な画素信号

として読み出さない行を選択して空読みするといったことを行ってもよい。

[0233] また、第３の実施形態は、初期化トランジスタＯＦＧが非導通状態となる期間が長くなる。従って、この期間内において光電変換された電荷が浮遊拡散領域ＦＤに漏れ出してブルーミングが生じないように、駆動タイミングを設定することが好ましい。

[0234] 以上、本開示を好ましい実施形態に基づき説明したが、本開示はこれらの実施形態に限定されるものではない。上記の各実施形態において説明した固体撮像素子の構成、構造は例示であり、適宜、変更することができる。

[0235] また、本開示の技術は、白黒の固体撮像素子やベイヤー配列の固体撮像素子など、固体撮像素子のフォーマットによらず適用可能である。

[0236] ＜本開示の構成＞

尚、本開示は、以下のような構成をとることもできる。

［Ａ１］

光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部、及び、

画素アレイ部を駆動する駆動部、

を有しており、

駆動部は、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、

次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する、

固体撮像素子。

［Ａ２］

画素を制御する制御線には、撮像フレームに関わらず同じタイミングで変化する制御信号が供給される、

上記［Ａ１］に記載の固体撮像素子。

［Ａ３］

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導通／非導通は、直前フレームと現フレームとにおいて同じタイミングで制御される、

上記［Ａ２］に記載の固体撮像素子。

［Ａ４］

画素を制御する制御線には、撮像フレームに応じてタイミングが可変可能な制御信号が供給され、

駆動部は、有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御するための回路を備えている、

上記［Ａ１］に記載の固体撮像素子。

［Ａ５］

画素を制御する制御線には、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号が供給される、

上記［Ａ４］に記載の固体撮像素子。

［Ａ６］

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

駆動部は、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御するための回路を備えている、

な制御信号が供給される、

上記［Ａ５］に記載の固体撮像素子。

[0237] ［Ｂ１］

光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部を有している固体撮像素子の駆動方法であって、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域を所定の電圧にリセットした状態で、

光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出す工程、及び、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する工程、

を含む、

固体撮像素子の駆動方法。

［Ｂ２］

画素を制御する制御線に、撮像フレームに関わらず同じタイミングで変化する制御信号を供給する、

上記［Ｂ１］に記載の固体撮像素子の駆動方法。

［Ｂ３］

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導通／非導通を、直前フレームと現フレームとにおいて同じタイミングで制御する、

上記［Ｂ２］に記載の固体撮像素子の駆動方法。

［Ｂ４］

画素を制御する制御線に、撮像フレームに応じてタイミングが可変可能な制御信号を供給し、

有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御する、

上記［Ｂ１］に記載の固体撮像素子の駆動方法。

［Ｂ５］

画素を制御する制御線に、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号を供給する、

上記［Ｂ４］に記載の固体撮像素子の駆動方法。

［Ｂ６］

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御する、

上記［Ｂ５］に記載の固体撮像素子の駆動方法。

[0238] ［Ｃ１］

光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部、及び、

画素アレイ部を駆動する駆動部、

を有しており、

駆動部は、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、

次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する、

固体撮像素子を備えた電子機器。

［Ｃ２］

画素を制御する制御線には、撮像フレームに関わらず同じタイミングで変化する制御信号が供給される、

上記［Ｃ１］に記載の電子機器。

［Ｃ３］

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導

通／非導通は、直前フレームと現フレームとにおいて同じタイミングで制御される、

上記［Ｃ２］に記載の電子機器。

［Ｃ４］

画素を制御する制御線には、撮像フレームに応じてタイミングが可変可能な制御信号が供給され、

駆動部は、有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御するための回路を備えている、

上記［Ｃ１］に記載の電子機器。

［Ｃ５］

画素を制御する制御線には、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号が供給される、

上記［Ｃ４］に記載の電子機器。

［Ｃ６］

各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、

を含んでおり、

駆動部は、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御するための回路を備えている、

な制御信号が供給される、

上記［Ｃ５］に記載の電子機器。

符号の説明

[0239] １０・・・固体撮像素子、１１・・・画素アレイ部、１２・・・画素、１３・・・駆動部、１４・・・カラム処理部、１５・・・水平駆動部、１６・・・信号線、１７・・・垂直駆動部、１７Ａ・・・一括制御回路、１７Ｂ・・・行単位駆動回路、１７Ｃ・・・画素制御回路、１７Ｄ・・・判定回路、１７Ｅ・・・ＰＤ初期化トランジスタ制御回路、１８・・・制御線、ＰＤ・・・光電変換部（フォトダイオード）

ＦＤ・・・浮遊拡散領域、ＭＥＭ・・・メモリ部、ＯＦＧ・・・初期化トランジスタ、ＴＲＧ・・・転送トランジスタ、ＴＲＸ・・・メモリ部用転送トランジスタ、ＲＳＴ・・・リセットトランジスタ、ＡＭＰ・・・増幅トランジスタ、ＳＥＬ・・・選択トランジスタ

請求の範囲

[請求項1] 光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部、及び、

画素アレイ部を駆動する駆動部、

を有しており、

駆動部は、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、

次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する、

固体撮像素子。

[請求項2] 画素を制御する制御線には、撮像フレームに関わらず同じタイミングで変化する制御信号が供給される、

請求項１に記載の固体撮像素子。

[請求項3] 各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ

、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導通／非導通は、直前フレームと現フレームとにおいて同じタイミングで制御される、

請求項２に記載の固体撮像素子。

[請求項4] 画素を制御する制御線には、撮像フレームに応じてタイミングが可変可能な制御信号が供給され、

駆動部は、有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御するための回路を備えている、

請求項１に記載の固体撮像素子。

[請求項5] 画素を制御する制御線には、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号が供給される、

請求項４に記載の固体撮像素子。

[請求項6] 各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、を含んでおり、

駆動部は、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御するための回路を備えている、

請求項５に記載の固体撮像素子。

[請求項7] 光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部を有している固体撮像素子の駆動方法であって、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域を所定の電圧にリセットした状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセットレベルとして読み出す工程、及び、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する工程、

を含む、

固体撮像素子の駆動方法。

[請求項8] 画素を制御する制御線に、撮像フレームに関わらず同じタイミングで変化する制御信号を供給する、

請求項７に記載の固体撮像素子の駆動方法。

[請求項9] 各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

ゲート電極に浮遊拡散領域の電圧が印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、を含んでおり、

画素を制御する制御線は、初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタのそれぞれに対応して設けられており、

初期化トランジスタ、転送トランジスタ、リセットトランジスタ、及び、選択トランジスタの導通／非導通を、直前フレームと現フレームとにおいて同じタイミングで制御する、

請求項８に記載の固体撮像素子の駆動方法。

[請求項10] 画素を制御する制御線に、撮像フレームに応じてタイミングが可変可能な制御信号を供給し、

有効な画素信号を読み出す際に、読み出し行として選択された画素行の制御線が毎フレーム全行同じ極性になるよう制御する、

請求項７に記載の固体撮像素子の駆動方法。

[請求項11] 画素を制御する制御線に、光電変換部での信号電荷の蓄積を行う露光期間が可変可能な制御信号を供給する、

請求項１０に記載の固体撮像素子の駆動方法。

[請求項12] 各画素は、更に、

光電変換部に所定の電圧を印加するための初期化トランジスタ、

光電変換された電荷を浮遊拡散領域に転送するための転送トランジスタ、

浮遊拡散領域に所定の電圧を印加するためのリセットトランジスタ、

浮遊拡散領域の電圧がゲート電極に印加される増幅トランジスタ、及び、

増幅トランジスタと信号線とを接続するための選択トランジスタ、を含んでおり、

光電変換部の初期化の開始から光電変換部での信号電荷の蓄積を開始するまでの期間の間に読出し対象となる画素行の選択トランジスタが導通状態となる場合に、当該画素行において、選択トランジスタが導通状態となるときに初期化トランジスタが非導通状態となるように初期化トランジスタを制御する、

請求項１１に記載の固体撮像素子の駆動方法。

[請求項13] 光電変換部と光電変換された電荷が転送される浮遊拡散領域とを有する画素がマトリクス状に配列されて成る画素アレイ部、及び、

画素アレイ部を駆動する駆動部、

を有しており、

駆動部は、

画素アレイ部の画素を行毎に順次走査して全画素の読み出しを行う期間内に、全画素の光電変換部を初期化し、次いで、全画素において同時に光電変換部での信号電荷の蓄積を行うことによってグローバル露光を行うと共に、

現フレームの撮像において、

直前フレームにおいて浮遊拡散領域が所定の電圧にリセットされた状態で、光電変換された電荷を浮遊拡散領域に転送し、その後、電荷に対応する電圧を信号レベルとして浮遊拡散領域から読み出し、

次いで、浮遊拡散領域を所定の電圧にリセットした後の電圧をリセ

ットレベルとして読み出し、

信号レベルとリセットレベルとの差分を算出して画素信号を生成する、

固体撮像素子を備えた電子機器。

[図1]

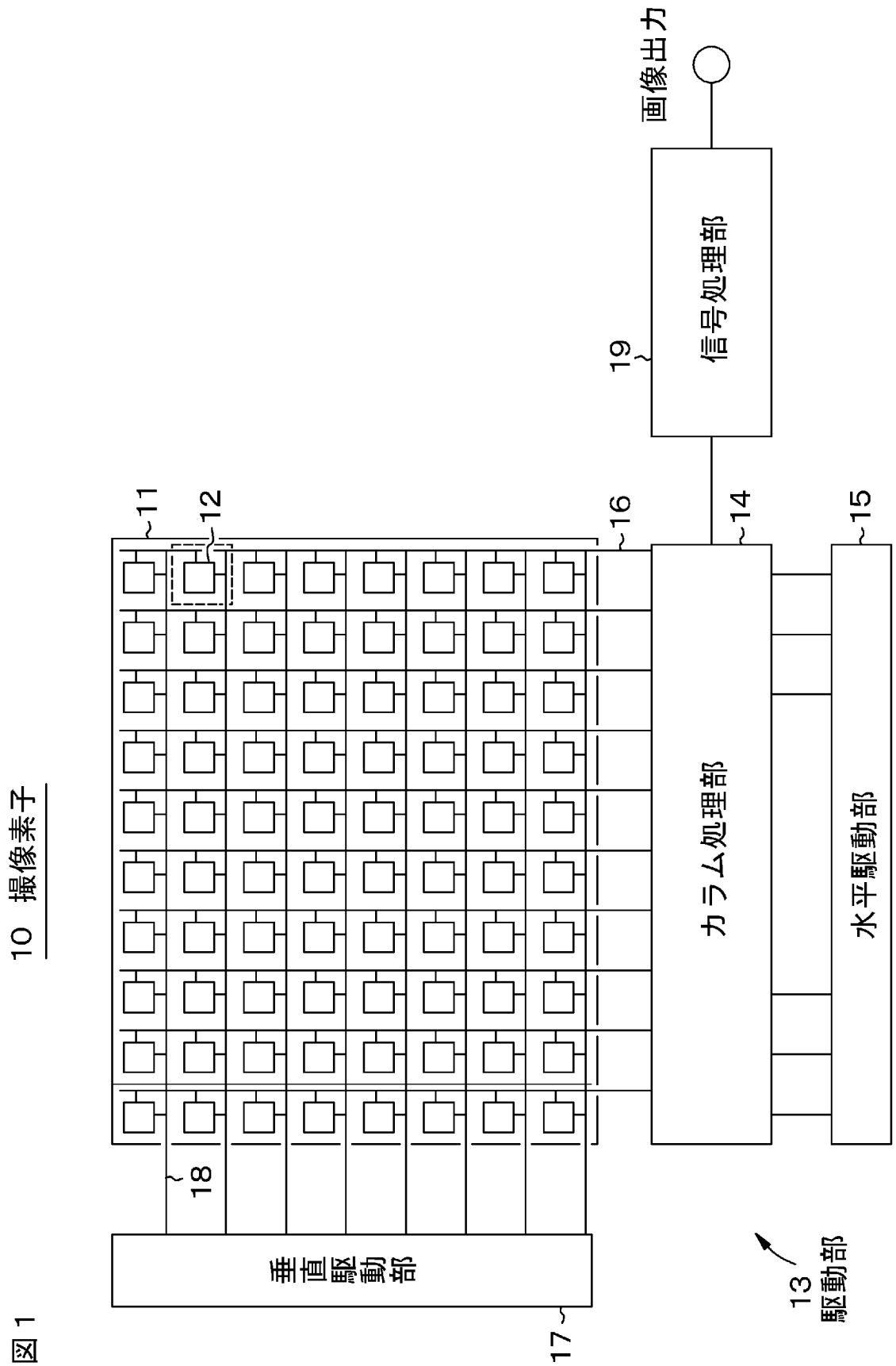
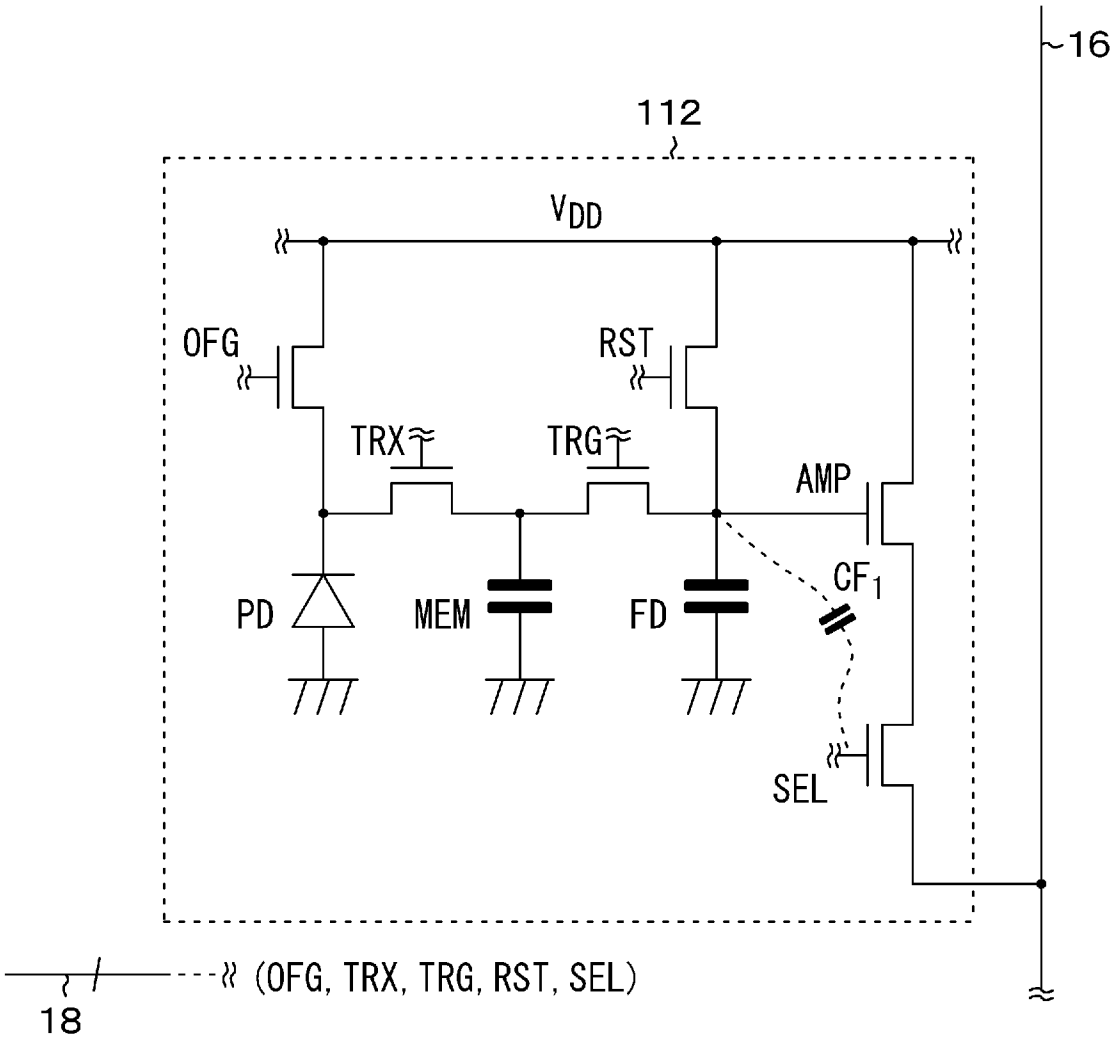

画像出力
19
信号処理部
11
12
16
14
15
10 撮像素子
カラム処理部
水平駆動部
18
垂直駆動部
17
13
駆動部

図 1

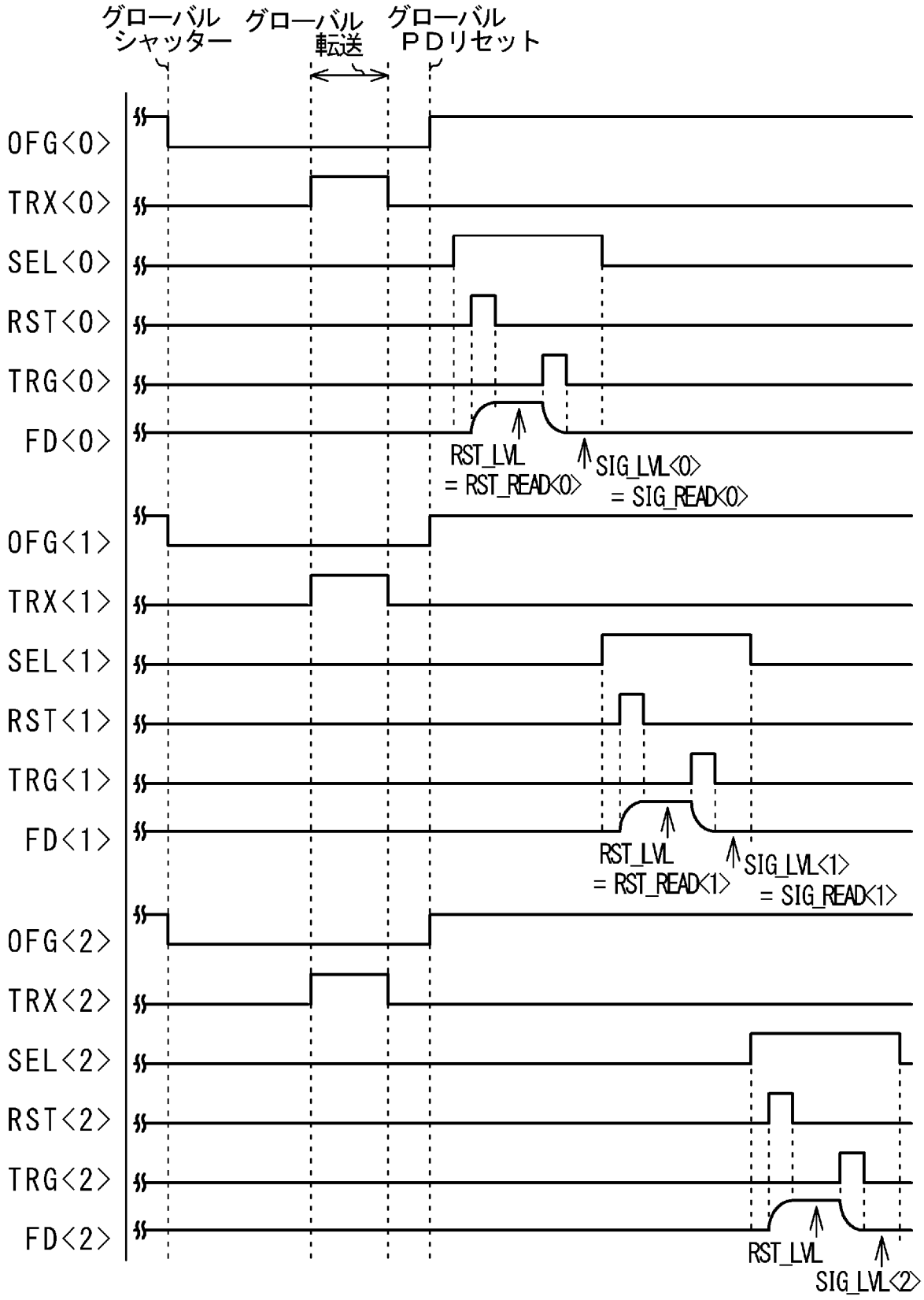
[図2]

図２


16
112
VDD
OFG
RST
TRX
TRG
AMP
PD
MEM
FD
CF1
SEL
(OFG, TRX, TRG, RST, SEL)
18

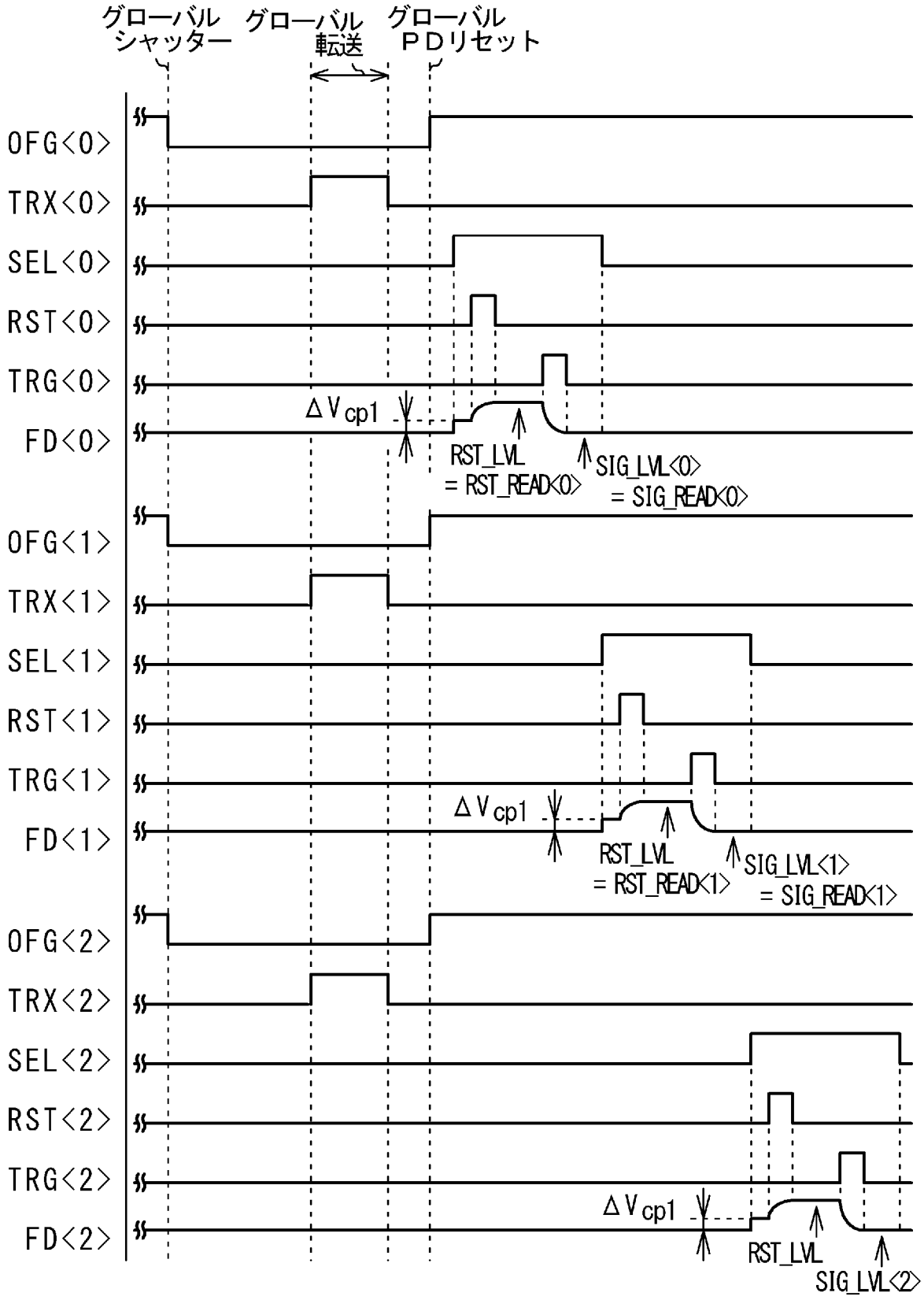
[図3]

図３


グローバル シャッター
グローバル 転送
グローバル ＰＤリセット
OFG<0>
TRX<0>
SEL<0>
RST<0>
TRG<0>
FD<0>
RST_LVL = RST_READ<0>
SIG_LVL<0> = SIG_READ<0>
OFG<1>
TRX<1>
SEL<1>
RST<1>
TRG<1>
FD<1>
RST_LVL = RST_READ<1>
SIG_LVL<1> = SIG_READ<1>
OFG<2>
TRX<2>
SEL<2>
RST<2>
TRG<2>
FD<2>
RST_LVL
SIG_LVL<2>

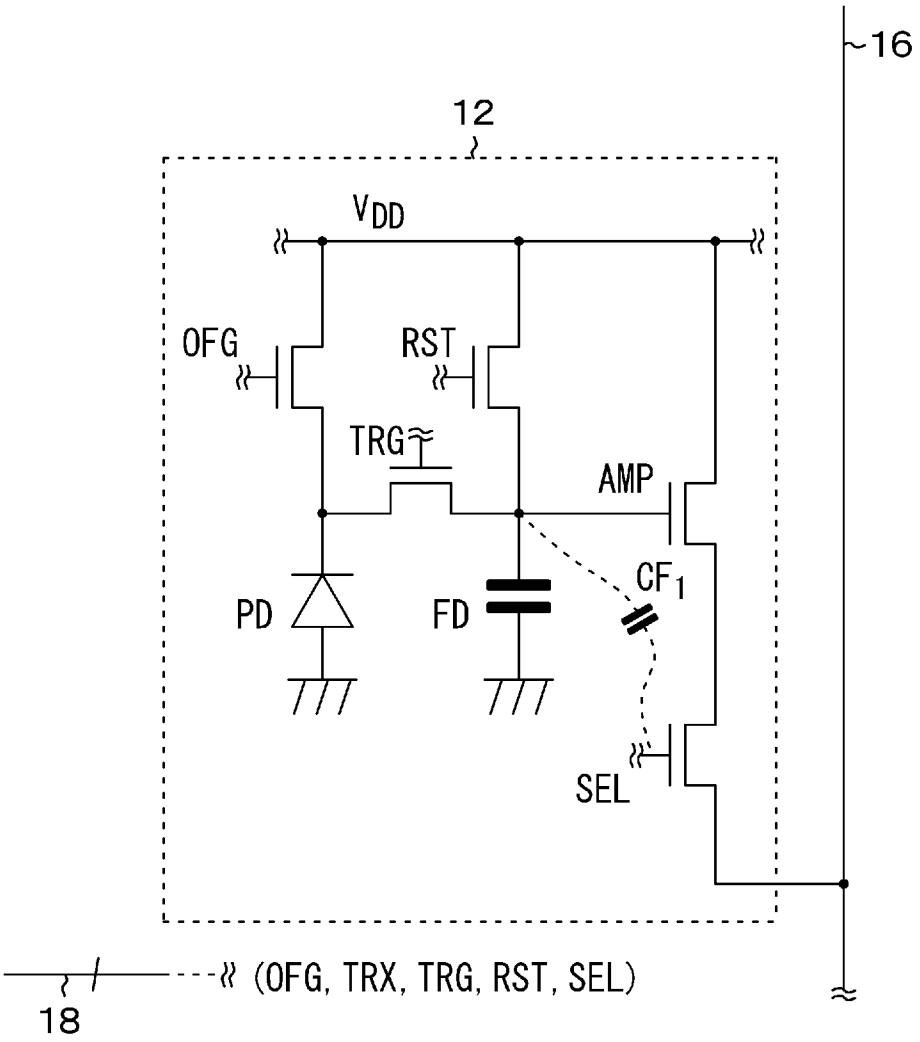
[図4]

図４


グローバル シャッター
グローバル 転送
グローバル ＰＤリセット
OFG<0>
TRX<0>
SEL<0>
RST<0>
TRG<0>
FD<0>
ΔVcp1
RST_LVL = RST_READ<0>
SIG_LVL<0> = SIG_READ<0>
OFG<1>
TRX<1>
SEL<1>
RST<1>
TRG<1>
FD<1>
ΔVcp1
RST_LVL = RST_READ<1>
SIG_LVL<1> = SIG_READ<1>
OFG<2>
TRX<2>
SEL<2>
RST<2>
TRG<2>
FD<2>
ΔVcp1
RST_LVL
SIG_LVL<2>

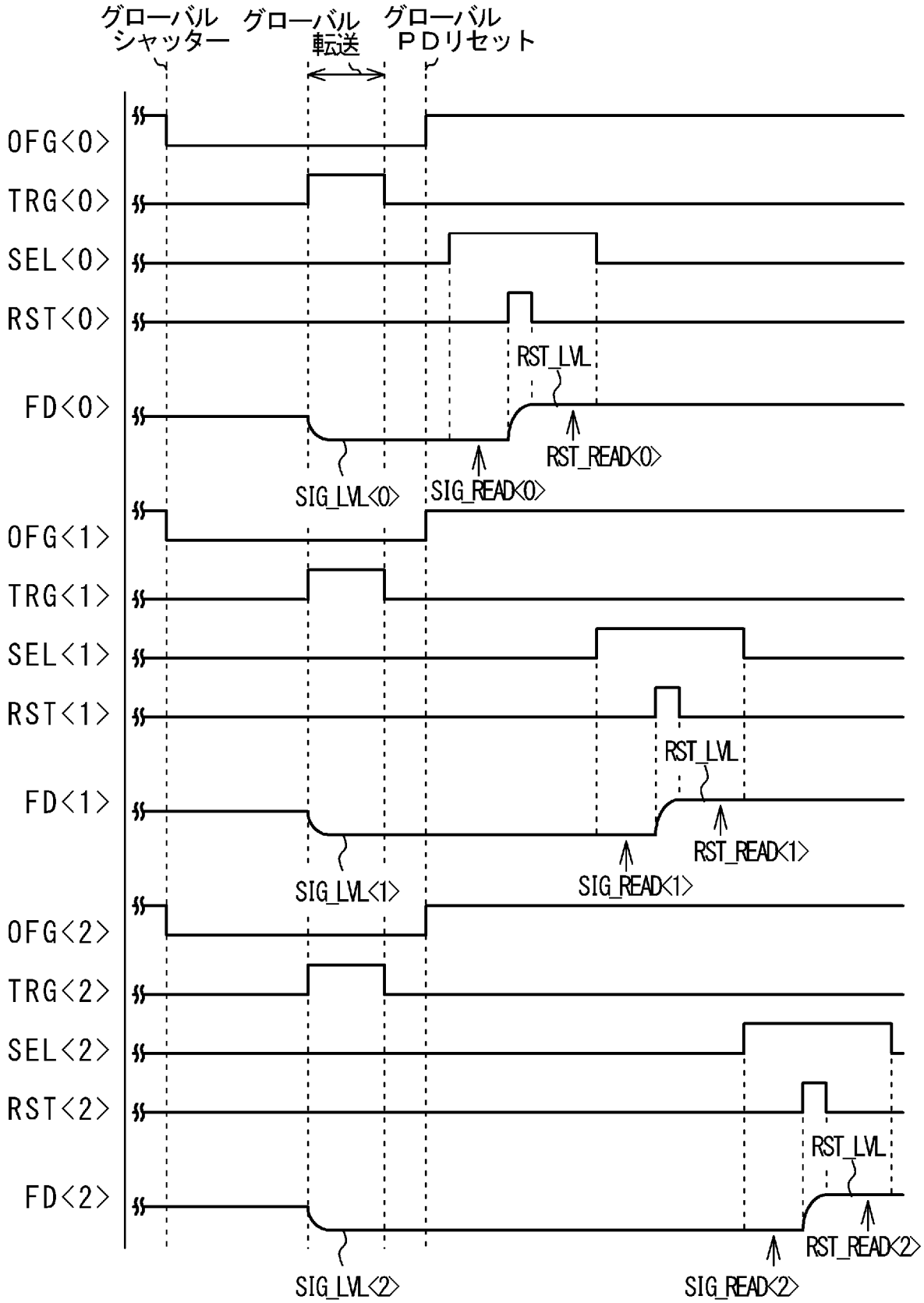
[図5]

図５



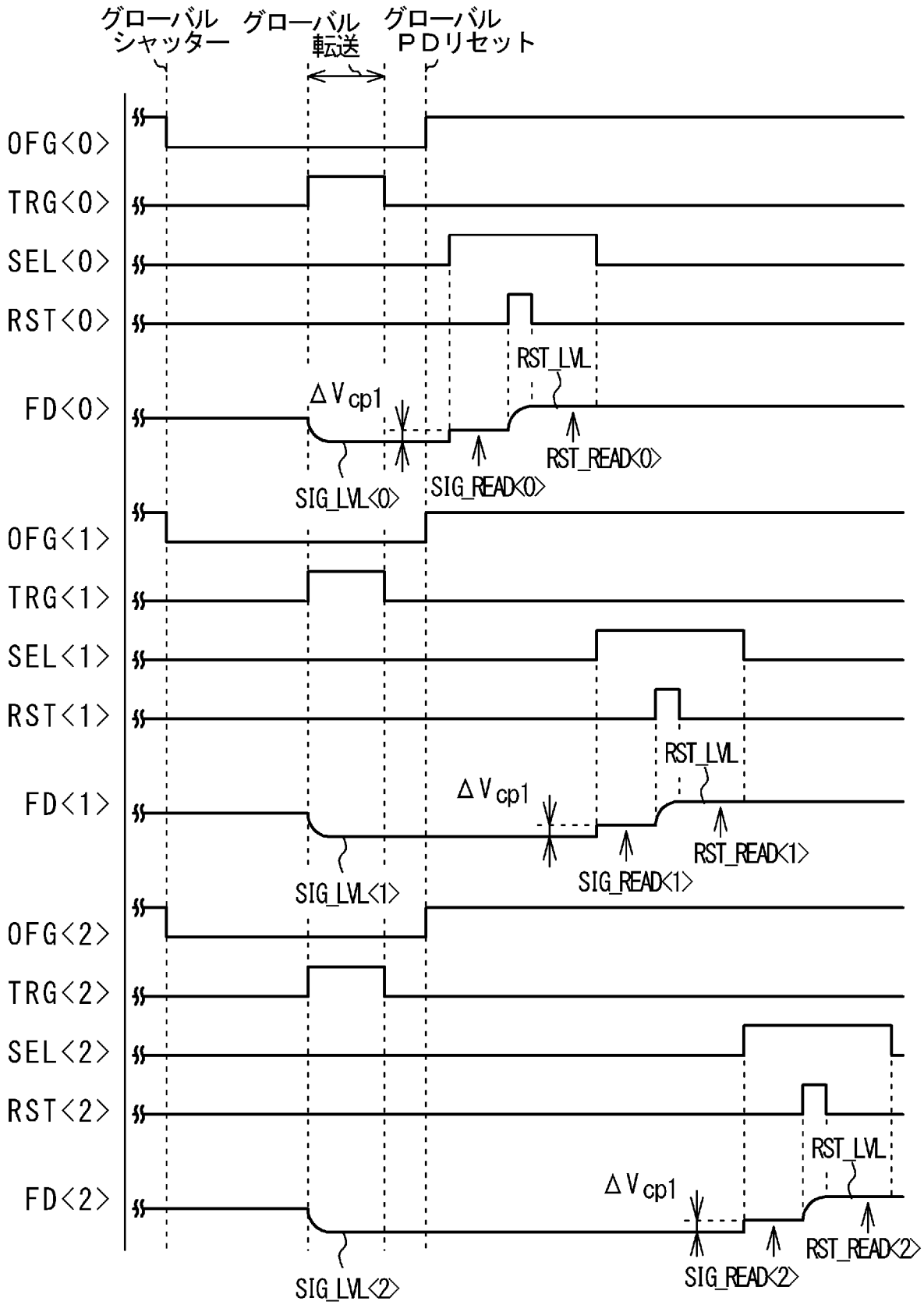
[図6]

図６


グローバル シャッター
グローバル 転送
グローバル ＰＤリセット
OFG<0>
TRG<0>
SEL<0>
RST<0>
RST_LVL
FD<0>
RST_READ<0>
SIG_LVL<0>
SIG_READ<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
RST_LVL
FD<1>
RST_READ<1>
SIG_LVL<1>
SIG_READ<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
RST_LVL
FD<2>
RST_READ<2>
SIG_LVL<2>
SIG_READ<2>

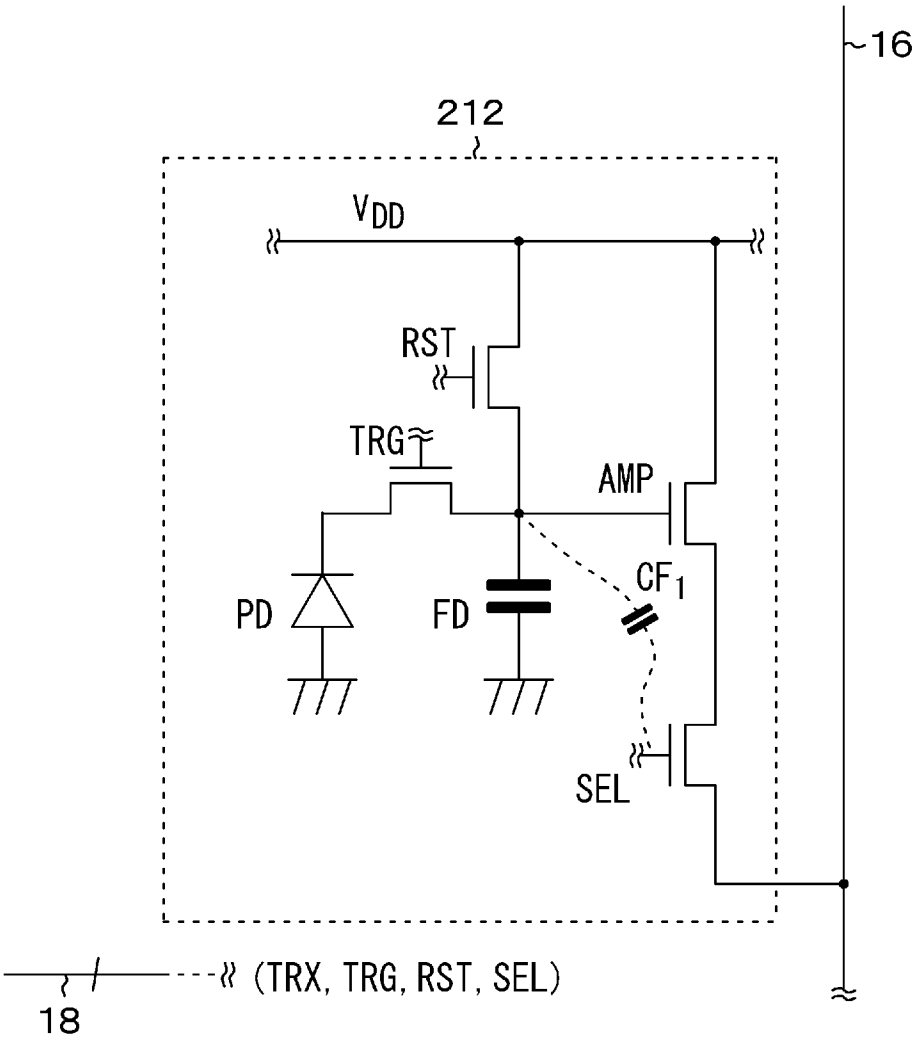
[図7]

図７


グローバル シャッター
グローバル 転送
グローバル ＰＤリセット
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
RST_LVL
ΔVcp1
SIG_LVL<0>
SIG_READ<0>
RST_READ<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
RST_LVL
ΔVcp1
SIG_LVL<1>
SIG_READ<1>
RST_READ<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
RST_LVL
ΔVcp1
SIG_LVL<2>
SIG_READ<2>
RST_READ<2>

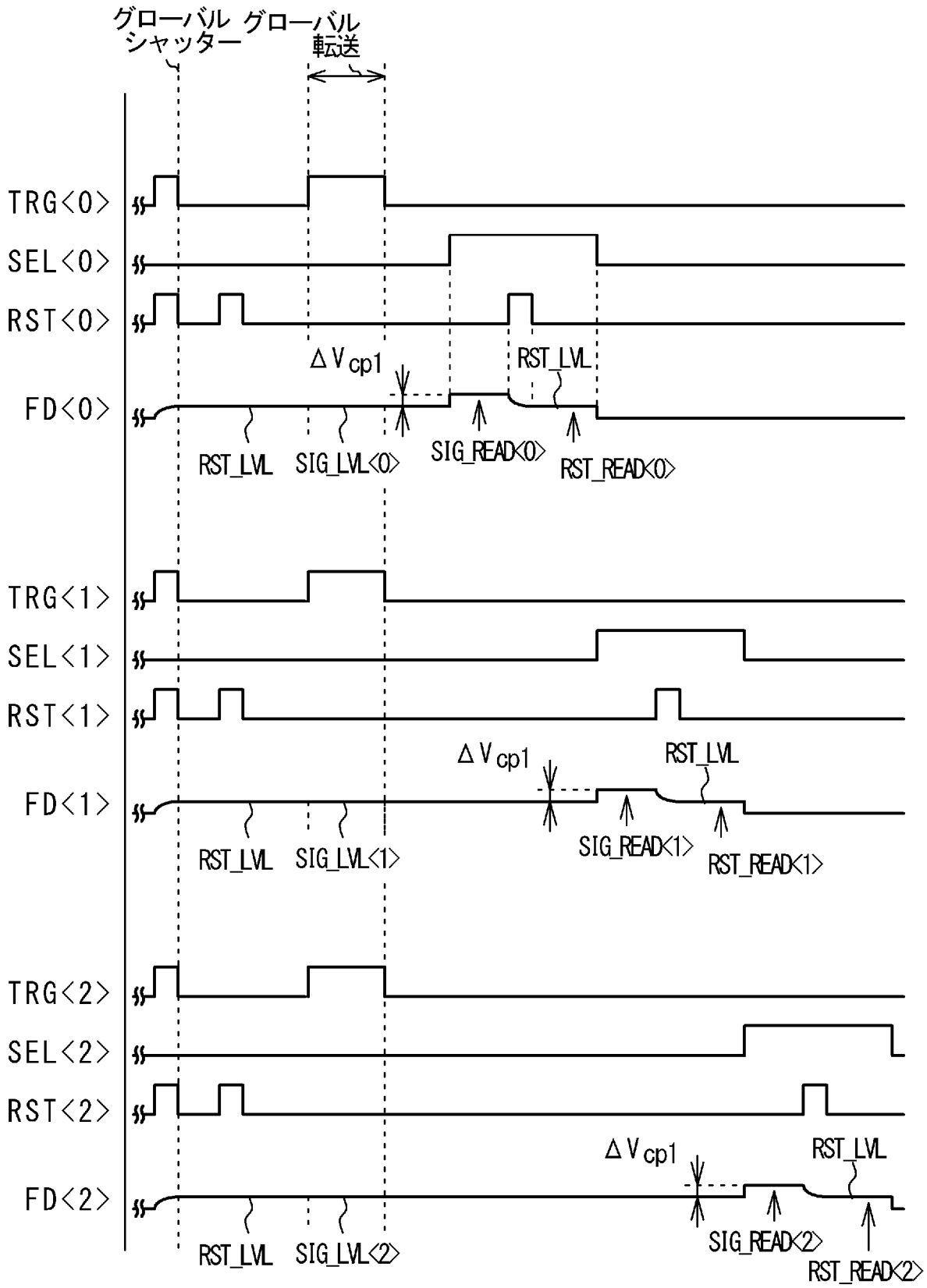
[図8]

図８



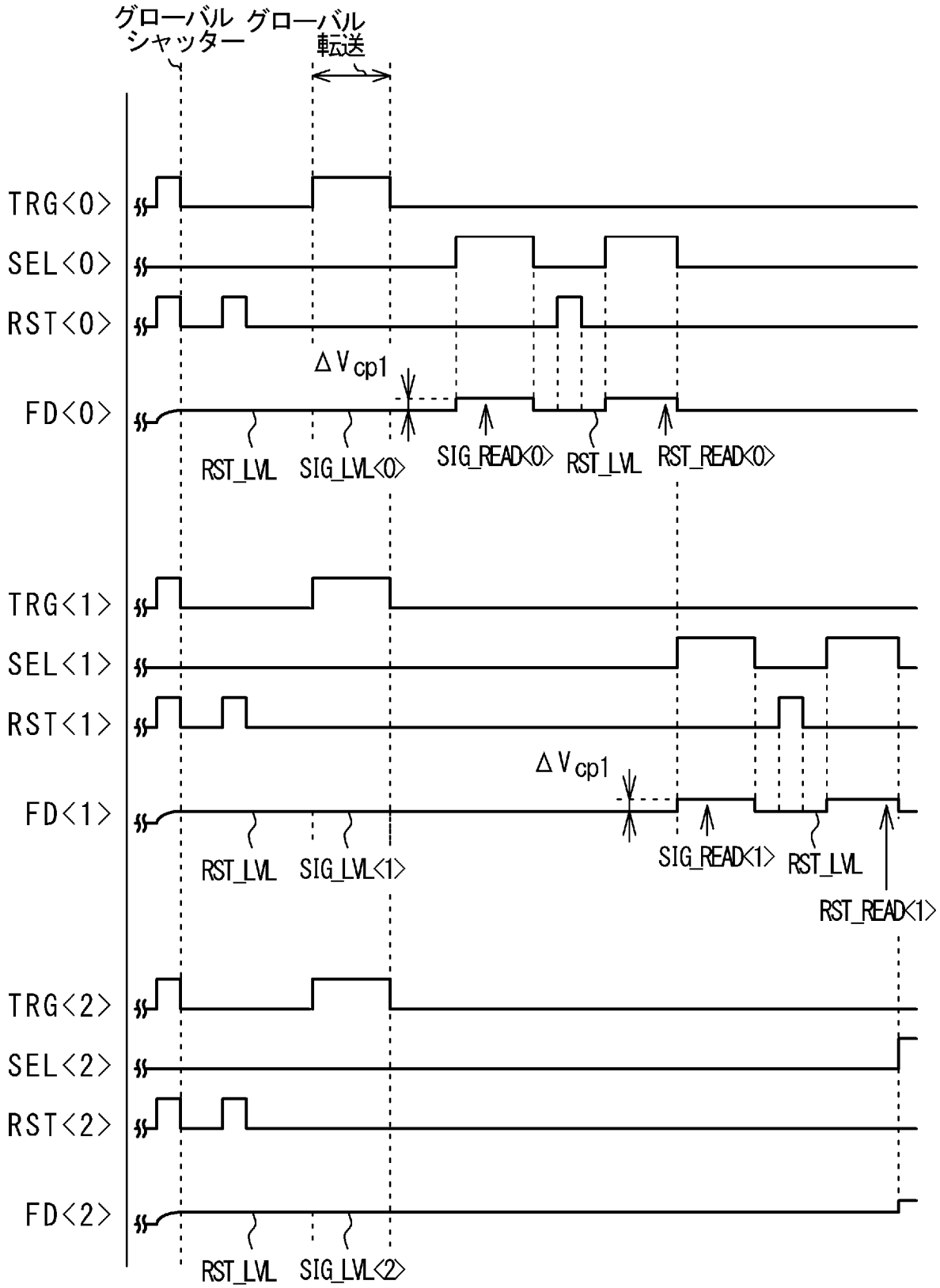
[図9]

図９


グローバル シャッター
グローバル 転送
TRG<0>
SEL<0>
RST<0>
FD<0>
ΔVcp1
RST_LVL
RST_LVL
SIG_LVL<0>
SIG_READ<0>
RST_READ<0>
TRG<1>
SEL<1>
RST<1>
FD<1>
ΔVcp1
RST_LVL
RST_LVL
SIG_LVL<1>
SIG_READ<1>
RST_READ<1>
TRG<2>
SEL<2>
RST<2>
FD<2>
ΔVcp1
RST_LVL
RST_LVL
SIG_LVL<2>
SIG_READ<2>
RST_READ<2>

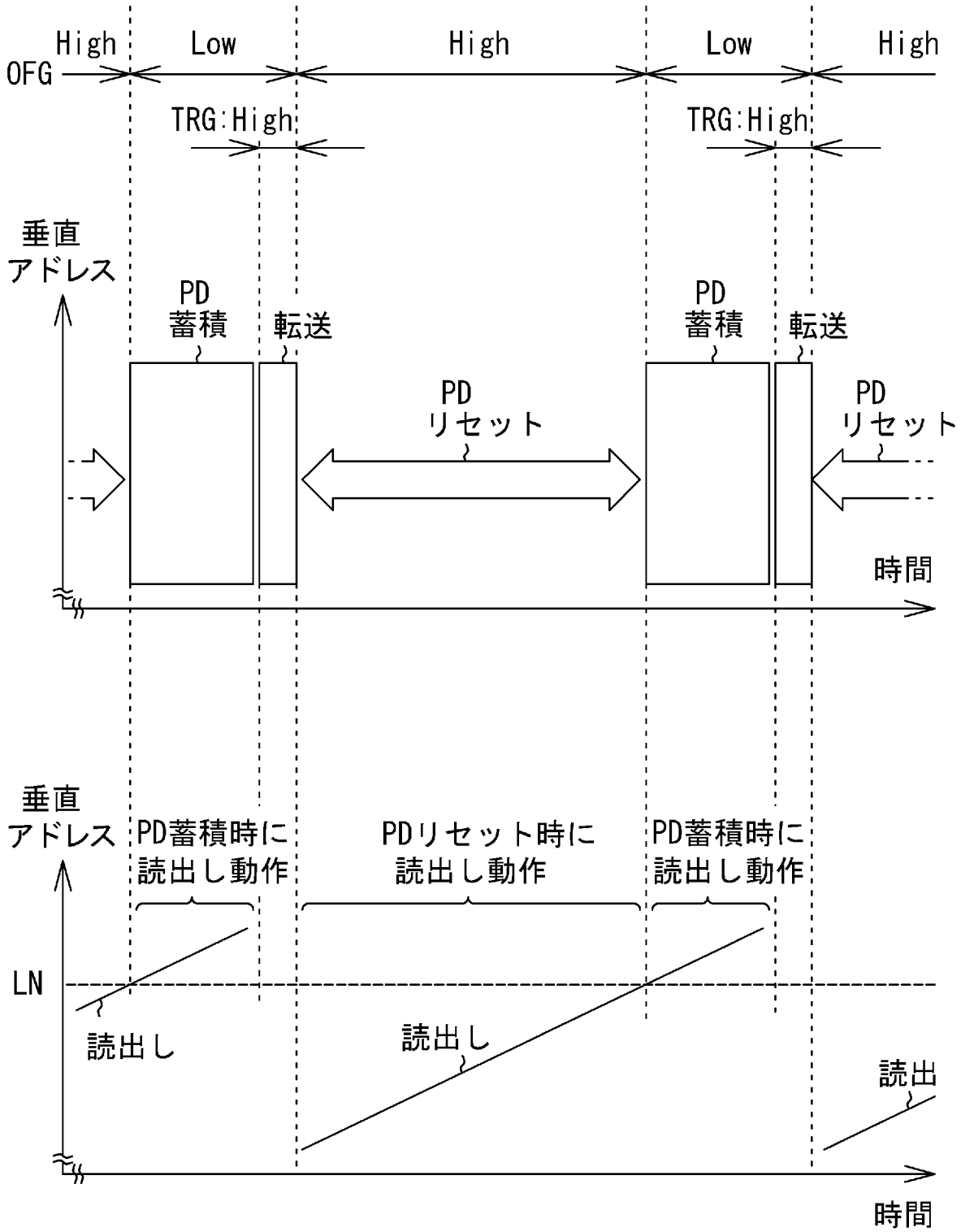
[図10]

図１０

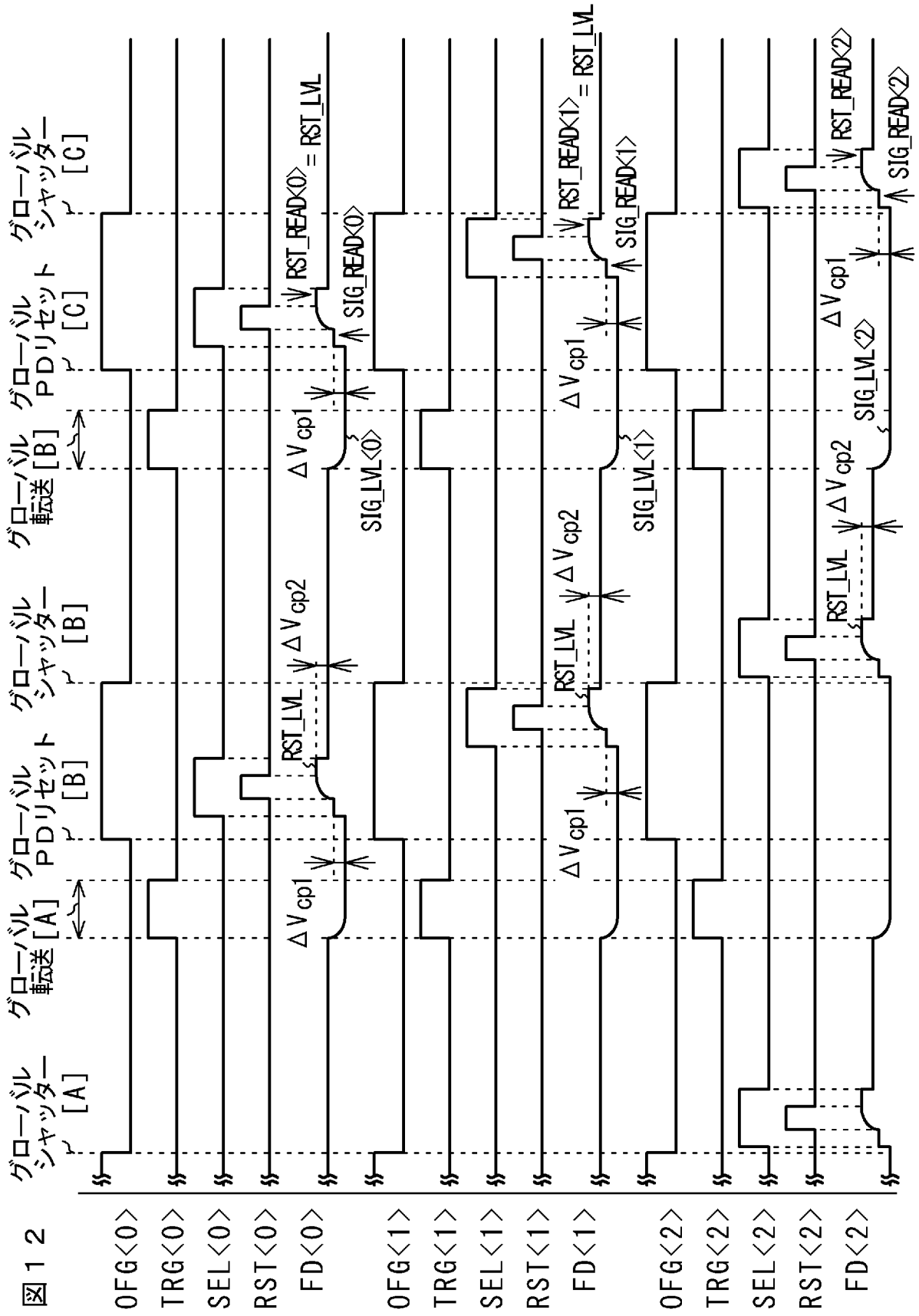

グローバル シャッター
グローバル 転送
TRG<0>
SEL<0>
RST<0>
ΔVcp1
FD<0>
RST_LVL
SIG_LVL<0>
SIG_READ<0>
RST_LVL
RST_READ<0>
TRG<1>
SEL<1>
RST<1>
ΔVcp1
FD<1>
RST_LVL
SIG_LVL<1>
SIG_READ<1>
RST_LVL
RST_READ<1>
TRG<2>
SEL<2>
RST<2>
FD<2>
RST_LVL
SIG_LVL<2>

[図11]

図１１

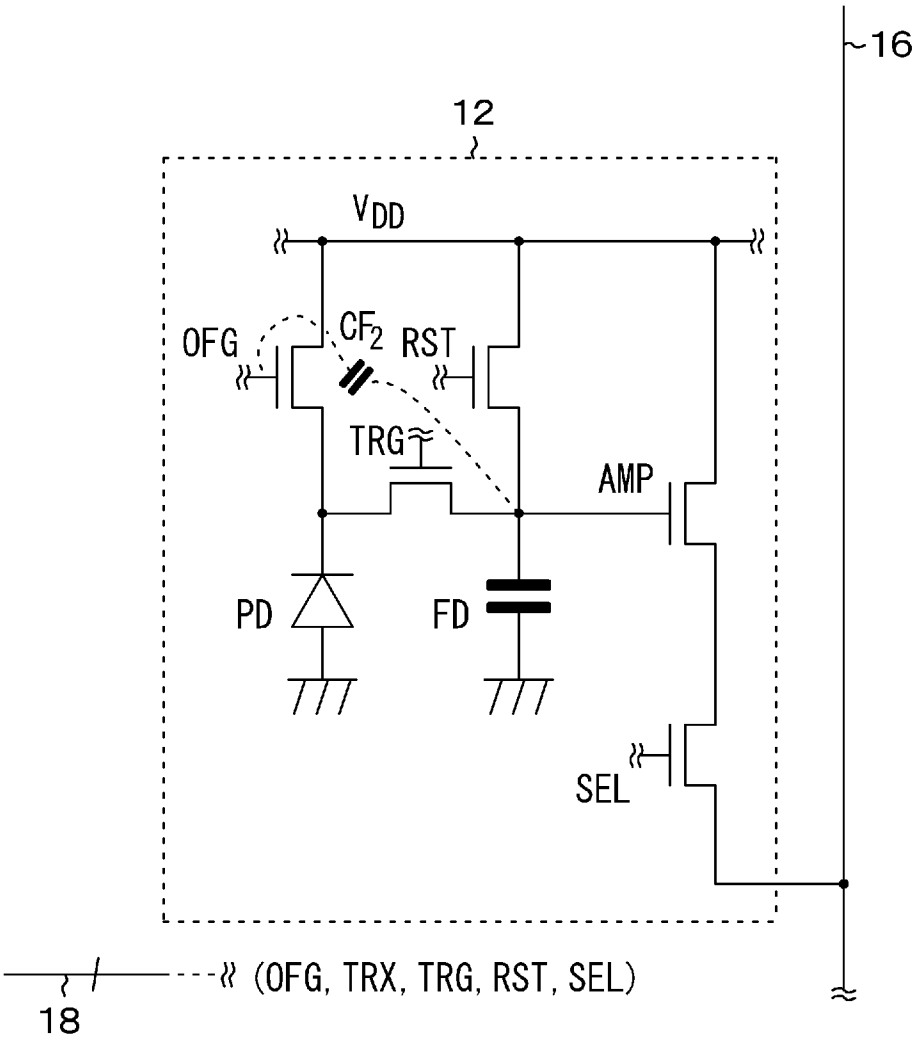

High
Low
High
Low
High
OFG
TRG:High
TRG:High
垂直
アドレス
PD
蓄積
転送
PD
蓄積
転送
PD
リセット
PD
リセット
時間
垂直
アドレス
PD蓄積時に
読出し動作
PDリセット時に
読出し動作
PD蓄積時に
読出し動作
LN
読出し
読出し
読出
時間

[図12]

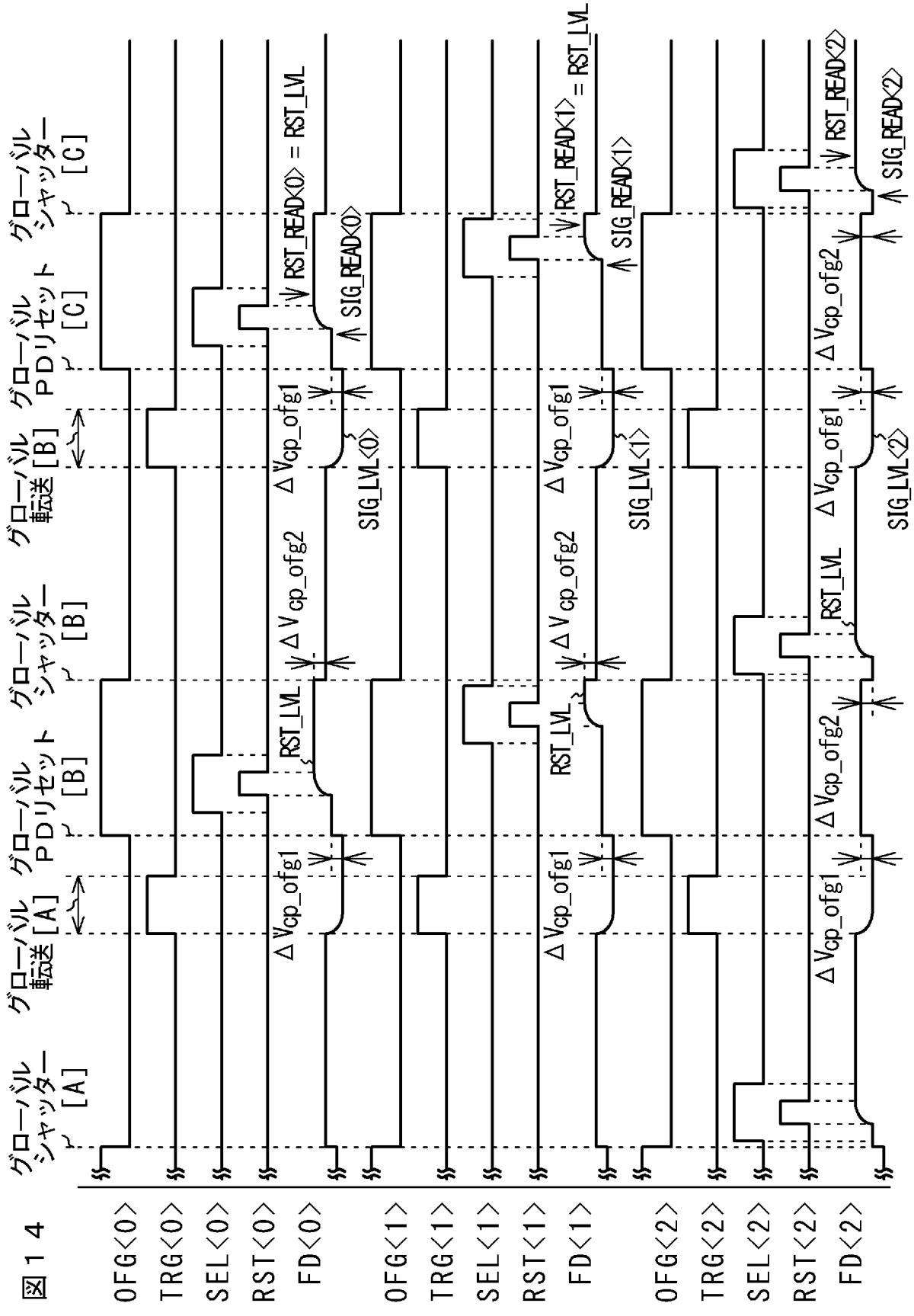

図１２
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
グローバル シャッター [A]
グローバル 転送 [A]
グローバル PDリセット [B]
グローバル シャッター [B]
グローバル 転送 [B]
グローバル PDリセット [C]
グローバル シャッター [C]
ΔVcp1
ΔVcp2
RST_LVL
SIG_LVL<0>
SIG_LVL<1>
SIG_LVL<2>
RST_READ<0>= RST_LVL
SIG_READ<0>
RST_READ<1>= RST_LVL
SIG_READ<1>
RST_READ<2>
SIG_READ<2>

[図13]

図１３

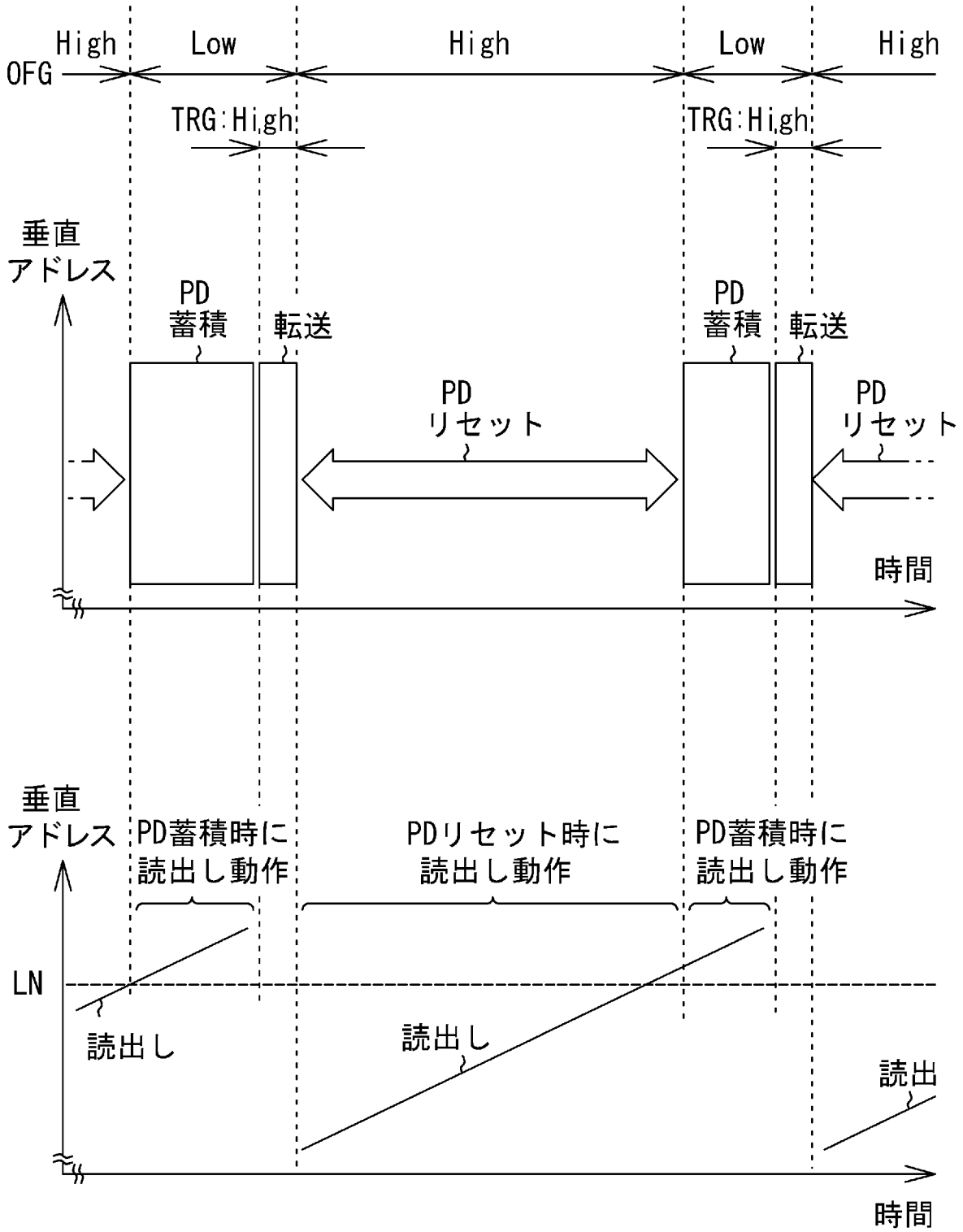


[図14]

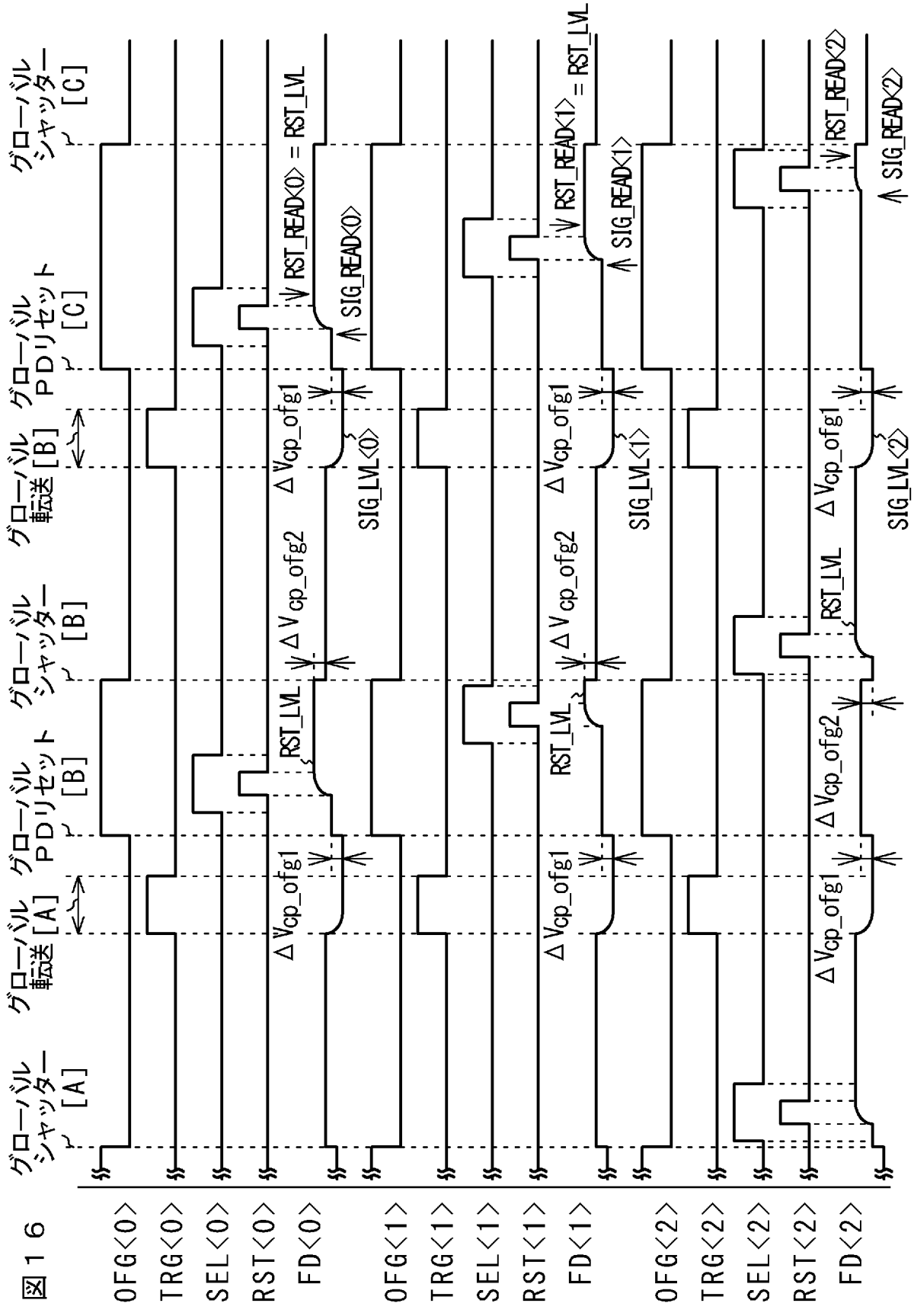

図14
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
グローバル シャッター [A]
グローバル 転送 [A]
グローバル PDリセット [B]
グローバル シャッター [B]
グローバル 転送 [B]
グローバル PDリセット [C]
グローバル シャッター [C]
RST_LVL
ΔVcp_ofg1
ΔVcp_ofg2
RST_READ<0> = RST_LVL
SIG_READ<0>
SIG_LVL<0>
RST_READ<1> = RST_LVL
SIG_READ<1>
SIG_LVL<1>
RST_READ<2>
SIG_READ<2>
SIG_LVL<2>

[図15]

図１５

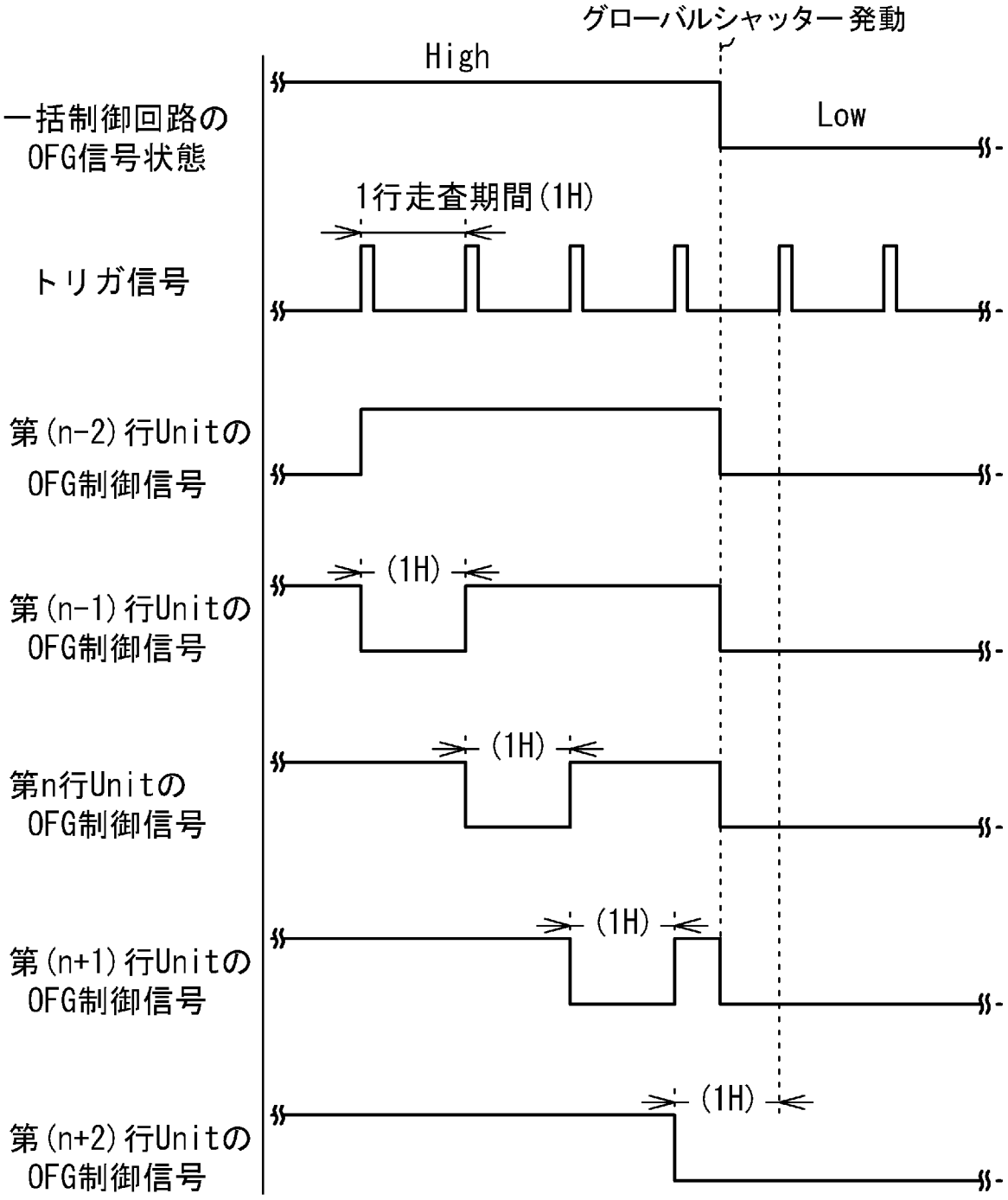

High
Low
High
Low
High
OFG
TRG:High
TRG:High
垂直
アドレス
PD
蓄積
転送
PD
蓄積
転送
PD
リセット
PD
リセット
時間
垂直
アドレス
PD蓄積時に
読出し動作
PDリセット時に
読出し動作
PD蓄積時に
読出し動作
LN
読出し
読出し
読出
時間

[図16]

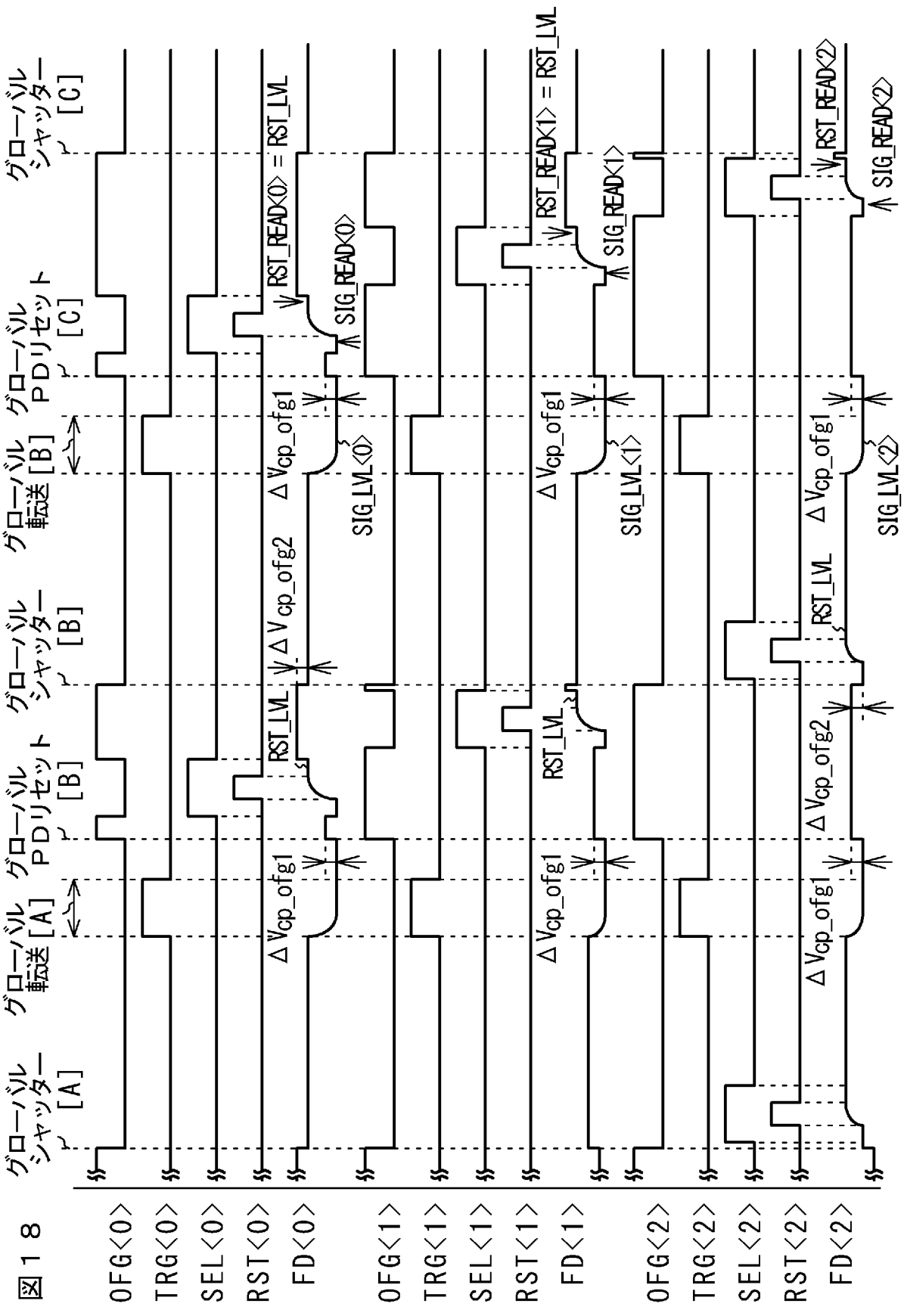

図16
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
グローバル シャッター [A]
グローバル 転送 [A]
グローバル PDリセット [B]
グローバル シャッター [B]
グローバル 転送 [B]
グローバル PDリセット [C]
グローバル シャッター [C]
RST_LVL
ΔVcp_ofg1
ΔVcp_ofg2
RST_READ<0> = RST_LVL
SIG_READ<0>
SIG_LVL<0>
RST_READ<1> = RST_LVL
SIG_READ<1>
SIG_LVL<1>
RST_READ<2>
SIG_READ<2>
SIG_LVL<2>

[図17]

図１７

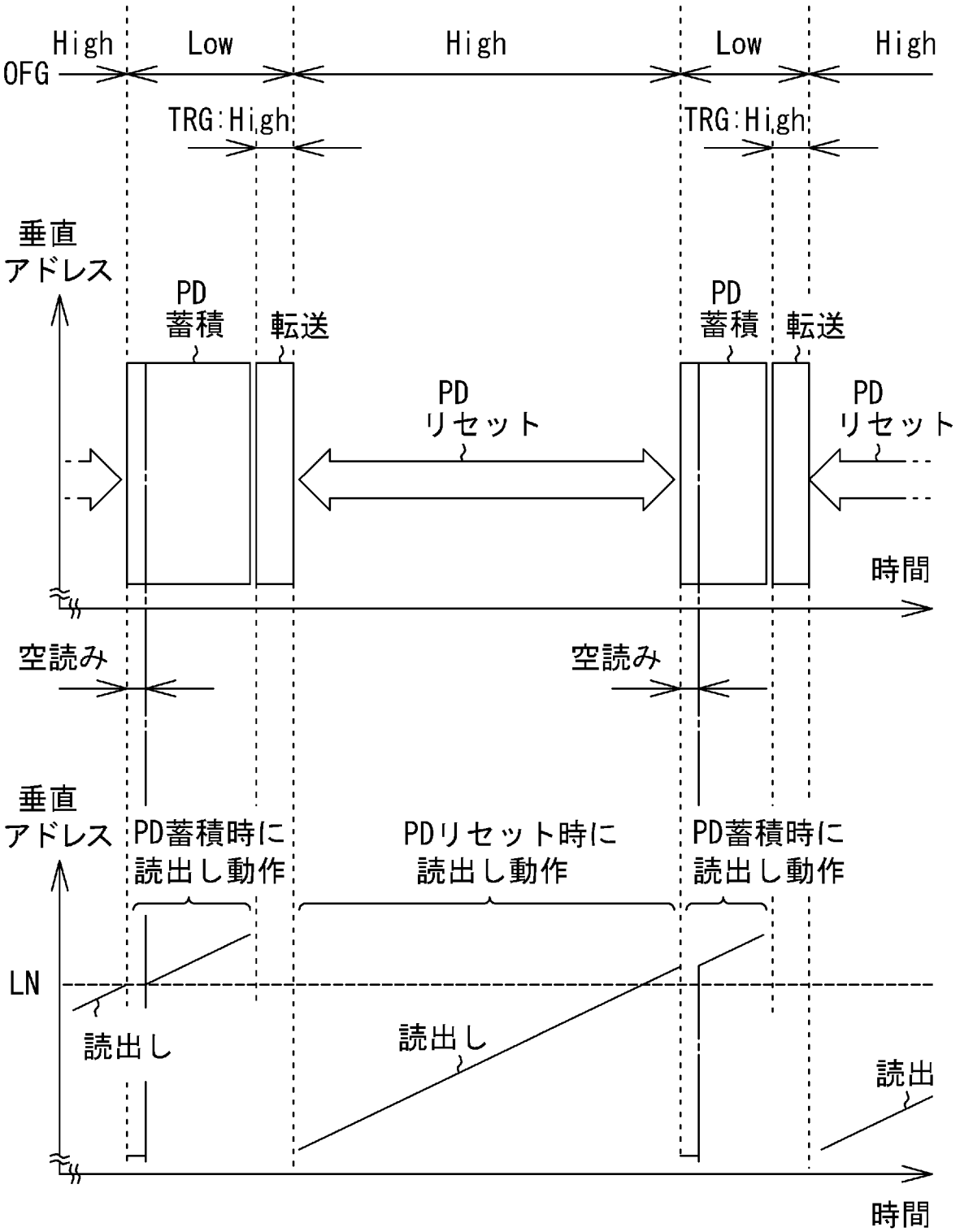

グローバルシャッター発動
High
Low
一括制御回路の
OFG信号状態
1行走査期間(1H)
トリガ信号
第(n-2)行Unitの
OFG制御信号
(1H)
第(n-1)行Unitの
OFG制御信号
(1H)
第n行Unitの
OFG制御信号
(1H)
第(n+1)行Unitの
OFG制御信号
(1H)
第(n+2)行Unitの
OFG制御信号

[図18]

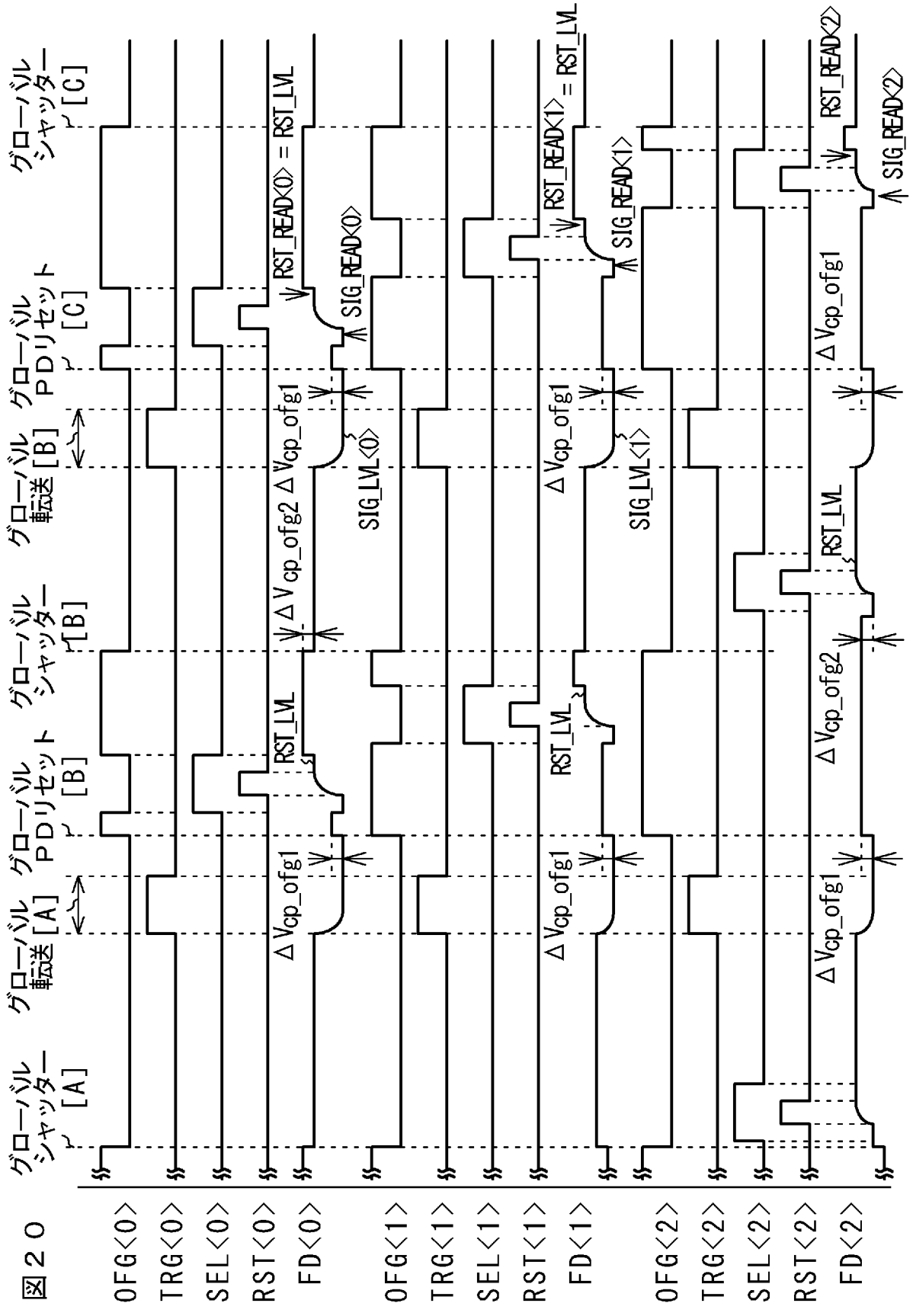

図１８
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
グローバル シャッター [A]
グローバル 転送 [A]
グローバル PDリセット [B]
グローバル シャッター [B]
グローバル 転送 [B]
グローバル PDリセット [C]
グローバル シャッター [C]
RST_LVL
RST_READ<0> = RST_LVL
SIG_READ<0>
SIG_LVL<0>
RST_READ<1> = RST_LVL
SIG_READ<1>
SIG_LVL<1>
RST_READ<2>
SIG_READ<2>
SIG_LVL<2>
ΔVcp_ofg1
ΔVcp_ofg2

[図19]

図１９


High
Low
High
Low
High
OFG
TRG:High
TRG:High
垂直
アドレス
PD
蓄積
転送
PD
リセット
PD
蓄積
転送
PD
リセット
時間
空読み
空読み
垂直
アドレス
PD蓄積時に
読出し動作
PDリセット時に
読出し動作
PD蓄積時に
読出し動作
LN
読出し
読出し
読出
時間

[図20]


図２０
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
グローバル シャッター [A]
グローバル 転送 [A]
グローバル PDリセット [B]
グローバル シャッター [B]
グローバル 転送 [B]
グローバル PDリセット [C]
グローバル シャッター [C]
RST_LVL
ΔVcp_ofg1
ΔVcp_ofg2
RST_READ<0> = RST_LVL
SIG_READ<0>
SIG_LVL<0>
RST_READ<1> = RST_LVL
SIG_READ<1>
SIG_LVL<1>
RST_READ<2>
SIG_READ<2>

[図21]

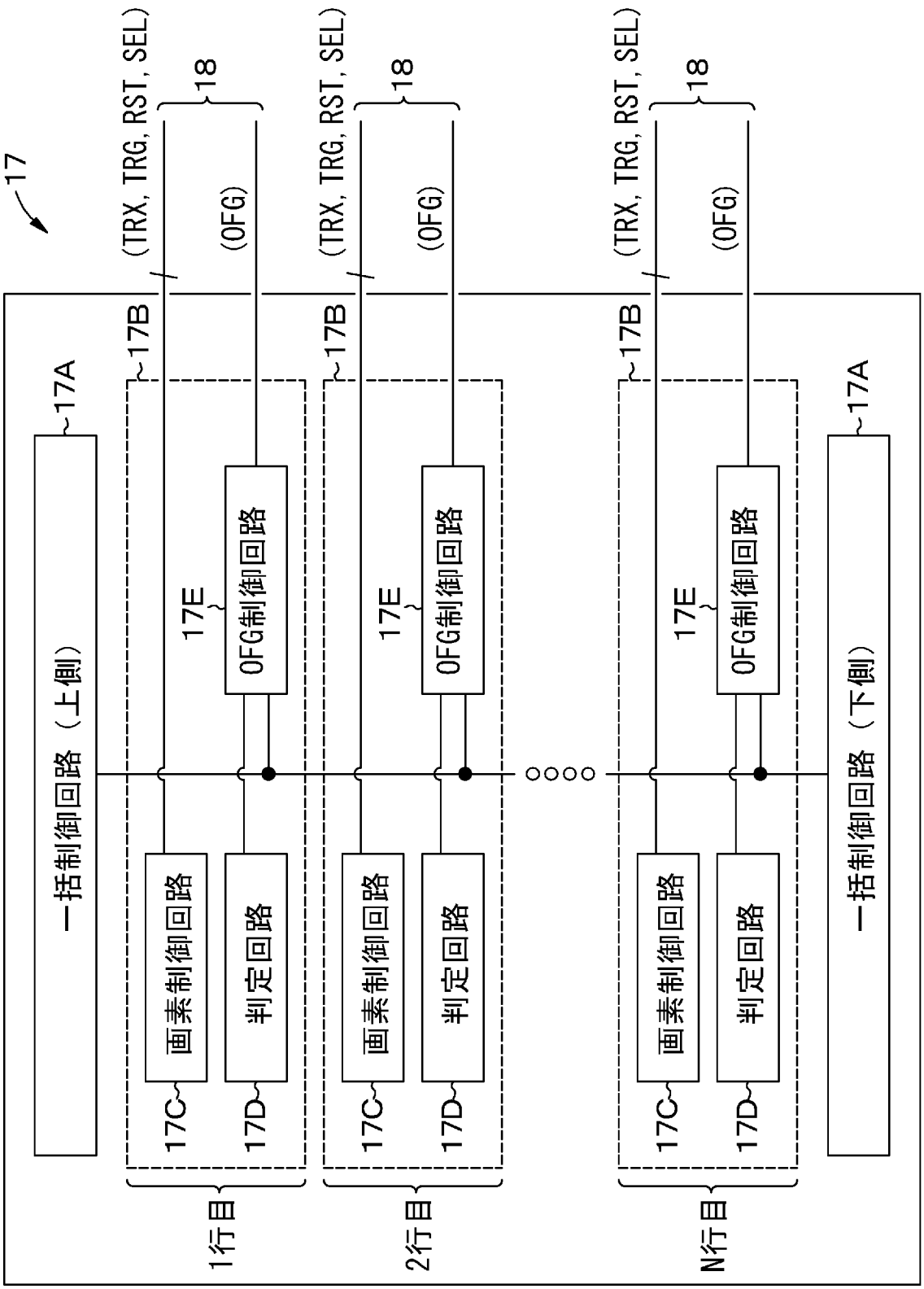

17
(TRX, TRG, RST, SEL)
18
(OFG)
17B
17A
17E
OFG制御回路
画素制御回路
判定回路
17C
17D
一括制御回路（上側）
一括制御回路（下側）
1行目
2行目
N行目

図２１

[図22]

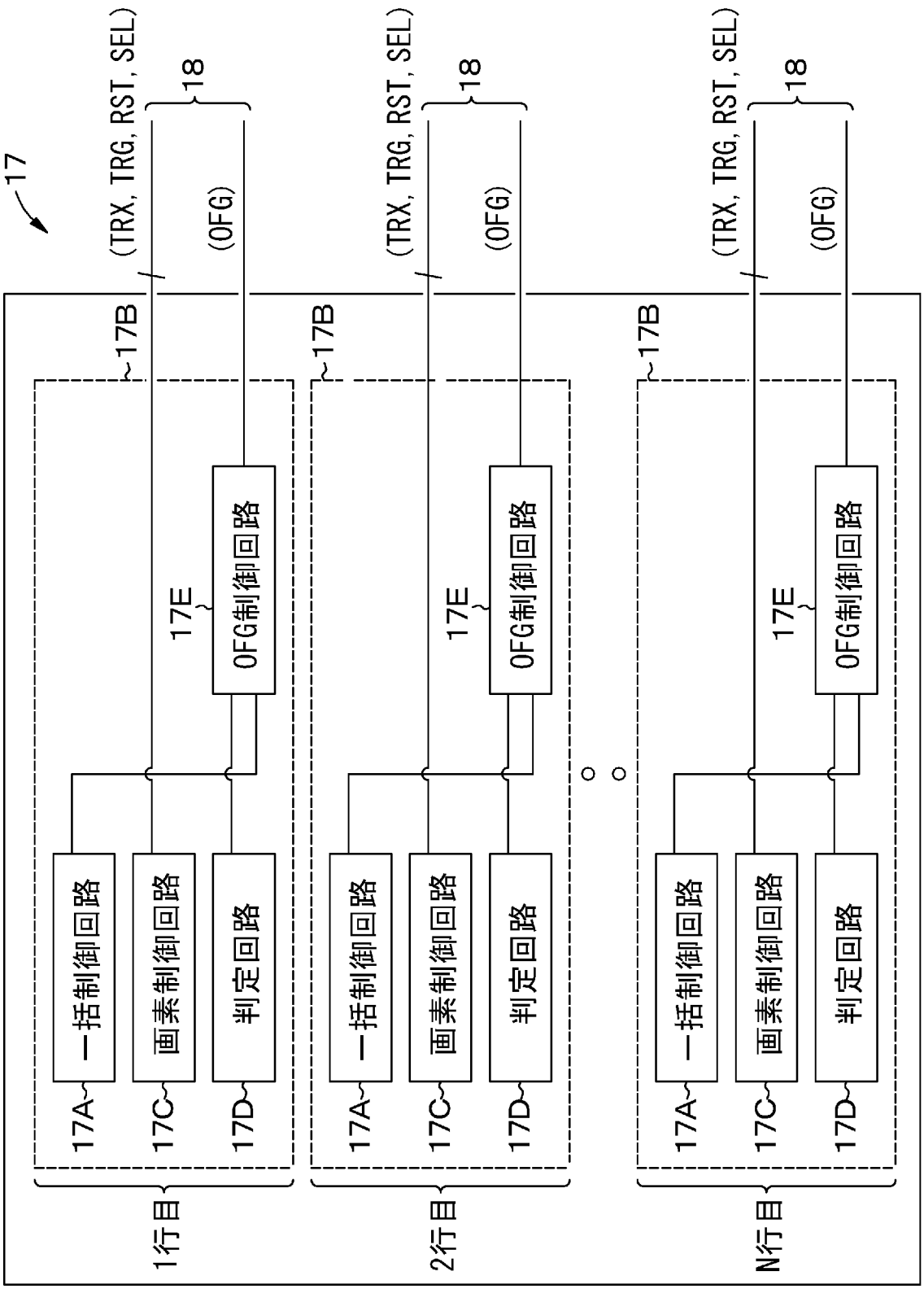
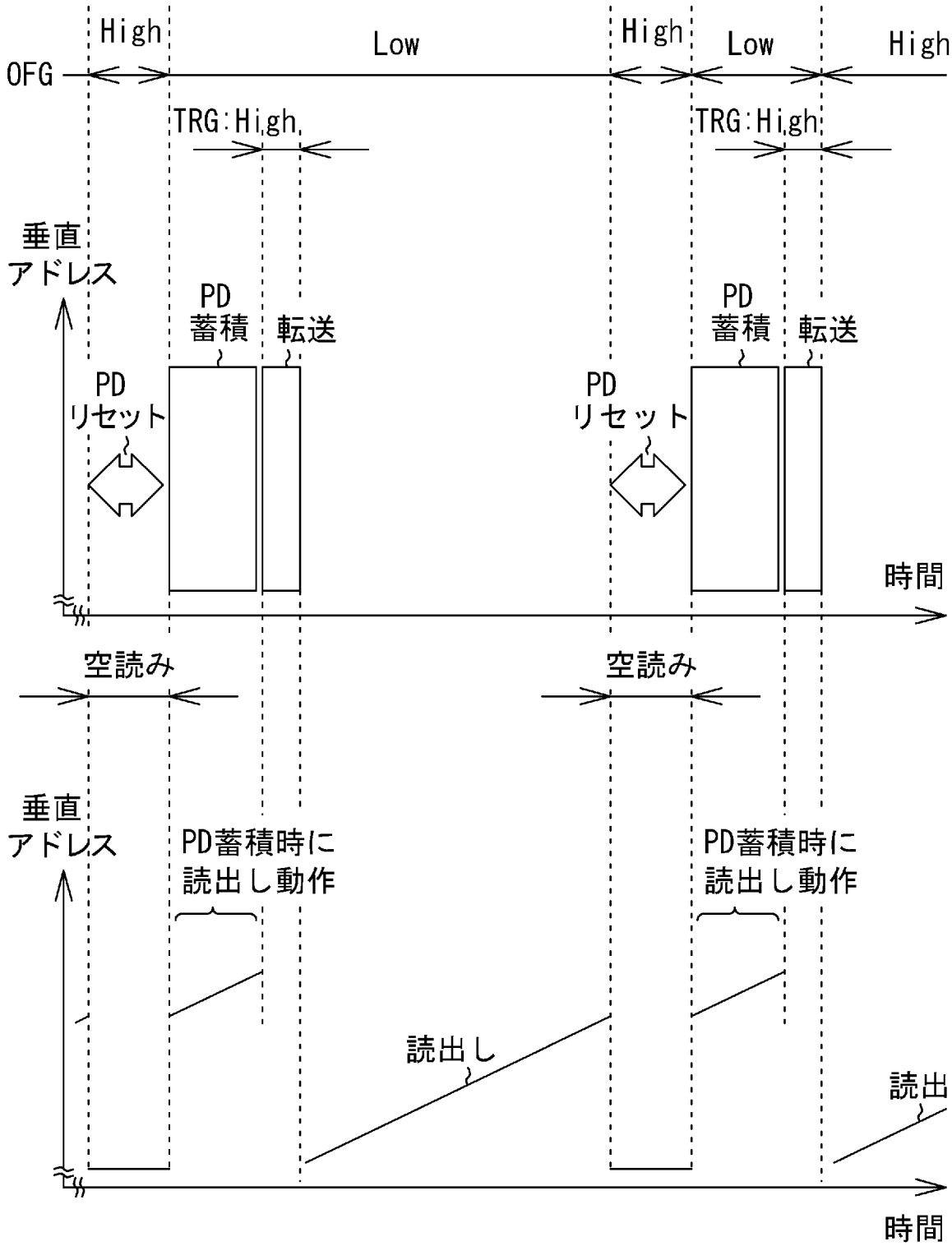

17
(TRX, TRG, RST, SEL)
18
(OFG)
17B
17E
OFG制御回路
一括制御回路
画素制御回路
判定回路
17A
17C
17D
1行目
2行目
N行目

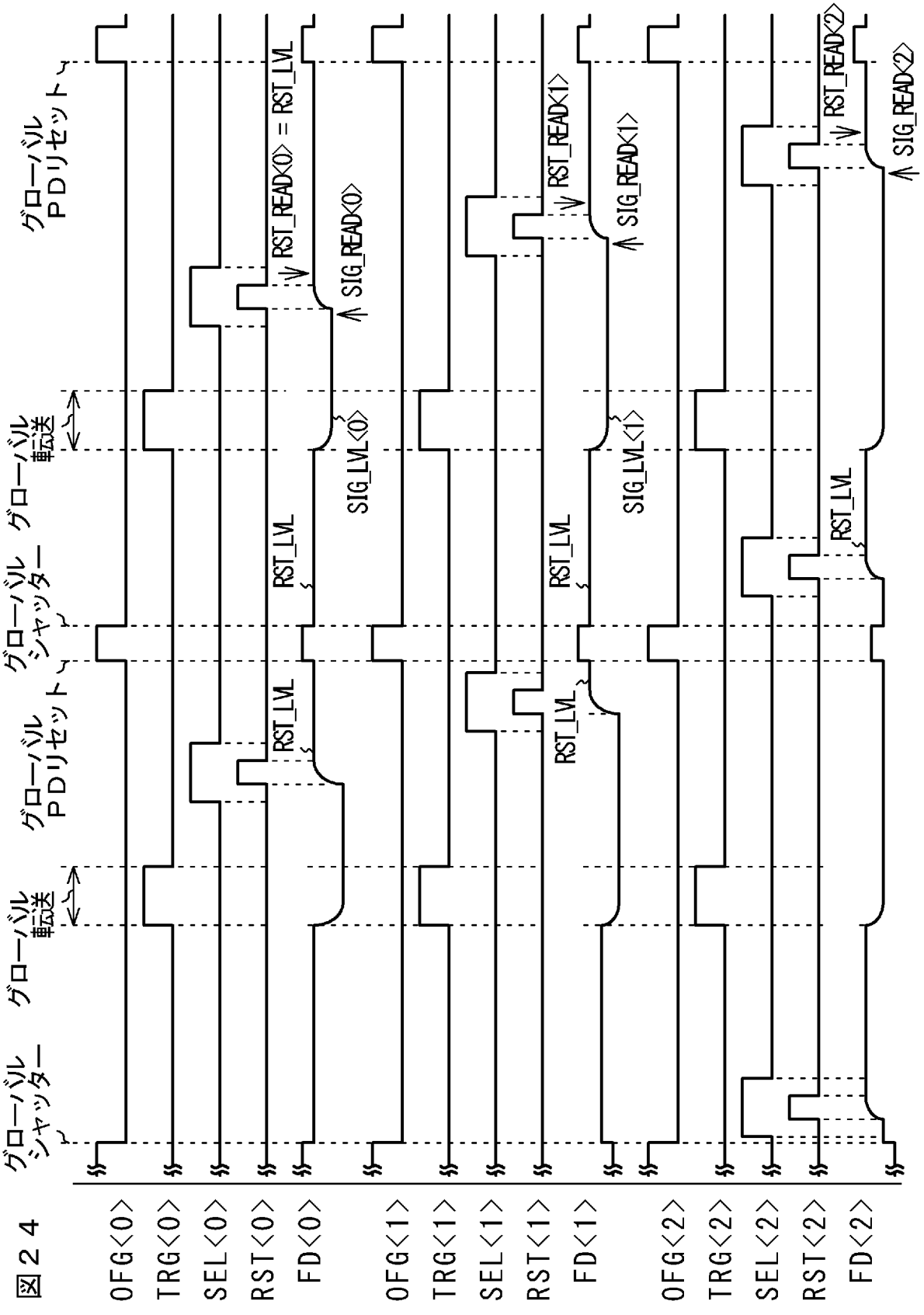
図22

[図23]

図２３


High
Low
High
Low
High
OFG
TRG:High
TRG:High
垂直
アドレス
PD
蓄積
転送
PD
リセット
PD
蓄積
転送
PD
リセット
時間
空読み
空読み
垂直
アドレス
PD蓄積時に
読出し動作
PD蓄積時に
読出し動作
読出し
読出
時間

[図24]


図２４
OFG<0>
TRG<0>
SEL<0>
RST<0>
FD<0>
OFG<1>
TRG<1>
SEL<1>
RST<1>
FD<1>
OFG<2>
TRG<2>
SEL<2>
RST<2>
FD<2>
グローバル シャッター
グローバル 転送
グローバル PDリセット
グローバル シャッター
グローバル 転送
グローバル PDリセット
RST_LVL
RST_READ<0> = RST_LVL
SIG_READ<0>
SIG_LVL<0>
RST_LVL
RST_READ<1>
SIG_READ<1>
SIG_LVL<1>
RST_LVL
RST_READ<2>
SIG_READ<2>
RST_LVL

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/020212

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/357(2011.01)i, *H04N5/369*(2011.01)i, *H04N5/374*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/357, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017
Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-216969 A (Sony Corp.), 27 October 2011 (27.10.2011), paragraphs [0003] to [0006], [0009], [0017], [0145]; fig. 1, 2, 10 & US 2011/0242389 A1 paragraphs [0005] to [0008], [0011], [0020], [0197]; fig. 1, 2, 10 & CN 102209208 A	1-3,7-9,13 4-6,10-12
A	JP 2016-12905 A (Sony Corp.), 21 January 2016 (21.01.2016), entire text; all drawings & WO 2015/186302 A1	1-13

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 August 2017 (16.08.17)	29 August 2017 (29.08.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２０２１２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/357(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/357, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-216969 A（ソニー株式会社）2011.10.27, 段落［0003］-［0006］, ［0009］, ［0017］, ［0145］, 第1,2,10図 & US 2011/0242389 A1, 段落［0005］-［0008］, ［0011］, ［0020］, ［0197］, 第1,2,10図 & CN 102209208 A	1-3,7-9,13
A		4-6,10-12
A	JP 2016-12905 A（ソニー株式会社）2016.01.21, 全文, 全図 & WO 2015/186302 A1	1-13

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１６．０８．２０１７	２９．０８．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９１８５
鈴木　明

電話番号　０３－３５８１－１１０１　内線　３５７１